Adı Soyadı: Hasan Burak Çiftci

No: 20247020

****

**EEEN 360 FPGA İLE SAYISAL TASARIM**

**BÖLÜM I VİZE SINAVI**

**Veriliş Tarihi: 26.03.2024**

**Teslim Tarihi: 01.04.2024**

1. Aşağıda verilen doğruluk tablosunu öğrenci numaranızın Cnt değişkeninin desimal değerindeki hanesine karşı gelecek şekilde doldurunuz. Örneğin öğrenci numaranızın 3. hanesinde 2 değeri mevcutsa Cnt = “010” olan satırı No = “0010”; No(d) = 2 olacaktır. Herkesin numarasındaki 3. hane 2 olduğu için tabloda bu değer örnek olarak işaretlenmiştir.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Giriş (3 bit)** | | | **Çıkış (4 bit)** | | | |  |
| Cnt(2) | Cnt(1) | Cnt(0) | No(3) | No(2) | No(1) | No(0) | No(d) |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 2 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 4 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 7 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 2 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

1. Doğruluk tablosunu tamamladığınız devrenin rtl tasarımını VHDL ile yazınız ve “Dec\_No” adı ile kaydediniz. İlgili dosya Dec\_No kodları aşağıda verilen test dosyası ile tam uyumlu olarak çalışacak şekilde tasarlanmalıdır.

library ieee;

use ieee.std\_logic\_1164.all;

use ieee.numeric\_std.all;

entity tb\_Odev1 is

end entity;

architecture sim of tb\_Odev1 is

signal Cnt : unsigned(2 downto 0) := "000";

signal No : unsigned(3 downto 0);

begin

Dec1 : entity work.Dec\_No(rtl)

port map(

Cnt => Cnt,

No => No);

process is

begin

wait for 10ns;

Cnt <= Cnt + 1;

end process;

end architecture;

\*\* a seçeneğindeki tabloyu direkt üzerine doldurabilirsiniz.

\*\* b seçeneğinde istenen Dec\_No.vhd dosyasının tüm satırlarını düzenli biçimde buraya yazmanız ve EDS’ye bu Word dosyası ile birlikte eklemeniz gerekmektedir.

**Başarılar…**

**Dec\_No.vhd dosyasının kodları;**

**Not:80 ns ile tam sonuç vermektedir.**

**library ieee;**

**use ieee.std\_logic\_1164.all;**

**use ieee.numeric\_std.all;**

**entity Dec\_No is**

**port(**

**Cnt : in Unsigned(2 downto 0);**

**No : out Unsigned(3 downto 0));**

**end entity;**

**architecture rtl of Dec\_No is**

**begin**

**process(Cnt) is**

**begin**

**case Cnt is**

**when "000" =>**

**No <= "0010";**

**when "001" =>**

**No <= "0000";**

**when "010" =>**

**No <= "0010";**

**when "011" =>**

**No <= "0100";**

**when "100" =>**

**No <= "0111";**

**when "101" =>**

**No <= "0000";**

**when "110" =>**

**No <= "0010";**

**when "111" =>**

**No <= "0000";**

**when others =>**

**No <= (others=>'0');**

**end case;**

**end process;**

**end architecture;**