

ADF4351- GENEL TANIMI :

ADF4351, harici bir döngü filtresi ve harici bir referans frekansı ile kullanıldığında kesirli-N veya tam sayı-N faz kilitleme döngüsü (PLL) frekans sentezleyicilerinin uygulanmasına izin verir. ADF4351'in, 2200 MHz ile 4400 MHz arasında değişen temel bir çıkış frekansı olan entegre bir gerilim kontrollü osilatörü (VCO) bulunmaktadır. Ayrıca, kullanıcıya 35 MHz'ye kadar düşük RF çıkış frekansları üretme imkanı sağlayan 1/-2/-4/-8/-16/-32/-64'e bölmeyi sağlayan devreler bulunmaktadır. İzolasyon gerektiren uygulamalar için, RF çıkış aşaması susturulabilir. Susturma işlevi hem pin hem de yazılım tarafından kontrol edilebilir. Ayrıca, kullanılmadığında güç kapalı olan yardımcı bir RF çıkışı da mevcuttur. Tüm entegre register'ların kontrolü basit bir 3 telli arayüz ile sağlanır. Cihaz, kullanılmadığında kapatılabilen 3.0 V ile 3.6 V arasında değişen bir güç kaynağı ile çalışır.

RF N bölücüsü, PLL geri bildirim yolunda bir bölme oranı sağlar. Bölme oranı, bu bölücüyü oluşturan INT, FRAC ve MOD değerleri tarafından belirlenir

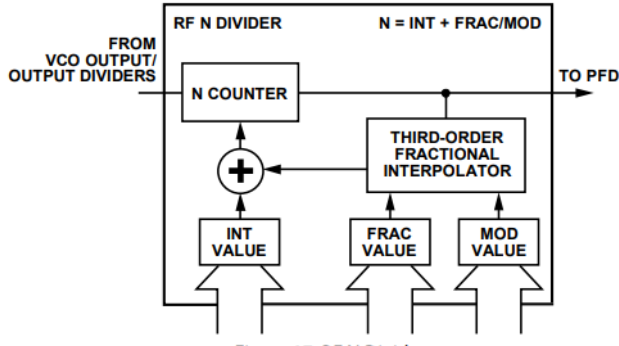


Figure 17. RF N Divider

INT, FRAC ve MOD değerleri, R sayacı ile birlikte kullanılarak PFD frekansının kesirlerine göre aralıklı çıkış frekansları oluşturulmasını mümkün kılar.

$$RFOUT = f_{PFD} \times (INT + (FRAC/MOD))$$

RFOUT, gerilim kontrollü osilatörün (VCO) çıkış frekansıdır.

INT, önceden belirlenmiş bölme oranıdır ve ikili 16-bit sayıcı için (4/5 ön-bölücü için 23 ile 65,535; 8/9 ön-bölücü için 75 ile 65,535).

FRAC, kesirli bölme işleminin payıdır (0 ile MOD - 1).

MOD, önceden belirlenmiş kesirli modülüstür (2 ile 4095).

The PFD frequency (f_{PFD}) equation is $f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))]$

REFIN, referans giriş frekansıdır.

D, REFIN'i iki katına çıkaran bit (0 veya 1).

R, ikili 10-bit programlanabilir referans sayıcının önceden belirlenmiş bölme oranıdır (1 ile 1023).

T, REFIN'i 2'ye bölen bit (0 veya 1).

Output frekans aralığı: 35 MHz ile 4400 MHz arası

Kesirli-N sentezleyici ve tam sayı-N sentezleyici

Düşük faz gürültülü VCO

Programlanabilir bölmeler: 1/-2/-4/-8/-16/-32/-64

Tipik titreme: 0.3 ps rms

2.1 GHz'de tipik EVM: %0.4

Güç kaynağı: 3.0 V ile 3.6 V arası

Lojik uyumluluk: 1.8 V

Programlanabilir çift-modülüs ön-bölen: 4/5 veya 8/9

Programlanabilir çıkış güç seviyesi

RF çıkışı susturma fonksiyonu

3 telli seri arayüz

Analog ve dijital kilit algılama

Anahtarlama bant genişliği hızlı kilitleme modu

Döngü kayması azaltma

Integer-N Mode : Eğer $FRAC = 0$ ise ve Register 2'deki DB8 (LDF) biti 1 olarak ayarlanmışsa, sentezleyici tam sayı-N modunda çalışır. Register 2'deki DB8 biti, tam sayı-N dijital kilit algılaması için 1 olarak ayarlanmalıdır.

R Counter : 10-bitlik R sayacı, giriş referans frekansını (REFIN) bölerek PFD için referans saati üretmeye olanak tanır. 1 ila 1023 arasında bölme oranlarına izin verilir.

PHASE FREQUENCY DETECTOR (PFD) AND CHARGE PUMP :

Faz frekans dedektörü (PFD), R sayacından ve N sayacından gelen girişleri alır ve bunlar arasındaki faz ve frekans farkına orantılı bir çıkış üretir. Şekilde, faz frekans dedektörünün basitleştirilmiş bir şemasıdır.

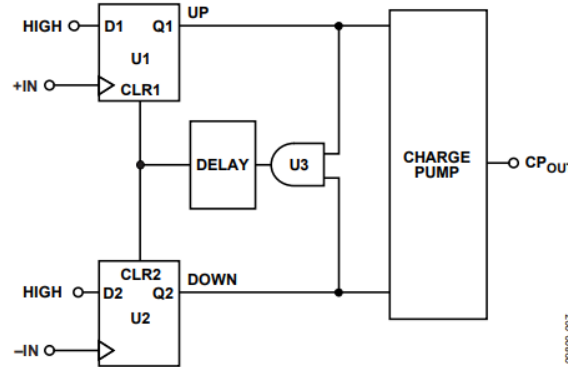


Figure 18. PFD Simplified Schematic

PFD, antibacklash pulse (ABP) genişliğini ayarlayan programlanabilir bir gecikme elemanı içerir. Bu darbe, PFD aktarım fonksiyonunda ölü bölge olmadığından emin olur. Register 3 (R3) içindeki DB22 biti, ABP'yi aşağıdaki gibi ayarlamak için kullanılır:

- DB22 Biti 0 olarak ayarlandığında, ABP genişliği 6 ns olarak programlanır, kesirli-N uygulamaları için önerilen değer.
- DB22 Biti 1 olarak ayarlandığında, ABP genişliği 3 ns olarak programlanır, tam sayı-N uygulamaları için önerilen değer.

Tam sayı-N uygulamalarında, bant içi faz gürültüsü daha kısa darbe genişliğini etkinleştirerek iyileştirilir. Bu modda PFD frekansı 90 MHz'ye kadar çalışabilir. 45 MHz'den yüksek PFD frekansları ile çalışmak için, Register 1'deki faz ayarlama bitini (DB28) 1 olarak ayarlayarak VCO band seçimini devre dışı bırakılmalıdır.

MUXOUT AND LOCK DETECT :

ADF4351'deki çoklayıcı çıkışı, kullanıcının çipe çeşitli dahili noktalara erişmesine olanak tanır. MUXOUT'un durumu, Register 2'deki (Şekil 26'ya bakınız) M3, M2 ve M1 bitleri tarafından kontrol edilir. Şekil 19, blok diyagram biçiminde MUXOUT bölümünü göstermektedir.

INPUT SHIFT REGISTERS :

ADF4351 dijital bölümü, bir 10-bit RF R sayacı, bir 16-bit RF N sayacı, bir 12-bit FRAC sayacı ve bir 12-bit modül sayacı içerir. Veri, CLK'nın her yükselen kenarında 32-bitlik kaydırma kaydırıcıya saatlenir. Veri, önce en yüksek anlamlı bit (MSB) olacak şekilde saatlenir. Veri, LE'nin yükselen kenarında biri altı kilide aktarılır. Hedef kilidi, kaydırma kaydırıcısının içindeki üç kontrol bitinin (C3, C2 ve C1) durumuna bağlı olarak belirlenir. Şekil 2'de gösterildiği gibi, kontrol bitleri üç LSB'dir: DB2, DB1 ve DB0. Bu bitler için doğruluk tablosu Tablo 6'da gösterilmiştir. Şekil 23, kilidin nasıl programlandığını özetlemektedir.

Table 6. Truth Table for the C3, C2, and C1 Control Bits

Control Bits			Register
C3	C2	C1	
0	0	0	Register 0 (R0)
0	0	1	Register 1 (R1)
0	1	0	Register 2 (R2)
0	1	1	Register 3 (R3)
1	0	0	Register 4 (R4)
1	0	1	Register 5 (R5)

PROGRAM MODES :

Table 6 ve Şekil 23 ile Şekil 29, ADF4351'de program modlarının nasıl ayarlandığını göstermektedir. ADF4351'de aşağıdaki ayarlar çift tamponlu olarak ayarlanmıştır: faz değeri, modül değeri, referans iki katlayıcı, referans 2'ye bölen, R sayacı değeri ve şarj pompası akımı ayarı. Herhangi bir çift tamponlu ayar için cihazın yeni bir değeri kullanmadan önce, aşağıdaki iki olayın gerçekleşmesi gerekmektedir: 1. Yeni değer uygun kayda yazılarak cihaza kilitlenmesi yapılır. 2. Register 0 (R0) üzerinde yeni bir yazma işlemi gerçekleştirilir. Örneğin, modül değeri güncellendiğinde herhangi bir zamanda, modül değerinin doğru şekilde yüklenmesini sağlamak için Register 0 (R0) üzerine yazılmalıdır. Register 4 (R4)'teki bölücü seçim değeri de çift tamponludur, ancak yalnızca Register 2 (R2)'nin DB13 biti 1 olarak ayarlandığında.

VCO :

ADF4351'deki VCO çekirdeği, Şekil 20'de gösterildiği gibi 16 örtüşen bant kullanan üç ayrı VCO'dan oluşur, bu da büyük bir VCO hassasiyeti (KV) olmadan geniş bir frekans aralığının kapsanmasına izin verir ve sonuçta kötü faz gürültüsü ve yan ürün performansını sağlar. Doğru VCO ve bant, güç verme işlemi başladığında veya Register 0 (R0) güncellendiğinde VCO ve bant seçim mantığı tarafından otomatik olarak seçilir. VCO ve bant seçimi, bant seçim saat bölücüsünün değeriyle çarpılmış 10 PFD döngüsü alır. VCO VTUNE, döngü filtresi çıkışından bağlantısı kesilmiş ve iç bir referans gerilimine bağlanmıştır.

R sayacı çıkışı, bant seçim mantığı için saat olarak kullanılır. R sayacı çıkışında, 1 ila 255 arasında bir tam sayıya bölme yapmak için programlanabilir bir bölücü sağlar; bölücü değeri, Register 4 (R4) içindeki Bitler[DB19:DB12] kullanılarak ayarlanır. Gerekli PFD frekansı 125 kHz'den yüksek olduğunda, doğru bant seçimi için yeterli zamanı sağlamak üzere bölme oranı ayarlanmalıdır. Bant seçimi, 80 μ s'ye eşit olan PFD frekansının 10 döngüsü alır. Daha hızlı kilit süreleri gerekiyorsa, Register 3 (R3)'teki Bit DB23 1 olarak ayarlanmalıdır. Bu ayar, kullanıcının 500 kHz'ye kadar olan daha yüksek bir bant seçim saat frekansını seçmesine izin verir, bu da minimum bant seçim süresini 20 μ s'ye hızlandırır. Faz ayarlamaları ve küçük (<1 MHz) frekans ayarları için, kullanıcı Register 1 (R1)'deki Bit DB28'i 1 olarak ayarlayarak VCO bant seçimini devre dışı bırakabilir. Bu ayar, faz ayarlama özelliğini seçer. Bant seçimi yapıldıktan sonra, normal PLL işlemi devam eder. N bölücüsü VCO çıkışından veya bu değer N ile bölünmüş haliyse, KV'nin nominal değeri 40 MHz/V'dir. D, N bölücüsünün RF bölücü çıkışından (Register 4'teki Bitler[DB22:DB20] ile programlanan) sürüldüğünde çıkış bölücü değeridir. ADF4351, döngü bant genişliğini sabit tutmak için ICP ve KV'nin ürününde herhangi bir değişikliği en aza indirmek için doğrusallaştırma devreleri içerir. VCO, VTUNE'nin bant içinde ve banttan bantya değiştiği gibi KV'nin değişimini gösterir. Geniş frekans aralığını kapsayan geniş bant uygulamaları için (ve çıkış bölücülerini değiştirerek), 40 MHz/V değeri ortalama bir değere en yakın olduğu için bu değer en doğru KV'yi sağlar. Şekil 21, KV'nin temel VCO frekansı ile nasıl değiştiğini, frekans bandı için ortalama bir değerle birlikte gösterir. Kullanıcılar, dar bant tasarımlarını kullanırken bu şekli tercih edebilirler.

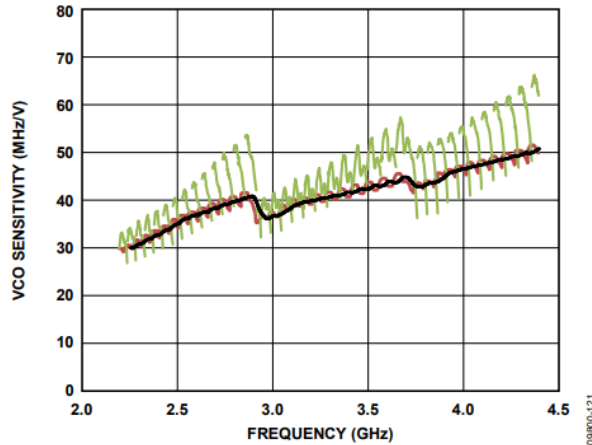


Figure 21. VCO Sensitivity (K_V) vs. Frequency

ADF4351'in RFOUTA+ ve RFOUTA- pinleri, VCO'nun tamponlanmış çıkışları tarafından sürülen bir NPN diferansiyel çiftin kolektörlerine bağlanmıştır, Şekil 22'de gösterildiği gibi.

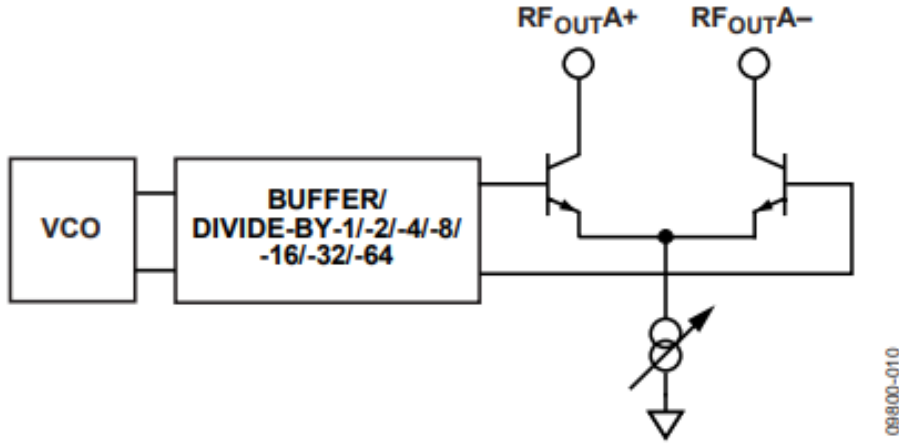


Figure 22. Output Stage

Kullanıcının güç dağılımını çıkış güç gereksinimleriyle optimize etmesine izin vermek için, diferansiyel çiftin kuyruk akımı, Register 4 (R4) içindeki Bitler[DB4:DB3] kullanılarak programlanabilir. Dört akım seviyesi ayarlanabilir. Bu seviyeler, 50 Ω 'lık bir dirence AVDD'ye ve 50 Ω 'lık bir yüke akımların ac bağlanmasıyla -4 dBm, -1 dBm, +2 dBm ve +5 dBm çıkış güç seviyeleri sağlar. Alternatif olarak, her iki çıkış da 1 + 1:1 dönüştürücü veya 180° mikroşerit eşitleyici ile birleştirilebilir (Çıkış Eşleme bölümüne bakınız). Çıkışlar bireysel olarak kullanıldığında, en uygun çıkış aşaması, VVCO'ya bir paralel indüktördür. Kullanılmayan tamamlayıcı çıkış, kullanılan çıkışa benzer bir devre ile sonlandırılmalıdır. RFOUTB+ ve RFOUTB- pinlerinde bir yardımcı çıkış aşaması bulunur ve bu ikinci bir set diferansiyel çıkış sağlar ve başka bir devreyi sürmek için kullanılabilir. Yardımcı çıkış aşaması, yalnızca ana çıkışlar etkinleştirildiğinde kullanılabilir. Yardımcı çıkış aşaması kullanılmıyorsa, güç kaynağı kapatılabilir. ADF4351'in diğer bir özelliği, RF çıkış aşamasına olan besleme akımının, dijital kilit algılama devresi tarafından ölçülen kilitlenecek kadar kapatılabilmesidir. Bu özellik, Register 4 (R4)'teki Mute Till Lock Detect (MTLD) biti ayarlanarak etkinleştirilir.

REGISTER MAPS

REGISTER 0

RESERVED	16-BIT INTEGER VALUE (INT)																12-BIT FRACTIONAL VALUE (FRAC)																CONTROL BITS		
	DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
0	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3(0)	C2(0)	C1(0)				

REGISTER 1

RESERVED			PHASE ADJUST	PRESCALER	12-BIT PHASE VALUE (PHASE) DBR ¹												12-BIT MODULUS VALUE (MOD) DBR ¹												CONTROL BITS		
DB31	DB30	DB29			DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2
0	0	0	PH1	PR1	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3[0]	C2[0]	C1[1]

REGISTER 2

RESERVED	LOW NOISE AND LOW SPUR MODES		MUXOUT			REFERENCE COUPLER DBR ¹	RDV2 DBR ¹	10-BIT R COUNTER DBR ¹									DOUBLE BUFFER	CHARGE PUMP CURRENT SETTING DBR ¹				LDF	LDP	PO POLARITY	POWER-DOWN	CP THREE-STATE	COUNTER RESET	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	L2	L1	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	U6	U5	U4	U3	U2	U1	C3(0)	C2(1)	C1(0)

REGISTER 3

RESERVED								BAND SELECT CLOCK MODE	ASP	CHARGE CANCEL	RESERVED		CSR	RESERVED	CLK DIV MODE	12-BIT CLOCK DIVIDER VALUE																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
0	0	0	0	0	0	0	0	F4	F3	F2	0	0	F1	0	C2	C1	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(0)	C2(1)	C1(1)			

REGISTER 4

RESERVED								FEEDBACK SELECT	DBB ² RF DIVIDER SELECT				8-BIT BAND SELECT CLOCK DIVIDER VALUE								VCO POWER- DOWN	MTLO	AUX OUTPUT SELECT	AUX OUTPUT ENABLE	AUX OUTPUT POWER	RF OUTPUT ENABLE	OUTPUT POWER	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	D13	D12	D11	D10	B58	B57	B56	B55	B54	B53	B52	B51	D9	D8	D7	D6	D5	D4	D3	D2	D1	C3(1)	C2(0)	C1(0)

REGISTER 5

RESERVED								LD PIN MODE		RESERVED	RESERVED		RESERVED																CONTROL BITS		
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	D15	D14	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C3(1)	C2(0)	C1(1)

¹DBR = DOUBLE-BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

²DBB = DOUBLE-BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0, IF AND ONLY IF DB13 OF REGISTER 2 IS HIGH.

Figure 23. Register Summary

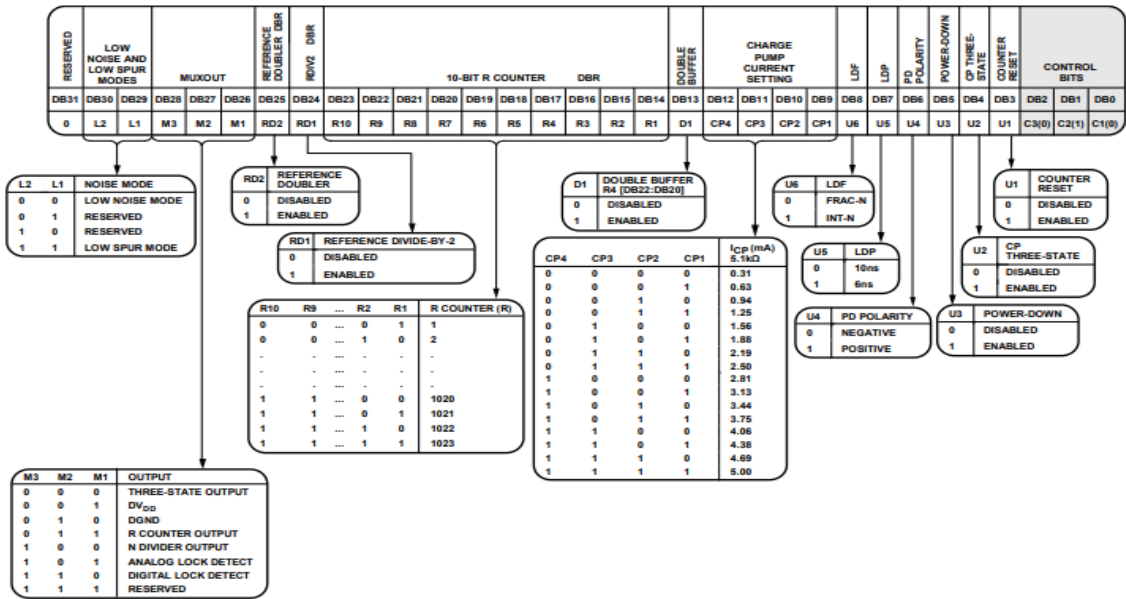


Figure 26. Register 2 (R2)

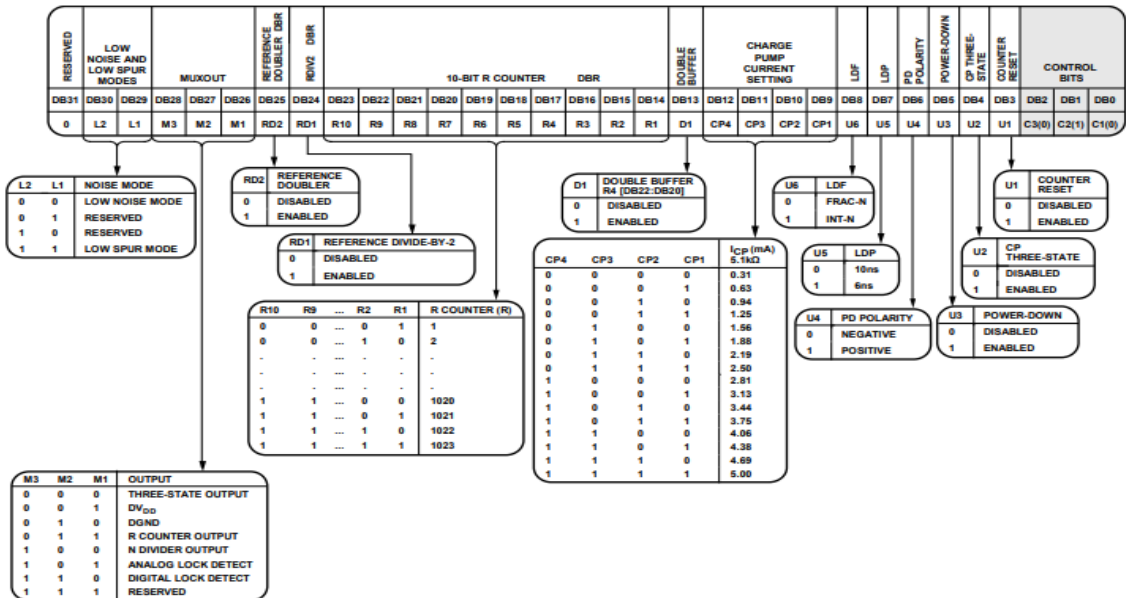


Figure 26. Register 2 (R2)

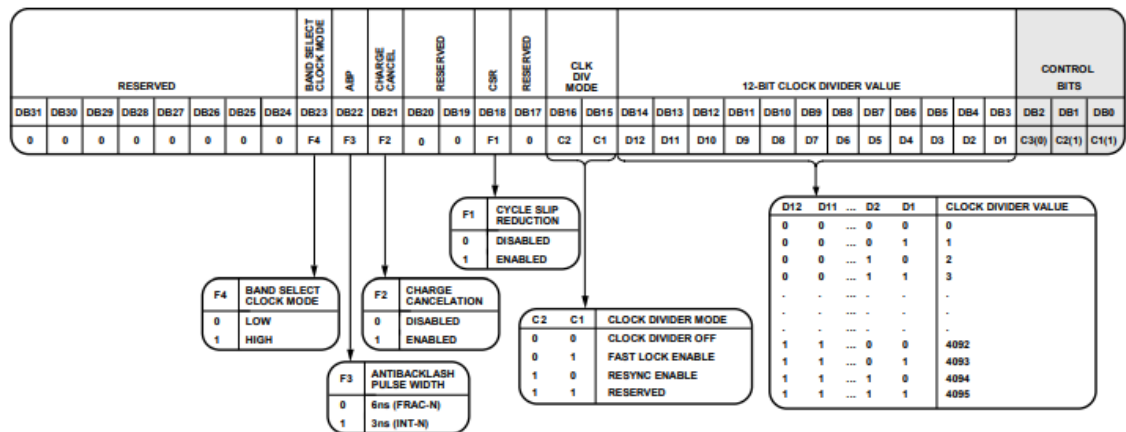


Figure 27. Register 3 (R3)

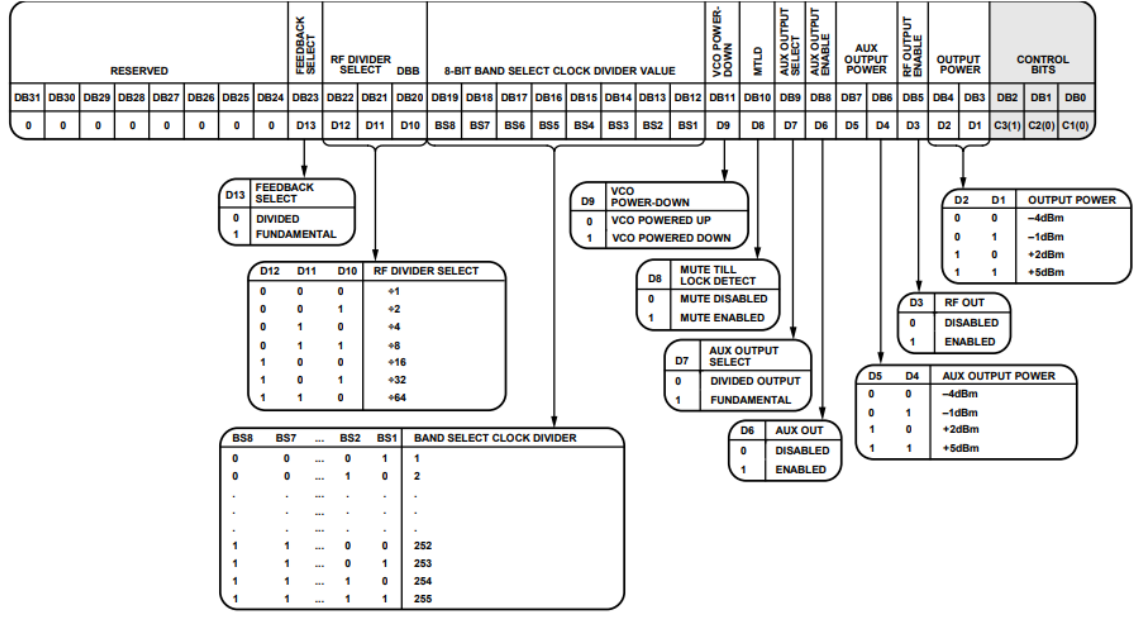


Figure 28. Register 4 (R4)

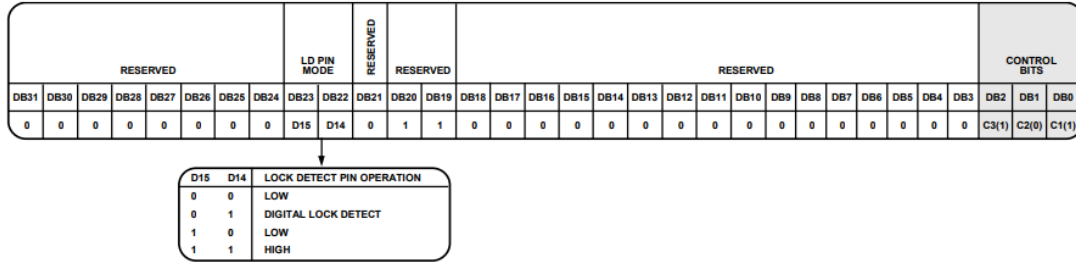


Figure 29. Register 5 (R5)

REGISTER 0 :

Kontrol Bitleri

Bitler [C3:C1] 000 olarak ayarlandığında, Register 0 programlanır. Şekil 24, bu register'ı programlamak için giriş veri formatını gösterir.

16-bit Tam Sayı Değeri (INT) :

16 INT biti (Bitler [DB30:DB15]), geri besleme bölme faktörünün tam sayı kısmını belirleyen INT değerini ayarlar. INT değeri, Denklem 1'de (INT, FRAC, MOD ve R Sayacı ilişkisi bölümüne bakınız) kullanılır. 4/5 ön-bölücü için 23 ila 65,535 arasında tam sayı değerlerine izin verilir; 8/9 ön-bölücü için, minimum tam sayı değeri 75'tir.

12-bit Kesirli Değer (FRAC) :

12 FRAC biti (Bitler [DB14:DB3]), Σ - Δ modülatörüne giriş olarak belirlenen kesrin payını ayarlar. Bu kesir, INT değeri ile birlikte, sentezleyicinin kilidini açtığı yeni frekans kanalını belirtir, RF Sentezleyici —Bir Çalışma Örneği bölümünde gösterildiği gibi. FRAC değerleri, 0 ila (MOD - 1) arasında, PFD referans frekansına eşit bir frekans aralığında kanalları kapsar.

REGISTER 1

Kontrol Bitleri

Bitler [C3:C1] 001 olarak ayarlandığında, Register 1 programlanır. Şekil 25, bu register'ı programlamak için giriş veri formatını gösterir.

Faz Ayarı :

Faz ayarlama biti (Bit DB28), belirli bir çıkış frekansının çıkış fazının ayarlanmasını sağlar. Faz ayarlaması etkinleştirildiğinde (Bit DB28 1 olarak ayarlandığında), cihaz Register 0 güncellendiğinde VCO bant seçimi veya faz yeniden senkronizasyonu gerçekleştirmez. Faz ayarlaması devre dışı bırakıldığında (Bit DB28 0 olarak ayarlandığında), cihaz Register 0 güncellendiğinde VCO bant seçimi ve faz yeniden senkronizasyonu (eğer Register 3, Bitler [DB16:DB15] içinde faz yeniden senkronizasyonu etkinleştirilmişse) gerçekleştirir. VCO bant seçiminin devre dışı bırakılması, yalnızca sabit frekanslı uygulamalar veya orijinal olarak seçilen frekansla <1 MHz'lik frekans sapmaları için önerilir.

Ön-bölücü Değeri :

Çift-modül ön-bölücü ($P/P + 1$), INT, FRAC ve MOD değerleri ile birlikte, VCO çıkışından PFD girişine kadar olan toplam bölme oranını belirler. Register 1'deki PR1 biti (DB27) ön-bölücü değerini ayarlar.

CML seviyelerinde çalışırken, ön-bölücü, VCO çıkışından saat alır ve sayıcılar için bölerek indirir. Ön-bölücü, senkron 4/5 çekirdeğine dayanır. Ön-bölücü 4/5 olarak ayarlandığında, izin verilen maksimum RF frekansı 3.6 GHz'dir. Bu nedenle, ADF4351'i 3.6 GHz'nin üzerinde çalıştırırken, ön-bölücü 8/9 olarak ayarlanmalıdır. Ön-bölücü, INT değerini aşağıdaki gibi sınırlar:

- Ön-bölücü = 4/5: NMIN = 23
- Ön-bölücü = 8/9: NMIN = 75

12-Bit Faz Değeri :

Bitler [DB26:DB15], faz değerini kontrol eder. Faz değeri, Register 1'de programlanan MOD değerinden küçük olmalıdır. Faz değeri, RF çıkış fazını 0° ila 360° arasında, $360^\circ/\text{MOD}$ çözünürlüğüyle programlamak için kullanılır (Faz Yeniden Senkronizasyon bölümüne bakınız). Çoğu uygulamada, RF sinyali ile referans arasındaki faz ilişkisi önemli değildir. Bu tür uygulamalarda, faz değeri, kesirli ve alt kesirli yan frekans seviyelerini optimize etmek için kullanılabilir. Daha fazla bilgi için, Yan Frekans Uyumluluğu ve Kesirli Yan Frekans Optimizasyonu bölümüne bakınız.

Ne faz yeniden senkronizasyon ne de yan frekans optimizasyon işlevi kullanılmıyorsa, faz kelimesinin 1 olarak ayarlanması önerilir.

12-Bit Modül Değeri (MOD) :

12 MOD biti (Bitler [DB14:DB3]), kesirli modülü ayarlar. Kesirli modül, RF çıkışındaki kanal adım çözünürlüğüne PFD frekansının oranıdır. Daha fazla bilgi için, 12-Bit Programlanabilir Modül bölümüne bakınız.

REGISTER 2 :

Kontrol Bitleri

Bitler [C3:C1] 010 olarak ayarlandığında, Register 2 programlanır. Şekil 26, bu register'ı programlamak için giriş veri formatını gösterir.

Düşük Gürültü ve Düşük Yan Frekans Modları :

ADF4351'deki gürültü modu, Register 2'deki Bitler[DB30:DB29] ayarlanarak kontrol edilir (bkz. Şekil 26). Gürültü modu, bir tasarımı ya geliştirilmiş yan frekans performansı ya da geliştirilmiş faz gürültü performansı için optimize etme olanağı sağlar.

Düşük yan frekans modu seçildiğinde, dither etkinleştirilir. Dither, kesirli kantizasyon gürültüsünü rastgeleleştirir, böylece bu gürültü, spuri gürültüsü yerine beyaz gürültüye benzer. Sonuç olarak, parça, geliştirilmiş spuri performansı için optimize edilmiştir. Düşük yan frekans modu genellikle PLL kapalı döngü bant genişliği geniş olduğunda hızlı kilitlenen uygulamalarda kullanılır. Geniş döngü bant genişliği, RFOUT kanal adım çözünürlüğünün (fRES) 1/10'undan daha büyük bir döngü bant genişliğidir. Geniş döngü filtresi, spurları dar döngü bant genişliği kadar aynı seviyeye kadar bastırmaz.

En iyi gürültü performansı için, düşük gürültü modu seçeneğini kullanın. Düşük gürültü modu seçildiğinde, dither devre dışı bırakılır. Bu mod, şarj pompasının gürültü performansı için optimum bir bölgede çalışmasını sağlar. Düşük gürültü modu, dar bir döngü filtresi bant genişliği kullanılabilir olduğunda son derece kullanışlıdır. Sentezleyici, son derece düşük gürültü sağlar ve filtre, spurları bastırır. Şekil 10'dan Şekil 12'ye kadar olan şekiller, farklı gürültü ve yan frekans ayarları için tipik bir W-CDMA kurulumundaki değiş tokuşları gösterir.

MUXOUT

Yonga içi multiplexer, Bitler [DB28:DB26] tarafından kontrol edilir (bkz. Şekil 26). VCO bant seçiminin doğru çalışması için N sayacı çıkışının devre dışı bırakılması gerektiğini unutmayın.

Reference Doubler

DB25 bitini 0 olarak ayarlamak çiftleyiciyi devre dışı bırakır ve REFIN sinyalini doğrudan 10-bit R sayacına iletilir. Bu biti 1 olarak ayarlamak REFIN frekansını 2 katına çıkarır ve ardından 10-bit R sayacına iletilir. Çiftleyici devre dışı bırakıldığında, REFIN düşen kenarı kesirli sentezleyicinin PFD girişindeki etkin kenardır. Çiftleyici etkinleştirildiğinde, REFIN'in hem yükselen hem de düşen kenarları PFD girişinde etkin kenarlardır. Çiftleyici etkinleştirildiğinde ve düşük yan frekans modu seçildiğinde, bant içi faz gürültü performansı REFIN iş görebilirlik döngüsüne hassastır. Faz gürültüsü bozulması, 45% ila 55% aralığında olmayan REFIN iş görebilirlik döngülerinde %5 kadar olabilir. Faz gürültüsü, düşük gürültü modunda ve çiftleyici devre dışı bırakıldığında REFIN iş görebilirlik döngüsüne duyarsızdır. Çiftleyici etkinleştirildiğinde maksimum izin verilen REFIN frekansı 30 MHz'dir.

RDIV2

DB24 bitini 1 olarak ayarlamak R sayacı ile PFD arasına bir bölücü ekler ve maksimum REFIN giriş hızını genişletir. Bu işlev, döngü kayma azaltımı için gereken PFD girişinde %50 iş görebilirlik sinyalinin görünmesini sağlar.

10-Bit R Sayacı

10-bit R sayacı (Bitler [DB23:DB14]), giriş referans frekansını (REFIN) bölerek PFD için referans saati üretir. 1 ile 1023 arasında bölme oranlarına izin verilir.

Double Buffer

DB13 biti, Register 4'teki Bitler [DB22:DB20] çift tamponlamayı etkinleştirir veya devre dışı bırakır. Çift tamponlamanın nasıl çalıştığı hakkında bilgi için Program Modları bölümüne bakın.

Charge Pump Current Setting

Bitler [DB12:DB9], şarj pompası akımını ayarlar. Bu değer, döngü filtresinin tasarlandığı şarj pompası akımına ayarlanmalıdır.

Lock Detect Function (LDF)

DB8 biti kilit algılama fonksiyonunu (LDF) yapılandırır. LDF, kilitleme algı devresi tarafından izlenen PFD döngülerinin sayısını belirlemek için kullanılır. DB8 0 olarak ayarlandığında, izlenen PFD döngülerinin sayısı 40'tır. DB8 1 olarak ayarlandığında, izlenen PFD döngülerinin sayısı 5'tir. DB8 bitinin kesirli-N modu için 0 olarak ve tamsayı-N modu için 1 olarak ayarlanması önerilir.

Lock Detect Precision (LDP)

Kilit algılama hassasiyeti biti (Bit DB7), kilit algılama devresindeki karşılaştırma penceresini ayarlar. DB7 0 olarak ayarlandığında, karşılaştırma penceresi 10 ns; DB7 1 olarak ayarlandığında, pencere 6 ns'dir. Kilit algılama devresi, n ardışık PFD döngülerinin karşılaştırma penceresi değerinden daha az olduğunda yüksek hale gelir; n, LDF biti (DB8) tarafından belirlenir. Örneğin, DB8 = 0 ve DB7 = 0 olduğunda, dijital kilit algılama yüksek hale gelmeden önce 40 ardışık PFD döngüsü 10 ns veya daha kısa olmalıdır. Kesirli-N uygulamalar için, Bitler [DB8:DB7] için önerilen ayar 00; tamsayı-N uygulamaları için, Bitler [DB8:DB7] için önerilen ayar 11'dir.

Phase Detector Polarity :

DB6 biti, faz dedektörü polaritesini ayarlar. Pasif bir döngü filtresi veya tersinmez bir aktif döngü filtresi kullanılıyorsa, bu bitin 1 olarak ayarlanması gerekmektedir. Eğer tersinir bir karakteristikte bir aktif filtre kullanılıyorsa, bu bitin 0 olarak ayarlanması gerekmektedir.

Power-Down (PD)

DB5 biti, programlanabilir güç kapama modunu sağlar. Bu bitin 1 olarak ayarlanması güç kapaması yapar. Bu bitin 0 olarak ayarlanması sentezleyiciyi normal işleme geri döndürür. Yazılım güç kapama modunda, parça tüm bilgilerini registerlarında saklar. Register içeriği, sadece güç kaynakları kaldırıldığında kaybolur.

Güç kapama etkinleştirildiğinde, aşağıdaki olaylar meydana gelir:

- Sentezleyici sayaçları yük durumlarına zorlanır.
- VCO kapatılır.
- Şarj pompası üçüncü durum moduna zorlanır.
- Dijital kilit algılama devresi sıfırlanır.
- RFOUT tamponları devre dışı bırakılır.
- Giriş registerları aktif kalır ve veri yüklemeye ve kilitlemeye yeteneklidir.

Charge Pump Three-State

DB4 bitini 1 olarak ayarlamak, şarj pompasını üçüncü durum moduna sokar. Bu bit normal işlem için 0 olarak ayarlanmalıdır.

Counter Reset

DB3 biti, ADF4351'in R sayacı ve N sayacının sıfırlama bitidir. Bu bit 1 olarak ayarlandığında, RF sentezleyici N sayacı ve R sayacı sıfırda tutulur. Normal işlem için, bu bitin 0 olarak ayarlanması gerekmektedir.

REGISTER 3

Kontrol Bitleri

Bitler [C3:C1] 011 olarak ayarlandığında, Register 3 programlanır. Şekil 27, bu register'ın programlanması için giriş veri formatını gösterir.

Band Select Clock Mode

DB23 bitini 1 olarak ayarlamak, yüksek PFD frekansları için uygun olan ve hızlı kilit uygulamaları için gereken daha hızlı bir bant seçimi mantıksal dizilimini seçer. DB23 bitini 0 olarak ayarlamak, düşük PFD (<125 kHz) değerleri için önerilir. Daha hızlı bant seçimi mantık modları için (DB23 1 olarak ayarlanmış), bant seçim saat bölücüsünün değeri 254'ten küçük veya eşit olmalıdır.

Antibacklash Pulse Width (ABP)

DB22 biti, PFD anti-ters oynaklık darbesi genişliğini ayarlar. DB22 Biti 0 olarak ayarlandığında, PFD anti-ters oynaklık darbesi genişliği 6 ns'dir. Bu ayar, kesirli-N kullanımı için önerilir. DB22 Biti 1 olarak ayarlandığında, PFD anti-ters oynaklık darbesi genişliği 3 ns'dir, bu da tamsayı-N işleminde faz gürültüsü ve spur iyileştirmelerine neden olur. Kesirli-N işlemi için, 3 ns ayarı önerilmez.

Charge Cancellation

DB21 bitini 1 olarak ayarlamak, şarj pompası şarj iptalini etkinleştirir. Bu, tamsayı-N modunda PFD spur'larını azaltma etkisine sahiptir. Kesirli-N modunda, bu bitin 0 olarak ayarlanması gerekmektedir.

CSR ENABLE

DB18 bitini 1 olarak ayarlamak, döngü kayma azaltma özelliğini etkinleştirir. CSR, kilit sürelerini iyileştirme yöntemidir. Dikkat edilmesi gereken nokta, döngü kayma azaltmanın çalışması için faz frekans dedektöründeki (PFD) sinyalin %50 görev döngüsüne sahip olması gerektiğidir. Şarj pompası akım ayarı da en az değere ayarlanmalıdır. Daha fazla bilgi için, Daha Hızlı Kilit Süreleri için Döngü Kayma Azaltma bölümüne bakınız.

CLOCK DIVIDER MODE

DB16:DB15 bitlerinin 10 olarak ayarlanması faz yeniden senkronizasyonu'nu (bkz. Faz Yeniden Senkronizasyonu bölümü) etkinleştirir. Bu bitlerin 01 olarak ayarlanması hızlı kilidi etkinleştirir (bkz. Hızlı Kilit Zamanlayıcı ve Register Sıraları bölümü). DB16:DB15 bitlerinin 00 olarak ayarlanması saat bölücüyü devre dışı bırakır (bkz. Şekil 27).

12-Bit Clock Divider Value

DB14:DB3 bitleri, 12-bit saat bölücü değerini ayarlar. Bu değer, faz yeniden senkronizasyonunun etkinleştirilme süresi için zamanlayıcı sayacıdır (bkz. Faz Yeniden Senkronizasyonu bölümü). Saat bölücü değeri aynı zamanda hızlı kilidin zaman aşımı sayacını da ayarlar (bkz. Hızlı Kilit Zamanlayıcı ve Register Sıraları bölümü).

REGISTER 4

Kontrol Bitleri

Bitler [C3:C1] 100 olarak ayarlandığında, Register 4 programlanır. Şekil 28, bu register'ın programlanması için giriş veri formatını gösterir.

FEEDBACK SELECT

DB23 biti, VCO çıkışından N sayacına geri bildirimin seçilmesini sağlar. Bu bit 1 olarak ayarlandığında, sinyal doğrudan VCO'dan alınır. Bu bit 0 olarak ayarlandığında, sinyal çıkış bölücülerinden alınır. Bölücüler, geniş frekans bandını (34.375 MHz ila 4.4 GHz) kapsamayı sağlar. Bölücüler etkinleştirildiğinde ve geri besleme sinyali çıkıştan alındığında, iki ayrı şekilde yapılandırılmış PLL'nin RF çıkış sinyalleri aynı fazdadır. Bu, sinyallerin olumlu müdahalesinin gücünü artırmak için gereken bazı uygulamalarda yararlıdır.

RF DIVIDER SELECT

DB22:DB20 bitleri, RF çıkış bölücüsünün değerini seçer (bkz. Şekil 28).

Band Select Clock Divider Value

DB19:DB12 bitleri, bant seçim mantığı saat girişi için bir bölücüyü ayarlar. Varsayılan olarak, R sayacının çıkışı, bant seçim mantığını saatlemek için kullanılan değerdir, ancak bu değer çok yüksekse (>125 kHz), R sayacı çıkışını daha küçük bir değere bölmek için bir bölücü devreye sokulabilir (bkz. Şekil 28).

VCO POWER DOWN

DB11 bitinin 0 olarak ayarlanması VCO'yu açar; bu bitin 1 olarak ayarlanması VCO'yu kapatır.

Mute Till Lock Detect (MTLD)

DB10 biti 1 olarak ayarlandığında, RF çıkış aşamasına olan besleme akımı, parça kilitleme işlemi tamamlanana kadar dijital kilit algılama devresi tarafından ölçülen dereceye kadar kapatılır.

AUX OUT SELECT

DB9 biti yardımcı RF çıkışını ayarlar. DB9 0 olarak ayarlandığında, yardımcı RF çıkışı RF bölücülerinin çıkışıdır; DB9 1 olarak ayarlandığında, yardımcı RF çıkışı temel VCO frekansıdır.

AUX OUT ENABLE

DB8 biti yardımcı RF çıkışını etkinleştirir veya devre dışı bırakır. DB8 0 olarak ayarlandığında, yardımcı RF çıkışı devre dışı bırakılır; DB8 1 olarak ayarlandığında, yardımcı RF çıkışı etkinleştirilir.

AUX OUT POWER

DB7:DB6 bitleri yardımcı RF çıkış güç seviyesini belirler (bkz. Şekil 28).

RF OUT ENABLE

DB5 biti birincil RF çıkışını etkinleştirir veya devre dışı bırakır. DB5 0 olarak ayarlandığında, birincil RF çıkışı devre dışı bırakılır; DB5 1 olarak ayarlandığında, birincil RF çıkışı etkinleştirilir.

OUT POWER

DB4:DB3 bitleri birincil RF çıkış güç seviyesini belirler (bkz. Şekil 28).

REGISTER 5

Kontrol Bitleri

Bitler [C3:C1] 101 olarak ayarlandığında, Register 5 programlanır. Şekil 29, bu register'ın programlanması için giriş veri formatını gösterir.

Kilit Algılama Pini İşlemi

DB23:DB22 bitleri kilidi algılama (LD) pini işlemini ayarlar (bkz. Şekil 29).

Lock Detect Pin Operation

İlk kez güç verildiğinde, besleme pinlerine doğru voltajların uygulanmasından sonra, ADF4351 register'ları aşağıdaki sırayla başlatılmalıdır:

1. Register 5
2. Register 4
3. Register 3
4. Register 2
5. Register 1
6. Register 0

ADF4351 sentezleyicisini programlamak için aşağıdaki denklemler kullanılır:

$$RFOUT = [INT + (FRAC/MOD)] \times (f_{PFD}/RF \text{ Bölücü}) \quad (3)$$

burada:

RFOUT, RF frekans çıkışıdır.

INT, tam sayı bölme faktörüdür.

FRAC, kesirli bölümün payıdır (0 ile MOD - 1 arası).

MOD, önceden belirlenmiş kesirli modülüstür (2 ile 4095 arası).

RF Bölücü, VCO frekansını azaltan çıkış bölücüsüdür.

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (4)$$

burada:

REFIN, referans frekans girişidir.

D, RF REFIN iki katlayıcı bitidir (0 veya 1).

R, RF referans bölme faktörüdür (1 ile 1023 arası).

T, referans bölü 2 bitidir (0 veya 1).

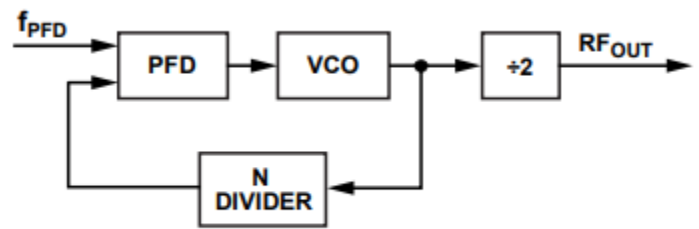


Figure 30. Loop Closed Before Output Divider

Bir örnek olarak, bir UMTS sistemi 2112.6 MHz RF frekansı çıkışı (RFOUT) gerektirir; 10 MHz referans frekansı girişi (REFIN) mevcuttur ve RF çıkışında 200 kHz kanal çözünürlüğü (fRESOUT) gerekmektedir.

ADF4351 VCO'sunun 2.2 GHz ile 4.4 GHz aralığında çalıştığını unutmamak önemlidir. Bu nedenle, RF bölücüsü olarak 2 kullanılmalıdır (VCO frekansı = 4225.2 MHz, RFOUT = VCO frekansı/RF bölücü = 4225.2 MHz/2 = 2112.6 MHz).

Ayrıca, döngünün nerede kapandığı da önemlidir. Bu örnekte, döngü çıkış bölücüsünden önce kapanır (bkz. Şekil 30).

REFERENCE DOUBLER AND REFERENCE DIVIDER

On-chip referansın iki katı, giriş referans sinyalinin iki katına çıkarılmasını sağlar. Referans sinyalinin iki katına çıkarılması, PFD karşılaştırma frekansını iki katına çıkarır ve sistemdeki gürültü performansını iyileştirir. PFD frekansının iki katına çıkarılması genellikle gürültü performansını 3 dB iyileştirir. Kesirli-N modunda, N bölücünün Σ - Δ devresinin hızındaki bir sınırlamadan dolayı, PFD 32 MHz'nin üzerinde çalışamaz. Tamsayı-N uygulamalarında, PFD 90 MHz'ye kadar çalışabilir. Referans bölme-2, referans sinyalini 2'ye böler ve %50 görev döngülü bir PFD frekansı elde eder. Bu, doğru çalışma için döngü kaydırma azaltma (CSR) işlevinin gerekliliğidir. Daha fazla bilgi için Hızlı Kilit Süresi için Döngü Kaydırma Azaltma bölümüne bakınız.

12-BIT PROGRAMMABLE MODULUS

MOD seçimi, mevcut referans sinyali (REFIN) ve RF çıkışında gereken kanal çözünürlüğü (fRES)ne bağlıdır. Örneğin, 13 MHz REFIN'e sahip bir GSM sistemi için MOD, 65 olarak ayarlanır. Bu, RF çıkışı çözünürlüğünün (fRES), GSM için gereken 200 kHz (13 MHz/65) olduğu anlamına gelir. Dither kapalıyken, kesirli gürültü aralığı seçilen modulus değerlerine bağlıdır. ADF4351, çoğu diğer kesirli-N PLL'lerin aksine, kullanıcının modulu 12-bitlik bir aralıkta programlamasına izin verir. Referansın iki katı ve 10-bit R sayacı ile birleştirildiğinde, 12-bit modulus kullanıcının uygulama için birçok farklı yapılandırmayı ayarlamasına olanak tanır.

Örneğin, 1.75 GHz RF frekans çıkışı ve 200 kHz kanal adım çözünürlüğü gerektiren bir uygulamayı düşünelim. Sistemde 13 MHz referans sinyali bulunmaktadır.

Bir olası yapılandırma, 13 MHz referans sinyali doğrudan PFD'ye beslemek ve modülü 65'e bölmektir. Bu, gereken 200 kHz çözünürlüğe yol açar.

Başka bir olası yapılandırma, referansın iki katını kullanarak 13 MHz giriş sinyalinden 26 MHz oluşturmaktır. Ardından, 26 MHz PFD'ye beslenir ve modülü 130'a bölmek üzere programlanır. Bu yapılandırma da 200 kHz çözünürlük sağlar ancak ilk yapılandırmaya göre üstün faz gürültü performansı sunar.

Programlanabilir modül, çok standartlı uygulamalar için de çok yararlıdır. Örneğin, bir çift modlu telefon, PDC ve GSM 1800 standartlarını gerektiriyorsa, programlanabilir modül büyük fayda sağlar.

PDC, 25 kHz kanal adım çözünürlüğü gerektirir, GSM 1800 ise 200 kHz kanal adım çözünürlüğü gerektirir. Bir 13 MHz referans sinyali doğrudan PFD'ye beslenebilir ve modülü, PDC modundayken 520 olarak programlanabilir ($13 \text{ MHz}/520 = 25 \text{ kHz}$). Modülü, GSM 1800 işlemi için 65'e yeniden programlanmalıdır ($13 \text{ MHz}/65 = 200 \text{ kHz}$). PFD frekansının sabit kalması (bu örnekte 13 MHz olarak) önemlidir. Bu, kullanıcının kararlılık sorunlarıyla karşılaşmadan her iki yapılandırma için tek bir döngü filtresi tasarlamasına olanak tanır. RF frekansının PFD frekansına oranı, esasen döngü filtresi tasarımını etkiler, gerçek kanal aralığı değil.

CYCLE SLIP REDUCTION FOR FASTER LOCK TIMES :

Düşük Gürültü ve Düşük İstenmeyen Sinyal Modları bölümünde açıklandığı gibi, ADF4351 gürültü performansı için optimizasyon sağlayan bir dizi özellik içerir. Ancak, hızlı kilitlenen uygulamalarda döngü bant genişliği genellikle geniş olması gerektiğinden, filtre istenmeyen sinyalleri çok fazla zayıflatmaz. Eğer döngü kayma azaltma özelliği etkinleştirilirse, dar bant genişliği istenmeyen sinyalleri zayıflatmak için korunur, ancak daha hızlı kilitlenme süreleri hala mümkündür.

Cycle Slips

Döngü kaymaları, döngü bant genişliğinin PFD frekansına göre dar olduğu durumlarda tam sayılı/fırçalı sayılı sentezleyicilerde meydana gelir. PFD girişlerindeki faz hatası, PLL'nin düzeltilmesi için çok hızlı bir şekilde birikir ve şarj pompası geçici olarak yanlış yöne pompalar. Bu, kilitlenme süresini dramatik olarak yavaşlatır. ADF4351, döngü filtresi devresinde değişiklik yapmadan daha hızlı kilitlenme süreleri sağlayan bir döngü kayma azaltma özelliği içerir.

Devre, bir döngü kaymasının olacağını algıladığında, ek bir şarj pompası akım hücrelerini devreye sokar. Bu hücre, yeni frekansı edinmek için VCO ayarlama gerilimine bağlı olarak döngü filtresine sabit bir akım sağlar veya sabit bir akımı döngü filtresinden çıkarır. Etki, PFD'nin doğrusal aralığının artmasıdır. Akım sabit olduğu ve darbeler halinde olmadığı için döngü stabilitesi korunur.

Faz hatası tekrar artarsa ve başka bir döngü kaymasının olması muhtemel bir noktaya gelirse, ADF4351 başka bir şarj pompası hücrelerini devreye sokar. Bu, ADF4351'in VCO frekansının istenilen frekansı aştığını algılayana kadar devam eder. Ekstra şarj pompası hücreleri birer birer kapatılır ve frekans orijinal döngü filtresi bant genişliğine yerleşinceye kadar devre dışı bırakılır.

En fazla yedi ekstra şarj pompası hücreleri devreye sokulabilir. Çoğu uygulamada, yedi hücre tamamen döngü kaymalarını ortadan kaldırmak için yeterlidir ve çok daha hızlı kilitlenme süreleri sağlar.

Döngü kayma azaltma özelliğini etkinleştirmek için Register 3'te Bit DB18'i 1 olarak ayarlamak gerekir. PFD'nin doğru çalışması için REFIN frekansının %45 ila %55lik bir görev döngüsüne sahip olması gerekir. REFIN frekansının uygun bir görev döngüsüne sahip olmaması durumunda, PFD'ye girişin %50 görev döngüsüne sahip olmasını sağlamak için RDIV2 modunu (Register 2'de Bit DB24) etkinleştirmek önemlidir.

SPURIOUS OPTIMIZATION AND FAST LOCK

Dar bant genişlikleri istenmeyen spur sinyallerini filtreleyebilir, ancak bu bant genişlikleri genellikle uzun kilitlenme sürelerine sahiptir. Daha geniş bir bant genişliği daha hızlı kilitlenme süreleri sağlayabilir, ancak bant genişliği içindeki spurious sinyallerin artmasına neden olabilir.

Hızlı kilitlenme özelliği, daha geniş bant genişliğiyle aynı hızlı kilitlenme süresini sağlayabilir, ancak son dar bant genişliğinde kalmak, spurları düşük tutmanın avantajına sahiptir.

FAST LOCK TIMER AND REGISTER SEQUENCES

Eğer hızlı kilitlenme modu kullanılıyorsa, geniş bant genişliği modunun süresini belirlemek için bir zamanlayıcı değeri PLL'ye yüklenmelidir. Kayıt 3'teki [DB16:DB15] bitleri 01'e ayarlandığında (hızlı kilitlenme etkinleştirildiğinde), zamanlayıcı değeri, Kayıt 3'teki [DB14:DB3] bitlerindeki seçilen hızlı kilitlenme zamanlayıcı değeri tarafından yüklenir. Hızlı kilit kullanmak için aşağıdaki sıra programlanmalıdır:

1. Başlangıç dizisini başlatın (Kayıt Başlangıç Sıralaması bölümüne bakın). Bu sıra, parçayı ilk kez açtıktan sonra yalnızca bir kez gerçekleşir.
2. Kayıt 3'ü yükleyin, [DB16:DB15] bitlerini 01'e ayarlayarak ve seçilen hızlı kilit zamanlayıcı değerini (Kayıt 3'teki [DB14:DB3] bitlerini) ayarlayarak. PLL'nin geniş bant genişliği modunda kalacağı süre, hızlı kilit zamanlayıcısı/fPPD değerine eşittir.

FAST LOCK EXAMPLE

Eğer bir PLL'nin referans frekansı 13 MHz, fPPD'si 13 MHz ve gereken kilitlenme süresi 60 μ s ise, PLL 20 μ s boyunca geniş bant genişliği moduna ayarlanır. Bu örnek, 200 kHz kanal aralığı için 65 modulus kullanımını varsayar. VCO kalibrasyon süresi olan 20 μ s da hesaba katılmalıdır (Kayıt 3'ün DB23 bitini kullanarak daha yüksek bant seçim saat modunu programlayarak elde edilir).

Eğer PLL'nin geniş bant genişliği modunda kilitlenme süresi için belirlenen zaman 20 μ s ise,

Hızlı Kilit Zamanlayıcı Değeri = (VCO Bant Seçim Süresi + PLL Geniş Bant Genişliğinde Kilitlenme Süresi) \times fPPD/MOD

Hızlı Kilit Zamanlayıcı Değeri = (20 μ s + 20 μ s) \times 13 MHz/65 = 8

Bu nedenle, Kayıt 3'teki saat bölücü değerine 8 değeri yüklenmelidir (Hızlı Kilit Zamanlayıcı ve Kayıt Dizileri bölümündeki 2. adımda görüldüğü gibi).