

Lab6. 순차회로 - 계수기

학번 : 20210273 이름 : 하태혁

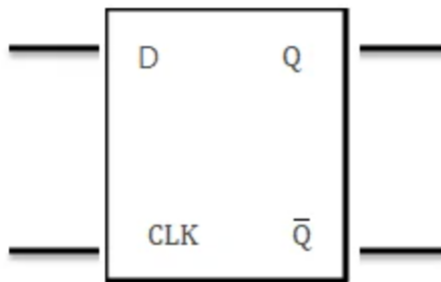
1. 개요

계수기(Counter)의 특성을 이해하고 여러 기능을 가진 계수기를 구현하는 것을 목표로 한다. 베릴로그로 계수기 모듈을 구현하기 위해 상태 전의도를 그리고 해당 FF의 입력을 상태 전이표를 나타내고 회로까지 구현해 본다.

2. 이론적 배경

1) D Flip-flop

데이터와 클럭을 두 입력값으로 가지는 간단한 플립플롭으로 CLK에 반응하여 출력을 결정한다.



D	CLK	Q
0	Rising Edge	0
1	Rising Edge	1

2) 계수기(Counter)

클럭 신호와 관련하여 특정 이벤트 또는 프로세스가 발생한 횟수를 저장하는 장치로 특정 이벤트에 대한 예측을 발생시킬 수 있다. 크게 동기 계수기와 비동기 계수기로 나뉜다.

3) 동기 계수기(Synchronous Counter)

동기식 카운터는 FF의 모든 클럭 값이 동시에 연결되어 있어 동시에 발생하는 카운터이다. 동시에 병렬로 모든 상태가 변경되기 때문에 비동기 카운터보다 느리지만, 한번에 값이 나온다는 장점이 있다.

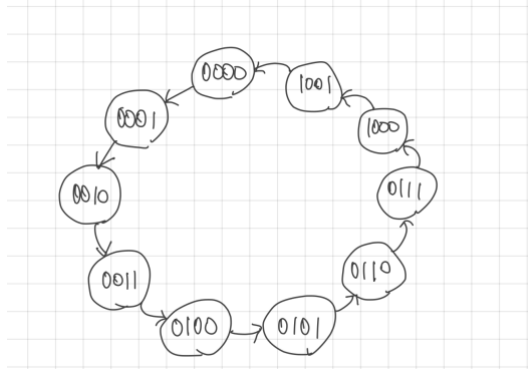
4) 십진 계수기(Decade Counter)

네개의 플립플롭을 직렬로 연결한 뒤, BCD에 해당하는 10가지 출력상태만이 반복되도록 만든다.

3. 실험 준비

1) JK 플립플롭을 이용한 Synchronous decade BCD counter

계수기의 상태 전의도를 그리면 다음과 같다.



상태 전이표를 작성하고 각 상태 전환에 필요한 JK FF의 입력을 구현하면 다음 표와 같다.

Present State				Next State				JK FF input			
A	B	C	D	A+	B+	C+	D+	JK	JK	JK	JK
0	0	0	0	0	0	0	1	0X	0X	0X	1X
0	0	0	1	0	0	1	0	0X	0X	1X	X1
0	0	1	0	0	0	1	1	0X	0X	X0	1X
0	0	1	1	0	1	0	0	0X	1X	X1	X1
0	1	0	0	0	1	0	1	0X	X0	0X	1X
0	1	0	1	0	1	1	0	0X	X0	1X	X1
0	1	1	0	0	1	1	1	0X	X0	X0	1X
0	1	1	1	1	0	0	0	1X	X1	X1	X1
1	0	0	0	1	0	0	1	X0	0X	0X	1X
1	0	0	1	0	0	0	0	X1	0X	0X	X1
1	0	1	0	-	-	-	-	XX	XX	XX	XX
1	0	1	1	-	-	-	-	XX	XX	XX	XX
1	1	0	0	-	-	-	-	XX	XX	XX	XX
1	1	0	1	-	-	-	-	XX	XX	XX	XX
1	1	1	0	-	-	-	-	XX	XX	XX	XX
1	1	1	1	-	-	-	-	XX	XX	XX	XX

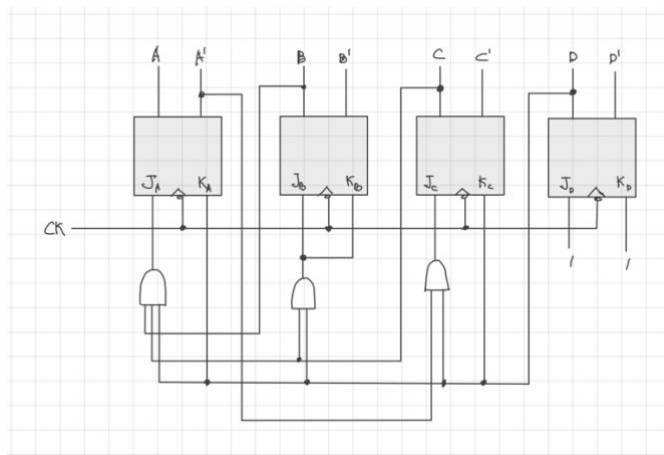
$$J_A = BCD, K_A = D$$

$$J_B = CD, K_B = CD$$

$$J_C = A'D, K_C = D$$

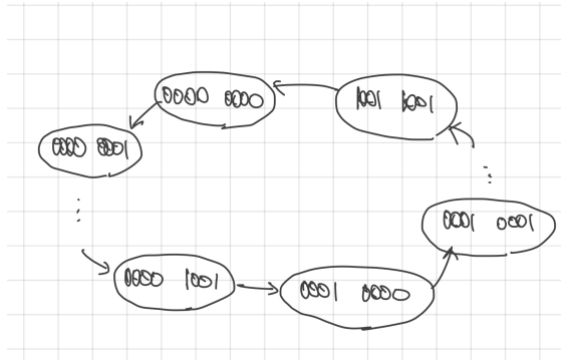
$$J_D = 1, K_D = 1$$

전체 회로도를 그리면 다음과 같다.

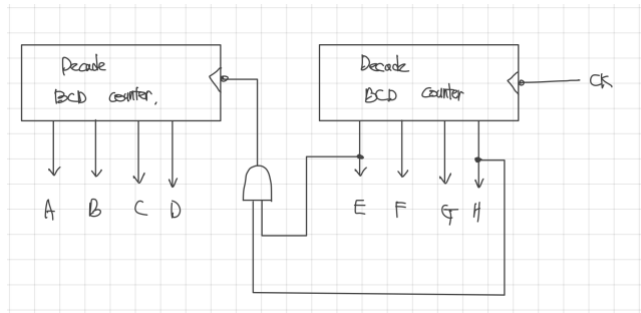


- 2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter (0~99)

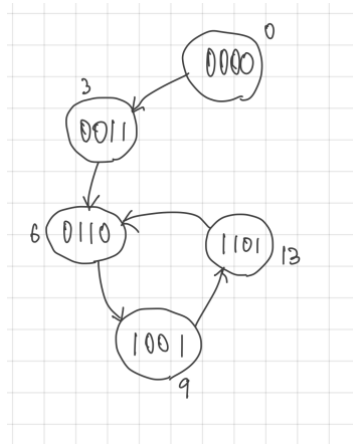
계수기의 대략적인 상태 전이도를 그리면 다음과 같다.



Lab6_1의 계수기를 활용하여 회로도를 그리면 다음과 같다.



- 3) D 플립플롭을 이용한 3, 6, 9 계수기
계수기의 상태 전이도를 그리면 다음과 같다.



상태 전이표를 작성하고 D FF의 입력을 단순화하여 나타내면 다음과 같다.

Present State	Next State	Da	Db	Dc	Dd
0000	0011	0	0	1	1
0001	-	X	X	X	X
0010	-	X	X	X	X
0011	0110	0	1	1	0
0100	-	X	X	X	X
0101	-	X	X	X	X
0110	1001	1	0	0	1
0111	-	X	X	X	X
1000	-	X	X	X	X
1001	1101	1	1	0	1
1010	-	X	X	X	X
1011	-	X	X	X	X
1100	-	X	X	X	X
1101	0110	0	1	1	0
1110	-	X	X	X	X
1111	-	X	X	X	X

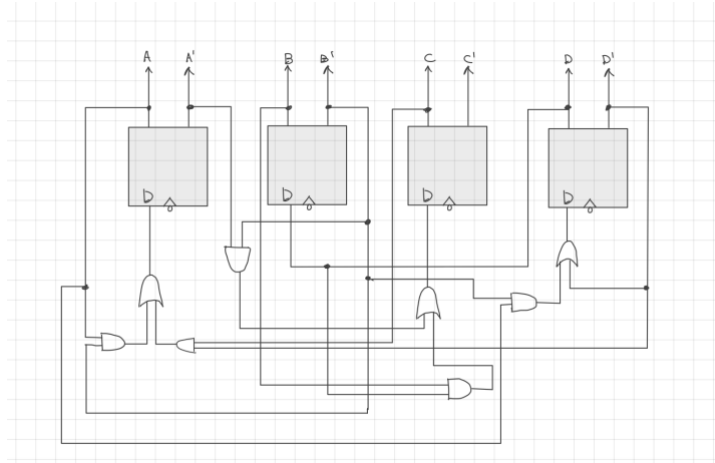
$$D_a = AB' + CD'$$

$$D_b = D$$

$$D_c = A'B' + BD$$

$$D_d = AB' + D'$$

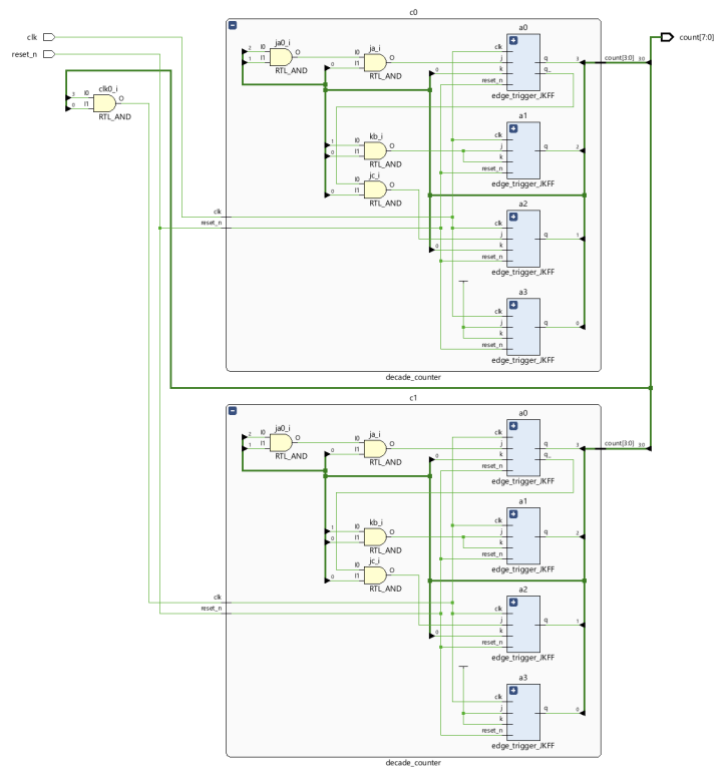
그린 전체 회로도 는 다음과 같다.

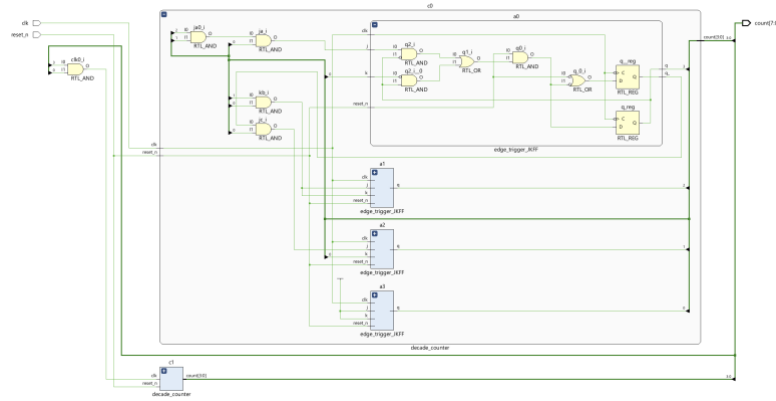


4. 결과

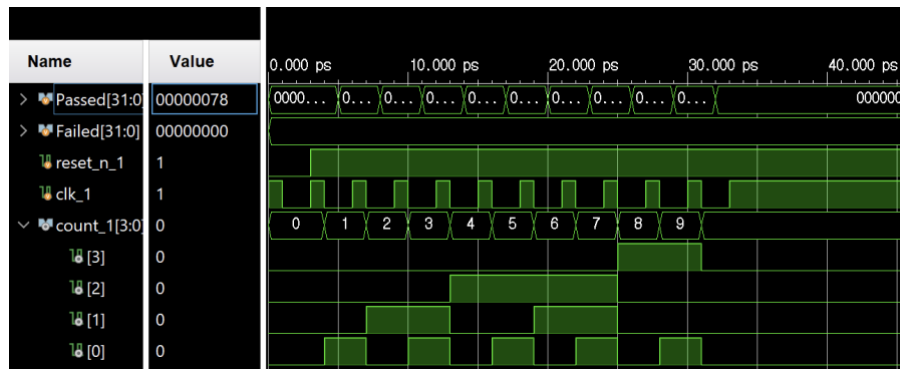
1) Lab6_1

Schematic으로 그린 회로도는 다음과 같다.



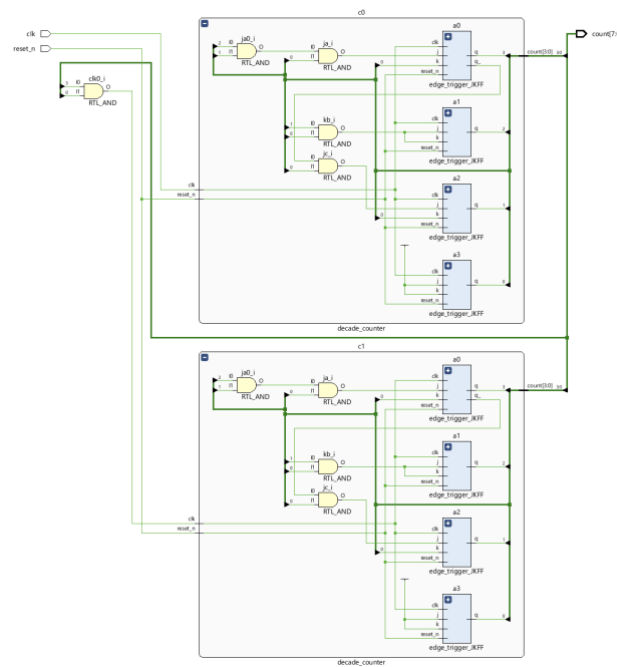


시뮬레이션 파형은 다음과 같다.

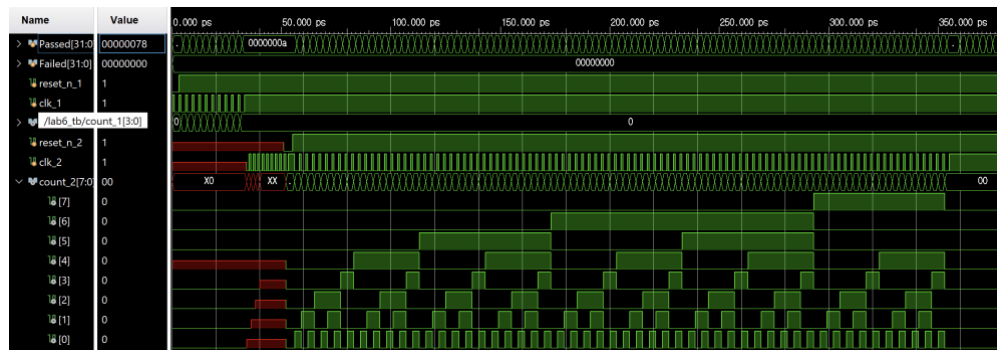


2) Lab6_2

Schematic으로 그린 회로도는 다음과 같다.

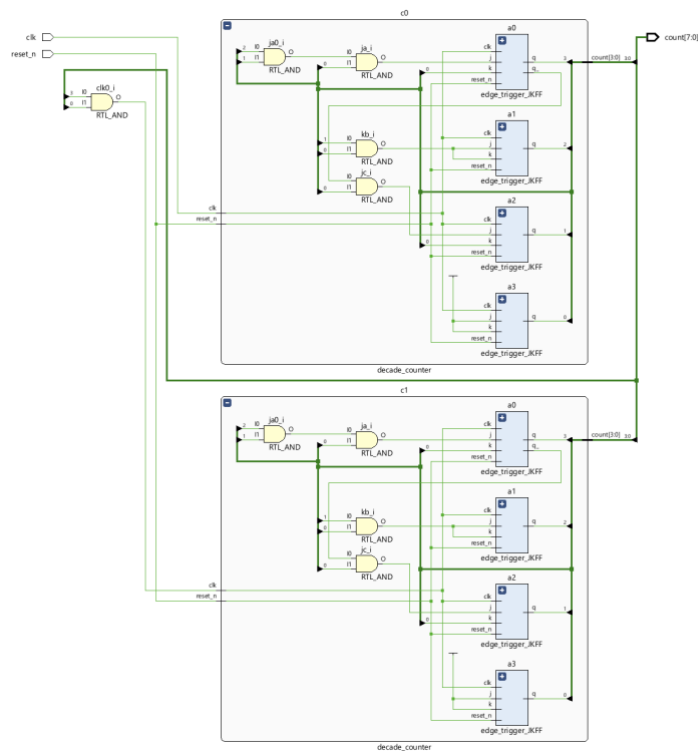


시뮬레이션 파형은 다음과 같다.

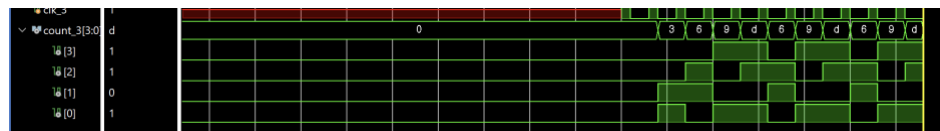


3) Lab6_3

Schematic으로 그린 회로도는 다음과 같다.



시뮬레이션 파형은 다음과 같다.



5. 논의

테스트 벤치에서 값을 초기화하고 Clk값을 조정하며 예측값과 실제값이 일치하는지를 검증해 볼 수 있었다.

```
# run 1000ns
lab6_1_test
lab6_2_test
lab6_3_test
Lab6 Passed = 120, Failed = 0
```