

# Hatim Kanchwala

Geburtsdatum: 07.02.1995

Anschrift: Engelbertstraße 12, 52078 Aachen, Deutschland

Telefon: +49 176 45 9995 53

Email: [hatim@hatimak.me](mailto:hatim@hatimak.me)

LinkedIn: <https://www.linkedin.com/in/hatimak>



## Ausbildung

**Apr. 2019 – Sept. 2022**

Aachen, Deutschland

**M. Sc. Elektrotechnik, Informationstechnik und Technische Informatik**

*RWTH Aachen Universität*

Abschlussnote 2,1

- Masterarbeit "Field-Programmable Gate Array basierte Echtzeitregelung und -simulation"

**Juli 2014 – Mai 2018**

Bihta (Patna), Indien

**B. Tech. Electrical Engineering**

*Indian Institute of Technology Patna*

Abschlussnote 7.32 / 10 (indische) = 2,1 (deutsche)

- Bachelorarbeit "Hardware Architecture of a Family of Sigma-Point Kalman Filters for Bayesian Estimation"

## Berufserfahrung

**Apr. 2021 – Dez. 2021**

Aachen, Deutschland

**Masterarbeit "Field-Programmable Gate Array basierte Echtzeitregelung und -simulation"**

*Institut für Energie- und Klimaforschung (IEK-10) am Forschungszentrum Jülich GmbH*

- Entwickelte ein Design mit Soft-Core-Mikroprozessoren, um Regelkreisalgorithmen für FPGA-basierte Echtzeitsimulatoren schnell zu prototypisieren.
- Entwurf von Control- und Data-Logger-Softcores für die Ausführung von Steuerungsalgorithmen mit Schaltfrequenz und die Speicherung von Simulationsdaten.
- Konzipierte heterogene Architektur mehrerer dedizierter Soft-Core-Mikroprozessoren, die hierarchische Regelkreissysteme ermöglicht.

**Okt. 2020 – Feb. 2021**

Home Office

**Praktikant**

*Institut für Energie- und Klimaforschung (IEK-10) am Forschungszentrum Jülich GmbH*

- Implementierte Stromnetzmodelle mit High-Level Synthesis-Designs für RTL Co-Simulation und Echtzeitsimulation auf FPGA.
- Erweiterte HLS-Modelle mit memory-mapped AXI4-Register-Schnittstellen. Verifizierte Hardware-Modelle auf Virtex-7 VC707 FPGA-Board mit Remote-Debugging.
- Entwickelte Makefile-Pipeline unter Linux für ORTIS-Code-Generierung, Vivado High-Level Synthesis, IP Integrator und FPGA-Bitstream-Generierung.

**Mai 2019 – Sept. 2020**

Aachen, Deutschland

**Studentische Hilfskraft**

*Institute for Automation of Complex Power Systems, E.ON Energy Research Centre*

- Integrierte Xilinx-FPGA-Boards in die VILLAS-Cosimulations-Plattform durch den Aufbau einer Architektur auf dem seriellen Aurora 8B/10B-Protokoll.
- Entwickelte ein Tcl-Makefile-System mit Skripten zur Automatisierung der Design-Generierung und Bitstream-Kompilierung.
- Entwickelte Bare-Metal-Driver-Programme in C/C++ für FPGA-Firmware.

**Mai 2018 – Nov. 2018**

IIT Patna, Indien

**Senior Research Fellow**

*"Underwater Target Motion Analysis with Passive Sensors",*

*Naval Physical & Oceanographic Laboratory (DRDO), Ministry of Defence, Govt of India*

- Implementierte fortgeschrittene Tracking-Filtern in MATLAB für das Bearings-only Tracking-Problem.
- Simulierte die Leistung von modernen Filtern anhand realer Manöverdaten der indischen Marine und erstellte eine vergleichende Studie.

- Aug. 2017 – Mai 2018**  
IIT Patna, Indien
- Bachelorarbeit “Hardware Architecture of a Family of Sigma-Point Kalman Filters for Bayesian Estimation”**  
*Control and Instrumentation Lab*
- Entwarf und implementierte eine parallele Architektur von Sigma-Point Kalman-Filteralgorithmen auf FPGA.
  - Konzipierte eine neue parallele Algorithm für die Dekomposition der Cholesky-Matrix; Verbesserung der Zeitkomplexität von  $O(N^3)$  auf  $O(N)$ .
  - Optimierte Ressourcennutzung der Cholesky-Dekompositionsarchitektur für doppelte Nutzung bei gleicher Prozessoranzahl.
- Mai 2017 – Aug. 2017**  
Google Summer of Code 2017
- Studentischer Softwareentwickler**  
*Free and Open Source Silicon Foundation, “EDSAC Museum on FPGA”*
- Baute eines Verilog-Modells eines historischen EDSAC-Computers auf der ursprünglichen aber unvollständigen Dokumentation in Zusammenarbeit mit Experten des National Museum of Computing, UK.
  - Entwarf und implementierte ein modifiziertes UART-Kommunikationsprotokoll zur Unterstützung externer Embedded-I/O-Schnittstellen.
- Feb. 2016 – Aug. 2016**  
Google Summer of Code 2016
- Studentischer Softwareentwickler**  
*Coreboot (Flashrom), “Read/Write Multiple Status Registers and Lock/Unlock Memory on SPI Chips”*
- Entwickelte eine einheitliche Abstraktion von Statusregistern in SPI Flash-Speicherchips von verschiedenen Chip-Herstellern.
  - Programmierte Functions zum Sperren/Entsperren von Speicherplätzen, zum Umgang mit Konfigurationsbits und zur automatischen Generierung von Speicherschutzmaps.
  - Entwickelte CLI, um neue Funktionen bereitzustellen, und testete die Infrastruktur mit Raspberry Pi und Teensy-Development-Board.

## Kenntnisse

<b>Programmierung</b>	Verilog, C/C++, Python, Assembly, Java, Tcl, JavaScript, Shell, HTML/CSS					
<b>Software</b>	Xilinx Vivado & HLS, MATLAB, Simulink, git/GitHub, RSCAD, NI LabVIEW, GNU/Linux, gdb, Verilator, yosys, L <sup>A</sup> T <sub>E</sub> X, gnuplot, OpenCV					
<b>Hardware</b>	Xilinx Virtex & Zynq SoC, Digilent Nexys4 DDR, RTDS NovaCor, Lattice FPGA, Raspberry Pi, Arduino, PIC Microcontroller					
<b>Sprachen</b>	English	Listening C2	Reading C2	Speaking C2	Writing C2	TOEFL 114 / 120
	Deutsch	Hören B1	Lesen B2	Sprechen B1	Schreiben B1	
	Hindi	Muttersprache				

## Ehrenamtliches und sonstige Tätigkeiten

- Juni 2021 – Apr. 2022**  
Aachen, Deutschland
- Freiwilliger**  
*Faiz al-Mawaid al-Burhaniyah (FMB)*
- Gründete die Aachener Gruppe von FMB mit und leitete ein Team von Freiwilligen, das mindestens einmal pro Woche hausgemachte und gesunde Mahlzeiten für Studenten in und um Aachen bereitstellt.
  - Organisierte Essensverteilungen zu festlichen Gelegenheiten, insbesondere im Ramadan.
- Apr. 2016 – Apr. 2017**  
IIT Patna, Indien
- Coordinator**  
*Startup Relations, Entrepreneurship Club*
- Leitete die Abteilung und bot Mentorenschaft für Start-ups auf dem Campus an.
  - Leitete die Organisation der jährlichen nationalen Veranstaltung E-Week 2017.

## Referenzen

**Univ.-Prof. Dr.-Ing. Andrea Benigni**  
*Deputy*  
Institut für Energie- und Klimaforschung,  
Forschungszentrum Jülich GmbH  
Telefon : +49 2461 61 85523  
Email: [a.benigni@fz-juelich.de](mailto:a.benigni@fz-juelich.de)

**Steffen Vogel, M. Sc.**  
*Team Simulation Infrastructure and HPC*  
Institute for Automation of Complex Power Systems,  
E.ON Energy Research Centre, RWTH Aachen Universität  
Telefon : +49 241 80 49577  
Email: [stvogel@eonerc.rwth-aachen.de](mailto:stvogel@eonerc.rwth-aachen.de)