

### 第3章 メモリ管理 演習問題

1. IBM 360は、2KBのブロックをロックするために、各ブロックに4ビットのキーを割り当て、CPUがすべてのメモリアクセス時にそのキーをPSW内の4ビットキーと比較する方式を採用していました。本文で言及されていないこの方式の欠点を2つ挙げなさい。
2. 図3-3では、ベースレジスタとリミットレジスタが同じ値16,384を含んでいます。これは単なる偶然ですか、それとも常に同じ値になるのでしょうか。もし偶然だとしたら、なぜこの例では同じ値になっているのですか。
3. スワッピングシステムは、コンパクションによってホール（空き領域）を解消します。多くのホールと多くのデータセグメントがランダムに分布しており、32ビットのメモリワードを読み書きするのに4ナノ秒かかると仮定した場合、4GBをコンパクションするのにどれくらいの時間がかかりますか。簡単のため、ワード0はホールの一部であり、メモリの最も高いワードには有効なデータが含まれていると仮定しなさい。
4. あるスワッピングシステムにおいて、メモリが次のサイズのホールで構成されているとします（メモリ上の順序）：10MB, 4MB, 20MB, 18MB, 7MB, 9MB, 12MB, 15MB。連続するセグメント要求 (a) 12MB, (b) 10MB, (c) 9MB に対して、ファーストフィット（first fit）ではどのホールが選択されますか。次に、ベストフィット（best fit）、ワーストフィット（worst fit）、ネクストフィット（next fit）についても同じ質問に答えなさい。
5. 物理アドレスと仮想アドレスの違いは何ですか。
6. 4KBページと8KBページのそれぞれの場合について、次の10進数の仮想アドレスに対する仮想ページ番号とオフセットを計算しなさい：20000, 32768, 60000。
7. 図3-9のページテーブルを使って、次の各仮想アドレスに対応する物理アドレスを答えなさい：(a) 20, (b) 4100, (c) 8300。
8. Intel 8086プロセッサはMMUを持っておらず、仮想メモリをサポートしていませんでした。それにもかかわらず、いくつかの企業は未変更の8086 CPUを搭載し、ページングを行うシステムを販売していました。彼らがそれをどのように実現したか、根拠のある推測をしなさい。（ヒント：MMUの論理的な位置について考えなさい。）
9. ページング方式の仮想メモリが機能するために、どのようなハードウェアのサポートが必要ですか。
10. コピーオンライトはサーバーシステムで使われる興味深いアイデアです。スマートフォンでも意味がありますか。
11. 次のCプログラムを考えます：

```
int X[N]; int step = M; /* Mはある定義済みの定数 */ for (int i = 0; i < N; i += step) X[i] = X[i] + 1;
```

  - a. このプログラムが4KBのページサイズと64エントリのTLBを持つマシンで実行された場合、内部ループの実行ごとにTLBミスを引き起こすMとNの値は何ですか。
  - b. ループが何度も繰り返された場合、(a)の答えは変わりますか。説明しなさい。
12. ページストレージとして利用可能でなければならないディスク容量は、プロセスの最大数n、仮想アドレス空間のバイト数v、RAMのバイト数rに関連しています。最悪の場合のディスク容量要件の式を求めなさい。この量はどれくらい現実的ですか。
13. 命令の実行に1ナノ秒かかり、ページフォールトが追加でnナノ秒かかるとします。k命令ごとにページフォールトが発生する場合の実効命令時間の式を求めなさい。
14. あるマシンは32ビットのアドレス空間と8KBのページを持っています。ページテーブルは完全にハードウェア内にあり、エントリごとに32ビットのワードが1つあります。プロセスが開始されると、ページテーブルはメモリからハードウェアに、1ワードあたり100ナノ秒でコピーされます。各プロセスが（ページテーブルのロード時間を含めて）100ミリ秒実行される場合、CPU時間の何パーセントがページテーブルのロードに費やされますか。
15. あるマシンが48ビットの仮想アドレスと32ビットの物理アドレスを持っています。
  - a. ページが4KBの場合、単一レベルのページテーブルにはいくつのエントリが必要ですか。説明しなさい。
  - b. この同じシステムが32エントリのTLBを持っているとします。さらに、あるプログラムが1ページに収ま

る命令を含み、数千ページにまたがるlong integerの配列から要素を順次読み取るとします。この場合、TLBはどれくらい効果的ですか。

16. ある仮想メモリシステムについて、以下のデータが与えられています。
  - a. TLBは1024エントリを保持でき、1クロックサイクル（1ナノ秒）でアクセスできる。
  - b. ページテーブルエントリは100クロックサイクルまたは100ナノ秒で見つけられる。
  - c. 平均ページ置換時間は6ミリ秒である。もしページ参照が99%の確率でTLBによって処理され、0.01%しかページフォールトにつながらないとすると、実効アドレス変換時間はどれくらいですか。
17. あるマシンが38ビットの仮想アドレスと32ビットの物理アドレスを持っているとします。
  - a. 単一レベルのページテーブルに対する多階層ページテーブルの主な利点は何ですか。
  - b. 2階層のページテーブル、16KBのページ、4バイトのエントリがある場合、トップレベルのページテーブルフィールドには何ビット、次のレベルのページテーブルフィールドには何ビット割り当てらるべきですか。説明しなさい。
18. 3.3.4節では、Pentium Proがページテーブル階層の各エントリを64ビットに拡張したが、依然として4GBのメモリしかアドレッシングできなかったと述べています。ページテーブルエントリが64ビットであるのに、この記述がどのようにして真実となりうるのか説明しなさい。
19. 32ビットアドレスを持つコンピュータが2階層のページテーブルを使用しています。仮想アドレスは、9ビットのトップレベルページテーブルフィールド、11ビットのセカンドレベルページテーブルフィールド、そしてオフセットに分割されます。ページの大きさはどれくらいで、アドレス空間にはいくつのページがありますか。
20. 32ビットの仮想アドレスと4KBのページを持つコンピュータがあります。プログラムとデータは合わせて最も低いページ（0-4095）に収まります。スタックは最も高いページに収まります。伝統的な（単一レベルの）ページングが使われる場合、ページテーブルにはいくつのエントリが必要ですか。10ビットずつを各パートに使う2階層ページングの場合、ページテーブルエントリはいくつ必要ですか。
21. 512バイトのページを持つコンピュータでのプログラム断片の実行トレースを以下に示します。プログラムはアドレス1020にあり、そのスタックポインタは8192です（スタックは0に向かって成長します）。このプログラムによって生成されるページ参照列を答えなさい。各命令は即値定数を含めて4バイト（1ワード）を占めます。命令とデータの両方の参照を参照列に含めなさい。Load word 6144 into register 0 Push register 0 onto the stack Call a procedure at 5120, stacking the return address Subtract the immediate constant 16 from the stack pointer Compare the actual parameter to the immediate constant 4 Jump if equal to 5152
22. アドレス空間に1024ページを持つプロセスがあるコンピュータは、ページテーブルをメモリ内に保持しています。ページテーブルから1ワードを読み取るのに必要なオーバーヘッドは5ナノ秒です。このオーバーヘッドを削減するために、このコンピュータは32組の（仮想ページ、物理ページフレーム）ペアを保持し、1ナノ秒で検索できるTLBを備えています。平均オーバーヘッドを2ナノ秒に削減するには、どれくらいのヒット率が必要ですか。
23. TLBに必要な連想メモリデバイスは、ハードウェアでどのように実装できますか。また、そのような設計が拡張性にどのような影響を与えますか。
24. 48ビットの仮想アドレスと32ビットの物理アドレスを持つマシンがあります。ページは8KBです。単一レベルの線形ページテーブルには、いくつのエントリが必要ですか。
25. 8KBのページ、256KBの主記憶、64GBの仮想アドレス空間を持つコンピュータが、仮想メモリを実装するために逆引きページテーブルを使用しています。ハッシュチェーンの平均長を1未満に保つためには、ハッシュテーブルはどれくらいの大きさであるべきですか。ハッシュテーブルのサイズは2のべき乗であると仮定しなさい。
26. コンパイラ設計コースの学生が、最適ページ置換アルゴリズムを実装するために使用できるページ参照のリストを生成するコンパイラを作成するプロジェクトを教授に提案しました。これは可能ですか。なぜ可能、あるいは不可能ですか。実行時のページング効率を改善するためにできることはありますか。
27. ある仮想ページ参照ストリームが、長いページ参照シーケンスの繰り返しと、それに続く時折のランダムなページ参照を含んでいるとします。例えば、シーケンス 0, 1, ..., 511, 431, 0, 1, ..., 511, 332, 0, 1, ... は、0, 1, ..., 511 のシーケンスの繰り返しと、それに続くページ431と332へのランダムな参照で構成されています。
  - a. シーケンス長よりも小さいページ割り当てに対して、標準的な置換アルゴリズム（LRU, FIFO, clock）がこのワークロードを扱うのに効果的でないのはなぜですか。

- b. このプログラムに500ページフレームが割り当てられた場合、LRU, FIFO, clockアルゴリズムよりもはるかに優れた性能を発揮するページ置換アプローチを説明しなさい。
28. 4つのページフレームと8つのページでFIFOページ置換が使用される場合、参照列 0172327103 で、4つのフレームが最初は空であるとする、何回のページフォールトが発生しますか。次に、この問題をLRUについて繰り返しなさい。
29. 図3-15(b)のページシーケンスを考えます。ページBからAまでのRビットがそれぞれ 11011011 であるとし、セカンドチャンスはどのページを削除しますか。
30. スマートカード上の小型コンピュータには4つのページフレームがあります。最初のクロックティックで、Rビットは0111です（ページ0が0、他は1）。その後のクロックティックでの値は、1011, 1010, 1101, 0010, 1010, 1100, 0001です。エージングアルゴリズムが8ビットのカウンタで使われる場合、最後のティック後の4つのカウンタの値を答えなさい。
31. clockページ置換アルゴリズムとLRUページ置換アルゴリズムで、置換対象として選択される最初のページが異なるような簡単なページ参照シーケンスの例を挙げなさい。プロセスには3つのフレームが割り当てられ、参照列は集合{0, 1, 2, 3}のページ番号を含むと仮定します。
32. 図3-20(c)のWSClockアルゴリズムで、針がR=0のページを指しているとし、もし $\tau=400$ なら、このページは削除されますか。もし $\tau=1000$ ならどうですか。
33. WSClockページ置換アルゴリズムが $\tau=2$ ティックを使用し、システムの状態が以下であるとし、| Page | Timestamp | V | R | M | | | | | | | 0 | 6 | 1 | 0 | 1 | | 1 | 9 | 1 | 1 | 0 | | 2 | 9 | 1 | 1 | 1 | | 3 | 7 | 1 | 0 | 0 | | 4 | 4 | 0 | 0 | 0 | ここで、3つのフラグビットV, R, MはそれぞれValid, Referenced, Modifiedを表します。
- ティック10でクロック割り込みが発生した場合、新しいテーブルエントリの内容を示しなさい。説明も加えなさい。（変更がないエントリは省略してかまいません。）
  - クロック割り込みの代わりに、ティック10でページ4への読み込み要求によりページフォールトが発生したとします。新しいテーブルエントリの内容を示しなさい。説明も加えなさい。（変更がないエントリは省略してかまいません。）
34. ある学生が「抽象的に言えば、基本的なページ置換アルゴリズム（FIFO, LRU, 最適）は、置換対象のページを選択するために使用される属性を除いて同一である」と主張しました。
- FIFOアルゴリズム、LRUアルゴリズム、最適アルゴリズムにとって、その属性とは何ですか。
  - これらのページ置換アルゴリズムの一般的なアルゴリズムを述べなさい。
35. 平均シークタイムが5ミリ秒、回転時間が5ミリ秒、トラックが1MBを保持するディスクから、64KBのプログラムをロードするのにどれくらいの時間がかかりますか。
- 2KBのページサイズの場合。
  - 4KBのページサイズの場合。ページはディスク上にランダムに散らばっており、シリンダの数が非常に多いため、2つのページが同じシリンダにある可能性は無視できるとします。
36. あるコンピュータには4つのページフレームがあります。各ページのロード時間、最終アクセス時間、およびRビットとMビットは以下の通りです（時間はクロックティック単位）。| Page | Loaded | Last ref. | R | M | | | | | 0 | 126 | 280 | 1 | 0 | | 1 | 230 | 265 | 0 | 1 | | 2 | 140 | 270 | 0 | 0 | | 3 | 110 | 285 | 1 | 1 |
- NRUはどのページを置換しますか。
  - FIFOはどのページを置換しますか。
  - LRUはどのページを置換しますか。
  - セカンドチャンスはどのページを置換しますか。
37. 2つのプロセスAとBが、メモリにない共有ページを共有しているとします。もしプロセスAがその共有ページでフォールトを起こした場合、ページがメモリに読み込まれた後、プロセスAのページテーブルエントリを更新する必要があります。
- プロセスAのページフォールト処理によって共有ページがメモリに読み込まれるにもかかわらず、プロセスBのページテーブル更新を遅らせるべきなのはどのような状況ですか。説明しなさい。
  - ページテーブルの更新を遅らせることの潜在的なコストは何ですか。
38. 次の2次元配列を考えます： int X; あるシステムが4つのページフレームを持ち、各フレームは128ワード（整数は1ワードを占める）であるとし、X配列を操作するプログラムはちょうど1ページに収まり、常にページ0を占有します。データは他の3つのフレームにスワップされます。X配列は行優先順で格納されます（つまり、Xはメモリ内でXの後に続きます）。以下に示す2つのコード断片のうち、どちらが最も少ないページフォールト

を生成しますか。説明し、ページフォルトの総数を計算しなさい。断片A for (int j = 0; j < 64; j++) for (int i = 0; i < 64; i++) X[i][j] = 0; 断片B for (int i = 0; i < 64; i++) for (int j = 0; j < 64; j++) X[i][j] = 0;

39. あなたは、数千台のサーバーを各データセンターに展開しているクラウドコンピューティング企業に雇われました。彼らは最近、サーバーAでのページフォルトを、ローカルのディスクドライブからではなく、他のサーバーのRAMメモリからページを読み込むことで処理するのが価値があるかもしれないと聞きました。
- それはどのようにして可能ですか。
  - どのような条件下でそのアプローチは価値があり、実現可能ですか。
40. 最初のタイムシェアリングマシンの一つであるDEC PDP-1は、4Kワードの18ビット（コア）メモリを持っていました。一度に1つのプロセスをメモリに保持していました。スケジューラが別のプロセスを実行することを決定すると、メモリ内のプロセスはページングドラムに書き出されました。このドラムは円周上に4Kワードの18ビットデータを保持していました。ドラムはワード0からだけでなく、任意のワードから書き込み（または読み込み）を開始できました。なぜこのドラムが選ばれたと思いますか。
41. あるコンピュータは、各プロセスに65,536バイトのアドレス空間を提供し、それは4096バイトずつのページに分割されています。特定のプログラムは、テキストサイズが32,768バイト、データサイズが16,386バイト、スタックサイズが15,870バイトです。このプログラムはマシンのアドレス空間に収まりますか。もしページサイズが4096バイトではなく512バイトだったら、収まりますか。各ページはテキスト、データ、スタックのいずれかを含む必要があり、2つまたは3つの混合は許されません。
42. ページフォルト間の実行命令数は、プログラムに割り当てられたページフレームの数に正比例することが観測されています。利用可能なメモリが2倍になると、ページフォルト間の平均間隔も2倍になります。通常の命令が1マイクロ秒かかり、ページフォルトが発生するとその処理に2001マイクロ秒（つまり2ミリ秒）かかるとします。あるプログラムが60秒で実行され、その間に15,000回のページフォルトが発生した場合、メモリが2倍利用可能であれば実行時間はどれくらいになりますか。
43. あるコンピュータ会社のOS設計者グループが、新しいOSで必要となるバッキングストアの量を減らす方法を考えています。チーフグルは、プログラムテキストをスワップ領域に保存するのをやめて、必要なときにいつでもバイナリファイルから直接ページインするというアイデアを提案しました。このアイデアは、どのような条件下でプログラムテキストに対して機能しますか。どのような条件下でデータに対して機能しますか。
44. レジスタに32ビットのワードをロードする機械語命令には、ロードするワードの32ビットアドレスが含まれています。この命令が引き起こしうるページフォルトの最大数はいくつですか。
45. 内部フラグメンテーションと外部フラグメンテーションの違いを説明しなさい。ページングシステムではどちらが発生しますか。純粋なセグメンテーションを使用するシステムではどちらが発生しますか。
46. MULTICSのように、セグメンテーションとページングの両方が使用される場合、まずセグメント記述子を検索し、次にページ記述子を検索する必要があります。TLBもこのように2段階の検索で機能しますか。
47. 次に示す2つのセグメントを持つプログラムを考えます。セグメント0には命令が、セグメント1には読み書き可能なデータが含まれています。セグメント0は読み取り/実行保護、セグメント1は読み取り/書き込み保護のみです。メモリシステムはデマンドページング方式の仮想メモリシステムで、仮想アドレスは4ビットのページ番号と10ビットのオフセットを持ちます。ページテーブルと保護は以下の通りです（表中の数値はすべて10進数）。**セグメント0** (読み取り/実行) | 仮想ページ # | ページフレーム # | | 0 | 2 | 1 | ディスク上 | 2 | 11 | 3 | 5 | 4 | ディスク上 | 5 | ディスク上 | 6 | 4 | 7 | 3 | **セグメント1** (読み取り/書き込み) | 仮想ページ # | ページフレーム # | | 0 | ディスク上 | 1 | 14 | 2 | 9 | 3 | 6 | 4 | ディスク上 | 5 | 13 | 6 | 8 | 7 | 12 | 次の各ケースについて、動的アドレス変換によって得られる実際のメモリアドレスを答えるか、発生するフォルトの種類（ページフォルトまたは保護フォルト）を特定しなさい。
- セグメント1、ページ1、オフセット3からのフェッチ
  - セグメント0、ページ0、オフセット16へのストア
  - セグメント1、ページ4、オフセット28からのフェッチ
  - セグメント1、ページ3、オフセット32の位置へのジャンプ
48. 仮想メモリをサポートすることが悪い考えとなる状況、また仮想メモリをサポートしないことで何が得られるかを考えられますか。説明しなさい。
49. 仮想メモリは、あるプロセスを別のプロセスから隔離するメカニズムを提供します。2つのオペレーティングシステムを同時に実行できるようにする場合、どのようなメモリ管理の困難が伴いますか。これらの困難にどの

ように対処できるでしょうか。

50. あなたがアクセスできるコンピュータ上の実行可能バイナリファイルのサイズのヒストグラムをプロットし、平均と中央値を計算しなさい。Windowsシステムでは、すべての.exeと.dllファイルを見てください。UNIXシステムでは、/bin, /usr/bin, /local/binにあるスクリプトではないすべての実行可能ファイルを見てください（またはfileユーティリティを使ってすべての実行可能ファイルを見つけてください）。コードのみを考慮して、このコンピュータに最適なページサイズを決定しなさい。内部フラグメンテーションとページテーブルのサイズを考慮し、ページテーブルエントリのサイズについて合理的な仮定を立てなさい。すべてのプログラムが同じ確率で実行されると仮定し、したがって均等に重み付けされるべきです。
51. エージングアルゴリズムを使用するページングシステムをシミュレートするプログラムを書きなさい。ページフレームの数はパラメータとします。ページ参照のシーケンスはファイルから読み取るようにしなさい。与えられた入力ファイルについて、利用可能なページフレームの数を関数として、1000メモリ参照あたりのページフォールト数をプロットしなさい。
52. WSClockアルゴリズムを使用するおもちゃのページングシステムをシミュレートするプログラムを書きなさい。このシステムがおもちゃである理由は、書き込み参照がないと仮定する（あまり現実的ではない）こと、そしてプロセスの終了と生成を無視する（永遠の命）からです。入力は以下の通りです：
  - 回収年齢の閾値
  - メモリ参照数で表されるクロック割り込み間隔
  - ページ参照のシーケンスを含むファイル
  - a. 実装における基本的なデータ構造とアルゴリズムを説明しなさい。
  - b. 簡単だが自明ではない入力例に対して、シミュレーションが期待通りに動作することを示しなさい。
  - c. 1000メモリ参照あたりのページフォールト数とワーキングセットサイズをプロットしなさい。
  - d. 書き込みも含むページ参照ストリームを扱うためにプログラムを拡張するには何が必要か説明しなさい。
53. 大規模な配列をスライド（一定間隔でアクセス）することで、TLBミスが実効メモリアクセス時間に与える影響を、アクセスごとの時間を測定することによって示すプログラムを書きなさい。
  - a. プログラムの背後にある主な概念を説明し、いくつかの実用的な仮想メモリアーキテクチャに対して出力が何を示すと期待されるかを述べなさい。
  - b. あるコンピュータでプログラムを実行し、データがあなたの期待にどれだけ合致するかを説明しなさい。
  - c. (b)を、異なるアーキテクチャの古いコンピュータで繰り返し、出力の主な違いを説明しなさい。
54. 2つのプロセスの場合について、局所的なページ置換ポリシーと大域的なページ置換ポリシーを使用することの違いを示すプログラムを書きなさい。統計モデルに基づいてページ参照列を生成するルーチンが必要です。このモデルは、0からN-1までの番号が付けられたN個の状態を持ち、それぞれの状態は可能なページ参照を表し、各状態iには確率 $p_i$ が関連付けられており、これは次の参照が同じページである確率を表します。そうでなければ、次のページ参照は他のページのいずれかに等しい確率でなります。
  - a. 小さなNに対して、ページ参照列生成ルーチンが適切に動作することを示しなさい。
  - b. 1つのプロセスと固定数のページフレームがある簡単な例で、ページフォールト率を計算しなさい。その振る舞いが正しい理由を説明しなさい。
  - c. 独立したページ参照シーケンスを持つ2つのプロセスと、(b)の2倍のページフレームで(b)を繰り返しなさい。
  - d. (c)を、局所的なポリシーの代わりに大域的なポリシーを使用して繰り返しなさい。また、プロセスごとのページフォールト率を局所的なポリシーのアプローチと比較しなさい。
55. 2つのプログラム間で制御が切り替わる際に、TLBエントリにタグフィールドを追加することの有効性を比較するために使用できるプログラムを書きなさい。タグフィールドは、各エントリをプロセスIDで効果的にラベル付けするために使用されます。タグ付けされていないTLBは、すべてのTLBエントリがいつでも同じタグを持つことを要求することによってシミュレートできることに注意してください。入力は以下の通りです：
  - 利用可能なTLBエントリの数
  - メモリ参照数で表されるクロック割り込み間隔
  - (プロセス、ページ参照) エントリのシーケンスを含むファイル
  - 1つのTLBエントリを更新するためのコスト
  - a. 実装における基本的なデータ構造とアルゴリズムを説明しなさい。
  - b. 簡単だが自明ではない入力例に対して、シミュレーションが期待通りに動作することを示しなさい。

c. 1000参照あたりのTLB更新回数をプロットしなさい。