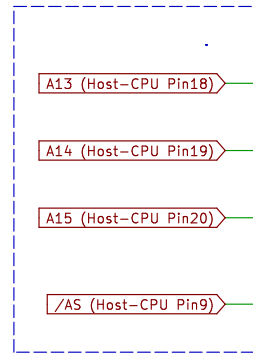
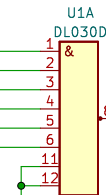
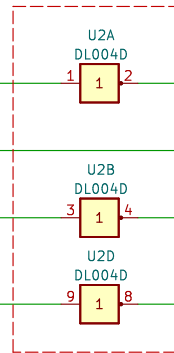


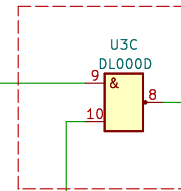
# Signale der Host-CPU



Erkennung T1-State der Host-CPU  
bei Zugriff auf IRM (4000H-5FFFH)



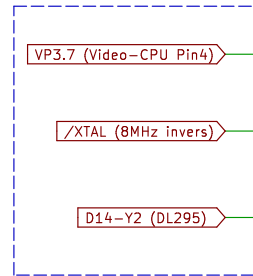
## CPU-Takt-Tor



ACHTUNG !!!

Pin3 der Host-CPU muss von der Schaltung  
abgetrennt werden und separat an  
Pin 8 des DL000 gelegt werden.

# Signale aus Video-Steuerung



H/V Austast-Signal  
(kein CPU\_WAIT, wenn Austastlücke)

START\_CPU\_WAIT-Synchronisation  
mit Systemtakt

Ende von CPU\_WAIT, synchron zum Lade-Takt  
der Video-Schieberegister (DL299)



Die Schaltung unterdrückt die Störungen im Bildschirm, die durch konkurrierende  
Zugriffe der Host- und Video-CPU auf den Bildwiederholtspeicher entstehen.  
Die Video-CPU erhält nun Vorrang vor der Host-CPU. Dazu wird das Verfahren  
„CPU-Takt-Verzögerung“ aus dem ZX-Spectrum verwendet, welches im ULA-Chip  
implementiert wurde [1].

Die Schreib- und Lesezyklen der Host-CPU werden durch Verlängerung des  
T1-State der Host-CPU mit dem Lesezyklus der Video-CPU synchronisiert.  
Die Host-CPU erhält erst nach dem Laden der Video-Schieberegister Zugriff  
auf den Bildwiederholtspeicher.

Die Signalbezeichnungen sind aus den Plänen von Bert entnommen  
([https://github.com/boert/JU-TE-Computer/tree/main/Tiny\\_6k](https://github.com/boert/JU-TE-Computer/tree/main/Tiny_6k)).

## HINWEIS !!!

Das BUSY-Signal der Video-CPU (P3.6, Pin40) sollte von P3.2 (Pin12)  
der Host-CPU getrennt werden, damit die Programme, welche das BUSY-Signal  
abfragen (z.B. die Grafik-Befehle des ES 4.0) auch schneller laufen.

[1] The ZX Spectrum ULA (How to design a Microcomputer, Chris Smith, 2010)

Sheet:	
File: JU-TE-6K-Video-HW-Patch.kicad_sch	
<b>Title: Ju-TeC 6K Video-Entstörung</b>	
Size: A4	Date:
KiCad E.D.A. eeschema 7.0.1	Rev:
	Id: 1/1