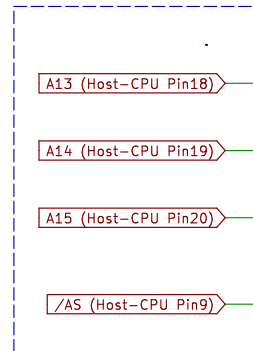
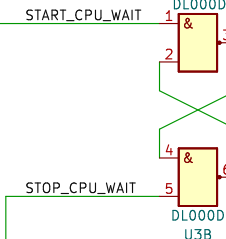
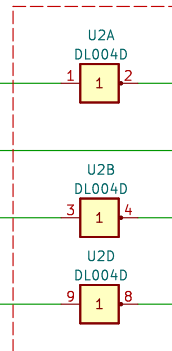


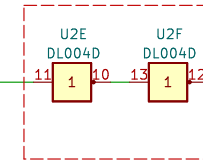
Signale der Host-CPU



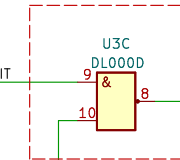
Erkennung T1-State der Host-CPU
bei Zugriff auf den BWS (4000H-5FFFH)



Verzögerung



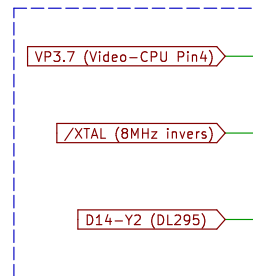
CPU-Takt-Tor



ACHTUNG !!!

Pin3 der Host-CPU muss von
der Schaltung abgetrennt
werden und separat an Pin 8
des DL000 gelegt werden.

Signale aus Video-Steuerung



H/V Austast-Signal
(kein CPU_WAIT, wenn Austastlücke)

START_CPU_WAIT-Synchronisation
mit Systemtakt

Ende von CPU_WAIT, synchron zum Lade-Takt
der Video-Schieberegister (DL299)

Die Schaltung unterdrückt die Störungen im Bildschirm, die durch konkurrierende Zugriffe der Host- und Video-CPU auf den IRM entstehen. Die Video-CPU erhält nun Vorrang vor der Host-CPU. Dazu wird das Verfahren „CPU-Takt-Verzögerung“ aus dem ZX-Spectrum verwendet, welches im ULA-Chip implementiert wurde [1].

Die Schreib- Lesezyklen der Host-CPU werden durch Verlängerung des T1-State der Host-CPU mit dem Lesezyklus der Video-CPU synchronisiert. Die Host-CPU erhält erst nach dem Laden der Video-Schieberegister Zugriff auf den BWS.

Die Signalbezeichnungen sind aus den Plänen von Bert entnommen
(<https://github.com/boert/JU-TE-Computer/tree/main/Tiny-6k>).

HINWEIS !!!

Das BUSY-Signal der Video-CPU (P3.6, Pin40) sollte von P3.2 (Pin12) der Host-CPU getrennt werden, damit die Programme, welche das BUSY-Signal abfragen (z.B. die Grafik-Befehle des ES 4.0) auch schneller laufen.

[1] The ZX Spectrum ULA (How to design a Microcomputer, Chris Smith, 2010)

Sheet:
File: JU-TE-6K-Video-HW-Patch.kicad_sch

Title: JU-TE 6K Video-Entstörung

Size: A4
KiCad E.D.A. eeschema 7.0.1

Rev: V2.0
Id: 1/1