

Appendix A: Milestone 1 State Tabel

State Code	S0	S1	S2	COM0	COM1	COM2	COM3	COM4	COM5	COM0	COM1	COM2	COM3	COM4	COM5
RGB_Pointer	0		1		2		3		4		5		6		7
Y_Pointer	-2			-1						0					
SRAM_address	A ₀ (R GB ₀)		A ₁ (R GB ₁)		A ₂ (R GB ₂)		A ₃ (R GB ₃)		A ₄ (RGB 4)	A ₅ (Y ₀)	A ₆ (R GB ₅)		A ₇ (R GB ₆)		A ₈ (R GB ₇)
SRAM_read_data				D ₀ (R ₀ ,G ₀)		D ₀ (B ₀ ,R ₁)		D ₂ (G ₁ ,B ₁)		D ₃ (R ₂ ,G ₂)		D ₄ (B ₂ ,R ₃)		D ₆ (G ₃ ,B ₃)	
SRAM_read_data_Buffer					G ₀		R ₁		B ₁		G ₂		R ₃		B ₃
SRAM_write_data										(Y ₀ ,Y ₁)					
pixel_X_pos	0								2						4
SRAM_we_n	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
Accumulator ₁				F _V (R ₀)	F _V (R ₀ , G ₀)	0	F _V (R ₁)	F _V (R ₁ , G ₁)	0	F _V (R ₂)	F _V (R ₂ , G ₂)	0	F _V (R ₃)	F _V (R ₂ , G ₃)	0
Accumulator ₂				F _U (R ₀)	F _U (R ₀ , G ₀)	0	F _U (R ₁)	F _U (R ₁ , G ₁)	0	F _U (R ₂)	F _U (R ₂ , G ₂)	0	F _U (R ₃)	F _U (R ₂ , G ₃)	0
Accumulator ₃				F _V (R ₀)	F _V (R ₀ , G ₀)	0	F _V (R ₁)	F _V (R ₁ , G ₁)	0	F _V (R ₂)	F _V (R ₂ , G ₂)	0	F _V (R ₃)	F _V (R ₂ , G ₃)	0
Y_Buffer[1:0]						[0,Y ₀]			[Y ₀ ,Y ₁]			[Y ₁ ,Y ₂]			[Y ₂ ,Y ₃]
U						U ₀			U ₁			U ₂			U ₃
V						V ₀			V ₁			V ₂			V ₃
U_E_Buffer[2:0]								[0,0 ,U ₀]						[0,U ₀ ,U ₂]	
V_E_Buffer[2:0]								[0,0,V ₀]						[0, V ₀ ,V ₂]	
U_O_Buffer[5:0]						[0,0,0 ,U ₀ , U ₀ ,U ₀]			[0,0, U ₀ ,U ₀ ,U ₀ ,U ₁]						[0,U ₀ , U ₀ ,U ₀ ,U ₁ ,U ₃]
V_O_Buffer[5:0]						[0,0,0 ,V ₀ , V ₀ ,V ₀]			[0,0, V ₀ ,V ₀ , V ₀ ,V ₁]						[0,V ₀ , V ₀ ,V ₀ , V ₁ ,V ₃]
MAC ₄															
U ⁻															
V ⁻															
U ⁻ _Buffer[1:0]															
V ⁻ _Buffer[1:0]															
U ⁻ _V ⁻ _Pair_Ready									0						0
begin_U ⁻ _V ⁻ _write									0						0

State Code	COM0	COM1	COM2	COM3	COM4	COM5	COM0	COM1	COM2	COM3	COM4	COM5
RGB_Pointer		8		9		10		11		12		13
Y_Pointer	1						2					
SRAM_address	A ₉ (Y ₁)	A ₁₀ (RG B ₈)		A ₁₁ (RG B ₉)		A ₁₂ (RG B ₁₀)	A ₁₃ (Y ₂)	A ₁₄ (RG B ₁₁)		A ₁₅ (RG B ₁₂)		A ₁₆ (RG B ₁₃)
SRAM_read_data	D ₇ (R ₄ , G ₄)		D ₈ (B ₄ , R ₅)		D ₁₀ (G ₅ , B ₅)		D ₁₁ (R ₆ , G ₆)		D ₁₂ (B ₆ , R ₇)		D ₁₄ (G ₇ , B ₇)	
SRAM_read_data_Buffer		G ₄		R ₅		B ₅		G ₆		R ₇		B ₇
SRAM_write_data	(Y ₂ ,Y ₃)						(Y ₄ ,Y ₅)					
pixel_X_pos						6						8
SRAM_we_n	0	1	1	1	1	1	0	1	1	1	1	1
MAC ₁	F _V (R ₄)	F _V (R ₄ ,G 4)	0	F _V (R ₅)	F _V (R ₅ ,G 5)	0	F _V (R ₆)	F _V (R ₆ ,G ₆)	0	F _V (R ₇)	F _V (R ₇ ,G 7)	0
MAC ₂	F _U (R ₄)	F _U (R ₄ ,G 4)	0	F _U (R ₅)	F _U (R ₅ ,G 5)	0	F _U (R ₆)	F _U (R ₆ ,G ₆)	0	F _U (R ₇)	F _U (R ₇ ,G 7)	0
MAC ₃	F _V (R ₄)	F _V (R ₄ ,G 4)	0	F _V (R ₅)	F _V (R ₅ ,G 5)	0	F _V (R ₆)	F _V (R ₆ ,G ₆)	0	F _V (R ₇)	F _V (R ₇ ,G 7)	0
Y_Buffer[1:0]			[Y ₃ ,Y ₄]			[Y ₄ ,Y ₅]			[Y ₅ ,Y ₆]			[Y ₆ ,Y ₇]

U			U ₄			U ₅			U ₆			U ₇
V			V ₄			V ₅			V ₆			V ₇
U_E_Buffer[2:0]					[U ₀ ,U ₂ ,U ₄]						[U ₂ ,U ₄ ,U ₆]	
V_E_Buffer[2:0]					[V ₀ ,V ₂ ,V ₄]						[V ₂ ,V ₄ ,V ₆]	
U_O_Buffer[5:0]						[U ₀ ,U ₀ ,U ₀ ,U ₁ ,U ₃ ,U ₅]						[U ₀ ,U ₀ ,U ₁ ,U ₃ ,U ₅ ,U ₇]
V_O_Buffer[5:0]						[V ₀ ,V ₀ ,V ₀ ,V ₁ ,V ₃ ,V ₅]						[V ₀ ,V ₀ ,V ₁ ,V ₃ ,V ₅ ,V ₇]
MAC ₄							F _U [0]	F _U [0]	F _U [0]	F _V [0]	F _V [0]	F _V [0]
U [^]									U [^] ₀			
V [^]												V [^] ₀
U [^] _Buffer[1:0]									[0, U [^] ₀]			
V [^] _Buffer[1:0]												[0, V [^] ₀]
U [^] _V [^] _Pair_Ready						0						0
begin_U [^] _V [^] _write						0						0

State Code	27/CO M0	28/CO M1	29/CO M2	30/CO M3	31/CO M4	32/CO M5	33/CO M0	34/CO M1	35/CO M2	36/CO M3	37/CO M4	38/CO M5
RGB_Pointer		14		15		16		17		18		19
Y_Pointer	3						4					
SRAM_address	A ₁₇ (Y ₃)	A ₁₈ (RG B ₁₄)		A ₁₉ (RG B ₁₅)		A ₂₀ (RG B ₁₆)	A ₂₁ (Y ₄)	A ₂₂ (RG B ₁₇)	A ₂₃ (U [^] ₀)	A ₂₄ (RG B ₁₈)	A ₂₅ (V [^] ₀)	A ₂₆ (RG B ₁₉)
SRAM_read_data	D ₁₅ (R ₈ , G ₈)		D ₁₆ (B ₈ , R ₉)		D ₁₈ (G ₉ , B ₉)		D ₁₉ (R ₁₀ , G ₁₀)		D ₂₀ (B ₁₀ , R ₁₁)		D ₂₂ (G ₁₁ , B ₁₁)	
SRAM_read_data_Buffer		G ₈		R ₉		B ₉		G ₁₀		R ₁₁		B ₁₁
SRAM_write_data	(Y ₆ ,Y ₇)						(Y ₈ ,Y ₉)		(U [^] ₀ , U [^] ₁)		(V [^] ₀ , V [^] ₁)	
pixel_X_pos						10						12
SRAM_we_n	0	1	1	1	1	1	0	1	0	1	0	1
MAC ₁	F _V (R ₈)	F _V (R ₈ ,G ₈)	0	F _V (R ₉)	F _V (R ₉ ,G ₉)	0	F _V (R ₁₀)	F _V (R ₁₀ ,G ₁₀)	0	F _V (R ₁₁)	F _V (R ₁₁ ,G ₁₁)	0
MAC ₂	F _U (R ₈)	F _U (R ₈ ,G ₈)	0	F _U (R ₉)	F _U (R ₉ ,G ₉)	0	F _U (R ₁₀)	F _U (R ₁₀ ,G ₁₀)	0	F _U (R ₁₁)	F _U (R ₁₁ ,G ₁₁)	0
MAC ₃	F _V (R ₈)	F _V (R ₈ ,G ₈)	0	F _V (R ₉)	F _V (R ₉ ,G ₉)	0	F _V (R ₁₀)	F _V (R ₁₀ ,G ₁₀)	0	F _V (R ₁₁)	F _V (R ₁₁ ,G ₁₁)	0
Y_Buffer[1:0]			[Y ₇ ,Y ₈]			[Y ₈ ,Y ₉]			[Y ₉ ,Y ₁₀]			[Y ₁₀ ,Y ₁₁]
U			U ₈			U ₉			U ₁₀			U ₁₁
V			V ₈			V ₉			V ₁₀			V ₁₁
U_E_Buffer[2:0]					[U ₄ ,U ₆ ,U ₈]						[U ₆ ,U ₈ ,U ₁₀]	
V_E_Buffer[2:0]					[V ₄ ,V ₆ ,V ₈]						[V ₆ ,V ₈ ,V ₁₀]	
U_O_Buffer[5:0]						[U ₀ ,U ₁ ,U ₃ ,U ₅ ,U ₇ ,U ₉]						[U ₁ ,U ₃ ,U ₅ ,U ₇ ,U ₉ ,U ₁₁]
V_O_Buffer[5:0]						[V ₀ ,V ₁ ,V ₃ ,V ₅ ,V ₇ ,V ₉]						[V ₁ ,V ₃ ,V ₅ ,V ₇ ,V ₉ ,V ₁₁]
MAC ₄	F _U [1]	F _U [1]	F _U [1]	F _V [1]	F _V [1]	F _V [1]	F _U [2]	F _U [2]	F _U [2]	F _V [2]	F _V [2]	F _V [2]
U [^]			U [^] ₁						U [^] ₂			
V [^]						V [^] ₁						V [^] ₂
U [^] _Buffer[1:0]			[U [^] ₀ , U [^] ₁]						[U [^] ₁ , U [^] ₂]			
V [^] _Buffer[1:0]						[V [^] ₀ , V [^] ₁]						[V [^] ₁ , V [^] ₂]
U [^] _V [^] _Pair_Ready						1						0
begin_U [^] _V [^] _write						1						1

..

State Code	27/CO M0	28/CO M1	29/CO M2	30/CO M3	31/CO M4	32/CO M5	33/CO M0	34/CO M1	35/CO M2	36/CO M3	37/CO M4	38/CO M5
RGB_Pointer		479		480		481		482		483		484
Y_Pointer	158						159					
SRAM_address	A (Y ₁₅₈)	A (RGB ₄₇₉)	A (U ₇₇)		A (V ₇₇)		A (Y ₁₅₉)					
SRAM_read_data	D (R ₃₁₈ ,G ₃₁₈)		D (B ₃₁₈ ,R ₃₁₉)		D (G ₃₁₉ ,B ₃₁₉)							
SRAM_read_data_Buffer		G ₃₁₈		R ₃₁₉		B ₃₁₉						
SRAM_write_data	(Y ₃₁₆ ,Y ₃₁₇)		(U ₁₅₄ ,U ₁₅₅)		(V ₁₅₄ ,V ₁₅₅)		(Y ₃₁₈ ,Y ₃₁₉)					
pixel_X_pos						320						322
SRAM_we_n	0	1	0	1	0	1	0	1	1	1	1	1
MAC ₁	F _V (R ₃₁₈)	F _V (R ₃₁₈ ,G ₃₁₈)	0	F _V (R ₃₁₉)	F _V (R ₃₁₉ ,G ₃₁₉)	0						
MAC ₂	F _U (R ₃₁₈)	F _U (R ₃₁₈ ,G ₃₁₈)	0	F _U (R ₃₁₉)	F _U (R ₃₁₉ ,G ₃₁₉)	0						
MAC ₃	F _V (R ₃₁₈)	F _V (R ₃₁₈ ,G ₃₁₈)	0	F _V (R ₃₁₉)	F _V (R ₃₁₉ ,G ₃₁₉)	0						
Y_Buffer[1:0]			[Y ₃₁₇ ,Y ₃₁₈]			[Y ₃₁₈ ,Y ₃₁₉]						
U			U ₃₁₈			U ₃₁₉						
V			V ₃₁₈			V ₃₁₉						
U_E_Buffer[2:0]					[U ₃₁₄ ,U ₃₁₅ ,U ₃₁₈]						[U ₃₁₆ ,U ₃₁₈ ,0]	
V_E_Buffer[2:0]					[V ₃₁₄ ,V ₃₁₆ ,V ₃₁₈]						[V ₃₁₆ ,V ₃₁₈ ,0]	
U_O_Buffer[5:0]						[U ₃₀₉ ,U ₃₁₁ ,U ₃₁₃ ,U ₃₁₅ ,U ₃₁₇ ,U ₃₁₉]						[U ₃₁₁ ,U ₃₁₃ ,U ₃₁₅ ,U ₃₁₇ ,U ₃₁₉ ,U ₃₂₁]
V_O_Buffer[5:0]						[V ₃₀₉ ,V ₃₁₁ ,V ₃₁₃ ,V ₃₁₅ ,V ₃₁₇ ,V ₃₁₉]						[V ₃₁₁ ,V ₃₁₃ ,V ₃₁₅ ,V ₃₁₇ ,V ₃₁₉ ,V ₃₂₁]
MAC ₄	F _U [156]	F _U [156]	F _U [156]	F _V [156]	F _V [156]	F _V [156]	F _U [157]	F _U [157]	F _U [157]	F _V [157]	F _V [157]	F _V [157]
U [^]			U ₁₅₆						U ₁₅₇			
V [^]						V ₁₅₆						V ₁₅₇
U [^] _Buffer[1:0]			[U ₁₅₅ ,U ₁₅₆]						[U ₁₅₆ ,U ₁₅₇]			
V [^] _Buffer[1:0]						[V ₁₅₅ ,V ₁₅₆]						[V ₁₅₆ ,V ₁₅₇]
U [^] _V [^] _Pair_Ready						0						1
begin_U [^] _V [^] _write						1						1

V												
U_E_Buffer[2:0]					[U ₃₁₈ ,0,0]							
V_E_Buffer[2:0]					[V ₃₁₈ ,0,0]							
U_O_Buffer[5:0]						[U ₃₁₃ ,U ₃₁₅ ,U ₃₁₇ ,U ₃₁₉ ,U ₃₁₉]						
V_O_Buffer[5:0]						[V ₃₁₁ ,V ₃₁₃ ,V ₃₁₅ ,V ₃₁₉ ,V ₃₁₉]						
MAC ₄	F _U [158]	F _U [158]	F _U [158]	F _V [158]	F _V [158]	F _V [158]	F _U [159]	F _U [159]	F _U [159]	F _V [159]	F _V [159]	F _V [159]
U [^]			U [^] ₁₅₈						U [^] ₁₅₉			
V [^]						V [^] ₁₅₈						V [^] ₁₅₉
U [^] _Buffer[1:0]			[U [^] ₁₅₇ ,U [^] ₁₅₈]						[U [^] ₁₅₈ ,U [^] ₁₅₉]			
V [^] _Buffer[1:0]						[V [^] ₁₅₇ ,V [^] ₁₅₈]						[V [^] ₁₅₈ ,V [^] ₁₅₉]
U [^] _V [^] _Pair_Read_y						0						1
begin_U [^] _V [^] _write						1						1