

HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



BÀI TẬP LỚN **MÔN HỌC: KIẾN TRÚC MÁY TÍNH**

Nhóm thực hiện: Nhóm 8 Lớp E22CQC�03-B

1.Vũ Nam Dương	:	B22DCVT119
2.Trần Minh Hiếu	:	B22DCCN320
3.Nguyễn Đức Thái	:	B22DCAT279
4.Cao Thanh Tùng	:	B22DCVT492
5.Nguyễn Việt Hoàng	:	B22DCVT214

Hà Nội, 2024

1. Giới thiệu khái quát về bộ vi xử lý AMD EPYC

- EPYC là một thương hiệu chip vi xử lý x86-64 thuộc công ty AMD (Advanced Micro Devices), có trụ sở tại Hoa Kỳ.
- Ra mắt lần đầu vào năm 2017, các sản phẩm dòng EPYC chủ yếu hướng đến thị trường máy chủ và hệ thống nhúng.
- Các sản phẩm dòng EPYC được thiết kế dựa trên kiến trúc vi mô Zen, cũng được phát triển bởi AMD.



CPU AMD Epyc

2. Lịch sử phát triển



Lịch sử phát triển của AMD Epyc

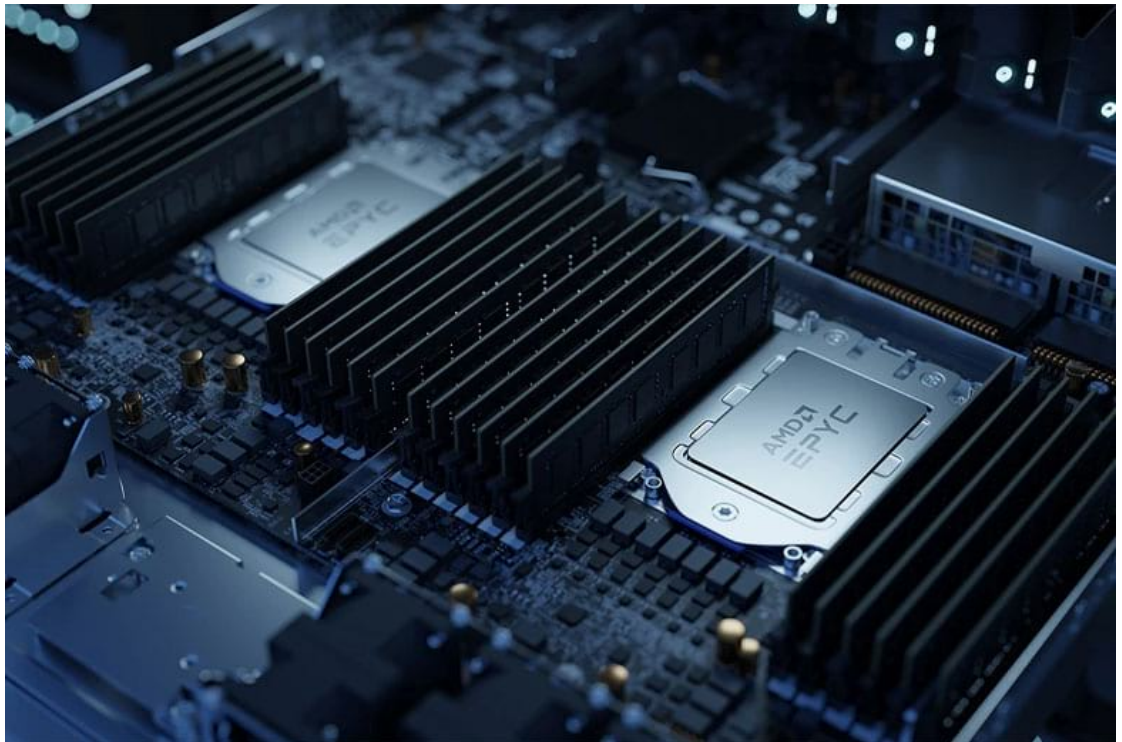
- Thương hiệu Epyc được nhà ADM lần đầu tiên ra mắt vào thị trường vào tháng 5 năm 2017. Trong năm đó, bộ vi xử lý dòng Epyc 7001 'Naples' được tung ra thị trường. Bộ vi xử lý này có đến 32 lõi, sức mạnh của nó không thua kém dòng đối thủ Intel Xeon.
- 2 năm sau, tức tháng 8 năm 2019 dòng Epyc 7002 'Rome' được thiết kế dựa trên kiến trúc Zen 2. Số lõi giờ đây đã tăng gấp đôi thành 64GB, vậy nên hiệu suất nó cũng được tăng lên đáng kể. Tiếp tục cải tiến sản phẩm, nhà AMD đã cho ra mắt dòng Epyc 7003 'Milan' cấu trúc Zen 3 vào năm 2021. Tuy vẫn chỉ có 64 lõi nhưng hiệu suất lại tăng lên 22% so với bản tiền nhiệm.
- Chưa dừng lại ở đó, phiên bản mới của dòng Epyc 7003 'Milan' kết hợp 3D V-Cache và mang tên Milan-X trình làng tháng 3 năm 2022. Dù có cùng số lõi như Epyc Milan nhưng được bổ sung thêm 512MB bộ nhớ đệm, đem lại tổng dung lượng bộ nhớ cache trên mỗi CPU là 768 MB.

- Các thế hệ kế nhiệm được đưa ra thị trường vào tháng 11 năm 2021. Và socket LGA-6096 SP5 xuất hiện với vai trò hỗ trợ các thế hệ tiếp theo. Các bộ vi xử lý này được nâng cấp lên cấu trúc Zen 4. Đây chính là cấu trúc đầu tiên được xây dựng trên tiến trình TSMC 5nm. Số lõi hiện tại đã lên đến 96 lõi và 192 luồng trên mỗi ổ cắm đi kèm 12 kênh DDR5.
- Vào tháng 11 năm 2022, AMD ra mắt dòng Epyc thế hệ thứ 4, có tên mã là 'Genoa'. Chip đầu bảng là Epyc 9654 96 nhân đã lập kỷ lục về hiệu năng đa lõi và cho thấy hiệu suất lên tới 4 lần so với chip đầu bảng của Intel là Xeon 8380. Bảng thông bộ nhớ cao và khả năng kết nối PCIe rộng rãi đã loại bỏ nhiều tắc nghẽn, cho phép tất cả 96 lõi được sử dụng trong khối lượng công việc mà chip 'Milan' thế hệ trước có giới hạn I/O. 'Genoa' cũng là CPU máy chủ x86 đầu tiên hỗ trợ CXL, cho phép mở rộng thêm bộ nhớ và các thiết bị khác có giao diện băng thông cao được xây dựng trên PCIe 5.0.
- Vào tháng 6 năm 2023, AMD tung ra dòng Genoa-X với 3D-Vcache, một phiên bản làm mới của Genoa sử dụng công nghệ xếp chồng khuôn 3D tương tự như Milan-X để hỗ trợ bộ nhớ đệm L3 lên tới 1152 MB, tăng 50% so với Milan-X. Cùng ngày, AMD cũng công bố phát hành SKU Zen 4c, có tên mã là 'Bergamo', cung cấp tới 128 lõi trên mỗi socket, sử dụng phiên bản sửa đổi của lõi Zen 4 được tối ưu hóa để tiết kiệm năng lượng và giảm không gian khuôn. Các lõi Zen 4c không có quá sự khác biệt so với các lõi Zen 4 tiêu chuẩn, thay vào đó, lượng bộ nhớ đệm trên mỗi lõi giảm từ 4 MB xuống 2 MB và tần số của các lõi cũng giảm. 'Bergamo' là socket tương thích với 'Genoa', sử dụng cùng socket SP5 và hỗ trợ cùng dung lượng CXL, PCIe và DDR5 như 'Genoa'.
- Vào tháng 9 năm 2023, AMD đã tung ra dòng CPU 8004 tiêu thụ điện năng thấp, có tên mã là 'Siena'. 'Siena' sử dụng ổ cắm mới, được gọi là SP6, có diện tích chiếm chỗ và số lượng chân cắm nhỏ hơn so với ổ cắm SP5 của bộ xử lý 'Genoa' hiện đại. 'Siena' sử dụng kiến trúc lõi Zen 4c

giống như bộ xử lý 'Bergamo', cho phép tối đa 64 lõi trên mỗi bộ xử lý và khuôn I/O 6 nm giống như 'Bergamo' và 'Genoa', mặc dù một số tính năng nhất định đã bị cắt giảm, chẳng hạn như giảm hỗ trợ bộ nhớ từ 12 kênh DDR5 xuống chỉ còn 6 và loại bỏ hỗ trợ dual socket.

3. Đặc điểm của các thế hệ EPYC

I. AMD EPYC NAPLES



AMD Epyc thế hệ 1

- Naples là tên mã của bộ xử lý máy chủ cấp doanh nghiệp của AMD dựa trên kiến trúc vi mô Zen. Vi xử lý của Naples hỗ trợ tới 32 lõi và được chế tạo trên quy trình 14 nm của GlobalFoundries.
- Đặc điểm chung của dòng chip Naples:
 - Hỗ trợ 128 làn PCIe (trong cả xử lý đa chiều một chiều và hai chiều)
 - Tất cả các CPU đều hỗ trợ bộ nhớ DDR4-2666 ECC ở chế độ 8 kênh (7251 chỉ hỗ trợ DDR4-2400)
 - Hỗ trợ tới 32 lõi/ 64 luồng

- So sánh các cpu dòng Naples

Mode l	Ngày ra mắ t	Nhâ n	Luồng	TDP(W)	L2(MiB)	L3(MiB)	Clock rate(GHz)	
							Base	Turbo
Uniprocessors								
7351P	20/06/2017	16	32	155	8	64	2.4	2.9
7401P		24	48	155	12	64	2	3
7551P		32	64	180	16	64	2	3
Multiprocessors								
7251	20/06/2017	8	16	120	4	32	2.1	2.9
7261	14/06/2018	8	16	155	4	64	2.5	2.9
7281	20/06/2017	16	32	155	8	32	2.1	2.7
7301		16	32	155	8	64	2.2	2.7
7351		16	32	155	8	64	2.4	2.9
7371	16/11/2018	16	32	200	8	64	3.1	3.8
7401	20/06/2017	24	48	155	12	64	2	3
7451		24	48	180	12	64	2.3	3.2
7501		32	64	155	16	64	2	3
7551		32	64	180	16	64	2	3
7601		32	64	180	16	64	2.2	3.2

II. AMD EPYC ROME



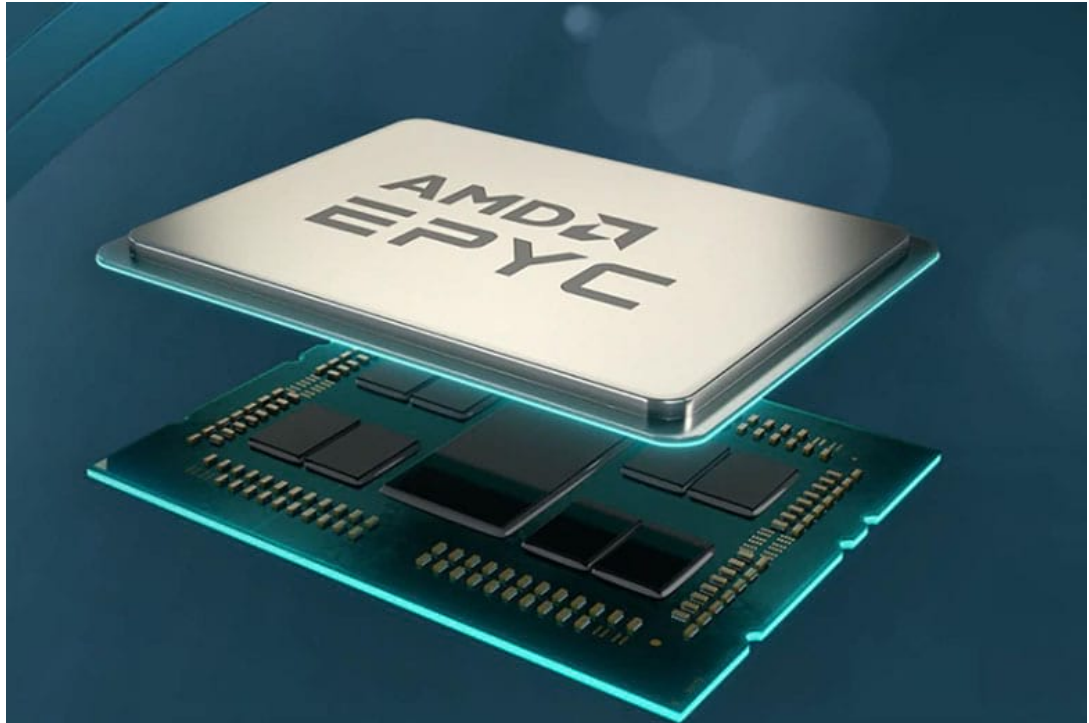
AMD Epyc thế hệ 2

- Hệ thống AMD Rome trên chip là một loạt bộ xử lý đa hiệu suất cao được AMD thiết kế dựa trên kiến trúc vi mô Zen 2. Các chip logic trên Rome được chế tạo trên quy trình TSMC 7 nm với các thành phần i/o được sản xuất trên quy trình 14 nm của GlobalFoundries. Rome SoC hỗ trợ cả đa xử lý đơn và 2 chiều với tối đa 64 lõi (và 128 luồng) trên mỗi bộ xử lý với tổng số lên tới 128 lõi (và 256 luồng) cho hệ thống MP 2 chiều.
- Đặc điểm chung của dòng chip Rome:
 - 128 làn PCIe (trong cả xử lý đa chiều một chiều và hai chiều)
 - Hỗ trợ bộ nhớ DDR4-3200 ECC ở chế độ 8 kênh
 - Hỗ trợ tới 64 lõi/128 luồng
- So sánh các cpu dòng Rome

Mode I	Ngày ra mắt	Nhân	Luồn g	TDP(W)	L2(MiB)	L3(MiB)	Clock rate(GHz)	
							Base	Turbo
Uniprocessors								
7232P	07/08/2019	8	16	120	4	32	3.1	3.2
7302P		16	32	155	8	128	3	3.3
7402P		24	48	180	12	128	2.8	3.35
7502P		32	64	180	16	128	2.5	3.35

7702P		64	128	200	32	256	2	3.35
Multiprocessors (dual-socket)								
7252	07/08/2019	8	16	120	4	64	3.1	3.2
7262		8	16	155	4	128	3.2	3.4
7272		12	24	120	6	64	2.9	3.2
7282		16	32	120	8	64	2.8	3.2
7302		16	32	155	8	128	3	3.3
7352		24	48	155	12	128	2.3	3.2
7402		24	48	180	12	128	2.8	3.35
7452		32	64	155	16	128	2.35	3.35
7502		32	64	180	16	128	2.5	3.35
7532	19/02/2020	32	64	200	16	256	2.4	3.3
7542	07/08/2019	32	64	225	16	128	2.9	3.4
7552		48	96	200	24	192	2.2	3.35
7642		48	96	225	24	256	2.3	3.3
7662	19/02/2020	64	128	225	32	256	2	3.3
7702	07/08/2019	64	128	200	32	256	2	3.35
7742		64	128	225	32	256	2.25	3.4
7F32	14/04/2020	8	16	180	4	128	3.7	3.9
7F52		16	32	240	8	256	3.5	3.9
7F72		24	48	240	12	192	3.2	3.7
7H12	18/09/2019	64	128	280	32	256	2.6	3.3
HPC-optimized SKUs								
7H12	18/09/2019	64	128	280	32	256	2.6	3.3
Frequency-optimized SKUs								
7F32	14/04/2020	8	16	180	4	128	3.7	3.9
7F52		16	32	240	8	256	3.5	3.9
7F72		24	48	240	12	192	3.2	3.7

III. AMD EPYC MILAN



AMD Epyc thế hệ 3

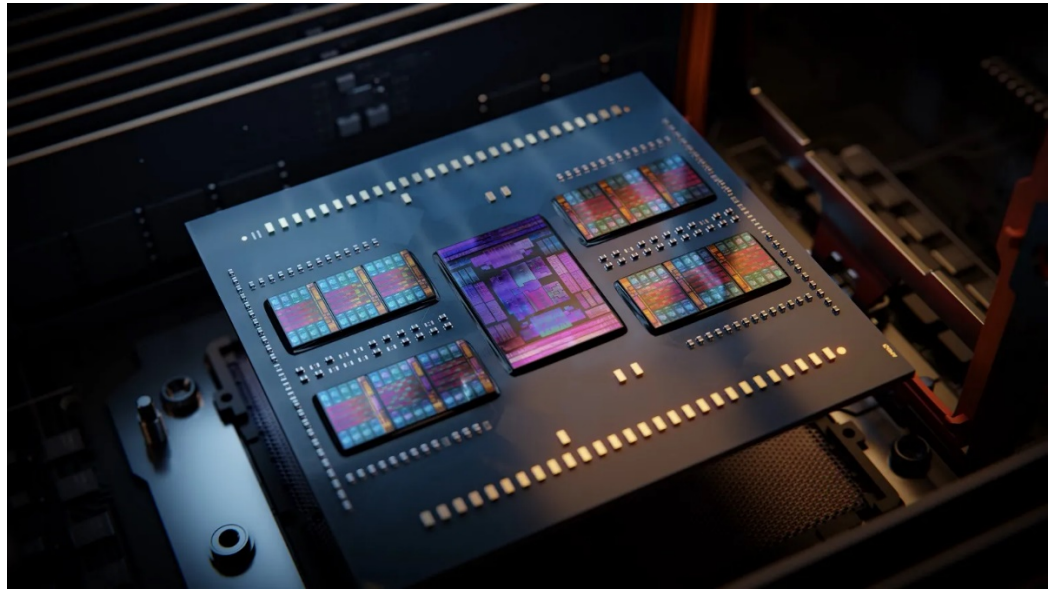
- Chip AMD EPYC Milan là dòng CPU máy chủ thế hệ thứ 3 dựa trên kiến trúc vi mô Zen 3 của AMD. Được ra mắt vào năm 2021, Milan là sự kế nhiệm cho dòng chip EPYC Rome và mang đến nhiều cải tiến về hiệu suất.
- Đặc điểm chung của dòng chip Milan:
 - Hỗ trợ tới 128 làn PCIe 4.0
 - Số nhân CPU Zen 3 x86: 8 đến 64 nhân với SMT 2 luồng
 - Giao diện bộ nhớ DDR4 SDRAM: 8 kênh 64/72 bit, hỗ trợ tối đa 1600 MHz (PC4-25600 - DDR4-3200), băng thông 204.8 GB/s
- So sánh các cpu dòng Milan

Model	Ngày ra mắt	Nhân	Luồng	TDP(W)	L2\$(MiB)	L3\$(MiB)	Clock rate(GHz)

							Base	Turb o
Uniprocessors								
7313P	15/3/2021	16	32	155	8	128	3	3.7
7443P		24	48	200	12	128	2.85	4
7543P		32	64	225	16	256	2.8	3.7
7713P		64	128	225	32	256	2	3.675
Multiprocessors								
72F3	15/3/2021	8	16	180	4	256	3.7	4.1
7313		16	32	155	8	128	3	3.7
7343				190	8	128	3.2	3.9
73F3				240	8	256	3.5	4
7413				24	48	180	12	128
7443		200	12			128	2.85	4
7453		28	56	255	14	64	2.75	3.45
74F3		24	48	240	12	256	3.2	4
7513		32	64	200	16	128	2.6	3.65
7543				225	16	256	2.8	3.7
75F3				280	16	256	2.95	4
7643		48	96	225	24	256	2.3	3.6
7663		56	112	240	28	256	2	3.5
7713		64	128	225	32	256	2	3.675
7763				280	32	256	2.45	3.5
Frequency-optimized SKUs								
72F3	15/3/2021	8	16	180	43.5	256	3.7	4.1

73F3		16	32	240	8	256	3.5	4
74F3		24	48	240	12	256	3.2	4
75F3		32	64	280	16	256	2.95	4

IV. AMD EPYC GENOA



AMD Epyc thế hệ thứ 4

- Chip AMD EPYC Genoa là một bước tiến vượt bậc trong lĩnh vực vi xử lý dành cho máy chủ, mang lại hiệu suất cao và khả năng xử lý đa nhiệm ấn tượng. Được giới thiệu vào tháng 11 năm 2022, dòng chip này sử dụng kiến trúc Zen 4, cung cấp một sự cải thiện đáng kể về hiệu suất so với các thế hệ trước.
- Đặc điểm chung:
 - Số nhân CPU Zen 4 x86: 16 đến 96 nhân với SMT 2 luồng
 - Hỗ trợ tới 128 làn PCIe 5.0 và bộ nhớ DDR5 – 4800 ở chế độ 12 kênh
- So sánh các cpu dòng Genoa

Model	Nhân	Luồng	Ngày ra mắt	TDP	L2\$	L3\$	Clock rate	
							Base	Turbo
Uniprocessors								
9354P	32	64	10/11/2022	280	32	256	3.25	3.75

9454P	48	96		290	48	256	2.75	3.65
9554P	64	128		360	64	256	3.1	3.75
9654P	96	192		360	96	384	2.4	3.55
Multiprocessors (dual-socket)								
9124	16	32	10/11/2022	200	16	64	3	3.6
9174F	16	32		320	16	256	4.1	4.15
9224	24	48		200	24	64	2.5	3.65
9254	24	48		200	24	128	2.9	3.9
9274F	24	48		320	24	256	4.05	4.1
9334	32	64		210	32	128	2.7	3.85
9354	32	64		280	32	256	3.25	3.75
9374F	32	64		320	32	256	3.85	4.1
9454	48	96		290	48	256	2.75	3.65
9474F	48	96		360	48	256	3.6	3.95
9534	64	128		280	64	256	2.45	3.55
9554	64	128		360	64	256	3.1	3.75
9634	84	168		290	84	384	2.25	3.1
9654	96	192		360	96	384	2.4	3.55
Frequency-optimized SKUs								

9174F	16	32	10/11/2022	320	16	256	4.1	4.15
9274F	24	48		320	24	256	4.05	4.1
9374F	32	64		320	32	256	3.85	4.1
9474F	48	96		360	48	256	3.6	3.95

4. Ứng dụng chủ yếu



- Cloud Computing(Điện toán đám mây): Các nhà cung cấp dịch vụ đám mây sử dụng AMD EPYC để cung cấp các dịch vụ đám mây công nghệ cao như lưu trữ và xử lý dữ liệu.



- HPC (High-Performance Computing / Tính toán hiệu suất cao): EPYC được sử dụng trong các ứng dụng HPC như mô phỏng khoa học, tính toán tài nguyên tự nhiên.



- Máy học và AI (Trí tuệ nhân tạo): Các mô hình học máy và trí tuệ nhân tạo yêu cầu khả năng phân tích dữ liệu lớn. AMD EPYC cung cấp hiệu suất cao cho các ứng dụng này.



- Mạng lưới CDN (Content Delivery Network): EPYC cung cấp sức mạnh tính toán cần thiết cho các dịch vụ CDN để phân phối nội dung trên mạng Internet một cách nhanh chóng và hiệu quả.



- Cơ sở dữ liệu: Cơ sở dữ liệu đòi hỏi hiệu suất cao và khả năng xử lý đồng thời lớn. EPYC được sử dụng để triển khai các hệ thống cơ sở dữ liệu như MySQL, PostgreSQL, và Microsoft SQL Server.



- Virtualization: Công nghệ ảo hóa đang trở thành một phần quan trọng của các mô hình máy chủ hiện đại. EPYC hỗ trợ các nền tảng ảo hóa như

VMware và Hyper-V để tối ưu hóa hiệu suất và khả năng quản lý tài nguyên máy chủ.

5. Sự thay đổi về kiến trúc của AMD EPYC so với kiến trúc x86 truyền thống

- **Kiến trúc x86** là một kiến trúc tập lệnh của dòng vi xử lý 8086 được phát triển bởi Intel được ra mắt lần đầu vào năm 1978. Tại thời điểm này, kiến trúc x86 rất phổ biến đối với các thế hệ máy tính cá nhân đang hiện hữu trong nhiều gia đình và gần như chiếm toàn bộ thị phần so với với máy trạm và siêu máy tính. Dựa trên những thành công đạt được tại thời điểm đó, nó được cấp phép cho các nhà sản xuất khác như AMD, VIA, ...
- **AMD EPYC** được phát triển dựa trên kiến trúc x86 truyền thống, tuy nhiên nó được cải tiến đáng kể để gia tăng hiệu suất và khả năng mở rộng cho các ứng dụng máy chủ đòi hỏi khắt khe nhằm đáp ứng xu thế của thị trường hiện tại.
- Để thấy được sự thay đổi rõ rệt về công nghệ trên AMD EPYC so với kiến trúc x86 truyền thống, ta sẽ so sánh cụ thể 2 mẫu vi xử lý: **AMD EPYC 9684X** hiện đại và **Intel i486DX2** sử dụng kiến trúc x86 cổ điển.

Dưới đây là bảng so sánh các tính năng giữa 2 mẫu CPU:

Tính năng	AMD EPYC 9684X	Intel i486DX2
Tập lệnh	x86-64	x86
Số lõi + luồng	96 lõi + 192 luồng	1 lõi + 1 luồng
Xung nhịp tối đa	2.55GHz tăng tối đa 3.7GHz	16MHz tang tối đa 100MHz
Hỗ trợ chuẩn RAM	DDR5	SRAM
Bộ nhớ đệm	L1: 6MB L2: 96MB L3: 1152MB	L1: 16KB

TDP	320-400W	15-25W
Phiên bản PCI Express	PCIe 5.0 128 làn	Không có
Hiệu suất	Hoạt động phổ biến trên máy trạm, nổi trội trong các tác vụ đa luồng, máy chủ, học máy và AI	Hoạt động phổ biến trên các máy tính cá nhân, phù hợp với các ứng dụng văn phòng, giải trí đa phương tiện và game
Giá cả	Cao	Thấp

Qua bảng trên, có thể thấy:

- Về bộ tập lệnh, EPYC 9684X sử dụng kiến trúc x86-64(64 bit) phổ biến trên nhiều loại CPU hiện nay, hỗ trợ mở rộng kích thước bộ nhớ địa chỉ trên 4GB RAM so với 32bit trên i486DX2, giúp cho các ứng dụng sử dụng nhiều bộ nhớ hơn hoạt động ổn định mà không bị gián đoạn.
- Về số lõi và luồng, EPYC 9684X có nhiều nhân và luồng giúp cho các ứng dụng đa luồng ngân sách cao như đồ họa và rendering tối ưu thời gian xử lý hình ảnh hay các ứng dụng khoa học dữ liệu tăng cường phân tích và tính toán dữ liệu đáng kể. Còn với CPU đơn nhân đơn luồng như i486DX2, nó chỉ hỗ trợ tốt các tác vụ xử lý văn bản, duyệt web cơ bản hay các ứng dụng không đòi hỏi khắt khe nhiều tác vụ.
- Về xung nhịp tối đa và bộ nhớ đệm, AMD EPYC có kích thước lớn hơn rất nhiều đồng thời đặc tính kĩ thuật của chuẩn RAM DDR5 so với SRAM của i486DX2 phức tạp hơn rất nhiều chính vì vậy nó cũng đòi hỏi điện năng tiêu thụ lớn hơn nhiều lần so với i486DX2.
- Đối với các máy tính hiện đại ngày nay, ngoài CPU đóng vai trò then chốt trong việc vận hành máy tính thì card đồ họa (GPU), card âm thanh, Wi-Fi, ... cũng đồng hành để tăng cường hiệu suất máy tính, chính vì thế chuẩn kết nối PCIe không thể thiếu trên các CPU hiện tại, và EPYC 9684X

cũng không phải là ngoài lệ. Với PCIe 5.0, tốc độ truyền dữ liệu giữa các thiết bị lên tới 15,75 GB/s mỗi lần.

- Về hiệu suất, chúng ảnh hưởng trực tiếp đến giá cả. EPYC 9684X hoạt động phổ biến trên máy trạm và có các tính năng cấp doanh nghiệp chính vì thế giá thành rất cao (khoảng 14,000 USD) so với CPU đơn nhân như i486DX2 hay các CPU phổ thông cho máy tính cá nhân của AMD như Ryzen với mức giá trung bình hoặc thấp. Ngoài ra, EPYC 9684X còn tích hợp nhiều công nghệ mới đặc trưng của AMD ([AMD 3D V-Cache Technology](#), [AMD Infinity Guard](#), [AMD Infinity Architecture](#)) nên chúng cũng ảnh hưởng không ít tới giá thành của bộ vi xử lý.

Nhìn chung:

Mặc dù i486DX2 đã lỗi thời từ lâu, nhưng nó vẫn là một bộ vi xử lý quan trọng trong lịch sử máy tính. Nó đánh dấu bước tiến lớn về hiệu suất và mở đường cho sự phát triển của các bộ vi xử lý mạnh mẽ hơn sau này. Các thế hệ AMD EPYC đã thừa hưởng kiến trúc truyền thống này và sau đó đã mở rộng và phát triển nó trở nên tân tiến và mạnh mẽ hơn để đáp ứng khối lượng tác vụ máy tính lớn hơn gấp nhiều lần.

****CODE ASSEMBLY****

Chương trình assembly cho phép in ra số lượng các số chia hết cho 11 từ một mảng cho trước:

.Model Small

.Stack 100H

.Data

crlf db 13, 10, '\$'

base_dec dw 10

base_bin dw 2

base_hex dw 16

error db "Invalid\$"

str db '0123456789ABCDEF'

len db 'Lenght: \$'

strSum db 13, 10, 'SUM: \$'

strDiv db 13, 10, 'Number of numbers divisible by 11: \$'

x dw 0

y dw 0

SUM dw 0

count dw 0

.Code

Main Proc

mov ax, @data

mov ds, ax

mov ah, 9

lea dx, len

int 21h

call input

mov cx, x

mov ah, 9

lea dx, crlf

int 21h

input_array:

call input

mov ax, x

mov dh, 0

mov dl, 11

div dl

cmp ah, 0

jne continue

mov ax, SUM

add ax, x

mov SUM, ax

inc count

continue:

loop input_array

mov ah, 9

lea dx, strSum

int 21h

call Output

```
mov ah, 9
lea dx, strDiv
int 21h
mov ax, count
mov SUM , ax
call Output
```

```
mov ah, 4ch
int 21h
```

Main endp

Input Proc

```
mov x, 0
loop_input:
mov ah, 1
int 21h
cmp al, 13
je end_input
cmp al, ' '
je end_input
mov ah, 0
sub al, '0'
```

```
    push ax
    mov ax, x
    mul base_dec
    mov x, ax
    pop ax
    add x, ax
    jmp loop_input
end_input:
    ret
```

Input Endp

Output Proc

```
    mov ax, SUM
    mov cx, 0
Divide:
    mov dx, 0
    div base_dec
    push dx
    inc cx
    cmp ax, 0
    je show
    jmp Divide
```

show:


```
mov ah, 2
pop dx
add dl, '0'
int 21h
dec cx
cmp cx, 0
jne show
ret
```

Output Endp

END MAIN

Chương trình assembly tính tổng 2 số kiểu word:

.Model Small

.Stack 100H

.Data

crlf db 13, 10, '\$'

base_dec dw 10

base_bin dw 2

base_hex dw 16

input_a db 13, 10, 'Enter a: \$'

input_b db 13, 10, 'Enter b: \$'

output_sum db 13, 10, 'Sum a + b = \$'

x dw 0

y dw 0

.Code

Main Proc

mov ax, @data

mov ds, ax

mov ah, 9

lea dx, input_a

int 21h

call Input

mov bx, x

mov ah, 9

lea dx, input_b

int 21h

call Input

mov cx, x

add bx, cx

mov x, bx

```
mov ah, 9
lea dx, output_sum
int 21h
call Output
```

```
mov ah, 4ch
int 21h
```

Main endp

Input Proc

```
mov x, 0
loop_input:
mov ah, 1
int 21h
cmp al, 13
je end_input
cmp al, ' '
je end_input
mov ah, 0
sub al, '0'
push ax
mov ax, x
```

```
mul base_dec
mov x, ax
pop ax
add x, ax
jmp loop_input
end_input:
ret
```

Input Endp

Output Proc

```
mov ax, x
mov cx, 0
Divide:
mov dx, 0
div base_dec
push dx
inc cx
cmp ax, 0
je show
jmp Divide
```

```
show:
mov ah, 2
pop dx
```

```
add dl, '0'  
int 21h  
dec cx  
cmp cx, 0  
jne show  
ret
```

Output Endp

END MAIN

Ứng dụng quiz đơn giản – quiz system:

```
org 100h
```

```
.Model Small
```

```
.Stack 100h
```

```
.Data
```

```
MSG0 DB 'Nhom 8 ANWAR$'
```

```
MSG1 DB '          .....WELCOME TO YOUR FIRST QUIZ.....$'
```

```
MSG2 DB 'Rules : $'
```

```
MSG3 DB ' * . For Every Correct answer you will get 1 Point.$'
```

```
MSG4 DB ' * . For Every Wrong answer 1 Point will be cut from your total point.$'
```

```
MSG5 DB 'Press Enter to start the quiz : $'
```

MSG6 DB 'Right Answer.....\$'

MSG7 DB 'Wrong Answer.....\$'

MSG8 DB 'You have successfully completed your quiz.\$'

MSG9 DB 'Your Total obtained point is : \$'

MSG10 DB 'Press 1 to Re-attempt quiz or 0 to Exit.\$'

MSG11 DB ' ***Thank you.! ***\$'

Q1 DB '1. $2+3=?$ \$'

QA1 DB ' a> 5 b> 6 c> 7\$'

Q2 DB '2. $5+6=?$ \$'

QA2 DB ' a> 10 b> 11 c> 12\$'

Q3 DB '3. $15-12=?$ \$'

QA3 DB ' a> 5 b> 1 c> 3\$'

Q4 DB '4. $3*6=?$ \$'

QA4 DB ' a> 10 b> 18 c> 12\$'

Q5 DB '5. $6/3=?$ \$'

QA5 DB ' a> 2 b> 1 c> 12\$'

Q6 DB '6. $8-8=?$ \$'

QA6 DB ' a> -1 b> -2 c> 0\$'

Q7 DB '7. 3*12=?\$'

QA7 DB ' a> 33 b> 36 c> 38\$'

Q8 DB '8. 9*9=?\$'

QA8 DB ' a> 72 b> 91 c> 81\$'

Q9 DB '9. 11+13=?\$'

QA9 DB ' a> 24 b> 26 c> 19\$'

Q10 DB '10. 56/8=?\$'

QA10 DB ' a> 7 b> 9 c> 6\$'

.Code

Main Proc

Mov AX, @Data

Mov DS, AX

LEA DX, MSG0

MOV AH,9

INT 21H

CALL NL

LEA DX,MSG1

MOV AH,9

INT 21H

CALL NL

LEA DX,MSG2

MOV AH,9

INT 21H

CALL NL

LEA DX,MSG3

MOV AH,9

INT 21H

CALL NL

LEA DX,MSG4

MOV AH,9

INT 21H

START:

MOV BL, 0

CALL NL

LEA DX, MSG5

Mov AH,9

INT 21H

MOV AH, 1

INT 21H

CMP AL, 0DH

JE QSN1

JNE START

QSN1:

CALL NL

LEA DX, Q1

MOV AH, 9

INT 21H

CALL NL

LEA DX, QA1

MOV AH, 9

INT 21H

CALL NL

```
MOV AH, 1
INT 21H
CMP AL, 'a'
JE QSN2
JNE QSNW2
```

QSN2:

```
CALL NL
```

```
LEA DX, MSG6
```

```
MOV AH,9
```

```
INT 21H
```

```
INC BL
```

```
CALL NL
```

```
CALL QN2
```

```
CALL INPUT
```

```
CMP AL, 'b'
```

```
JE QSN3
```

```
JNE QSNW3
```

QSNW2:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN2

CALL INPUT

CMP AL, 'b'

JE QSN3

JNE QSNW3

QSN3:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN3

CALL INPUT

CMP AL, 'c'

JE QSN4

JNE QSNW4

QSNW3:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN3

CALL INPUT

CMP AL, 'c'

JE QSN4

JNE QSNW4

QSN4:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN4

CALL INPUT

CMP AL, 'b'

JE QSN5

JNE QSNW5

QSNW4:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN4

CALL INPUT

CMP AL, 'b'

JE QSN5

JNE QSNW5

QSN5:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN5

CALL INPUT

CMP AL, 'a'

JE QSN6

JNE QSNW6

QSNW5:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN5

CALL INPUT

CMP AL, 'a'

JE QSN6

JNE QSNW6

QSN6:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN6

CALL INPUT

CMP AL, 'c'

JE QSN7

JNE QSNW7

QSNW6:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN6

CALL INPUT

CMP AL, 'c'

JE QSN7

JNE QSNW7

QSN7:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN7

CALL INPUT

CMP AL, 'b'

JE QSN8

JNE QSNW8

QSNW7:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN7

CALL INPUT

CMP AL, 'b'

JE QSN8

JNE QSNW8

QSN8:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN8

CALL INPUT

CMP AL, 'c'

JE QSN9

JNE QSNW9

QSNW8:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN8

CALL INPUT

CMP AL, 'c'

JE QSN9

JNE QSNW9

QSN9:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN9

CALL INPUT

CMP AL, 'a'

JE QSN10

JNE QSNW10

QSNW9:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN9

CALL INPUT

CMP AL, 'a'

JE QSN10

JNE QSNW10

QSN10:

CALL NL

LEA DX,MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL QN10

CALL INPUT

CMP AL, 'a'

JE EXIT

JNE EXITW

QSNW10:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL QN10

CALL INPUT

CMP AL, 'a'

JE EXIT

JNE EXITW

EXIT:

CALL NL

LEA DX, MSG6

MOV AH,9

INT 21H

INC BL

CALL NL

CALL NL

LEA DX, MSG8

MOV AH, 9

INT 21H

CALL NL

LEA DX, MSG9

MOV AH, 9

INT 21H

ADD BL, 48

CMP BL, 57

JG TEN

MOV AH,2

MOV DL, BL

INT 21H

JMP EXIT1

EXITW:

CALL NL

LEA DX,MSG7

MOV AH,9

INT 21H

DEC BL

CALL NL

CALL NL

LEA DX, MSG8

MOV AH,9

INT 21H

CALL NL

CALL NL

LEA DX, MSG9

MOV AH, 9

INT 21H

ADD BL, 48

CMP BL, 48

JL ZERO

MOV AH, 2

MOV DL, BL

INT 21H

JMP EXIT1

TEN:

MOV AH,2

MOV DL, "1"

INT 21H

MOV DL, "0"

INT 21H

JMP EXIT1

ZERO:

MOV AH,2

MOV DL, "0"

int 21H

JMP EXIT1

NL:

MOV AH,2

MOV DL, 0AH

```
INT 21H
MOV DL, 0DH
INT 21H
RET
```

QN2:

```
LEA DX,Q2
MOV AH, 9
INT 21H
```

```
CALL NL
```

```
LEA DX,QA2
MOV AH,9
INT 21H
RET
```

QN3:

```
LEA DX,Q3
MOV AH, 9
INT 21H
```

```
CALL NL
```

```
LEA DX,QA3
```

MOV AH,9

INT 21H

RET

QN4:

LEA DX,Q4

MOV AH, 9

INT 21H

CALL NL

LEA DX,QA4

MOV AH,9

INT 21H

RET

QN5:

LEA DX,Q5

MOV AH, 9

INT 21H

CALL NL

LEA DX,QA5

MOV AH,9

INT 21H

RET

QN6:

LEA DX,Q6

MOV AH, 9

INT 21H

CALL NL

LEA DX,QA6

MOV AH,9

INT 21H

RET

QN7:

LEA DX,Q7

MOV AH, 9

INT 21H

CALL NL

LEA DX,QA7

MOV AH,9

INT 21H

RET

QN8:

LEA DX,Q8

MOV AH, 9

INT 21H

CALL NL

LEA DX,QA8

MOV AH,9

INT 21H

RET

QN9:

LEA DX,Q9

MOV AH, 9

INT 21H

CALL NL

LEA DX,QA9

MOV AH,9

INT 21H

RET

QN10:

LEA DX,Q10

MOV AH, 9

INT 21H

CALL NL

LEA DX,QA10

MOV AH,9

INT 21H

RET

INPUT:

CALL NL

MOV AH,1

INT 21H

RET

EXIT1:

CALL NL

CALL NL

LEA DX, MSG10

MOV AH, 9

INT 21H

MOV AH, 1

INT 21H

CMP AL, '1'

JE START

CALL NL

CALL NL

LEA DX, MSG11

MOV AH, 9

INT 21H

MOV AH, 4CH

INT 21H

MAIN ENDP

END MAIN

RET