

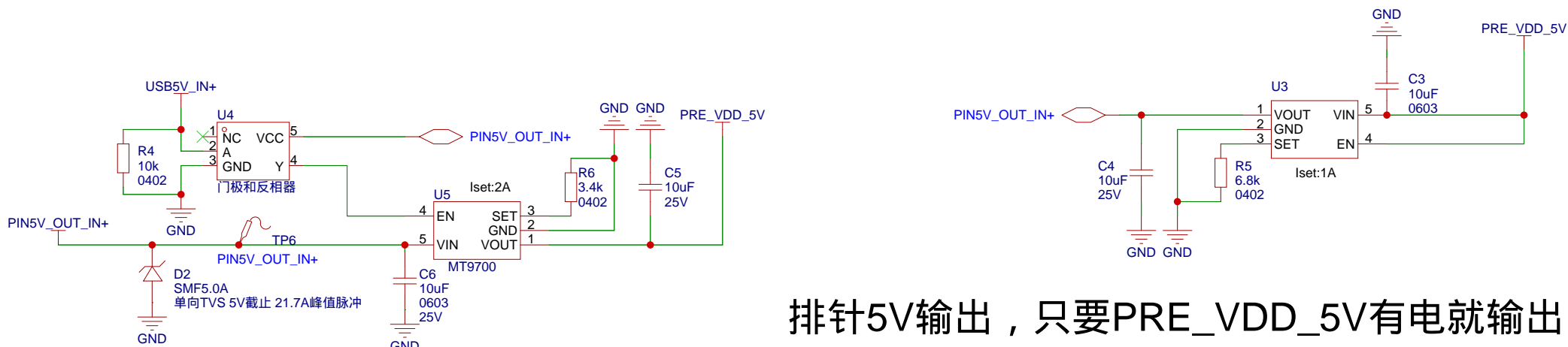
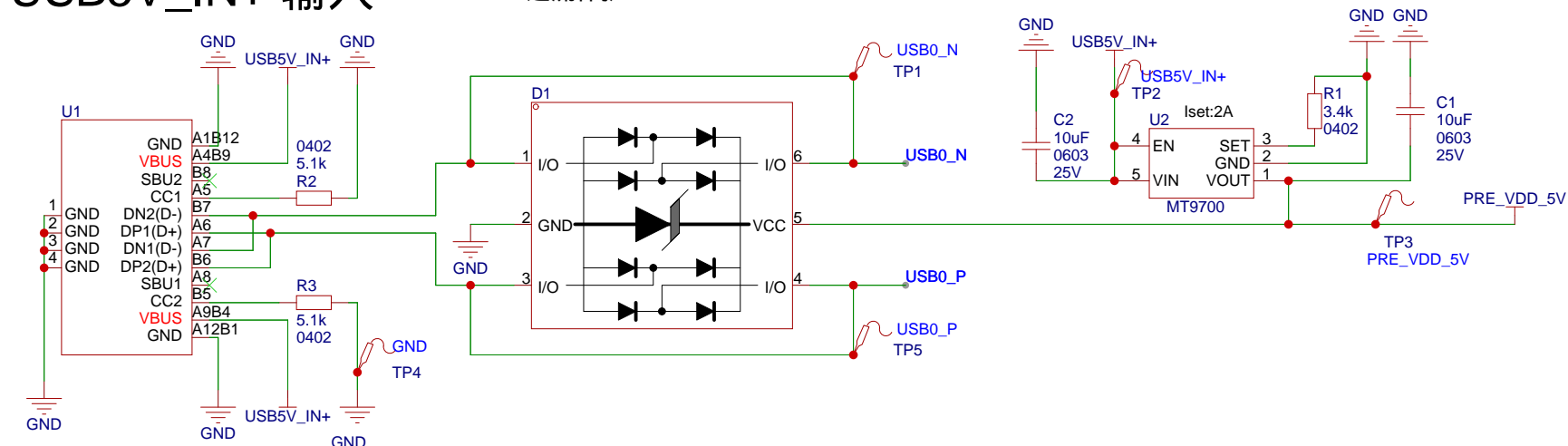
需加电容延迟上电

VDD0P8_CORE上电必须早于VDD1P8、VDDIO3P3_0到VDDIO3P3_5的IO接口上电，AVDD0P8_MIP1上电必须早于AVDD1P8_MIP1，AVDD1P8_RTC不晚于AVDD1P8_LDO，其余顺序无要求。

原理图	主板原理图			更新日期	2024-09-20
图页	Power Architecture Block			创建日期	2024-09-20
绘制	LCKFB-YZH	【K230】开发板-202409200958			
审阅					
嘉立创EDA		版本	尺寸	页	共
		V1.0	A4	1	17
嘉立创EDA					

USB5V_IN+ 输入

- 1.USB数据口静电防护
- 2.钳位（过压）保护
- 3.过流保护

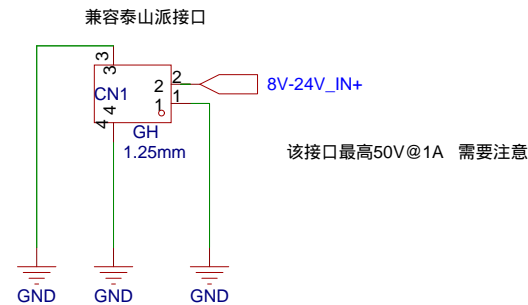
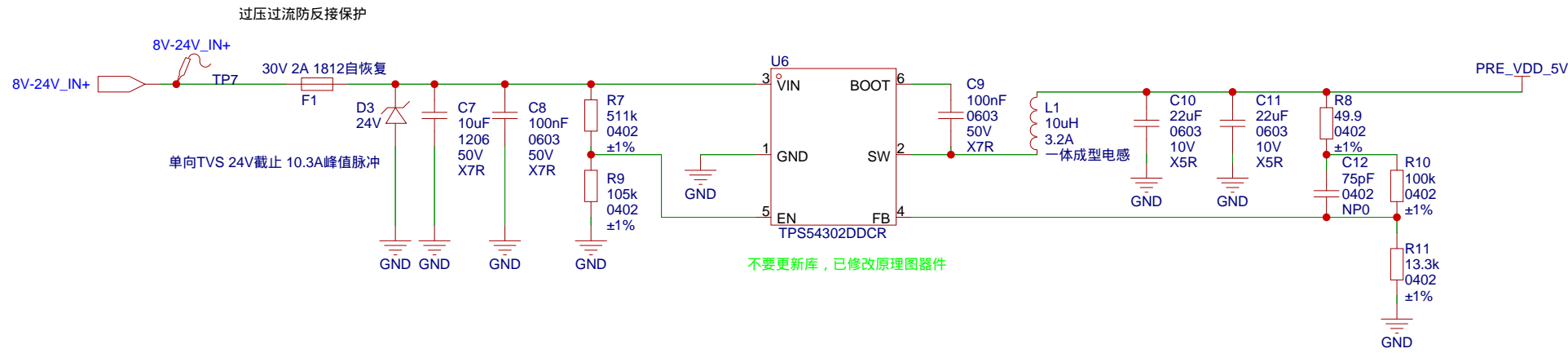


排针5V输入，当USB不供电时打开

排针5V输出，只要PRE_VDD_5V有电就输出

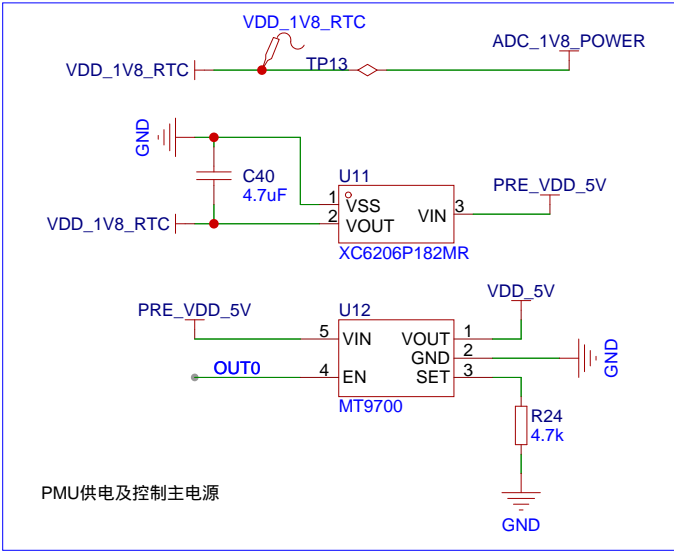
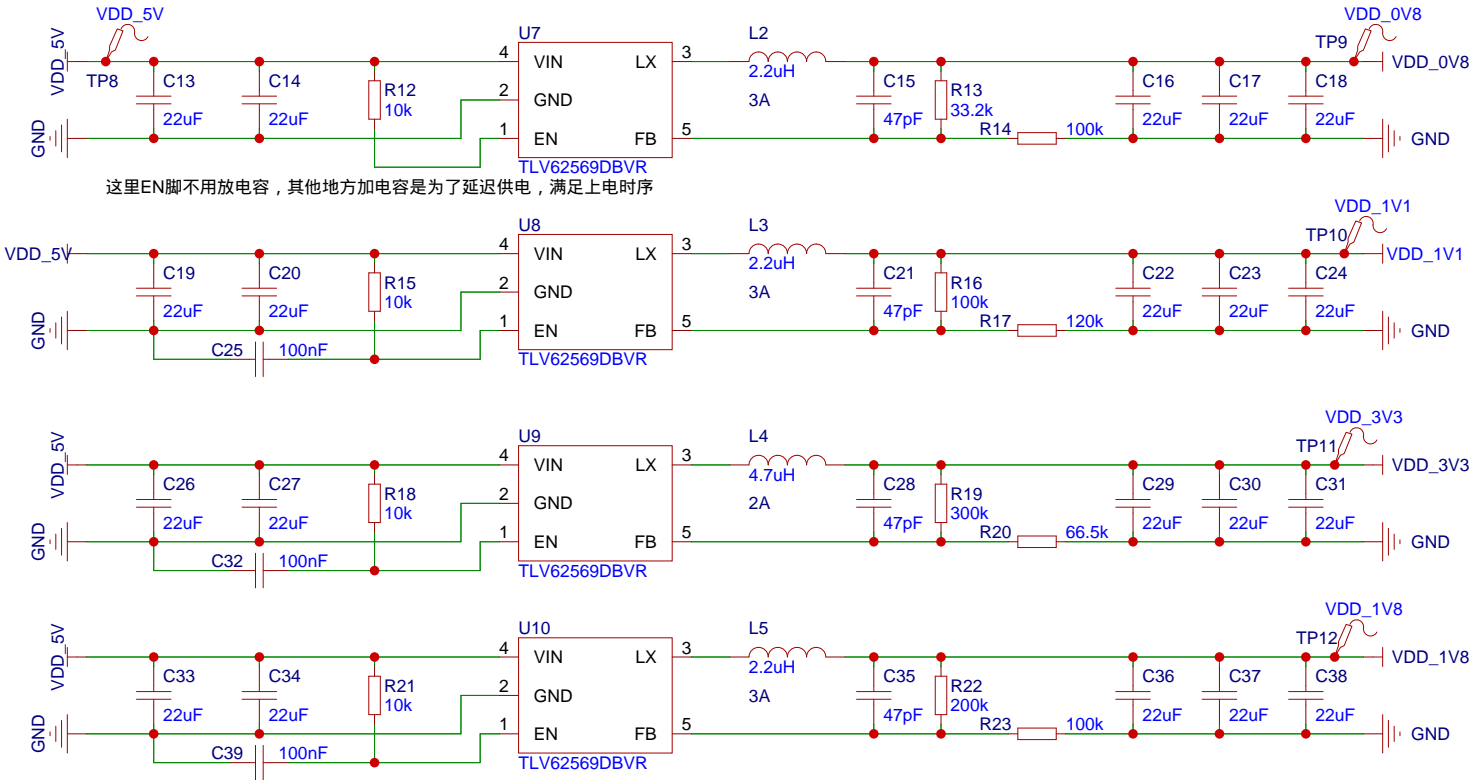
原理图	主板原理图		更新日期	2024-09-20			
图页	Power SUPPLY USB AND PIN		创建日期	2024-09-20			
绘制	LCKFB-YZH	【K230】开发板-202409200958					
审阅							
		版本	尺寸	页	2	共	17
		V1.0	A4	嘉立创EDA			

VCC 8-24V宽电压转5V



原理图	主板原理图		更新日期	2024-09-20
			创建日期	2024-09-20
图页	Power SUPPLY 8-24V		物料编码	
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
		版本	尺寸	页 3 共 17
嘉立创EDA		V1.0	A4	嘉立创EDA

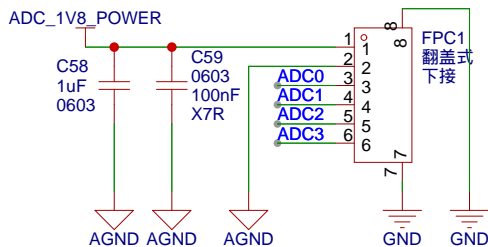
$$V_o = 0.6 * (R1+R2) / R2$$
$$R1 = (V_o / 0.6 - 1) * R2$$
$$R2 = 0.6 * R1 / (V_o - 0.6)$$



原理图	主板原理图		更新日期	2024-09-20
图页	Power-0V8-1V1-1V8-3V3		创建日期	2024-09-20
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
版本		尺寸	页	4 共 17
V1.0		A4	嘉立创EDA	



1	2	3	4	5	6
---	---	---	---	---	---



ADC接口引出，最高只支持1.8V输入

GPIO-40

PIN5V_OUT_IN+

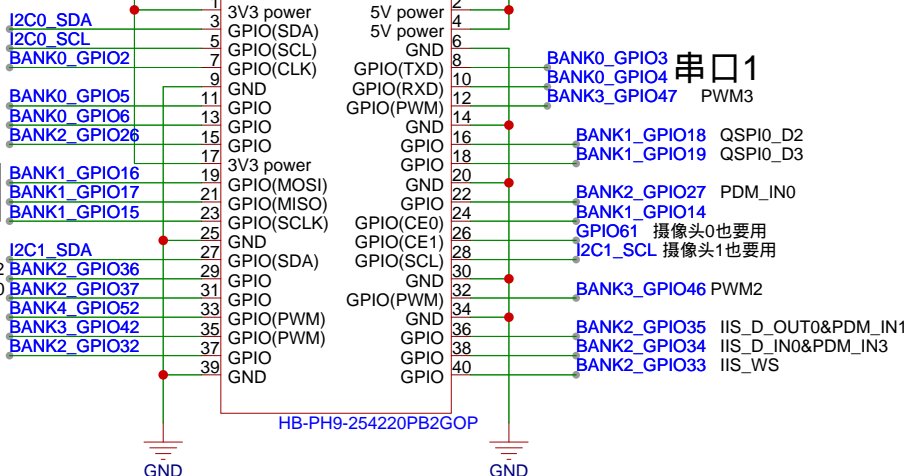
摄像头0也要用

串口2
PDM_CLK

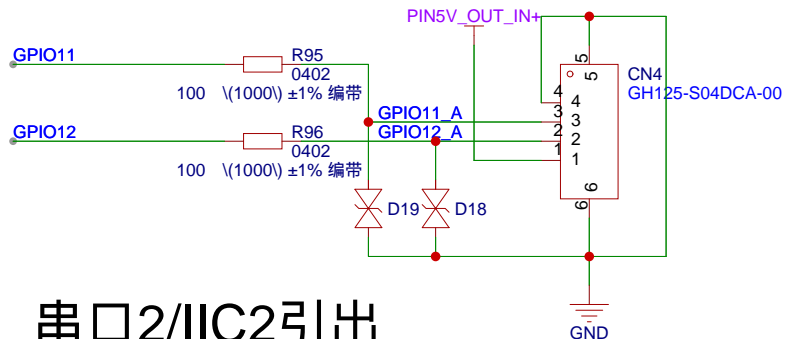
QSPI0

串口4

摄像头1也要用
IIS_D_IN1&PDM_IN2
IIS_D_OUT1&PDM_IN0
PWM4
PWM0
IIS_CLK



IIC：第一个IIC接口都不满足，总共5个IIC，三个摄像头用三个，HDMI和触摸用一个，剩下一个和串口冲突只能两个、备用摄像头的共用了。
UART：总共5个串口，串口0和串口3被大小核的DEBUG 占用。还剩下串口1,2,4



串口2/IIC2引出

https://pinout.xyz/pinout/5v_power

3v3 Power	1	2	5v Power
GPIO 2 (I2C1 SDA)	3	4	5v Power
GPIO 3 (I2C1 SCL)	5	6	Ground
GPIO 4 (GPCLK0)	7	8	GPIO 14 (UART TX)
Ground	9	10	GPIO 15 (UART RX)
GPIO 17	11	12	GPIO 18 (PCM CLK)
GPIO 27	13	14	Ground
GPIO 22	15	16	GPIO 23
3v3 Power	17	18	GPIO 24
GPIO 10 (SPI0 MOSI)	19	20	Ground
GPIO 9 (SPI0 MISO)	21	22	GPIO 25
GPIO 11 (SPI0 SCLK)	23	24	GPIO 8 (SPI0 CE0)
Ground	25	26	GPIO 7 (SPI0 CE1)
GPIO 0 (EEPROM SDA)	27	28	GPIO 1 (EEPROM SCL)
GPIO 5	29	30	Ground
GPIO 6	31	32	GPIO 12 (PWM0)
GPIO 13 (PWM1)	33	34	Ground
GPIO 19 (PCM FS)	35	36	GPIO 16
GPIO 26	37	38	GPIO 20 (PCM DIN)
Ground	39	40	GPIO 21 (PCM DOUT)

原理图	主板原理图		更新日期	2024-09-20
图页	K230 GPIO PINOUT		创建日期	2024-09-20
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
		版本	尺寸	页 7 共 17
嘉立创EDA		V1.0	A4	嘉立创EDA

U22.2

DDR - LPDDR4

DDR_DQA4 U16
DDR_DQA3 T16
DDR_DQA1 V16
DDR_DQA0 Y16
DDR_DQA5 W18
DDR_DQA5 V18
DDR_DQA7 Y18
DDR_DQA2 U17

DDR_DQA0 123.34mil 181.09mil DDR_CAA0
DDR_DQA1 140.80mil 85.49mil DDR_CAA1
DDR_DQA2 169.75mil 173.82mil DDR_CAA2
DDR_DQA3 230.2mil 192.45mil DDR_CAA3
DDR_DQA4 207.38mil 158.81mil DDR_CAA4
DDR_DQA5 198.72mil 228.71mil DDR_CAA5
DDR_DQA6 254.62mil
DDR_DQA7 190.14mil

M19 DDR_CAA0
L16 DDR_CAA1
N19 DDR_CAA2
N20 DDR_CAA3
M18 DDR_CAA4
P19 DDR_CAA5

DDR_DQA11 R17
DDR_DQA13 T18
DDR_DQA12 R18
DDR_DQA15 U20
DDR_DQA8 W19
DDR_DQA14 U18
DDR_DQA10 P16
DDR_DQA9 T17

DDR_DQA8 158.20mil 246.15mil DDR_CLKAP
DDR_DQA9 226.78mil 238.19mil DDR_CLKAN
DDR_DQA10 178.76mil 161.83mil DDR_DMIA0
DDR_DQA11 221.46mil 162.56mil DDR_DMIA1
DDR_DQA12 271.57mil
DDR_DQA13 193.23mil
DDR_DQA14 80.19mil
DDR_DQA15 176.85mil

R19 DDR_CLKA_P
R20 DDR_CLKA_N

DDR_DQSA0_P W17
DDR_DQSA0_N Y17

DDR_DQSA0P 249.70mil 146.68mil DDR_CKEA0
DDR_DQSA0N 241.54mil 170.81mil DDR_CKEA1

V17 DDR_DMIA0
P17 DDR_DMIA1

DDR_DQSA1_P V20
DDR_DQSA1_N V19

DDR_DQSA1P 275.79mil
DDR_DQSA1N 266.5mil

T20 DDR_CSA0
T19

N17 DDR_CKEA0
P18

J16 DDR_RESET
K17 DDR_VREF
K19 R40 240

GND

DDR_DQB2 C14
DDR_DQB4 D14
DDR_DQB3 B14
DDR_DQB0 A14
DDR_DQB1 A17
DDR_DQB5 B16
DDR_DQB6 C16
DDR_DQB7 B17

DDR_DQB0 116.81mil 215.29mil DDR_CAB0
DDR_DQB1 106.62mil 160.15mil DDR_CAB1
DDR_DQB2 176.65mil 149.89mil DDR_CAB2
DDR_DQB3 220.81mil 122.58mil DDR_CAB3
DDR_DQB4 198.33mil 108.57mil DDR_CAB4
DDR_DQB5 174mil 179.46mil DDR_CAB5
DDR_DQB6 172.52mil
DDR_DQB7 217.16mil

E20 DDR_CAB0
G19 DDR_CAB1
G18 DDR_CAB2
H17 DDR_CAB3
F17 DDR_CAB4
F19 DDR_CAB5

DDR_DQB14 C19
DDR_DQB15 B19
DDR_DQB11 E17
DDR_DQB12 E18
DDR_DQB8 C18
DDR_DQB10 D17
DDR_DQB13 D16
DDR_DQB9 C17

DDR_DQB8 261.45mil
DDR_DQB9 270.83mil 177.55mil DDR_DMIB0
DDR_DQB10 168.23mil 207.69mil DDR_DMIB1
DDR_DQB11 150.81mil
DDR_DQB12 220.4mil
DDR_DQB13 167.02mil
DDR_DQB14 144.23mil
DDR_DQB15 158.98mil

G20 DDR_CLKB_P
F20 DDR_CLKB_N

C15 DDR_DMIB0
D18 DDR_DMIB1

DDR_DQSB0_P B15
DDR_DQSB0_N A15

DDR_DQSB0P 182.04mil
DDR_DQSB0N 194.59mil

J20 DDR_CSB0
J19

J18 DDR_CKEB0
J17

DDR_DQSB1_P B18
DDR_DQSB1_N A18

DDR_DQSB1P 256.57mil
DDR_DQSB1N 260.97mil

L18
H18
C20
H19
G17
K20
L20
M20
L17
N18
D20
D19
F18
M17

布线等长设计，注意添加pin delay

U23.1

DDR_DQA0 B2
DDR_DQA1 C2
DDR_DQA2 E2
DDR_DQA3 F2
DDR_DQA4 F4
DDR_DQA5 E4
DDR_DQA6 C4
DDR_DQA7 B4

DQ0_a
DQ1_a
DQ2_a
DQ3_a
DQ4_a
DQ5_a
DQ6_a
DQ7_a

CA0_a
CA1_a
CA2_a
CA3_a
CA4_a
CA5_a

DDR_DQA8 B11
DDR_DQA9 C11
DDR_DQA10 E11
DDR_DQA11 F11
DDR_DQA12 F9
DDR_DQA13 E9
DDR_DQA14 C9
DDR_DQA15 B9

DQ8_a
DQ9_a
DQ10_a
DQ11_a
DQ12_a
DQ13_a
DQ14_a
DQ15_a

J8 DDR_CLKA_P
J9 DDR_CLKA_N

D3 DDR_DQSA0_P
E3 DDR_DQSA0_N

D10 DDR_DQSA1_P
E10 DDR_DQSA1_N

H4 DDR_CSA0
J4 DDR_CKEA0
G2 R39 0

VDD_1V1

DDR_DMIA0 C3
DDR_DMIA1 C10

DMIO_a
DMI1_a

DDR_DQB0 AA2
DDR_DQB1 Y2
DDR_DQB2 V2
DDR_DQB3 U2
DDR_DQB4 U4
DDR_DQB5 V4
DDR_DQB6 Y4
DDR_DQB7 AA4

DQ0_b
DQ1_b
DQ2_b
DQ3_b
DQ4_b
DQ5_b
DQ6_b
DQ7_b

R2 DDR_CAB0
P2 DDR_CAB1
R9 DDR_CAB2
R10 DDR_CAB3
R11 DDR_CAB4
P11 DDR_CAB5

DDR_DQB8 AA11
DDR_DQB9 Y11
DDR_DQB10 V11
DDR_DQB11 U11
DDR_DQB12 U9
DDR_DQB13 V9
DDR_DQB14 Y9
DDR_DQB15 AA9

DQ8_b
DQ9_b
DQ10_b
DQ11_b
DQ12_b
DQ13_b
DQ14_b
DQ15_b

P8 DDR_CLKB_P
P9 DDR_CLKB_N

W3 DDR_DQSB0_P
V3 DDR_DQSB0_N

W10 DDR_DQSB1_P
V10 DDR_DQSB1_N

R4 DDR_CSB0
P4 DDR_CKEB0
T2 R41 0

VDD_1V1

DDR_DMIB0 Y3
DDR_DMIB1 Y10

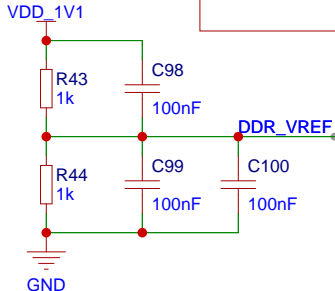
DMIO_b
DMI1_b

CS_b
CKE_b
ODT_CA_b

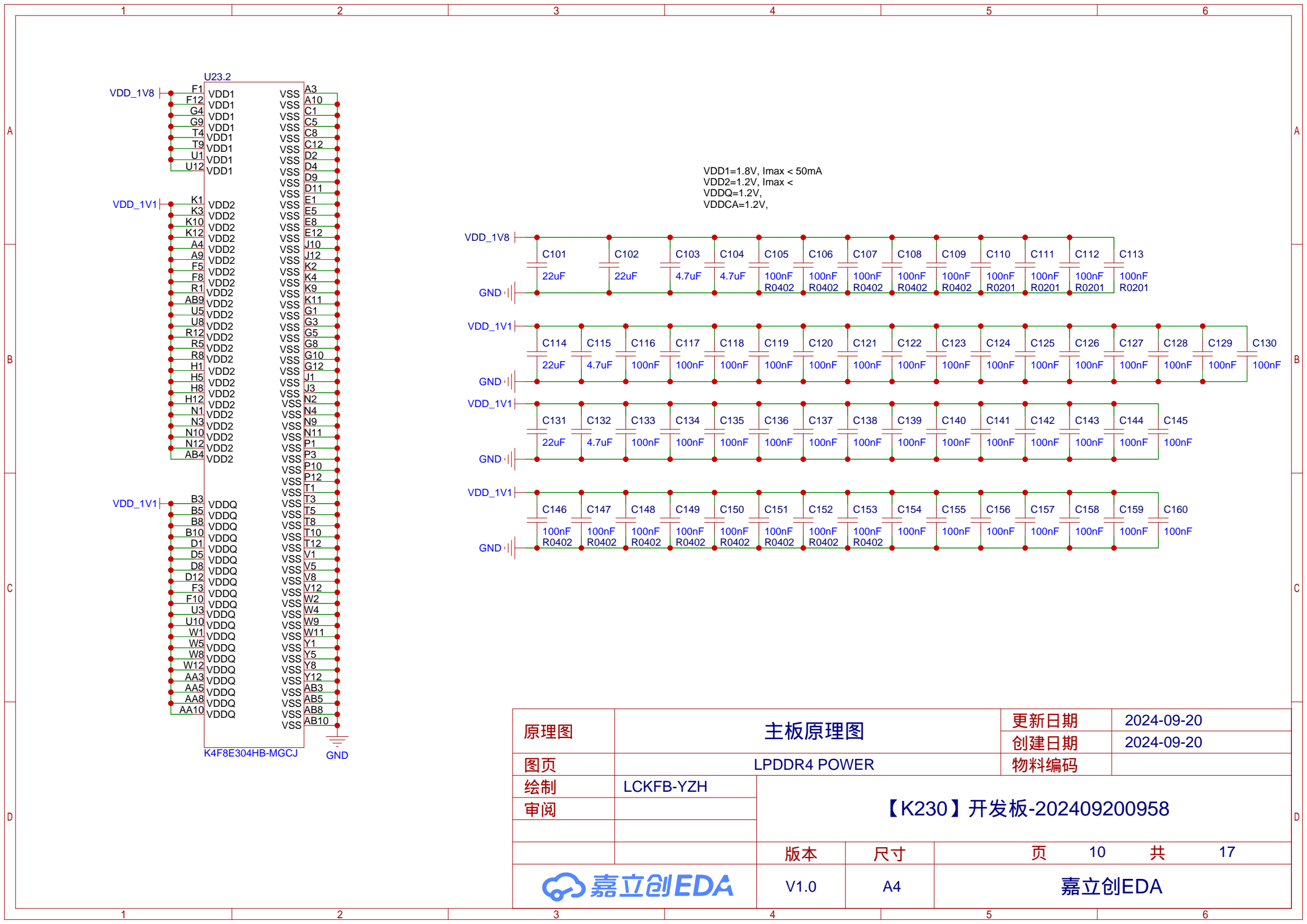
T11 DDR_RESET
A5 R42 240

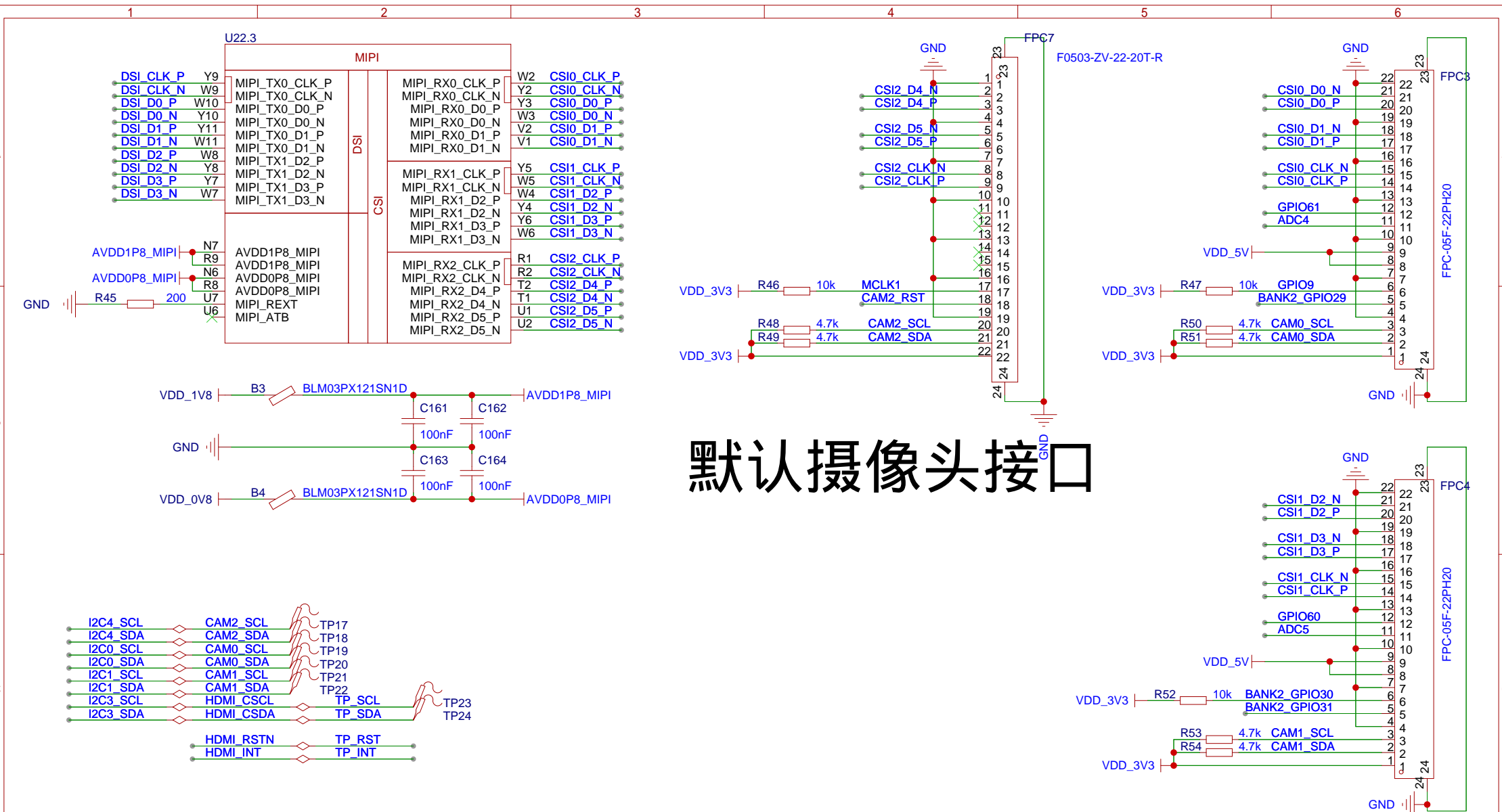
VDD_1V1

K4F8E304HB-MGCJ

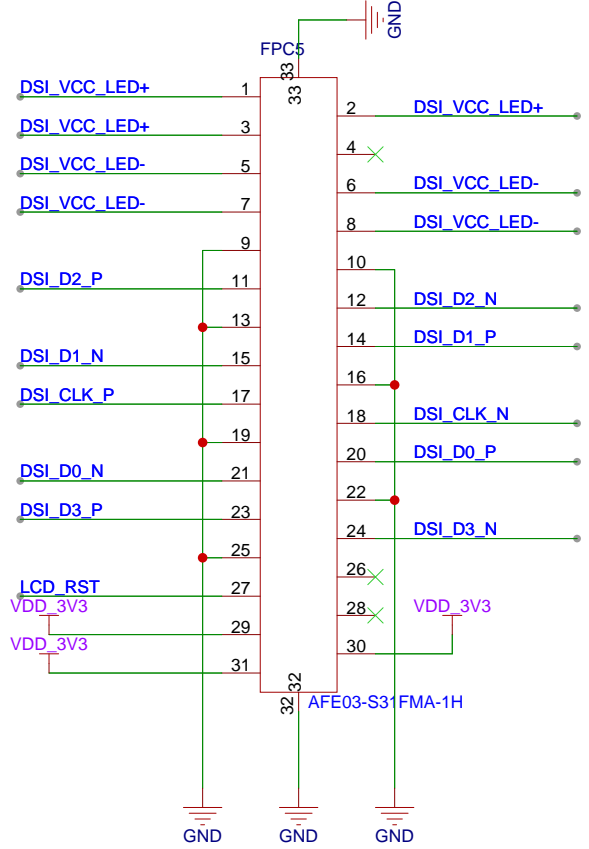
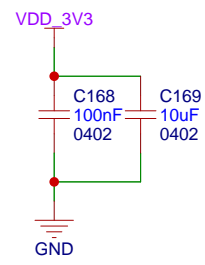
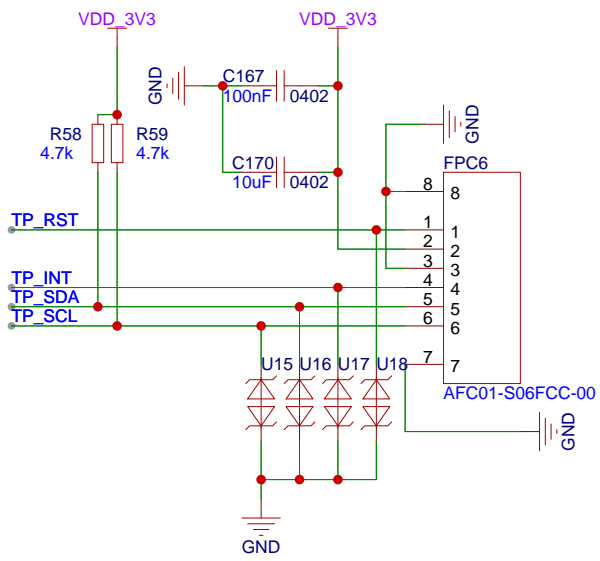
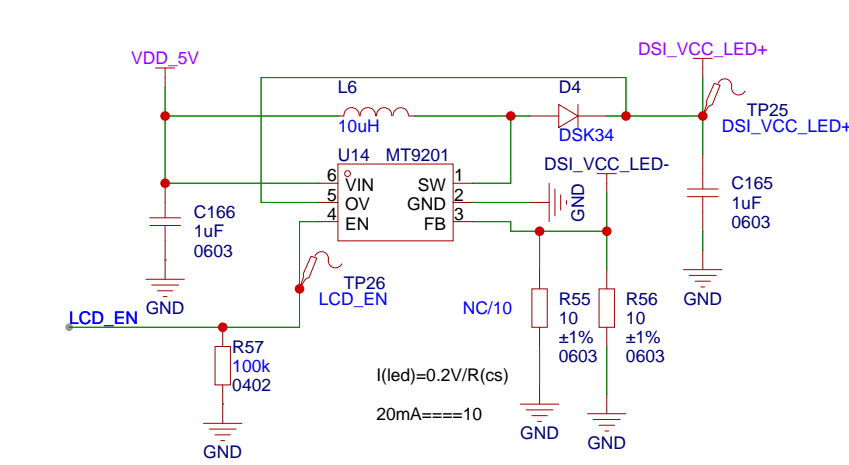


原理图	主板原理图		更新日期	2024-09-20
			创建日期	2024-09-20
图页	LPDDR4		物料编码	
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
		版本	尺寸	页 9 共 17
嘉立创EDA		V1.0	A4	嘉立创EDA

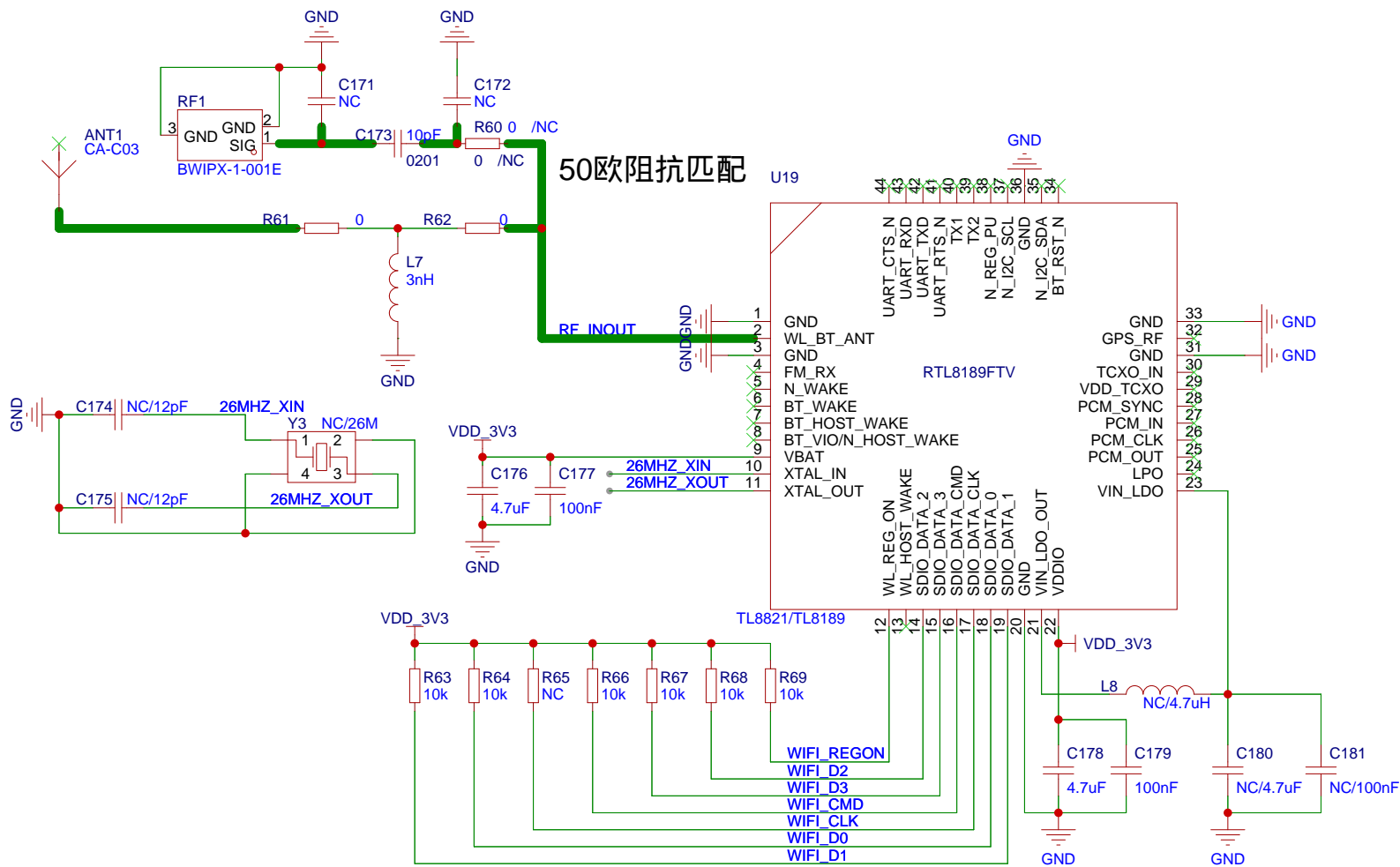




原理图	主板原理图		更新日期	2024-09-20
			创建日期	2024-09-20
图页	CSI INTERFACE		物料编码	
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
		版本	尺寸	页 11 共 17
		V1.0	A4	嘉立创EDA



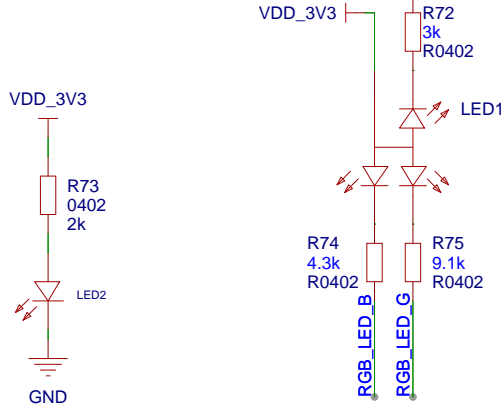
原理图	主板原理图		更新日期	2024-09-20
			创建日期	2024-09-20
图页	DSI INTERFACE AND TP		物料编码	
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
		版本	尺寸	页 12 共 17
嘉立创EDA		V1.0	A4	嘉立创EDA



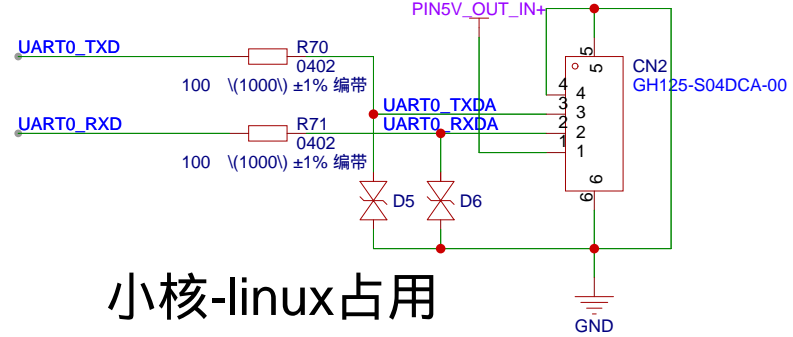
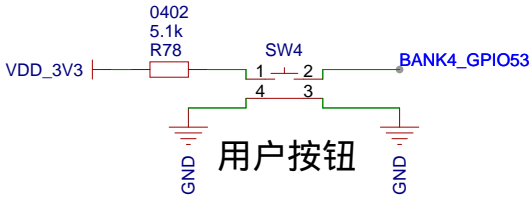
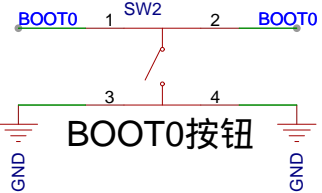
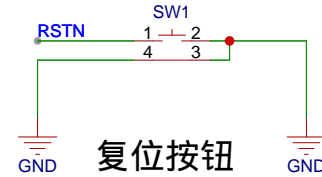
原理图	主板原理图			更新日期	2024-09-20
				创建日期	2024-09-20
图页	WIFI			物料编码	
绘制	LCKFB-YZH			【K230】开发板-202409200958	
审阅					
				版本	尺寸
				页 13	共 17
嘉立创EDA		V1.0	A4	嘉立创EDA	

RGB_LED_R BANK5_GPIO62
RGB_LED_G BANK1_GPIO20
RGB_LED_B BANK5_GPIO63

RGB

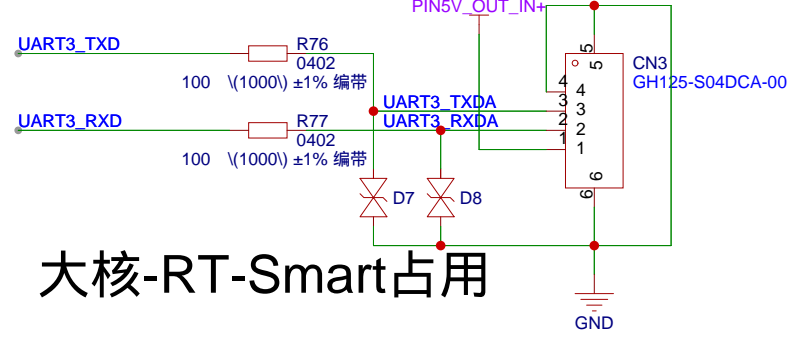


电源指示灯 用户指示灯

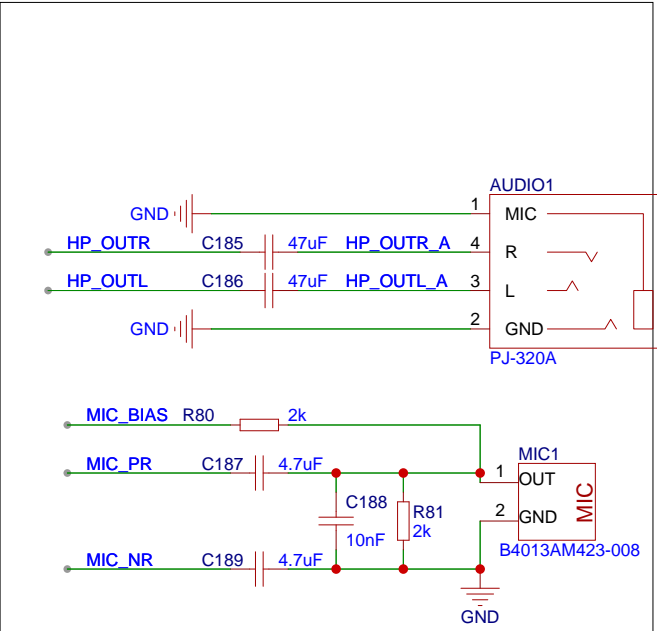


小核-linux占用

只支持3.3V，不得接入5V



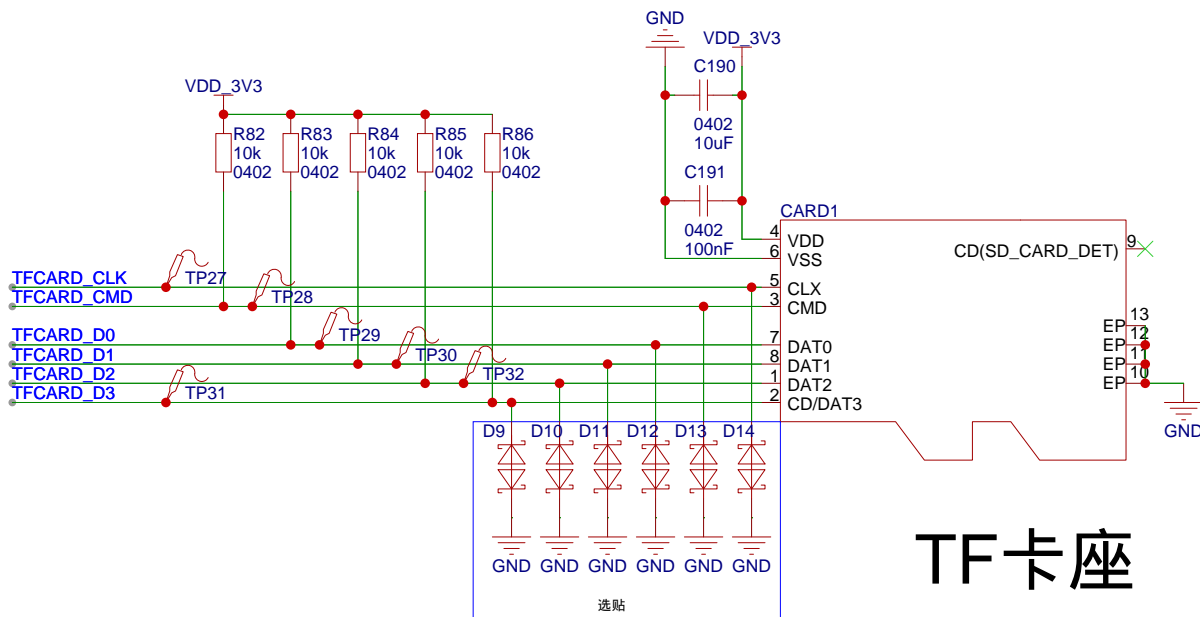
大核-RT-Smart占用



layout时考虑换一个接口

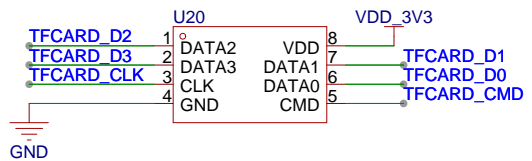
原理图	主板原理图		更新日期	2024-09-20
图页	DBG AUDIO KEY LED		创建日期	2024-09-20
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
		版本	尺寸	页 14 共 17
嘉立创EDA		V1.0	A4	嘉立创EDA

注意，预留出触点 方便烧录



TF卡座

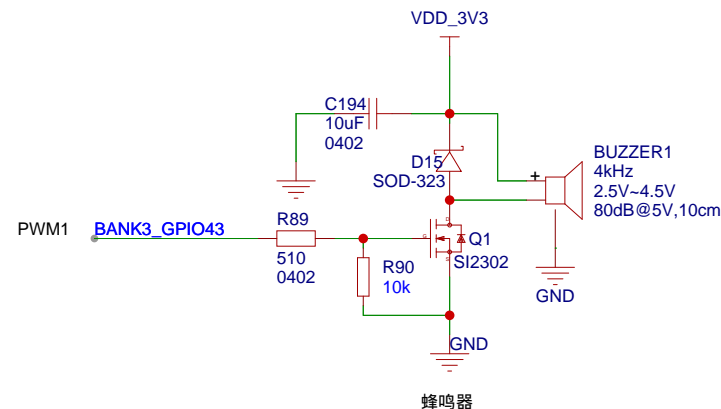
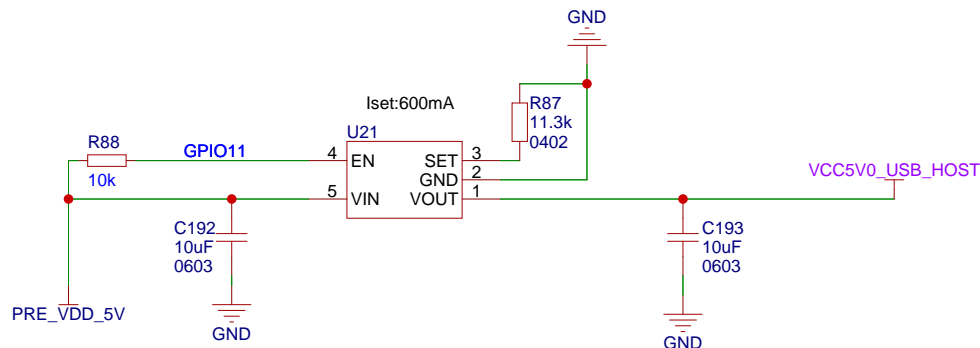
不可同时使用
只能选其一



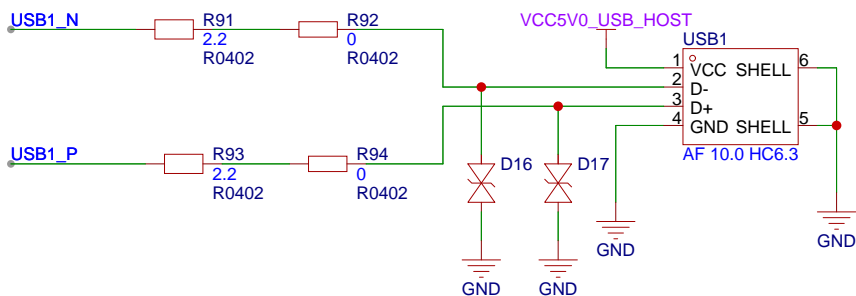
贴片TF卡

预留给可能会发生剧烈震动或要求高可靠性的场景

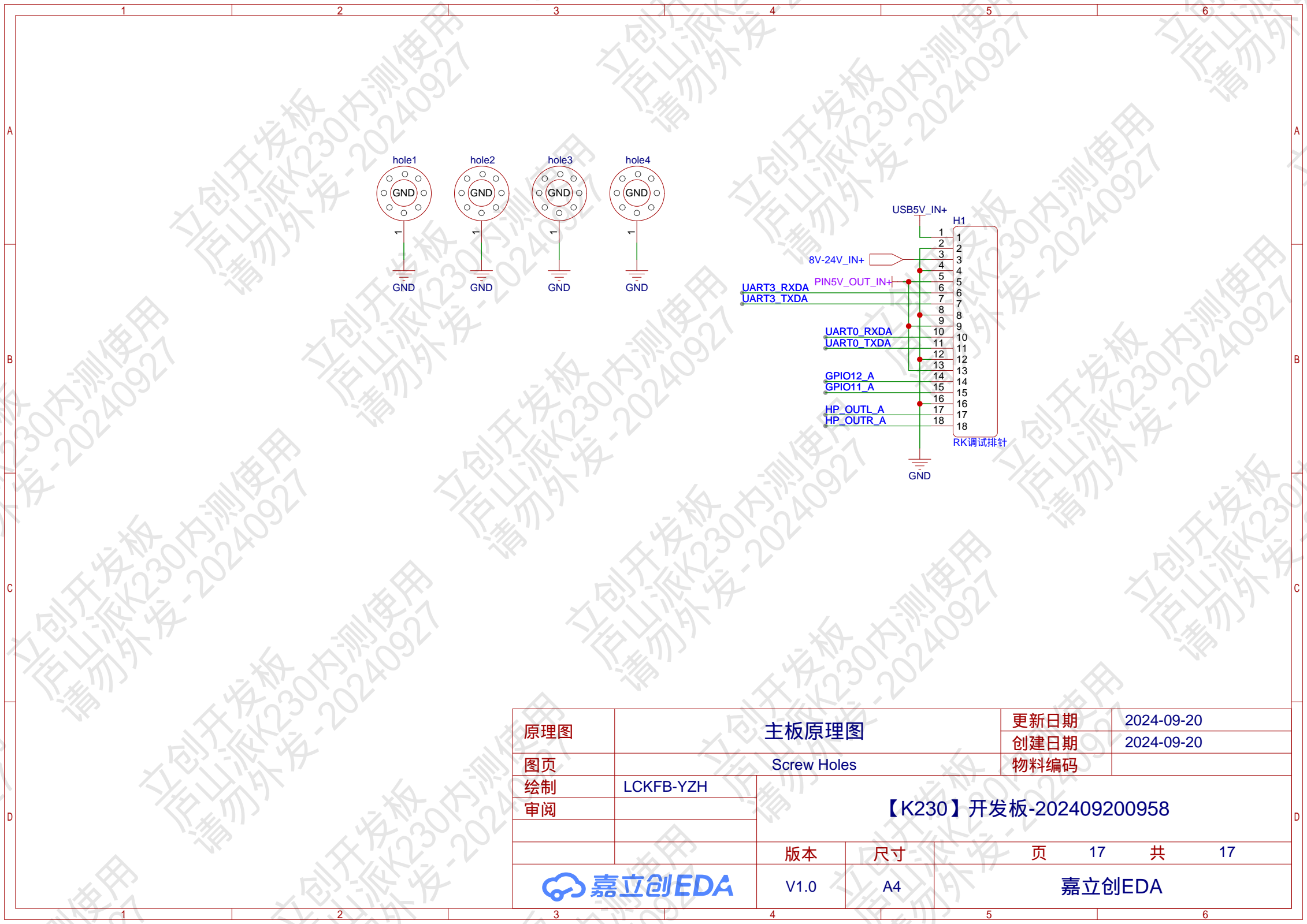
原理图	主板原理图	更新日期	2024-09-20
		创建日期	2024-09-20
图页	TF CARD OR SDNAND		
绘制	LCKFB-YZH	【K230】开发板-202409200958	
审阅			
		版本	尺寸
		V1.0	A4
嘉立创EDA		页 15	共 17
		嘉立创EDA	



USB2.0 HOST



原理图	主板原理图		更新日期	2024-09-20
			创建日期	2024-09-20
图页	USB TYPE-A HOST AND BEEP		物料编码	
绘制	LCKFB-YZH	【K230】开发板-202409200958		
审阅				
		版本	尺寸	页 16 共 17
嘉立创EDA		V1.0	A4	嘉立创EDA



原理图	主板原理图		更新日期	2024-09-20	
图页	Screw Holes		创建日期	2024-09-20	
绘制	LCKFB-YZH	【K230】开发板-202409200958			
审阅					
		版本	尺寸	页	共
嘉立创EDA		V1.0	A4	17	17
		嘉立创EDA			