

桂林理工大学第八届“先进成图技术与产品信息建模创新大赛”电子类赛道 校内选拔赛试题

考试说明：

- 1、 考试时间 2025 年 4 月 19 日 **9:00-12:00**，总时长 3 小时。
- 2、 答题使用软件为 **Altium Designer** 或者 **嘉立创 EDA**，版本不限。
- 3、 考生须建立一个**以自己姓名-学号命名的工程文件夹**用于存放设计文件，例如某学生姓名为张三，学号为 2025041506，则其工程文件夹命名为：张三-2025041506。
- 4、 考生须在上述规定时间内完成试题作答，并**将工程文件夹整体打包压缩为 ZIP 或者 RAR 格式的单个设计文件**，例如上述学号为 2025041506 的考生，其设计文件为：张三-2025041506.zip 或者张三-2025041506.rar。
- 5、 考生须在考试结束后把上述压缩格式的设计文件通过**邮件附件形式**发送到阅卷老师邮箱，**机控学院考生请发送至 59413980@qq.com**，**物电学院考生请发送至邮箱：499406566@qq.com**，邮件主题为：**成图电子校赛-专业-姓名-学号**。
- 6、 各考生须严格按照上述要求在规定时间内提交设计文件，**邮箱接收以 12:05 为限，超时提交答题结果不计成绩**，各考生务请把握好答题和上传时间。

第一题、管理文件（5分）

在工程文件夹中新建一个以自己学号命名的项目工程文件。例如考生张三的学号为 2025041506，则其项目工程文件为 2025041506.PrjPcb 或者 2025041506.epr。

第二题、绘制原理图库元件及 PCB 封装（20分）

- 1、在原理图库文件中，根据图 1 给出的元件引脚功能示意图绘制原理图库元件，要求元器件管脚序号名称与图 1 标注的保持一致，命名为 TI_TPS2561，并在后续抄画原理图时调用。
- 2、在 PCB 库文件中根据图 2 元件封装尺寸图给出的相应参数创建集成电路 TPS2561 的 PCB 封装，命名为 TI_TPS2561_VSON-10，并在后续设计电路板时调用。

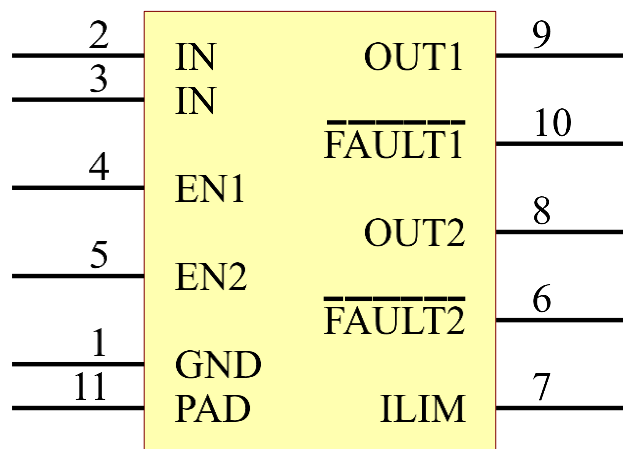


图 1 TPS2561 引脚功能示意图

第三题、抄画电路原理图（30 分）

在分页原理图最后一页抄画如图 3 所示的 TPS2561 电路原理图，各器件封装如表 1 所示。

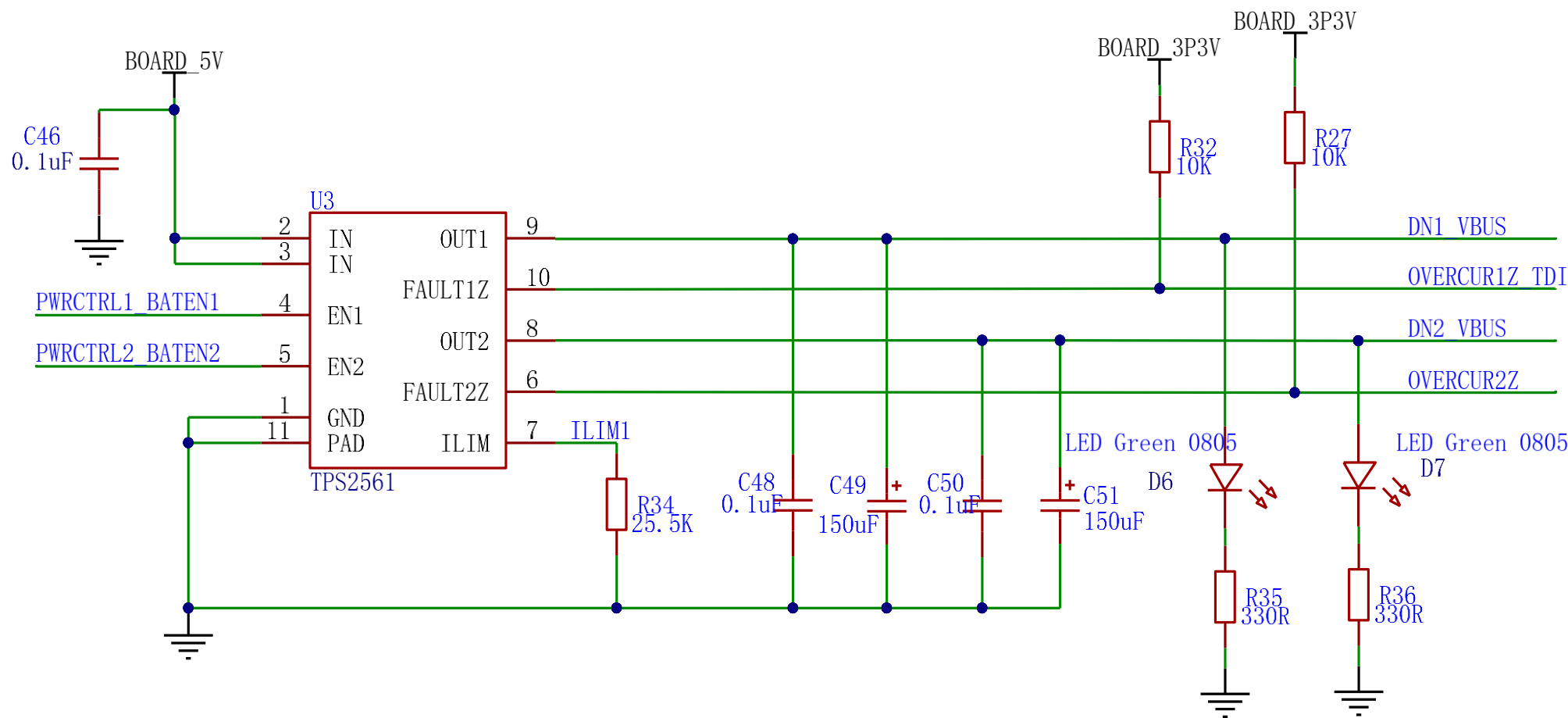


图 3 待抄画 TPS2561 电路原理图

表 1 TPS2561 电路各器件封装信息

| 序号 | 元器件名称 | 元器件标号 | 元器件封装 |
|----|---------|---------------------|--------------------|
| 1 | 芯片 | U3 | TI_TPS2561_VSON-10 |
| 2 | 贴片电阻 | R27、R32、R34、R35、R36 | R0603 |
| 3 | 贴片电容 | C46、C48、C49、C50、C51 | C0603 |
| 4 | 贴片发光二极管 | D6、D7 | LED_0805 |

第四题、生成电路板（45 分）

将补充完整后的原理图文件生成电路板， 要求如下：

- 1、 电路无开路、短路，符合通用 PCB 设计规范，PCB 网络与原理图保持一致。
- 2、 电路板规格为四层板，元器件单面布局（顶面），电路板外形为矩形，尺寸为 100mm（长）× 60mm（宽），四角采用 R3（半径 3mm）圆角。
- 3、 PCB 板的四角要有安装固定孔，适配 M3 固定螺丝，孔径 3.2mm，长边孔距 90mm，短边孔距 50mm。
- 4、 过孔采用 15/30 类型（即过孔内径为 15mil， 外径为 30mil），板内局部走线密集的位置可以适当采

用 10/20 类型的过孔。

- 5、 线宽线距处理：单端信号线宽按 6mil，模拟信号线宽不得低于 8mil，电源线宽不得低于 10 mil，整板线距不得低于 6mil，PCB 布线应离板边 1mm 及以上。
- 6、 差分线规则为：特性阻抗 90 欧姆，6/6/6（线宽/线距/线宽），单位 mil。
- 7、 各连接器需要放置在 PCB 板边，各元器件以封装外形为准，不允许突出 PCB 板边缘。
- 8、 元器件位号丝印清晰可辨，丝印尺寸大小需要符合 PCB 加工要求。
- 9、 生成单板 PCB 后，需要制作 2×5 拼板，拼板后不计工艺边总尺寸为 200mm（长）×300mm（宽），拼板设计在工程内用单独文件保存。