

第十二届 蓝桥杯 EDA设计与开发项目 省赛

第二部分 设计试题 (70 分)

试题一 库文件设计 (5 分)

打开“资源数据包”中提供的 PCB 库文件 user.pcblib，在 user.pcblib 中新建一个封装，将其命名为：BW-SOP-8，封装设计要求见下图。(5 分)

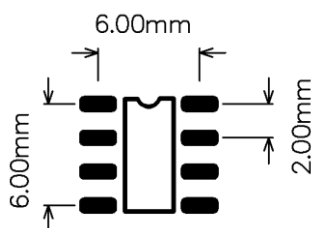


图 1 封装设计 (BW-SOP-8)

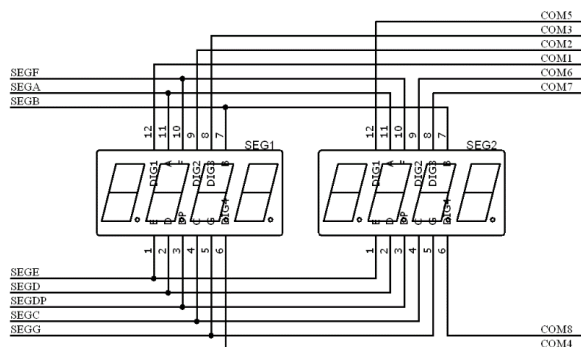
设计要求：

- 设置焊盘 1 为坐标原点。
- 焊盘尺寸：长设置为 2.20mm，宽设置为 0.80mm。
- 焊盘形状：Rounded Rectangle (toplayer 层)

试题二 原理图设计 (20 分)

打开“资源数据包”中提供的原理图文件 user.schdoc，添加资源数据包中提供的原理图符号库。

- 1、按照给出的样图，在数码管驱动电路设计区域 (Design_Seg Driver) 内，完成元器件符号放置、线路绘制和网络添加。(12 分)



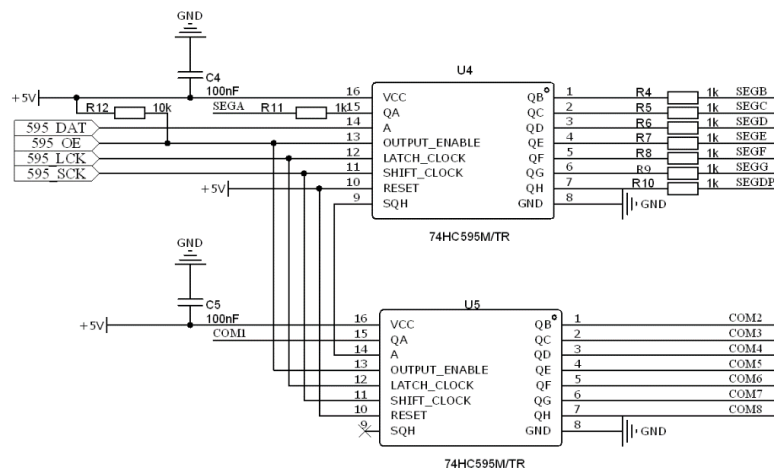


图 2 数码管驱动电路

设计要求

- 元器件摆放与样图基本一致。
- 元器件的标号、值、网络标号名称、元器件网络连接关系等需要与原理图完全一致，否则成绩按零分计。

备注：

- 不可修改 user.schdoc 中已经给定的元器件编号和网络连接关系。
- 不可使用“资源数据包”以外的符号库。

- 2、在运算放大器设计区域（OPAMP Design）内，连接电源网络，根据给定的电路连接关系，计算电阻 R92 的值（电压放大倍数为 3），并将计算结果填入 R92 元器件的 Comment 属性。（8 分）

试题三 印制电路板设计（45 分）

1、准备工作

- 新建一个工程文件，命名为 user.prjpcb；
- 将 user.schdoc、user.pcbdoc 添加至工程文件；
- 将库文件 user.schlib、user.pcbplib 添加至工程文件；
- 按照下表中给出的对应关系，在原理图中添加器件封装信息，并导入到 PCB 文件中。

元器件标号	封装
B1	BAT-CR1220
C1, C2, C6, C7, C8	C0805

C3, C9	CAP
CN1	USB-B
D1	DIODE
H1	HDR-F-2.54_1X3
LED1	LED0805
Q1	SOT-23-3
R1, R20	R0805
R2, R3, R13, R14, R16, R17, R90, R91	R0805
R15, R18, R97, R98	R0805
R19, R21	R0805
R92	R0805
R93, R94, R95, R96	R0805
SP1	BUZZ
SW1	SW-SMD_4P
U1	SOP-16
U2	SOP-8
U3	SOP-8
U6	SO-14
U7	LQFP-44
U12	BW-SOP-8
R4, R5, R6, R7, R8, R9, R10, R11, R12	R0805
C4, C5	C0805
U4, U5	SOP-16
SEG1, SEG2	LED-SEG
X1	XTAL-DT38

备注：不可以使用“资源数据包”以外的封装库。

2、元器件布局

- SEG1 数码管 1 脚坐标 (29mm, 47mm)。
- SEG2 数码管 1 脚坐标 (60mm, 47mm)。
- 所有器件均放置在 Top Layer 层。
- 通用要求

合理安排布局，元器件之间应相互平行或者垂直排列，以求整齐、美观，不允许元件重叠；元件排列要紧凑，元件在整个版面上应分布均匀、疏密一致。

3、布线设计

- 在给定的 Keep-out Layer 边框范围内完成 user.pcbdoc 布线设计。
- PCB 设计要求

最小线宽： $\geq 14\text{mil}$

线间距： $\geq 14\text{mil}$

过孔尺寸：20mil/40mil

布线层数：2

字符层：Top overlay，要求字符摆放整齐。

覆铜层：Top Layer、Bottom Layer，GND 网络。

布通率：100%

4、文件导出

- 从原理图中导出 Netlist 网表 (Cadnetix netlist 格式)，并将其重命名为 user.net。
- 从 PCB 中导出坐标文件，单位为公制，并将其重命名为 user.txt。

文件提交要求

- 1、将 user.schdoc、user.pcbdoc、user.pcbplib、user.txt 和 user.net 共 5 个文件，打包成压缩文件，并以准考证号命名、提交。
- 2、未按照要求命名和提交文件的选手将被酌情扣分或记零分。
- 3、提交不属于试题要求文件的选手将被酌情扣分或记零分。