

## 第十三届立创 EDA 出品省赛模拟题二（2022）

### 第二部分 设计试题（70 分）

#### 试题一 库文件设计（5 分）

新建一个元器件封装，将其命名为：BW-SOP-8，封装设计要求见下图。（5 分）

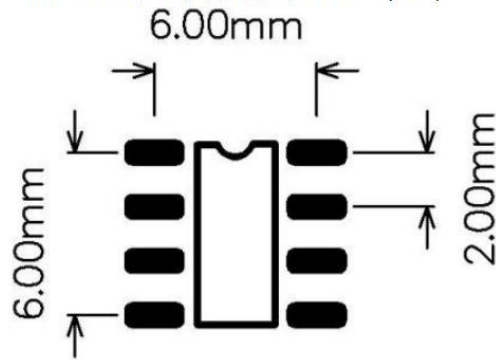


图 1 封装设计 (BW-SOP-8)

设计要求：

- 设置焊盘 1 为坐标原点。
- 焊盘尺寸：长设置为 2.20mm，宽设置为 0.80mm。
- 焊盘形状：长圆形（顶层）

试题二 原理图设计 (20 分)

新建工程；

打开“资源数据包”中提供的原理图文件sch.json；按照下列要求完成原理图设计。

1、按照给出的样图，在数码管驱动电路设计区域（Design\_Seg Driver）内，完成元器件符号放置、线路绘制和网络添加。（12 分）

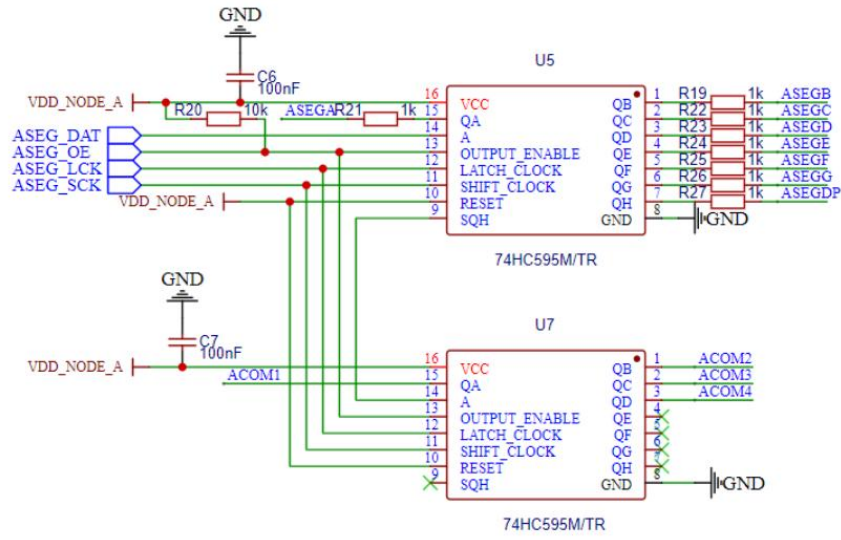


图 2 数码管驱动电路

设计要求

- 元器件摆放与样图基本一致。
- 元器件的编号、值、网络标号名称、元器件网络连接关系等需要与原理图完全一致，否则成绩按零分计。

2、在运算放大器设计区域（OPAMP Design）内，连接电源网络，根据给定的电路连接关系，计算电阻 R6 的值（电压放大倍数为 1.5），并将计算结果填入 R6 元件属性的名称中。（8 分）

原理图设计说明：

- 不可修改“资源数据包”原理图中已经给定的元器件编号和网络连接关系。
- 不可使用“资源数据包”以外的其它符号库。

试题三 印制线路板设计（45 分）

1、准备工作

- 打开“资源数据包”中提供的PCB.json 文件，并将其添加到工程文件中。
- 按照下表中给出的符号-封装对应关系，在原理图中添加器件封装信息，并导入到PCB 中。

元件标号	封装
B1	BAT-CR1220
C1,C5,C6,C7,C8,C9	C0805
C2,C4	CAP
C3	C0805
CN1	USB-B
D1	DIODE
H1	HDR-F-2.54_1X3
LED1	LED0805
Q1	SOT-23-3
R1,R8,R19,R21,R22,R23,R24,R25,R26,R27	R0805
R2,R5,R16,R17,R18,R20,R28,R29,R30	R0805
R3,R4,R12,R14	R0805
R6	R0805
R7,R9	R0805
R10,R11,R13,R15	R0805
SEG1,SEG2	LED-SEG
SP1	BUZZ
SW1	SW-SMD_4P
U2	SOP-16
U3	SOP-8
U4	SOP-8
U5,U7	SOP-16
U6	QFP-LQFP-44
U8	SOP-8
X1	XTAL-DT38
U1	SOIC-14_L8.7-W3.9-P1.27-LS6.0-BL

**备注：不可以使用“资源数据包”以外的封装库。**2、元器件布局

- SEG1 数码管 1 脚坐标（29mm,47mm）。
- SEG2 数码管 1 脚坐标（60mm,47mm）。
- 所有器件均放置在顶层。
- 通用要求

合理安排布局，元器件之间应相互平行或者垂直排列，以求整齐、美观，不允许元件重叠；元件排列要紧凑，元件在整个版面上应分布均匀、疏密一致。

### 3、布线设计

- 在给定的PCB 边框层范围内，完成布线设计。
- PCB 设计要求

最小线宽：≥14mil 线间距：≥6mil

过孔尺寸：12mil/24mil 布线层数：2

字符层：顶层丝印层，要求字符摆放整齐。覆铜层：顶层、底层，GND 网络。

布通率：100% 4、文件导出

从原理图中导出网表(Free PCB 格式)，并将其重命名为USER.net。

### **\*文件提交要求**

- 1、按照试题一库文件设计要求，完成 BW-SOP-8 封装的设计，导出立创 EDA 封装库文件，并将其命名为 BW-SOP-8.json。
- 2、按照试题二原理图设计要求，完成原理图的绘制，导出立创EDA 原理图文件，并将其命名为SCH.json。
- 3、按照试题三PCB 设计要求，完成PCB 的设计，导出立创EDA PCB 文件，并将其命名为PCB.json；导出网表文件(Free PCB 格式)，USER.net。
- 4、选手最终上传的文件压缩包中，应包含 BW-SOP-8.json、SCH.json、PCB.json、USER.net 四个文件。
- 5、未按照要求命名和提交文件的选手将被酌情扣分或记零分，提交不属于试题要求文件的选手将被酌情扣分或记零分。