

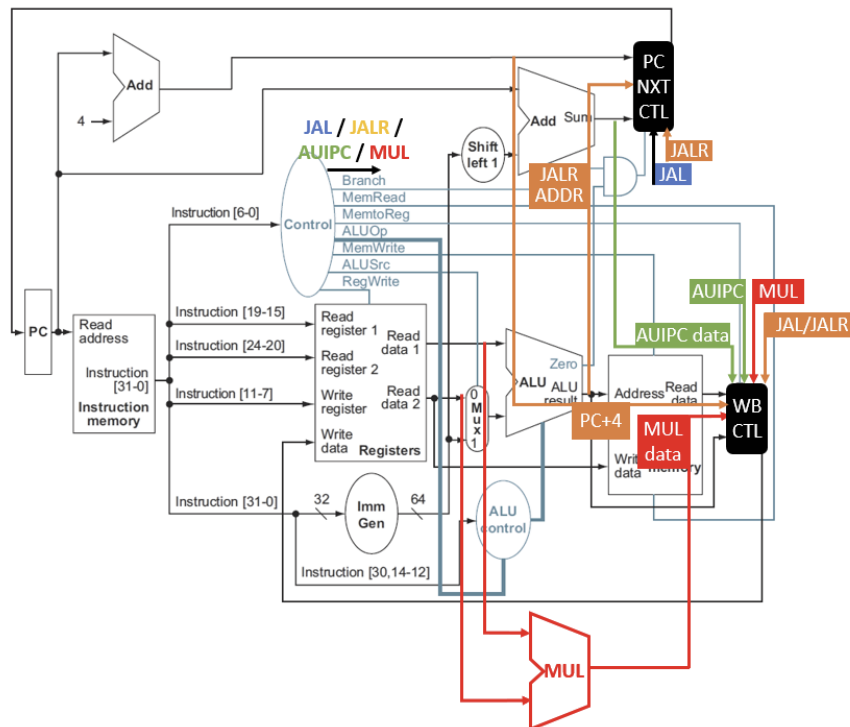
CA Final Project

B07901045 林芳儀、B07901157 陳言瑄、B07901025 謝明園

- Briefly describe your CPU architecture

我們的 CHIP 裡包含五個 module：

- ALU×2：用兩個 ALU 來處理一般的操作（ADD、SUB、SLL、SRA）以及需要多個 cycle 的操作（MUL、DIV）。
 - Control：基本上包含 IF 與 Control 設置的操作。
 - PC：依多種情況處理 PC。
 - Reg_file：提供 ID 的功能。
- Describe how you design the data path of instructions not referred in the lecture slides (jal, jalr, auipc, ...)



- JAL: 跟 Branch 一樣給他一個 control 訊號（JAL = 1），用 ALU 的 ADD 操作模式算出目標的 address（PC + offset），最後 MUX 的 block 依控制訊號選出 PC，此外還要處理後面 WB 的部分（write PC+4 to rd）。
- JALR: 同樣地，給他一個 control 訊號（JALR = 1），用 ALU 的 ADD 操作模式算出目標的 address（address in rs1+offset），跟 JAL 一樣用 MUX 決定 PC，再處理後面 WB 的部分（write PC+4 to rd）。
- AUIPC: 一樣設一個 control 訊號，用 ALU 的 ADD 操作模式算出 PC + offset，再 WB 存到 Register。

- Describe how you handle multi-cycle instructions (mul)
 - 當遇到 MUL/DIV 的操作時，PC 會等 counter 數到 32 才更新。
- Record total simulation time (CYCLE = 10 ns)
 - Leaf: a = 5, b = 6, c = 8, d = 0

```
Simulation complete via $finish(1) at time 255 NS + 0
```
 - Fact: n=8

```
Simulation complete via $finish(1) at time 3875 NS + 0
```
 - (Bonus) HW1: n = 10

```
Simulation complete via $finish(1) at time 1315 NS + 0
```
- Describe your observation
 - 人體 compiler 真強，nWave 好棒棒(?)，遷入實驗室真涼
 - Single cycle 比較好 debug，假如換成是 pipe-line 會鼠
 - 寫成 module 的形式會比全部寫 always blocs 更清楚
 - 計算比 python 快，好強！
 - 寫過 final project 後覺得整個概念都更加清晰了

- Snapshot the “Register table” in Design Compiler (p. 22)

```
Inferred memory devices in process
  in routine PC line 211 in file
    '/home/raid7_2/userb07/b07045/Verilog/CHIP.v'.
=====
| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
=====
| PC_reg        | Flip-flop | 31 | Y | N | Y | N | N | N | N |
| PC_reg        | Flip-flop | 1  | N | N | N | Y | N | N | N |
| counter_reg   | Flip-flop | 6  | Y | N | Y | N | N | N | N |
=====
Warning: /home/raid7_2/userb07/b07045/Verilog/CHIP.v:247: signed to unsigned conv
Warning: /home/raid7_2/userb07/b07045/Verilog/CHIP.v:254: signed to unsigned conv

Inferred memory devices in process
  in routine reg_file line 250 in file
    '/home/raid7_2/userb07/b07045/Verilog/CHIP.v'.
=====
| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
=====
| mem_reg       | Flip-flop | 995 | Y | N | Y | N | N | N | N |
| mem_reg       | Flip-flop | 29  | Y | N | N | Y | N | N | N |
=====

Inferred memory devices in process
  in routine MulDiv line 413 in file
    '/home/raid7_2/userb07/b07045/Verilog/CHIP.v'.
=====
| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
=====
| alu_in_reg    | Flip-flop | 32 | Y | N | Y | N | N | N | N |
| shreg_reg     | Flip-flop | 32 | Y | N | Y | N | N | N | N |
| shreg_reg     | Flip-flop | 32 | Y | N | N | N | N | N | N |
| state_reg     | Flip-flop | 2  | Y | N | Y | N | N | N | N |
| counter_reg   | Flip-flop | 5  | Y | N | Y | N | N | N | N |
=====
```

- List a work distribution table
 - 芳儀：討論架構、寫 code、Debug（難度 C）、幫買麥當勞
 - 言瑄：討論架構、寫 code、Debug（難度 C）、找地方（Out of office & 嵌入式實驗室）
 - 明園：Debug（難度 A），人體 compiler、幫買麥當勞、畫 Datapath 圖