

CHƯƠNG 7 MỘT SỐ PHÔI GHÉP VÀO/RA CƠ BẢN

I - GIỚI THIỆU VỀ PHÔI GHÉP VÀO/RA

1. Các lệnh vào/ra dữ liệu

Các lệnh thực hiện việc trao đổi dữ liệu giữa bộ vi xử lý với các thiết bị ngoại vi gồm có lệnh OUT để đưa dữ liệu từ bộ vi xử lý tới một thiết bị ngoại vi và lệnh IN để đọc dữ liệu một thiết bị ngoại vi vào bộ vi xử lý. Các bộ vi xử lý sau 8086/8088 có thêm lệnh OUTS và INS để di chuyển chuỗi dữ liệu giữa bộ nhớ và một thiết bị ngoại vi.

Cả lệnh IN và OUT đều di chuyển dữ liệu giữa thanh ghi chứa của bộ vi xử lý (AL, AX) với một thiết bị ngoại vi. Địa chỉ của cổng vào/ra có thể là địa chỉ cổng 8 bit đặt ngay sau mã lệnh hoặc địa chỉ cổng 16 bit đặt trong thanh ghi DX. Intel gọi địa chỉ cổng 8 bit (ký hiệu là p8) là địa chỉ cố định vì nó được lưu trong bộ nhớ cùng với lệnh, còn địa chỉ cổng 16 bit để trong DX gọi là địa chỉ biến đổi. Các lệnh INS và OUTS chỉ sử dụng địa chỉ 16 bit để trong DX.

Khi dữ liệu được di chuyển bằng các lệnh IN và OUT, địa chỉ của cổng vào ra (thường gọi là số cổng) xuất hiện trên bus địa chỉ. Cổng 8 bit xuất hiện trên các chân địa chỉ $A_7 - A_0$ với các chân địa chỉ $A_{15} - A_8$ bằng 0000 0000₂, các chân còn lại $A_{19} - A_{16}$ không dùng cho các lệnh vào/ra. Cổng 16 bit để trong DX xuất hiện trên các chân địa chỉ $A_{15} - A_0$. Mạch phôi ghép vào/ra sẽ giải mã địa chỉ cổng này giống như cách giải mã địa chỉ bộ nhớ.

Các lệnh INS và OUTS sử dụng địa chỉ cổng để trong DX nhưng không truyền dữ liệu giữa thanh ghi chứa của bộ vi xử lý và thiết bị vào ra mà truyền dữ liệu giữa bộ nhớ và thiết bị vào/ra. Địa chỉ bộ nhớ được chỉ ra bởi ES:DI (cho lệnh INS) và DS:SI (cho lệnh OUTS). Cũng giống như các lệnh di chuyển chuỗi khác, nội dung của các thanh ghi con trỏ tăng hay giảm phụ thuộc vào bit cờ DF. Cả hai lệnh INS và OUTS đều có thể sử dụng tiếp đầu ngữ REP để cho phép di chuyển nhiều hơn một byte giữa bộ nhớ và thiết bị vào ra.

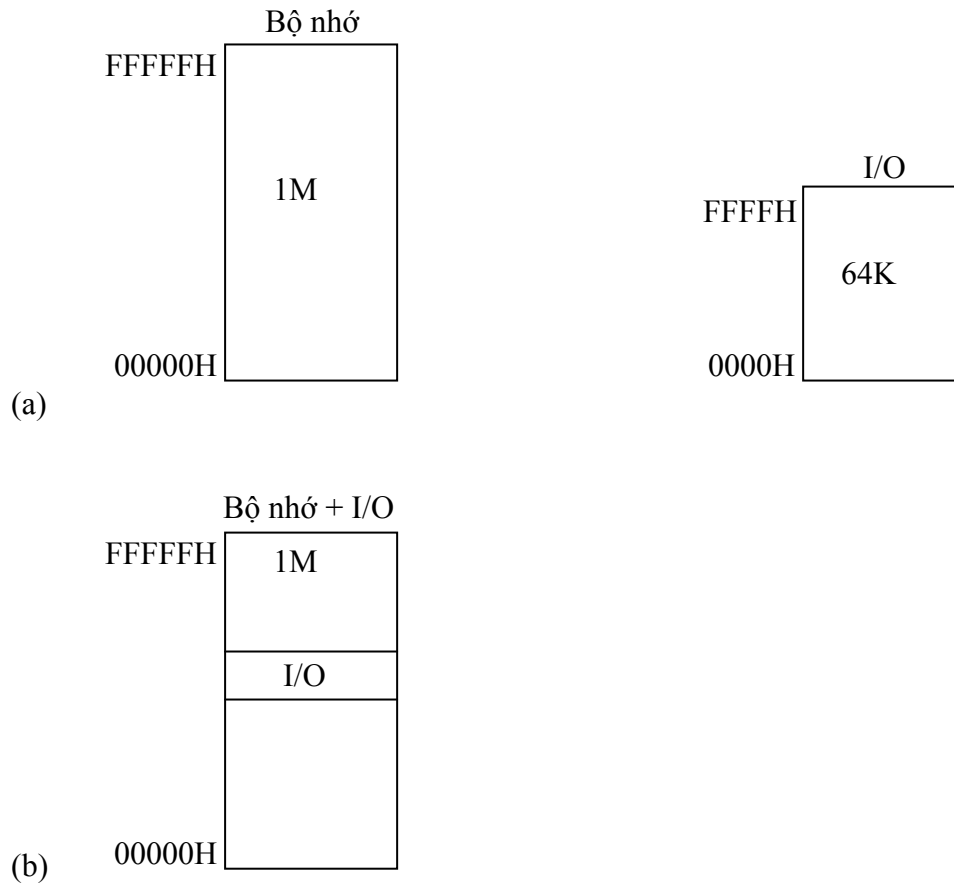
Dưới đây là một vài ví dụ về lệnh vào/ra dữ liệu:

Lệnh	Độ rộng dữ liệu	Chức năng
IN AL,p8	8	Đọc 1 byte từ cổng p8 vào AL
IN AX,p8	16	Đọc 1 từ từ cổng p8 vào AX
IN AL,DX	8	Đọc 1 byte từ địa chỉ cổng trong DX vào AL
IN AX,DX	16	Đọc 1 từ từ địa chỉ cổng trong DX vào AX
INSB	8	Đọc 1 byte từ địa chỉ cổng trong DX vào ô nhớ ES:DI, sau đó $DI = DI \pm 1$
INW	16	Đọc 1 từ từ địa chỉ cổng trong DX vào ô nhớ ES:DI, sau đó $DI = DI \pm 2$
OUT p8,AL	8	Đưa 1 byte từ AL ra cổng p8
OUT p8,AX	16	Đưa 1 từ từ AX ra cổng p8
OUT DX,AL	8	Đưa 1 byte từ AL ra địa chỉ cổng trong DX
OUT DX,AX	16	Đưa 1 từ từ AX ra địa chỉ cổng trong DX
OUTSB	8	Đưa 1 byte từ ô nhớ DS:SI ra địa chỉ cổng trong DX, sau đó $SI = SI \pm 1$
OUTSW	16	Đưa 1 từ từ ô nhớ DS:SI ra địa chỉ cổng trong DX, sau đó $SI = SI \pm 2$

2. Các kiểu phối ghép vào ra

Đối với 8088 (và cả họ 80x86) có hai cách phối ghép với các thiết bị ngoại vi (các cổng vào/ra, I/O): (a) thiết bị ngoại vi có không gian địa chỉ tách biệt với bộ nhớ và (b) thiết bị ngoại vi có không gian địa chỉ chung với bộ nhớ.

Trong hệ vi xử lý 8088 không gian địa chỉ của bộ nhớ là 1 MB còn không gian địa chỉ của I/O là 64 KB.



Ví dụ về phân vùng địa chỉ I/O cho máy tính cá nhân

Các cổng từ 0000H đến 03FFH thường dành cho máy tính. Còn các cổng từ 0400H đến FFFFH dành cho người sử dụng. Bộ đồng xử lý toán học 80287 sử dụng địa chỉ I/O 00F8H - 00FFH để trao đổi thông tin. Vì lý do này mà Intel để dành các cổng từ 00F0H đến 00FFH.

	Phân mở rộng I/O
0400H 03FFH	COM1
0358H 0357H	Ổ mềm
03F0H 03EFH	
03E0H 03DFH	CGA Adapter
03D0H 03CFH	
0380H 037FH 0378H 0377H	LPT1
0330H 032FH	Ổ cứng
0320H 031FH	
0300H 02FFH	COM2
02F8H 02F7H	
0064H 0063H	8255 (PPI)
0060H 005FH	
0044H 0043H 0040H	Đồng hồ
003FH	
0024H 0023H 0020H	Bộ điều khiển ngắt
001FH 0010H	
000FH 0000H	Bộ điều khiển DMA

Phân vùng địa chỉ I/O cho máy tính cá nhân

a) Thiết bị ngoại vi có không gian địa chỉ tách biệt với bộ nhớ

Đây là cách phối ghép thường được trong các hệ vi xử lý Intel. Trong cách phối ghép này không gian địa chỉ của I/O tách biệt với không gian địa chỉ bộ nhớ. Bởi vậy người sử dụng có thể mở rộng bộ nhớ tới kích thước cực đại (1 MB). Địa chỉ của thiết bị vào/ra trong cách phối ghép này được gọi là cổng. Bất lợi của cách phối ghép này là phải sử dụng cách lệnh IN, INS, OUT và OUTS để truyền dữ liệu giữa bộ vi xử lý và I/O. Các tín hiệu điều khiển như $\overline{IO/M}$,

\overline{RD} và \overline{WR} cần cho phối ghép này. Trong máy tính cá nhân, các cổng I/O được dùng để nối ghép với các thiết bị ngoại vi. Các cổng 8 bit dùng để truy nhập các thiết bị đặt trên mainboard như đồng hồ và bàn phím, còn các địa chỉ cổng 16 bit dùng để truy nhập các cổng nối tiếp và song song cũng như các thiết bị video và các ổ đĩa.

b) Thiết bị ngoại vi có không gian địa chỉ chung với bộ nhớ

Trong cách phối ghép này, bộ nhớ và thiết bị ngoại vi cùng chia nhau không gian địa chỉ 1M mà CPU 8088 có khả năng địa chỉ hóa. Các thiết bị ngoại vi sẽ chiếm một vùng nào đó trong không gian địa chỉ 1M, phần còn lại là của bộ nhớ. Các thiết bị ngoại vi được đối xử như một ô nhớ trong bộ nhớ. Bởi vậy, các lệnh IN, INS, OUT và OUTS không được sử dụng nữa, thay vào đó là các lệnh chuyển dữ liệu giữa bộ vi xử lý và bộ nhớ (chẳng hạn lệnh MOV). Bất lợi chính của cách phối ghép này là một phần bộ nhớ phải dành cho thiết bị ngoại vi.

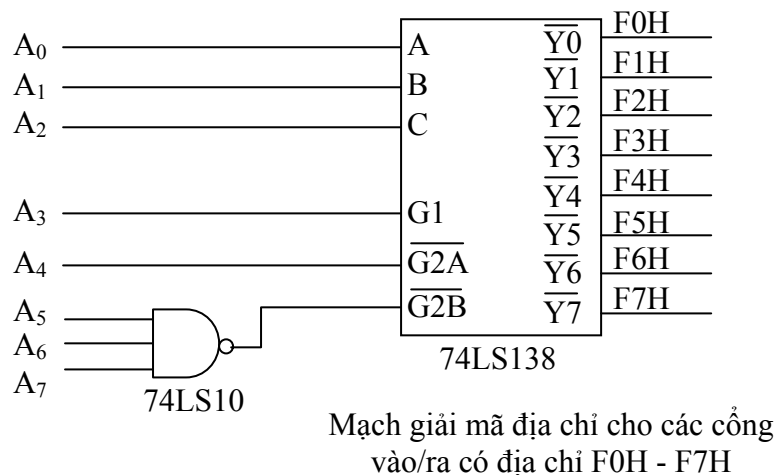
II-GIẢI MÃ ĐỊA CHỈ CHO THIẾT BỊ VÀO/RA

Việc giải mã địa chỉ cho thiết bị vào/ra gần giống như giải mã địa chỉ cho bộ nhớ. Việc giải mã địa chỉ cho thiết bị vào/ra có không gian địa chỉ chung với bộ nhớ giống hệt như giải mã địa chỉ cho bộ nhớ nên ta không trình bày ở đây.

Sự khác nhau chính giữa giải mã địa chỉ cho bộ nhớ và giải mã địa chỉ cho thiết bị ngoại vi có không gian địa chỉ tách biệt với bộ nhớ là số chân địa chỉ nối tới bộ giải mã: với bộ nhớ là $A_{19} - A_0$, còn với thiết bị vào/ra là $A_{15} - A_0$.

Địa chỉ của các cổng 8 bit xuất hiện trên bus địa chỉ $A_{15} - A_0$ trong khoảng từ 0000H đến 00FFH. Nếu một hệ thống định thiết kế mà tương lai không bao giờ có hơn 256 thiết bị ngoại vi thì chúng ta chỉ cần giải mã cho các bit địa chỉ từ $A_7 - A_0$, bỏ các bit địa chỉ từ $A_{15} - A_8$. (Lưu ý là với máy tính cá nhân phải giải mã cả 16 bit).

Dưới đây là ví dụ sử dụng bộ giải mã 74LS138 để giải mã địa chỉ cho các cổng vào/ra có địa chỉ F0H - F7H. Mạch giải mã này giống như mạch giải mã địa chỉ bộ nhớ, ngoại trừ các bit địa chỉ nối tới đầu vào bộ giải mã chỉ từ $A_7 - A_0$.



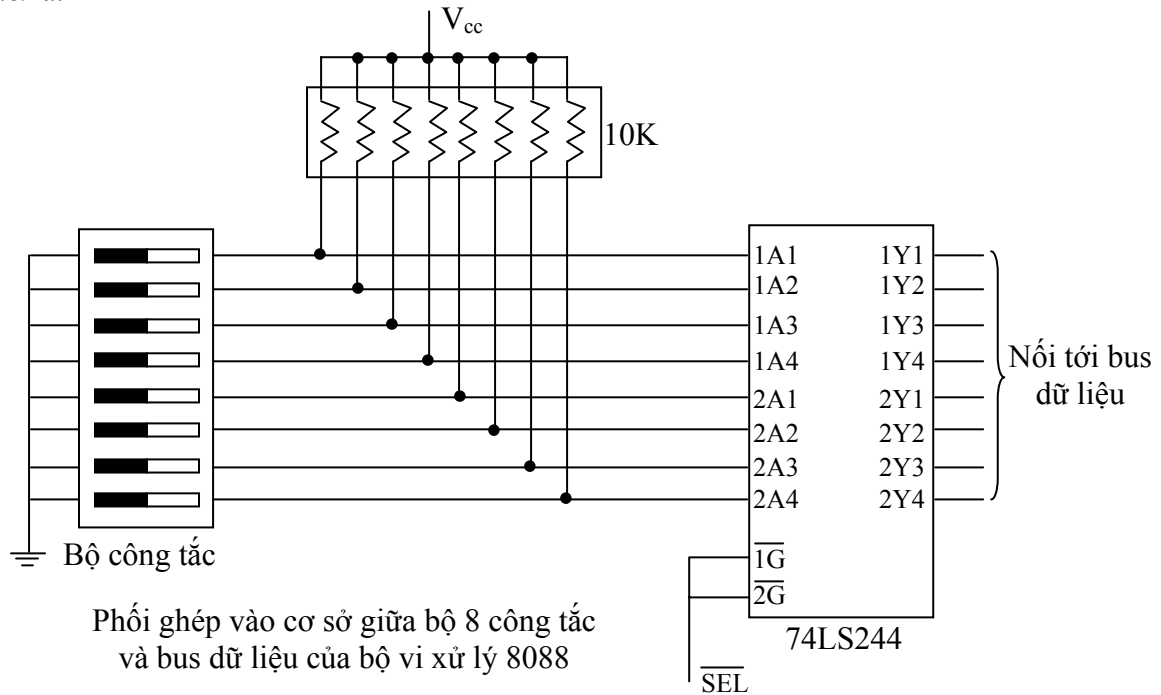
III-CÁC PHỐI GHÉP VÀO/RA CƠ SỞ

Thiết bị vào cơ sở là các mạch đệm ba trạng thái, còn thiết bị ra cơ sở là các mạch chốt. Các mạch đệm và chốt này thường được tích hợp vào trong các thiết bị vào/ra, hoặc cũng có thể xuất hiện như một phần mạch riêng biệt.

1. Phối ghép với thiết bị vào cơ sở

Giả sử 8 bit dữ liệu bên ngoài được tạo ra bởi 8 công tắc cần đưa vào bộ vi xử lý 8088. Để phối ghép với thiết bị này ta dùng bộ đệm 74ALS244. Sơ đồ mạch phối ghép cho dưới đây. Các bit dữ liệu được nối tới các đầu vào của bộ đệm. Các đầu ra của bộ đệm được nối tới bus

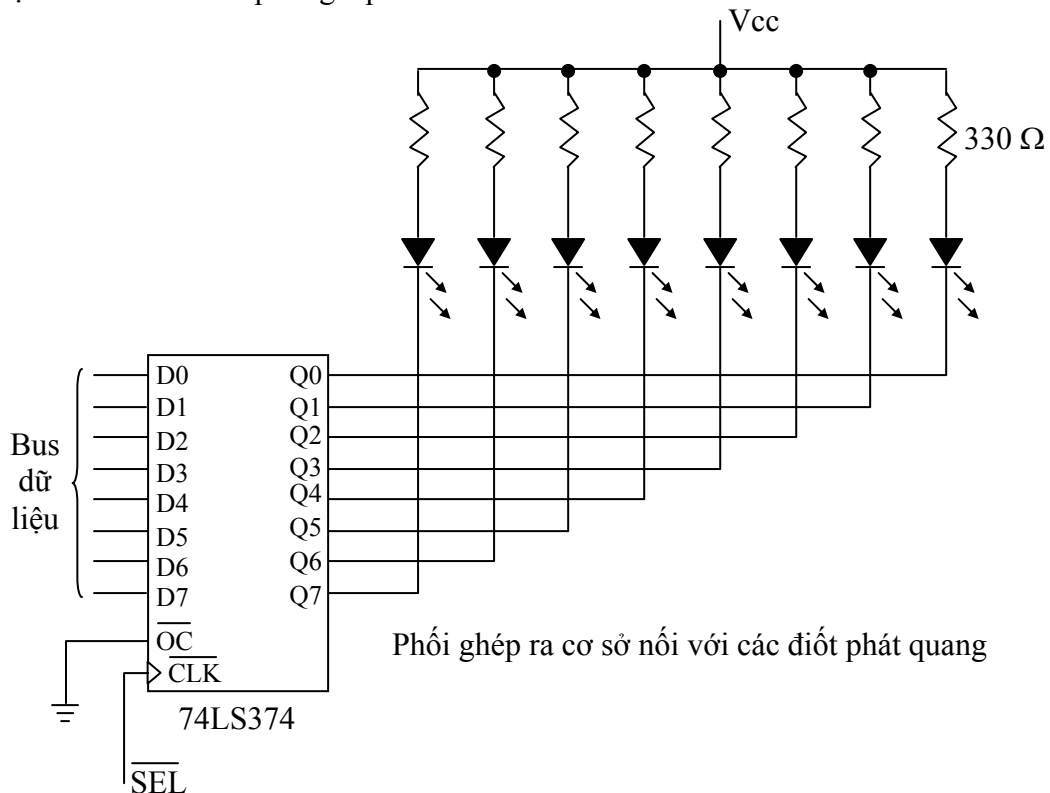
dữ liệu 8 bit của 8088. Mạch phối ghép này cho phép bộ vi xử lý đọc nội dung của tám công tắc khi tín hiệu chọn \overline{SEL} có mức logic 0. Tín hiệu \overline{SEL} đến từ bộ giải mã địa chỉ cổng vào/ra.



Khi mức logic 0 được đặt vào các đầu vào điều khiển ra (1G và 2G) của bộ đệm 74LS244 thì các đầu vào A được nối tới các đầu ra Y. Khi mức logic 1 được đặt vào các đầu vào điều khiển ra của bộ đệm 74LS244 thì các đầu ra Y ở trạng thái trở kháng cao dẫn tới ngắt kết nối giữa các công tắc và bus dữ liệu.

2. Phối ghép với thiết bị ra cơ sở

Giả sử cần nối tám điốt phát quang với bộ vi xử lý 8088. Để phối ghép với bộ vi xử lý ta dùng bộ chốt 8 bit. Sơ đồ phối ghép như sau:



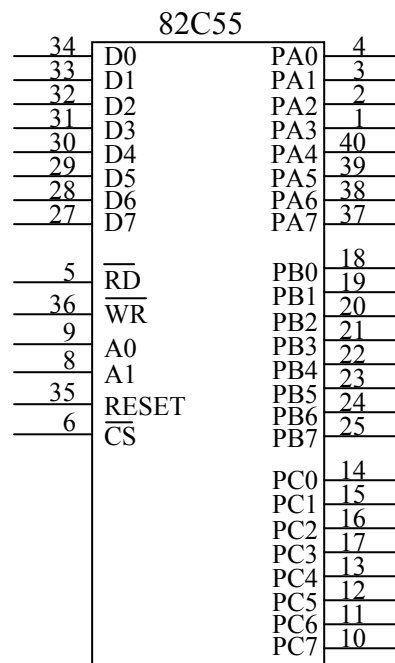
Bộ chốt giữ số mà bộ vi xử lý đưa ra trên bus dữ liệu sao cho các đèn LED có thể sáng với bất kỳ số nhị phân 8 bit nào. Nếu không có bộ chốt thì ta không nhìn thấy các đèn LED sáng vì khi bộ vi xử lý thực hiện lệnh OUT dữ liệu chỉ có mặt trên bus dữ liệu trong một thời gian nhỏ hơn 1 μ s.

Khi lệnh OUT được thực hiện, dữ liệu từ thanh ghi AL hoặc AX được truyền tới bộ chốt qua bus dữ liệu. Bus dữ liệu được nối tới các đầu vào D của bộ chốt, còn các đầu ra Q của bộ chốt được nối tới các LED. Khi đầu ra Q chuyển sang mức logic 0 thì LED sáng. Mỗi khi lệnh OUT được thực hiện, tín hiệu \overline{SEL} sẽ cho bộ chốt hoạt động, bộ chốt chuyển dữ liệu từ đầu vào sang đầu ra và giữ cho đến khi lệnh OUT tiếp theo được thực hiện.

IV-MẠCH PHỐI GHÉP NGOẠI VI LẬP TRÌNH ĐƯỢC 82C55A

1. Sơ đồ chân của 82C55A

Vi mạch 82C55 là vi mạch phối ghép ngoại vi lập trình được (PPI, Programmable Peripheral Interface) rất thông dụng có giá thành thấp. 82C55 có 24 chân vào/ra có thể lập trình được theo hai nhóm 12 chân. 82C55A có thể phối ghép với bất kỳ thiết bị ngoại vi nào tương thích TTL. 82C55 được dùng để phối ghép với bàn phím và cổng máy in trong các máy tính cá nhân. Nó cũng được dùng để điều khiển bộ đếm thời gian và đọc dữ liệu từ phối ghép bàn phím.



Sơ đồ chân vào/ra của vi mạch phối ghép 82C55

Vi mạch 8255 có 3 cổng A, B và C được lập trình theo hai nhóm 12 chân. Nhóm A gồm cổng A và phần cao của cổng C (PC7 - PC4), nhóm B gồm cổng B và phần thấp của cổng C (PC3 - PC0). Chân \overline{CS} dùng để chọn 82C55 khi lập trình hoặc đọc/ghi các cổng. Hai chân địa chỉ A₁ và A₀ dùng để chọn một thanh ghi bên trong 82C55. Các chân địa chỉ còn lại được giải mã bên ngoài để chọn vi mạch 82C55. Dưới đây là bảng các cổng vào ra được gán cho 82C55.

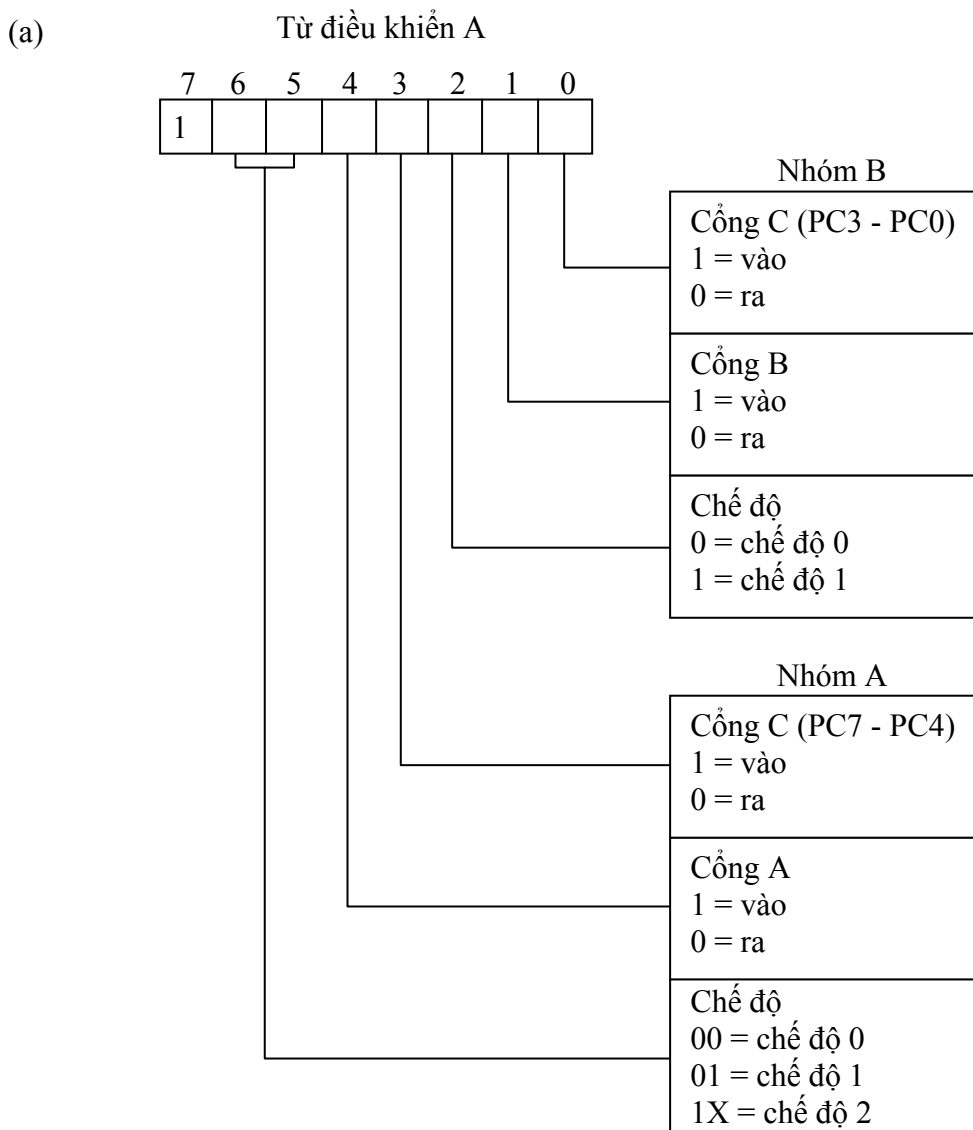
Đầu vào RESET dùng để khởi tạo 82C55 khi bộ vi xử lý khởi động lại. Đầu vào RESET làm cho tất cả các cổng được thiết lập là cổng vào đơn giản làm việc trong chế độ 0. Do các chân được lập trình là các chân vào khi khởi động nên tránh được hỏng hóc không mong muốn khi nguồn được cấp cho hệ thống.

A_1	A_0	Cổng
0	0	Cổng A
0	1	Cổng B
1	0	Cổng C
1	1	Thanh ghi điều khiển

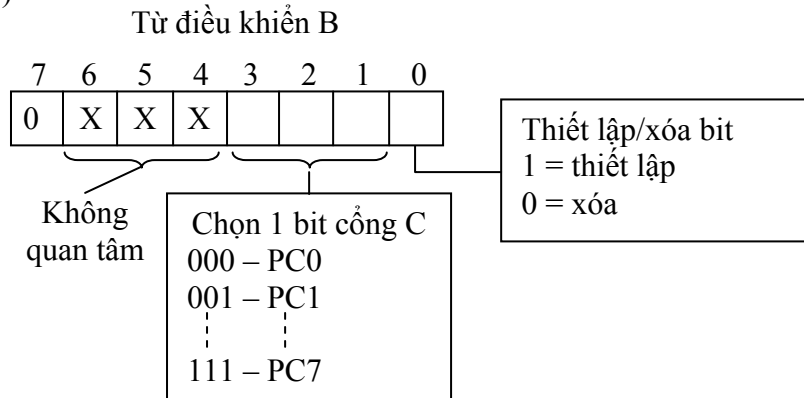
Trong máy tính cá nhân, 82C55 hoặc vi mạch tương đương được giải mã tại địa chỉ cổng 60H - 63H dùng để điều khiển bàn phím, điều khiển loa, bộ đếm thời gian và các thiết bị bên trong khác như bộ nhớ mở rộng. Điều này đúng với máy tính AT và các kiểu máy tính cá nhân trước đây.

2. Lập trình 8255

Vi mạch 8255 rất dễ lập trình vì nó chỉ có một thanh ghi từ điều khiển 8 bit bên trong. Bit 7 của thanh ghi từ điều khiển xác định từ điều khiển là loại A hay B. Từ điều khiển A dùng để lập trình chức năng của nhóm A và B, còn từ điều khiển B dùng để thiết lập hoặc xóa các bit của cổng C khi 82C55 làm việc trong chế độ 1 hoặc 2.



(b)



Nhóm B được lập trình là các chân vào hoặc chân ra. Nhóm B có thể làm việc ở chế độ 0 hoặc 1. Chế độ 0 là chế độ vào/ra cơ sở cho phép các chân của nhóm B được lập trình là các chân vào bình thường và các chân ra được chốt. Chế độ 1 là chế độ vào/ra có xung cho phép, ở đây dữ liệu được truyền qua cổng B còn các tín hiệu móc nối (handshaking) được đưa tới cổng C.

Nhóm A được lập trình là các chân vào hoặc chân ra. Nhóm A khác nhóm B là có thể làm việc ở chế độ 0, 1 và 2. Chế độ 2 là chế độ làm việc hai chiều có xung cho phép đối với cổng A.

a) Chế độ 0

Ở chế độ 0, 8255 có chức năng như một thiết bị vào được đệm hoặc thiết bị ra được chốt (giống như các mạch vào/ra cơ sở đã nói đến trong chương trước).

Các định nghĩa chức năng cho chế độ 0:

- Hai cổng 8 bit (cổng A và B) và hai cổng 4 bit (phần cao và phần thấp cổng C)
- Bất kỳ cổng nào cũng có thể là cổng vào hoặc ra
- Các cổng ra được chốt, các cổng vào không được chốt
- Với 4 cổng, có thể xây dựng 16 cấu hình vào/ra khác nhau

Bảng liệt kê 16 cấu hình có thể có trong chế độ 0

A		B		Nhóm A			Nhóm B	
D4	D3	D1	D0	Cổng A	Cổng C (phần cao)	Cấu hình	Cổng B	Cổng C (phần thấp)
0	0	0	0	Ra	Ra	0	Ra	Ra
0	0	0	1	Ra	Ra	1	Ra	Vào
0	0	1	0	Ra	Ra	2	Vào	Ra
0	0	1	1	Ra	Ra	3	Vào	Vào
0	1	0	0	Ra	Vào	4	Ra	Ra
0	1	0	1	Ra	Vào	5	Ra	vào
0	1	1	0	Ra	Vào	6	Vào	Ra
0	1	1	1	Ra	Vào	7	Vào	Vào
1	0	0	0	Vào	Ra	8	Ra	Ra
1	0	0	1	Vào	Ra	9	Ra	Vào
1	0	1	0	Vào	Ra	10	Vào	Ra
1	0	1	1	Vào	Ra	11	Vào	Vào
1	1	0	0	Vào	Vào	12	Ra	Ra
1	1	0	1	Vào	Vào	13	Ra	Vào
1	1	1	0	Vào	Vào	14	Vào	Ra
1	1	1	1	Vào	Vào	15	Vào	Vào

Ví dụ: Giả sử 82C55A có địa chỉ 7CH-7FH. Hãy lập trình để 82C55A làm việc ở chế độ 0 với cấu hình các cổng như sau:

PA: Ra
PB: Vào
PC_H: Ra
PC_L: Vào

Sau đó đọc dữ liệu có tại cổng PB rồi đưa ra PA, đọc dữ liệu cổng PC_L rồi đưa ra cổng PC_H.

;Định nghĩa các hàng

```
PA EQU 7CH
PB EQU 7DH
PC EQU 7EH
CWR EQU 7FH
CW EQU 83H ;1000 0011B
MOV AL,CW ;Dat tu dieu khien trong AL
OUT CWR,AL ;Dua tu dieu khien vao thanh ghi dieu khien
IN AL,PB ;Doc cong B
OUT PA,AL ;Dua du lieu doc duoc ra cong A
IN AL,PC ;Doc cong C
MOV CL,4 ;So lan quay AL
ROL AL,CL ;Chuyen 4 bit thap thanh 4 bit cao
OUT PC,AL ;Dua du lieu tu PC thap sang PC cao
```

b) Chế độ 1: Vào/ra có xung cho phép

Trong chế độ này cổng A và cổng B sử dụng các đường trên cổng C để tạo ra hoặc chấp nhận các tín hiệu “bắt tay” (handshaking). Các định nghĩa cho chế độ 1 như sau:

- Hai nhóm A và B.
- Mỗi nhóm chứa một cổng dữ liệu 8 bit và một cổng điều khiển 4 bit.
- Các cổng dữ liệu 8 bit có thể là cổng vào hoặc cổng ra. Các cổng vào và ra đều được chốt.
- Cổng 4 bit được dùng cho tín hiệu điều khiển hoặc trạng thái của cổng 8 bit.

Chế độ 1: Vào có xung cho phép

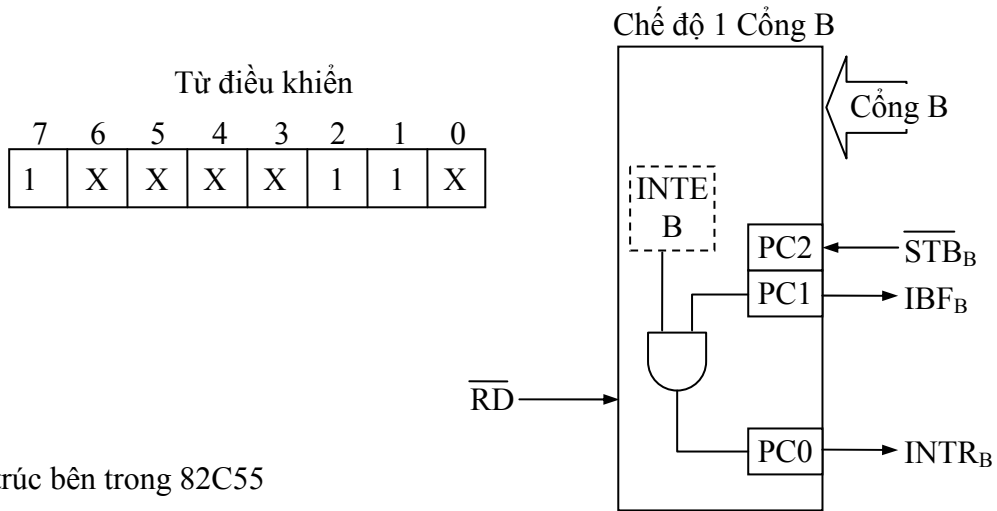
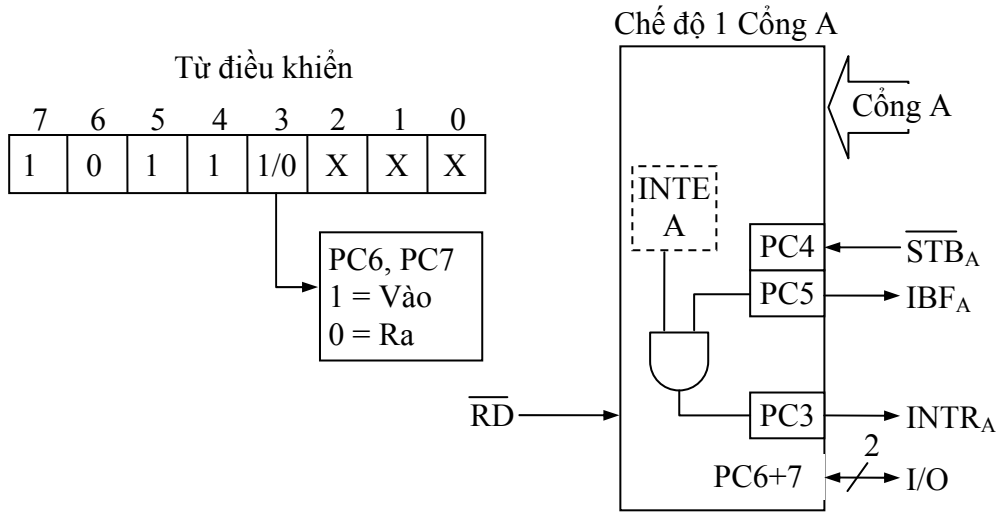
Trong chế độ này, cổng A hoặc cổng B hoặc cả hai có chức năng như các thiết bị vào chốt, nghĩa là dữ liệu của thiết bị ngoại vi được giữ trong các cổng này cho đến khi bộ vi xử lý đọc chúng. Cổng C cũng được sử dụng trong chế độ 1 nhưng không dùng cho dữ liệu mà dùng cho các tín hiệu “bắt tay” (handshaking).

Dưới đây là các tín hiệu điều khiển được dùng trong chế độ vào có xung cho phép:

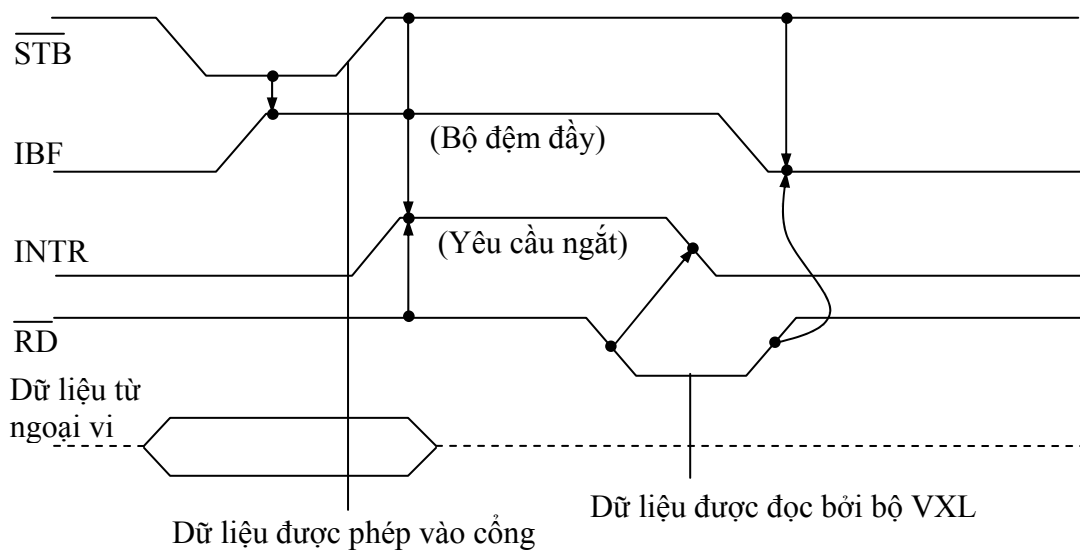
\overline{STB}	Xung cho phép, nó nạp dữ liệu vào bộ chốt vào, tại đây thông tin sẽ được giữ cho đến khi được bộ vi xử lý đọc thông qua lệnh IN
IBF	Input Buffer Full, tín hiệu ra báo rằng cổng đang có dữ liệu. IBF được thiết lập khi \overline{STB} đang ở mức thấp và bị xoá bởi sườn dương khi tín hiệu vào \overline{RD}
INTR	Interrupt Request, tín hiệu ra yêu cầu ngắt CPU khi một thiết bị ngoại vi yêu cầu phục vụ. Tín hiệu INTR được thiết lập khi $\overline{STB} = 1$, IBF = 1 và INTE = 1. INTR bị xoá về 0 bởi sườn âm của \overline{RD} .
INTE	Interrupt Enable, tín hiệu cho phép ngắt, là một bit bên trong 8255 được lập trình qua bit cổng C: INTE A được điều khiển bằng cách thiết lập hay xoá PC4, INTE B được điều khiển bằng cách thiết lập hay xoá PC2
PC7, PC6	Các chân cổng C PC7, PC6 được dùng làm các chân vào/ra

Cổng vào sẽ lấy dữ liệu tại các chân cổng khi có tín hiệu cho phép \overline{STB} . Tín hiệu \overline{STB} không chỉ làm cho dữ liệu được đưa vào cổng mà còn kích hoạt các tín hiệu IBF (Input Buffer Full) và INTR (Interrupt Request). Khi bộ vi xử lý được báo là đã có dữ liệu ở cổng (thông qua tín hiệu INTR), nó sẽ thực hiện lệnh IN để đọc dữ liệu từ cổng. Việc đọc cổng sẽ làm cho cả hai tín hiệu IBF và INTR trở về trạng thái không kích hoạt.

Cấu trúc bên trong 8255 và đồ thị thời gian của các tín hiệu khi làm việc trong chế độ 1 như sau:



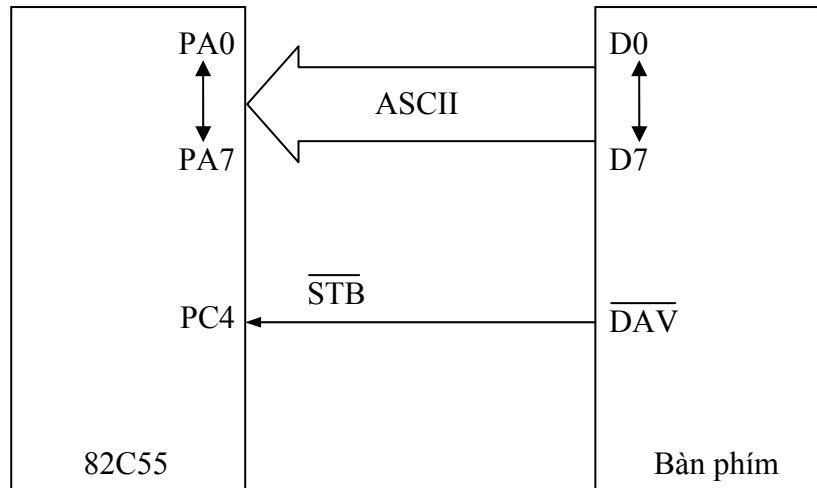
a) Cấu trúc bên trong 82C55



b) Đồ thị thời gian

Chế độ 1: Vào có xung cho phép

Ví dụ: bàn phím là một thiết bị vào có xung cho phép. Bất kỳ khi nào phím được nhả, bàn phím sẽ cung cấp xung cho phép và dữ liệu ra chứa mã ASCII của phím. Dưới đây là sơ đồ nối ghép bàn phím với cổng A vào có xung cho phép của 82C55. Tín hiệu \overline{DAV} (Data Available) được kích hoạt trong thời gian 1 μs khi phím được gõ. Tín hiệu này sẽ đưa dữ liệu vào cổng A vì nó được nối vào đầu \overline{STB} của 82C55. Tín hiệu \overline{STB} cũng kích hoạt tín hiệu IBF để báo rằng dữ liệu đã có trên cổng A.



Sử dụng 8255 để phối ghép với bàn phím trong chế độ vào có xung cho phép

Dưới đây là thủ tục đọc dữ liệu từ bàn phím mỗi khi phím được gõ. Thủ tục này đọc phím từ cổng A và trả về mã ASCII của phím trong thanh ghi AL. Để tìm phím được gõ ta đọc cổng C rồi kiểm tra bit IBF (ở vị trí PC5) xem bộ đệm đã đầy chưa. Nếu bộ đệm rỗng (IBF = 0) thì tiếp tục kiểm tra bit IBF và đợi ký tự gõ vào.

;Thủ tục đọc phím và trả về mã ASCII trong AL

```
BIT5      EQU 20H
PORTC     EQU 22H
PORTA     EQU 20H
```

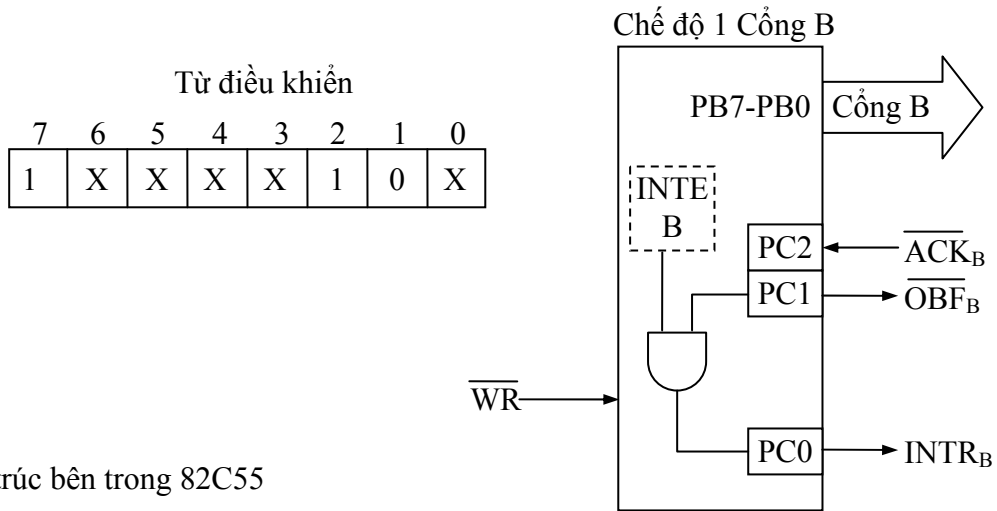
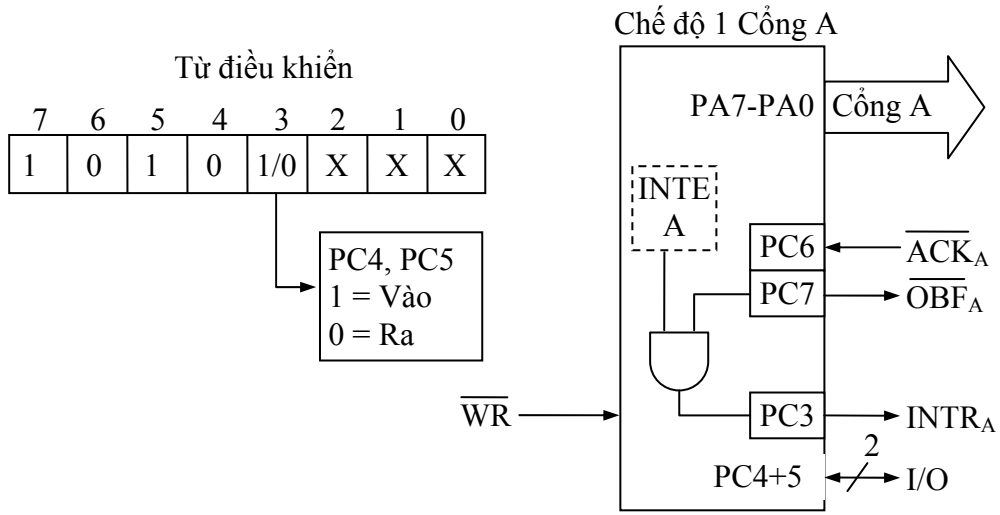
```
READ PROC NEAR
    IN     AL,PORTC    ;Doc cong C
    TEST  AL,BIT5      ;Kiem tra IBF
    JZ     READ        ;Neu IBF=0
    IN     AL,PORTA    ;Doc du lieu
READ ENDP
```

Chế độ 1: Ra có xung cho phép

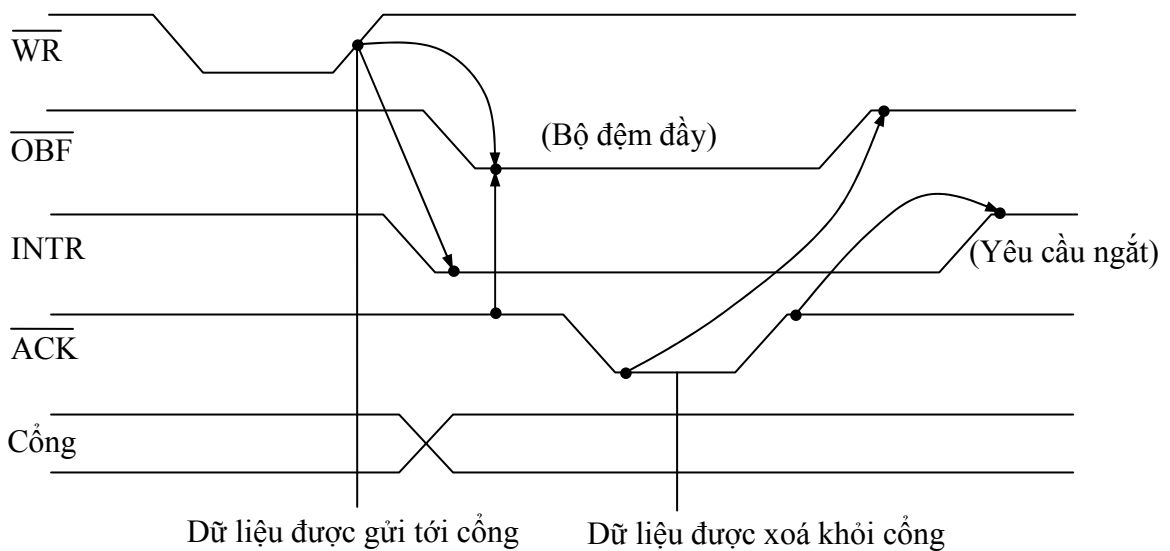
Chế độ này tương tự như chế độ 0 chỉ khác là có các tín hiệu “bắt tay”.

Các tín hiệu điều khiển trong chế độ này gồm có:

\overline{OBF}	Output Buffer Full, tín hiệu ra báo rằng CPU đã ghi dữ liệu ra cổng A hoặc cổng B. Tín hiệu này được thiết lập (0) bằng sườn dương của tín hiệu đầu vào \overline{WR} và được xác lập lại (1) khi tín hiệu \overline{ACK} từ thiết bị ngoại vi đang ở mức thấp.
\overline{ACK}	Acknowledge, là tín hiệu vào báo cho 82C55 biết rằng dữ liệu từ cổng A hoặc cổng B đã được chấp nhận. Đây là sự đáp lại của thiết bị ngoại vi báo rằng nó đã nhận được dữ liệu mà CPU đưa ra.



a) Cấu trúc bên trong 82C55



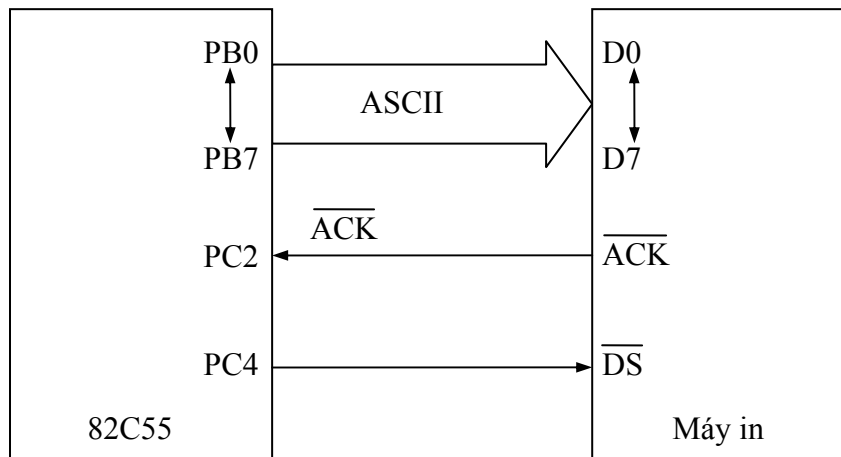
b) Đồ thị thời gian

Chế độ 1: Ra có xung cho phép

INTR	Interrupt Request, tín hiệu yêu cầu ngắt khi thiết bị ngoại vi nhận dữ liệu. INTR được thiết lập khi $\overline{ACK} = 1$, $\overline{OBF} = 1$ và $INTE = 1$. INTR bị xoá bởi sườn âm của \overline{WR} .
INTE	Interrupt Enable, cho phép ngắt, là một bit bên trong được lập trình để cho phép hay không cho phép chân INTR. Bit INTE A được lập trình qua PC6, còn INTE B được lập trình qua PC2.
PC5, PC4	Các bit cổng C 5 và 4 là các chân vào/ra

Khi dữ liệu được ghi tới cổng ra, tín hiệu \overline{OBF} chuyển sang logic 0 để báo rằng dữ liệu đang có mặt tại bộ chốt cổng. Dữ liệu này sẽ bị xoá khỏi cổng khi có tín hiệu \overline{ACK} từ thiết bị ngoại vi. Tín hiệu \overline{ACK} làm cho tín hiệu \overline{OBF} trở lại logic 1 để báo bộ đệm rỗng.

Ví dụ: Phôi ghép máy in với 8088 qua 82C55. Máy in có 8 đầu vào nhận dữ liệu mã hoá ASCII được nối tới cổng B của 82C55, một đầu vào \overline{DS} cho phép dữ liệu vào máy in, một đầu ra \overline{ACK} báo đã nhận được dữ liệu được nối vào đầu vào \overline{ACK} của 82C55.



Phôi ghép với máy in qua 82C55 làm việc ở chế độ ra có xung cho phép

Trong mạch này không có tín hiệu \overline{DS} cho máy in nên PC4 được dùng với phần mềm để tạo ra tín hiệu \overline{DS} .

Dưới đây là chương trình đưa ký tự có mã ASCII nằm trong AH tới máy in. Đầu tiên chương trình kiểm tra \overline{OBF} để xem máy in đã xoá dữ liệu tại cổng B chưa. Nếu chưa xoá chương trình đợi tín hiệu \overline{ACK} đến từ máy in. Nếu $\overline{OBF} = 1$ thì chương trình gửi nội dung của AH tới cổng B và gửi tín hiệu \overline{DS} tới máy in. (Giả sử 82C55 có địa chỉ 60H - 63H).

```

;Chương trình truyền ký tự ASCII từ AH tới máy in qua cổng B
;

```

```

PORTB    EQU    61H
PORTC    EQU    62H
CWR      EQU    63H
BIT2     EQU    2
PRINT PROC NEAR
IN AL,PORTC    ;Lay OBF
TEST AL,BIT2   ;Kiểm tra OBF
JZ PRINT      ;Neu OBF=0
;Gui ký tự tới máy in

```

```

MOV AL, AH
OUT PORTB, AL
;Gui tin hieu cho phep in toi may in
MOV AL, 8 ;Xoa DS
OUT CWR, AL
MOV AL, 9 ;Thiet lap DS
OUT CWR, AL
RET
PRINT ENDP

```

c) Chế độ 2: Vào/ra hai chiều có xung cho phép

Chế độ 2 chỉ sử dụng nhóm A, cổng A có hai chiều cho phép dữ liệu được truyền đi và nhận về trên cùng 8 đường dây của cổng A. Bus hai chiều rất hữu ích khi nối ghép giữa hai máy tính. Nó cũng được dùng cho chuẩn phối ghép song song tốc độ cao IEEE-488 GPIB.

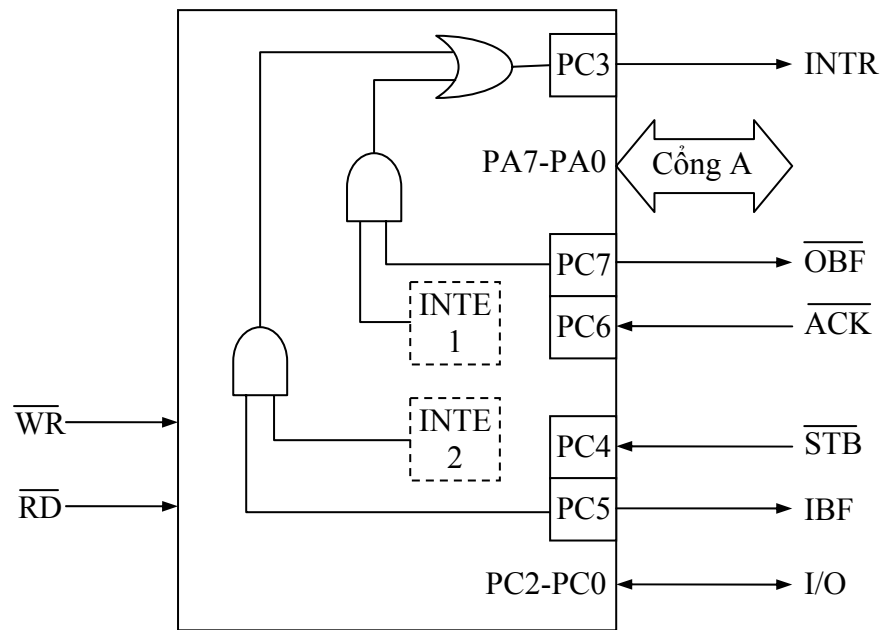
Các định nghĩa cho chế độ 2:

- Chỉ sử dụng nhóm A
- Một cổng 2 chiều 8 bit (cổng A) và một cổng điều khiển 5 bit (cổng C)
- Các đầu vào và ra đều được chốt
- Cổng điều khiển 5 bit (cổng C) được dùng cho các tín hiệu điều khiển và trạng thái của cổng hai chiều 8 bit.

Các tín hiệu điều khiển vào/ra bus hai chiều:

INTR	Interrupt Request, tín hiệu ra có thể dùng để ngắt CPU cho hoạt động vào/ra
<i>Hoạt động đưa dữ liệu ra</i>	
$\overline{\text{OBF}}$	Output Buffer Full, tín hiệu ra báo rằng CPU đã ghi dữ liệu ra cổng A
ACK	Acknowledge, tín hiệu vào cho phép bộ đệm ra ba trạng thái của cổng A gửi dữ liệu ra ngoài. Khi $\overline{\text{ACK}} = 1$ bộ đệm ra của cổng A ở trạng thái trở kháng cao.
INTE 1	Interrupt Enable, bit bên trong 82C55 cho phép/cấm yêu cầu ngắt INTR. Bit được điều khiển bằng cách thiết lập hoặc xoá PC6.
<i>Hoạt động đọc dữ liệu vào</i>	
$\overline{\text{STB}}$	Strobe input, tín hiệu cho phép nạp dữ liệu bên ngoài vào bộ chốt đầu vào của cổng A.
IBF	Input Buffer Full, tín hiệu ra báo rằng dữ liệu đã được nạp vào bộ chốt đầu vào của cổng A.
INTE 2	Interrupt Enable, bit bên trong 82C55 cho phép/cấm yêu cầu ngắt INTR. Bit được điều khiển bằng cách thiết lập hoặc xoá PC4.

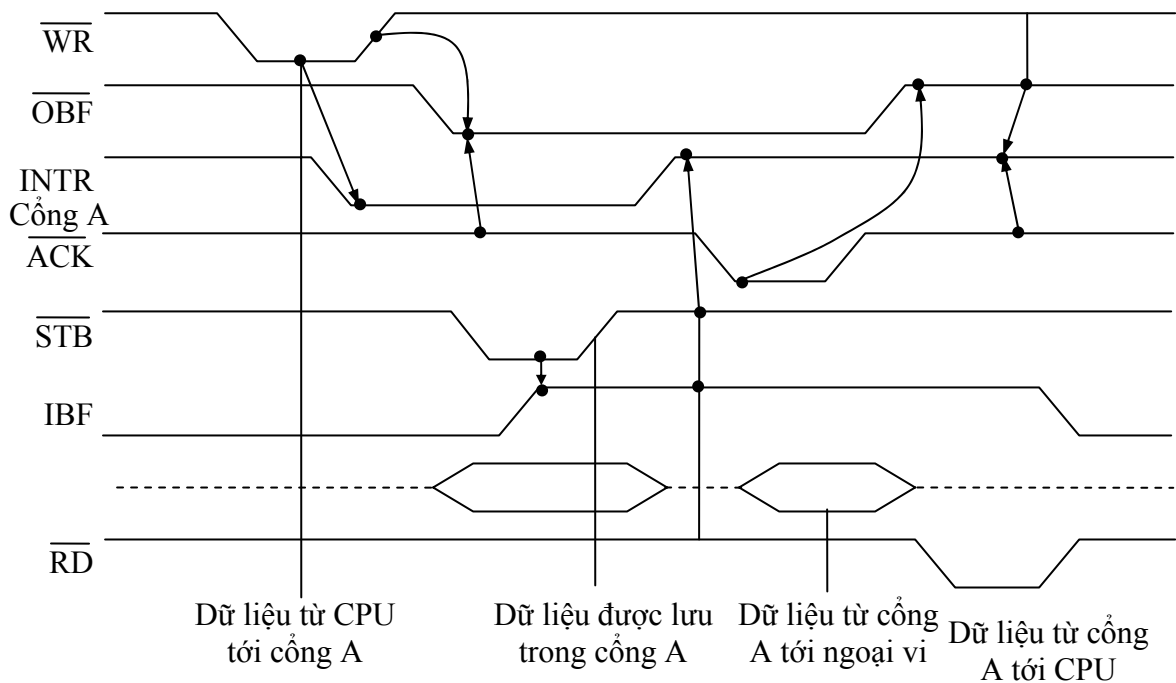
Bus hai chiều được sử dụng bằng các lệnh vào/ra dữ liệu với cổng A. Để truyền dữ liệu qua bus hai chiều, đầu tiên chương trình phải kiểm tra tín hiệu $\overline{\text{OBF}}$ để xem bộ đệm ra có rỗng không. Nếu rỗng thì gửi dữ liệu tới bộ đệm ra qua lệnh OUT. Mạch điện bên ngoài cũng cần theo dõi tín hiệu $\overline{\text{OBF}}$ để biết được bộ vi xử lý đã gửi dữ liệu tới bus chưa.



Từ điều khiển

7	6	5	4	3	2	1	0
1	1	X	X	X	X	X	1/0

PC2,0
1 = Vào
0 = Ra



Chế độ 2: Vào/ra bus hai chiều có xung cho phép

V-PHỐI GHÉP VỚI BÀN PHÍM

Ví dụ: dùng 8255 để phối ghép 8088 với bàn phím.

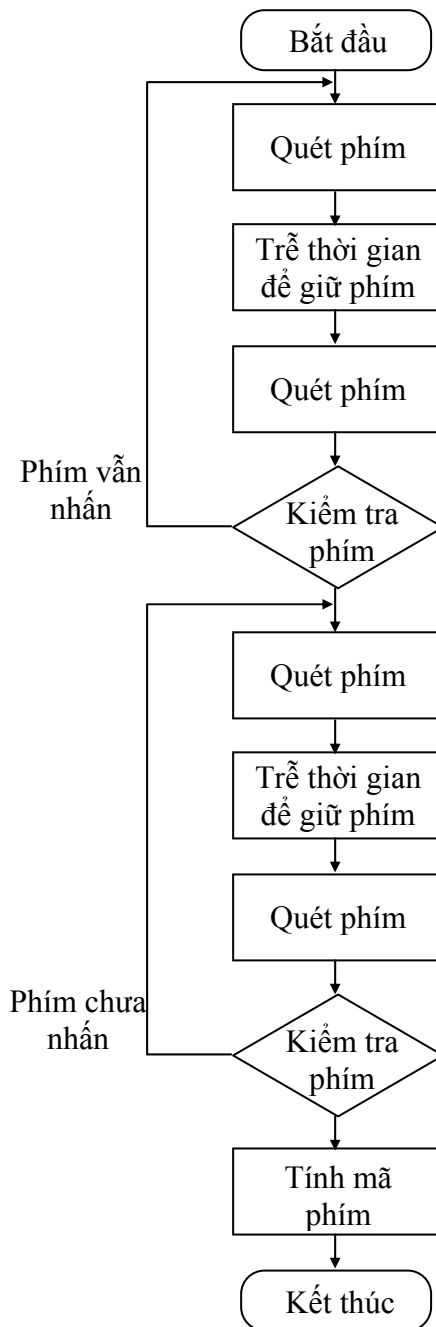
Bàn phím có nhiều kích thước khác nhau, từ bàn phím chuẩn 101 phím đến các bàn phím nhỏ, chuyên dụng chỉ có 4-16 phím. Chúng ta sẽ tìm hiểu phối ghép với bàn phím 16 phím. Mỗi phím là một công tắc, các công tắc được tổ chức thành ma trận 4×4 gồm 4 hàng (ROW0 - ROW3) và 4 cột (COL0 - COL3). Mỗi hàng được nối vào nguồn 5.0 V qua một điện trở 10 KΩ.

Bộ giải mã lập trình được PAL 16L6 giải mã địa chỉ cho 8255 tại các cổng 50H-53H. Cổng A được lập trình là cổng vào để đọc các hàng, cổng B được lập trình là cổng ra để chọn các cột. Ví dụ, nếu cổng B đưa ra 1110 tại các chân PB3-PB0 thì cột 0 sẽ có logic 0 và do đó bốn phím trong cột 0 sẽ được chọn, nghĩa là chỉ có các công tắc 0-3 mới có thể đặt logic 0 vào cổng A. Tương tự như vậy, nếu cổng B đưa ra 1101 thì các công tắc 4-7 được chọn...

Để cổng A là cổng vào, cổng B là cổng ra ta phải lập trình 8255 bằng đoạn chương trình sau (53H là địa chỉ của thanh ghi điều khiển).

```
MOV AL,10010000B    ;Noi dung thanh ghi dieu khien
OUT 53H,AL
```


Lưu đồ thuật giải để đọc một phím từ ma trận phím và giữ phím gồm ba phần chính. Phần đầu tiên đợi nhả phím, phần thứ hai đợi nhấn phím và phần thứ ba tính mã của phím được nhấn.



Lưu đồ thuật giải quét bàn phím

Chương trình thực hiện thuật giải trên gồm có: thủ tục SCAN quét các phím, thủ tục DELAY tạo ra thời gian trễ 10 ms để giữ phím và thủ tục chính KEY gọi thủ tục SCAN và DELAY.

;Thủ tục quét phím và tra về mã số của phím trong AL

;

ROWS EQU 4 ;Số hàng

COLS EQU 4 ;Số cột

PORTA EQU 50H ;Địa chỉ cổng A

PORTB EQU 51H ;Địa chỉ cổng B

```

KEY PROC NEAR USES CX
    CALL SCAN      ;Kiem tra tat ca cac phim
    JNZ KEY        ;Neu phim van nhan
    CALL DELAY     ;Doi khoang 10 ms
    CALL SCAN      ;Kiem tra tat ca cac phim
    JNZ KEY        ;Neu phim van nhan
KEY1:
    CALL SCAN      ;Kiem tra tat ca cac phim
    JZ KEY1        ;Neu khong co phim nao duoc nhan
    CALL DELAY     ;Doi khoang 10 ms
    CALL SCAN      ;Kiem tra tat ca cac phim
    JZ KEY1        ;Neu khong co phim nao duoc nhan
    PUSH AX        ;Cat ma hang vao ngan xep
    MOV AL,COLS    ;Bat dau tinh ma phim
    SUB AL,CL
    MOV CH,ROWS
    MUL CH
    MOV CL,AL
    DEC CL
    POP AX
KEY2:
    ROR AL,1       ;Tim vi tri hang
    INC CL
    JC KEY2
    MOV AL,CL      ;Ma phim de vao AL
    RET
KEY ENDP

SCAN PROC NEAR USES BX
    MOV CL,ROWS    ;Tao mat na hang
    MOV BH,0FFH
    SHL BH,CL
    MOV CX,COLS    ;Nap so cot
    MOV BL,0FEH    ;Lay ma chon
SCAN1:
    MOV AL,BL      ;Chon cot
    OUT PORTB,AL
    ROL BL,1
    IN AL,PORTA    ;Doc hang
    OR AL,BH
    CMP AL,0FFH    ;Kiem tra phim nhan
    JNZ SCAN2
    LOOP SCAN1
SCAN2:
    RET
SCAN ENDP

DELAY PROC NEAR USES CX
    MOV CX,5000    ;10 ms (clock 8 MHz)
DELAY1:
    LOOP DELAY1
    RET
DELAY ENDP

```