



دانشکده مهندسی برق

الکترونیک آنالوگ

پروژه پایانی

هلیا شاکری - ۴۰۰۱۰۱۳۸۹

مینه کلنتریان - ۴۰۰۱۰۱۸۱۵

دکتر اکبر

نیمه دوم سال تحصیلی ۱۴۰۲-۱۴۰۳

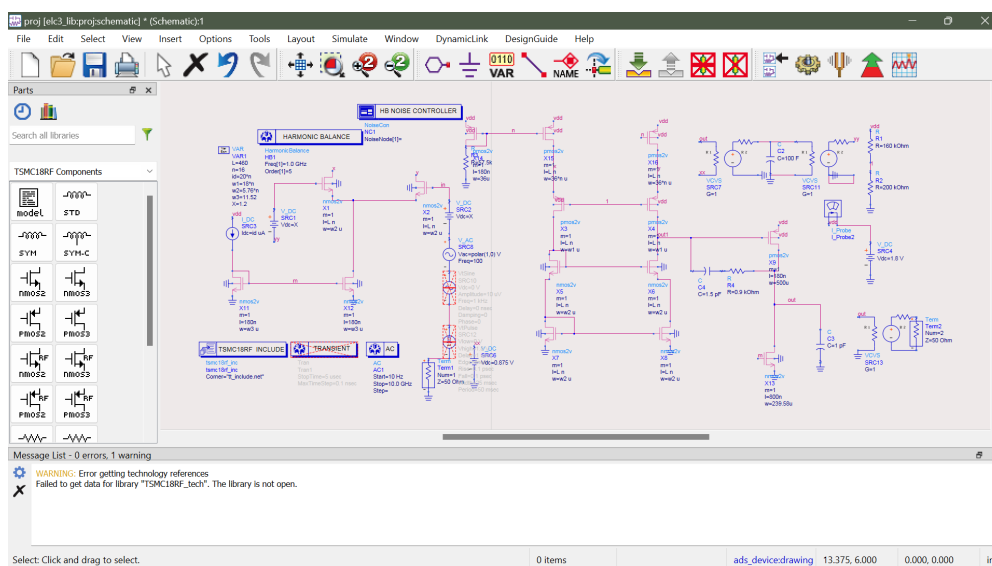
# ۱ پرسش ها:

## پرسش ۱. شکل کلی مدار

یک تقویت کننده عملیاتی CMOS با مشخصات زیر را با کمک ترانزیستور های PMOS و NMOS در تکنولوژی 180 نانومتر طراحی نمایید (مدل ترانزیستور های MOS برای طراحی و شبیه سازی در SPICE داده شده است).

$$V_{DD} = 1.8V \quad V_{SS} = 0V$$

سایر مشخصات تقویت کننده را تعیین و در جدولی ارائه نمایید.



شکل ۱: مدار اصلی

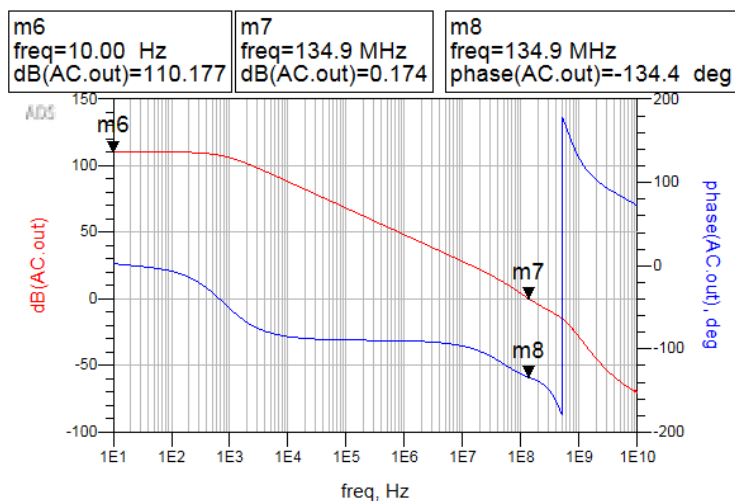
$$n = 16 \quad \& \quad V_{dc} = 1.2(V) \quad \& \quad I_d = 20 * n(\mu A) \quad \& \quad L = 460(nm) \\ W_1 = 18 * n(\mu m) \quad \& \quad W_2 = 5.76 * n(\mu m) \quad \& \quad W_3 = 11.52(\mu m)$$

Transistor	W	L
X1	$W_2(\mu m)$	$L(nm)$
X2	$W_2(\mu m)$	$L(nm)$
X3	$W_1(\mu m)$	$L(nm)$
X4	$W_1(\mu m)$	$L(nm)$
X5	$W_2(\mu m)$	$L(nm)$
X6	$W_2(\mu m)$	$L(nm)$
X7	$W_2(\mu m)$	$L(nm)$
X8	$W_2(\mu m)$	$L(nm)$
X9	$500(\mu m)$	$180(nm)$
X11	$W_3(\mu m)$	$180(nm)$
X12	$W_3(\mu m)$	$180(nm)$
X13	$239.58(\mu m)$	$800(nm)$
X14	$36(\mu m)$	$180(nm)$
X15	$36 * n(\mu m)$	$L(nm)$
X16	$36 * n(\mu m)$	$L(nm)$

پرسش ۲. بهره دیفرانسیلی و حاشیه فاز

بهره دیفرانسیلی و حاشیه فاز باید با اندازه های زیر باشند.

$$A_{Vd} \geq 110dB \quad \& \quad Phase\ Margin > 45^\circ$$



شکل ۲: بهره دیفرانسیلی و حاشیه فاز

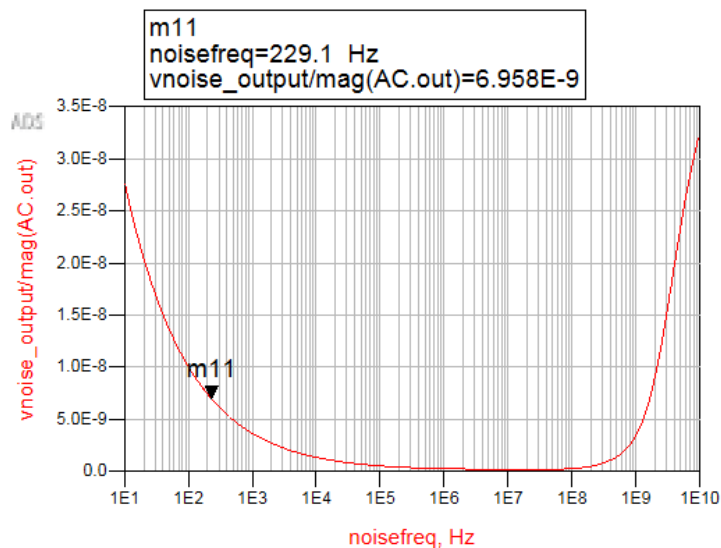
حاشیه فازی که گرفتیم برابر است با:  $180^\circ - 134.4^\circ = 45.6^\circ$   
همچنین بهره دیفرانسیلی برابر است با:  $110.177dB$

پرسش ۳. نویز

برای نویز باید مقدار به صورت زیر باشد.

$$V_{in,noise} \leq 7 \frac{nV}{\sqrt{Hz}}$$

که  $V_{in,noise}$  بیانگر نویز کل ارجاع داده شده به ورودی است.



شکل ۳: نویز

برای محاسبه نویز در ورودی داریم:

$$\frac{V_{out,noise}}{mag} = 6.958 * 10^{-9} = 6.958 \frac{nV}{\sqrt{Hz}}$$

پرسش ۴. توان مصرفی

توان مصرفی باید به اندازه زیر باشد.

$$Power Consumption \leq 5mW$$

time	TRAN1_Probe2.i*1.8*1000
0.0000 sec	-4.417
10.00 nsec	-4.417
20.00 nsec	-4.417
50.00 nsec	-4.417
140.0 nsec	-4.417

شکل ۴: توان مصرفی

با توجه به جدول، توان مصرفی ما برابر است با:

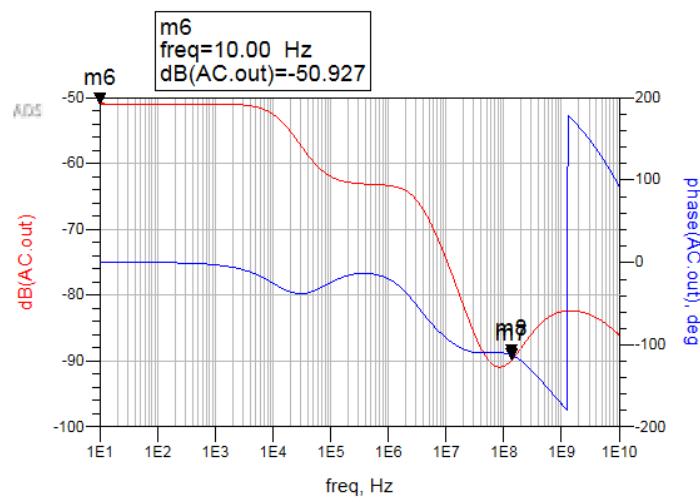
$$4.417mW$$

چون توان مصرفی است علامت - داریم.

پرسش ۵. CMRR

مقدار CMRR باید به صورت زیر باشد.

$$CMRR \geq 110dB$$



شکل ۵: بهره مد مشترک

میدانیم که فرمول CMRR به صورت زیر است.

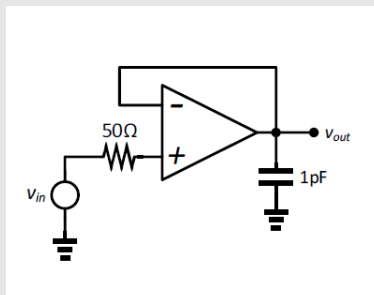
$$CMRR = 20 * \log_{10} \left( \frac{A_{Vd}}{A_{Vcm}} \right)$$

همچنین با توجه به شکل ۲ در پرسش ۲ که در آن بهره تفاضلی را به دست آوردیم و همچنین با توجه به شکل ۵ که در همین پرسش هست، را حساب می کنیم و مقدارش برابر است با :

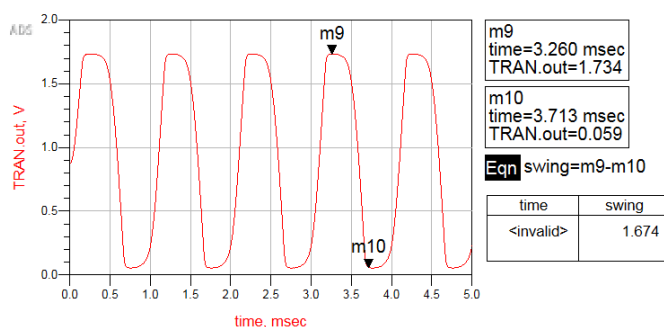
$$CMRR = 20 * \log_{10}\left(\frac{A_{Vd}}{A_{Vcm}}\right) = 20 * \log_{10}(A_{Vd}) - 20 * \log_{10}(A_{Vcm}) = 110.177 - (-50.927) = 161.104dB$$

### پرسش ۶. سوینگ

سوینگ خروجی در حالت فیدبک می بایست حداقل،  $1.5V_{p-p}$  باشد. این تقویت کننده در فیدبک واحد به صورت زیر مورد استفاده قرار می گیرد.



شکل ۶: تقویت کننده در فیدبک واحد



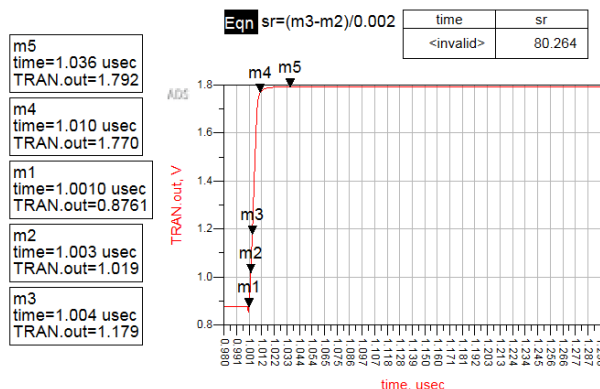
شکل ۷: سوینگ

پس از اتصال مدار به صورت فیدبک با توجه به شکل ۶، سوینگ peak-to-peak ما برابر شد با:

$$V_{p-p} = 1.734 - 0.059 = 1.675V$$

### پرسش ۷. Slew rate و زمان نشست

ر این مدار، Slew rate باید بهتر از  $50 \frac{V}{\mu s}$  و زمان نشست مدار به 99% مقدار نهایی باید بهتر از 50 نانو ثانیه باشد.



شکل ۸: Slew rate و زمان نشست

با توجه به نمودار، Slew rate ما برابر است با:

$$\frac{1.179 - 1.019}{0.002} = 80 \frac{V}{\mu s}$$

برای زمان نشست، یک پالس به ورودی مدار داده و خروجی آن در تصویر قابل مشاهده است و زمان نشست مدار نیز به 99% مقدار نهایی، تقریباً برابر 10 نانو ثانیه شده است.