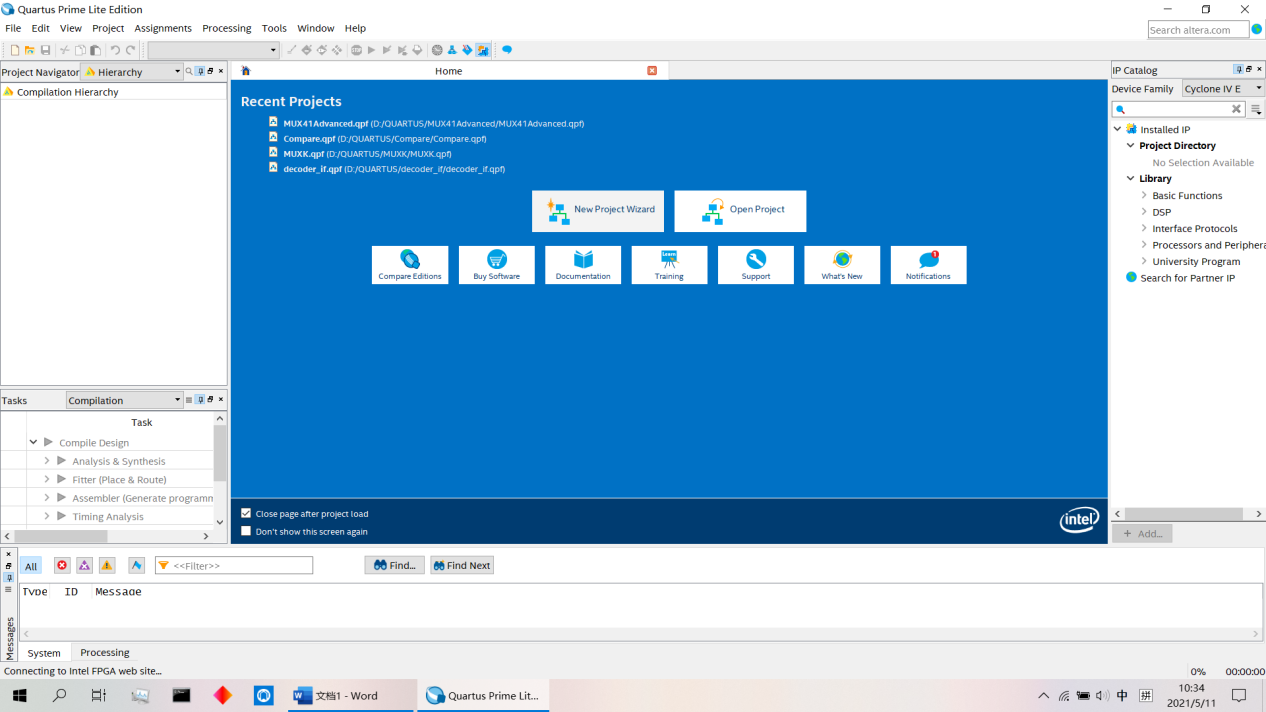
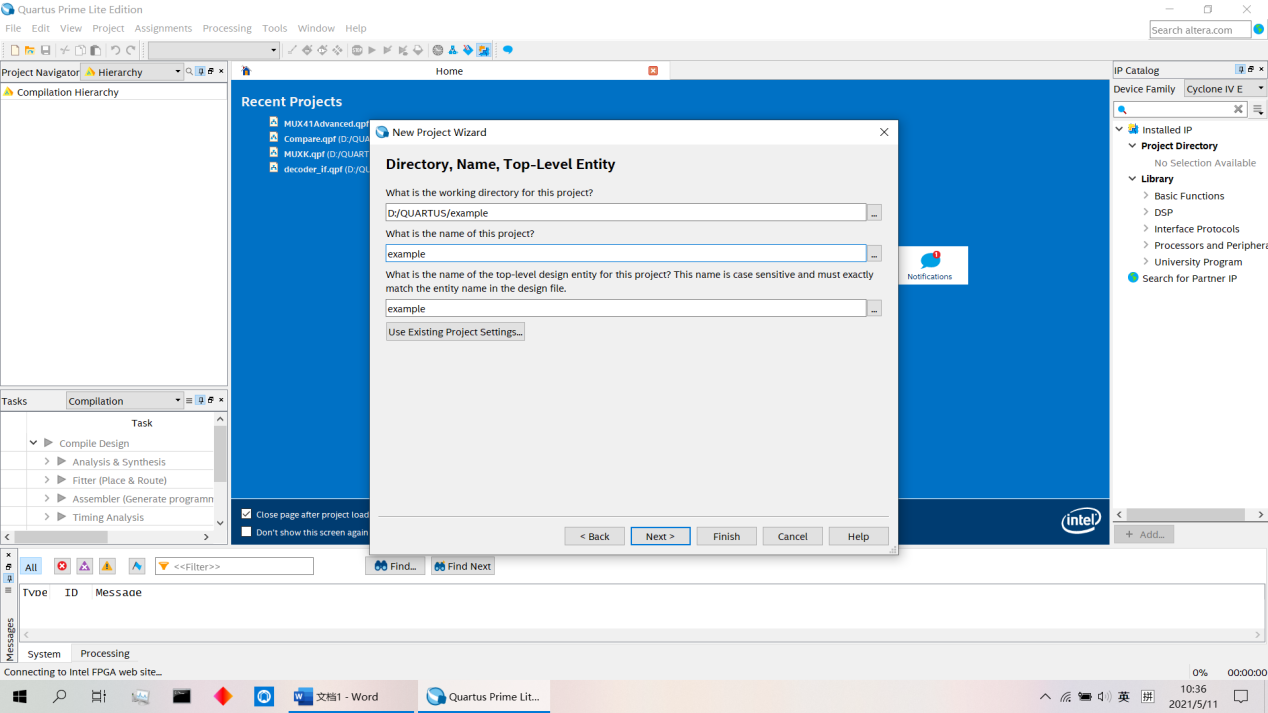
# 基本流程

1. 新建项目并编写

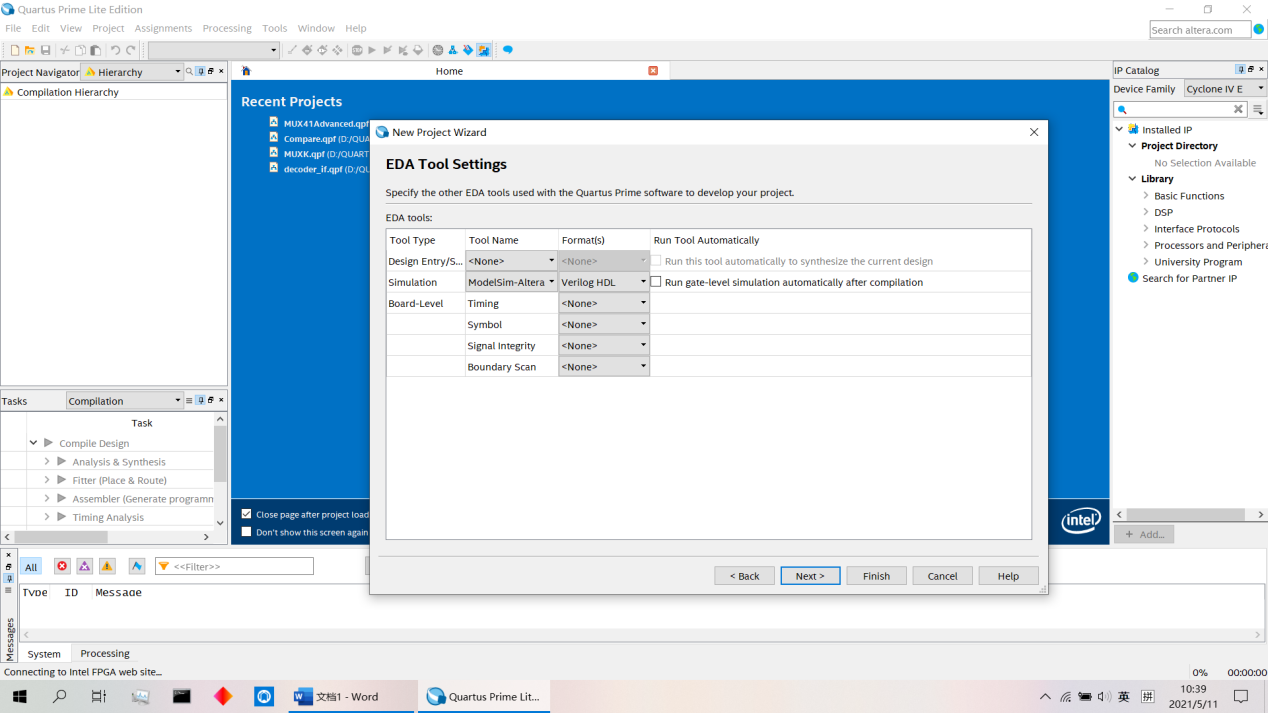
（1）点击new project wizard，开始新建项目



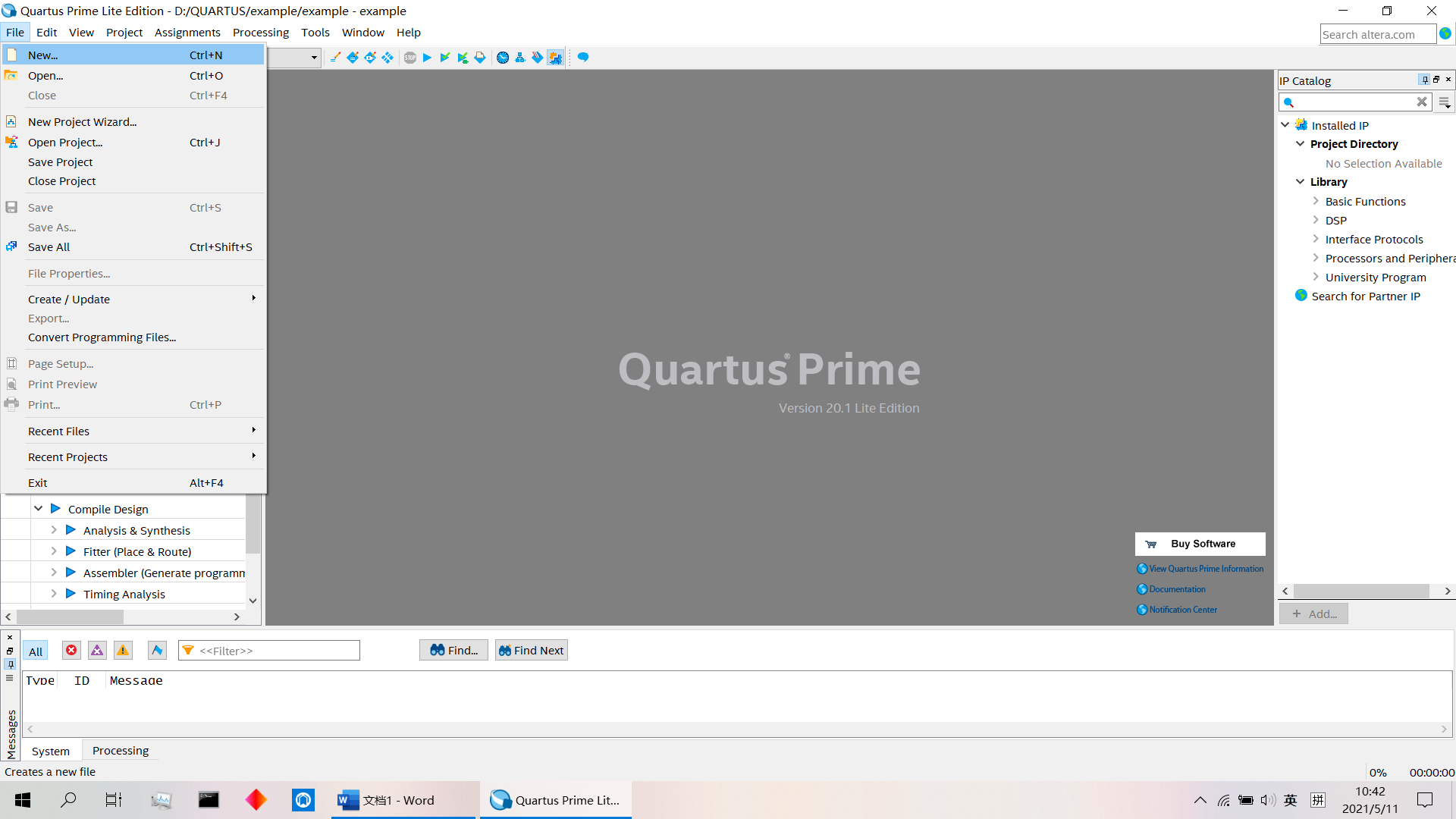
（2）选择项目保存路径（建议新建文件夹），并为项目取名



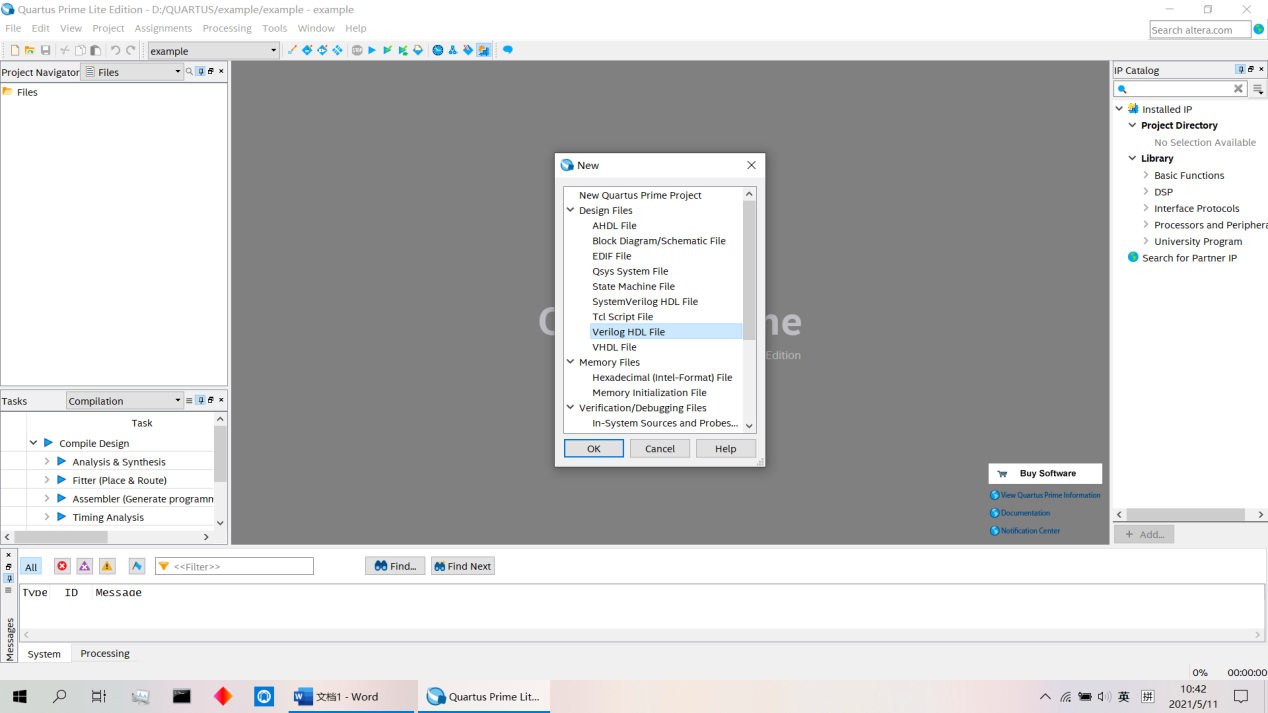
（3）直到EDA tool settings之前都可以无脑点next，而在EDA tool settings这一页需要更改simulation的设置，如图：



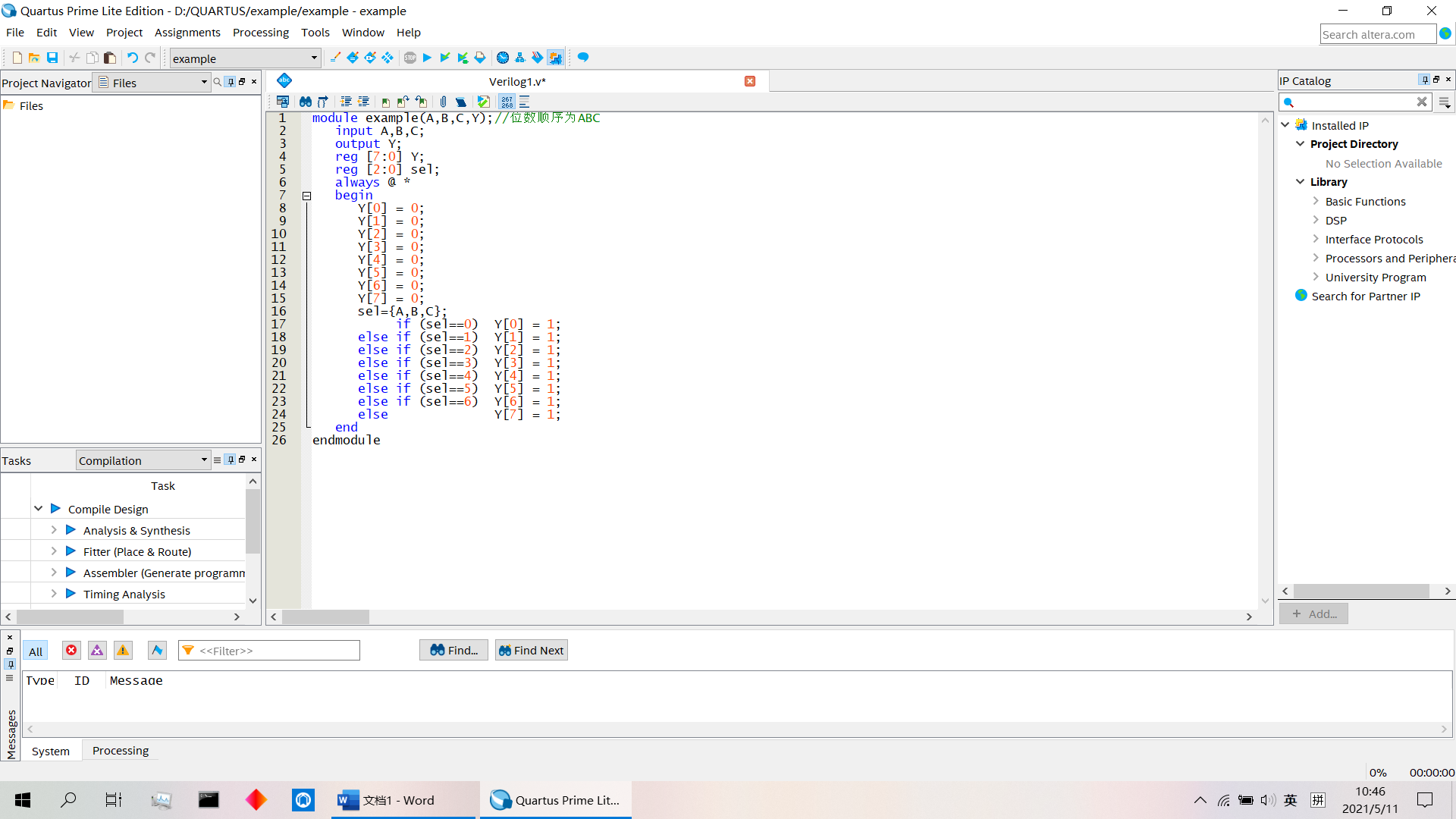
（4）此时，已经成功创建了一个新项目，接着我们添加新文件来编写



点击new后会让我们选择文件类型，因为我们是verilog语言，所以选verilog HDL File

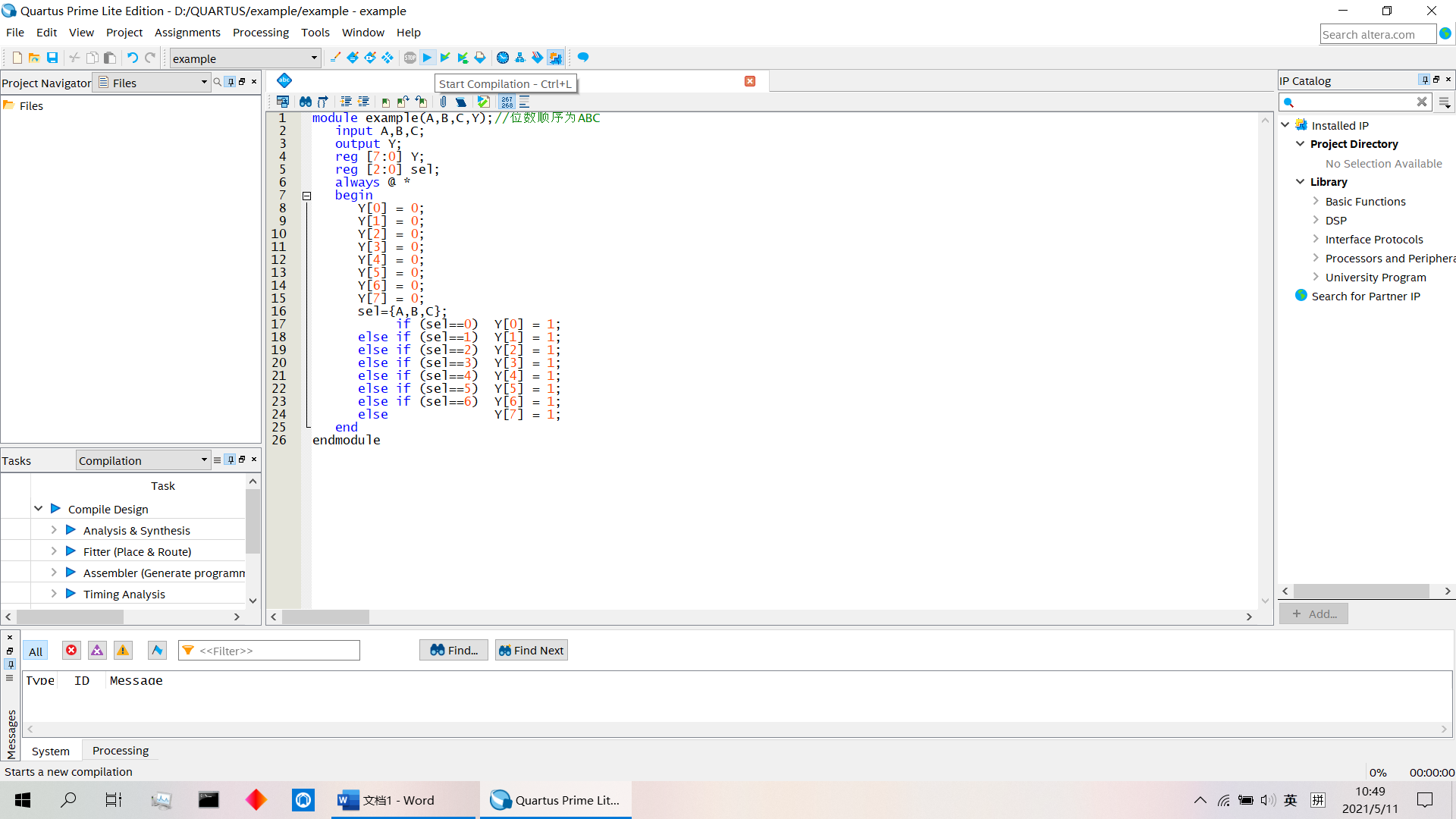


（5）此时，我们就可以开始在新的文件中编程了，以译码器为例：

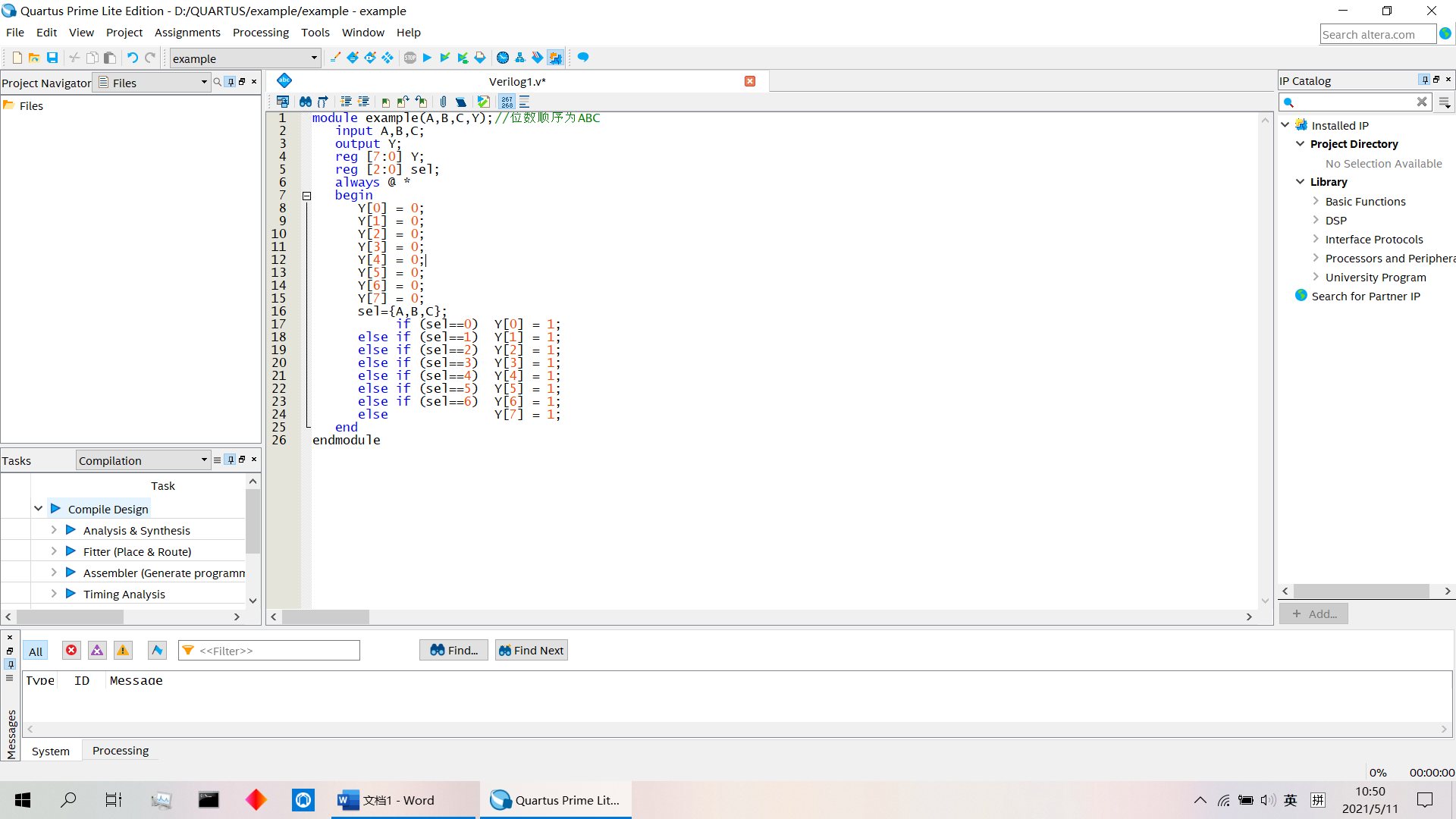


（6）编写完成后，就可以开始运行了，可以点两个地方

可以单击这里：

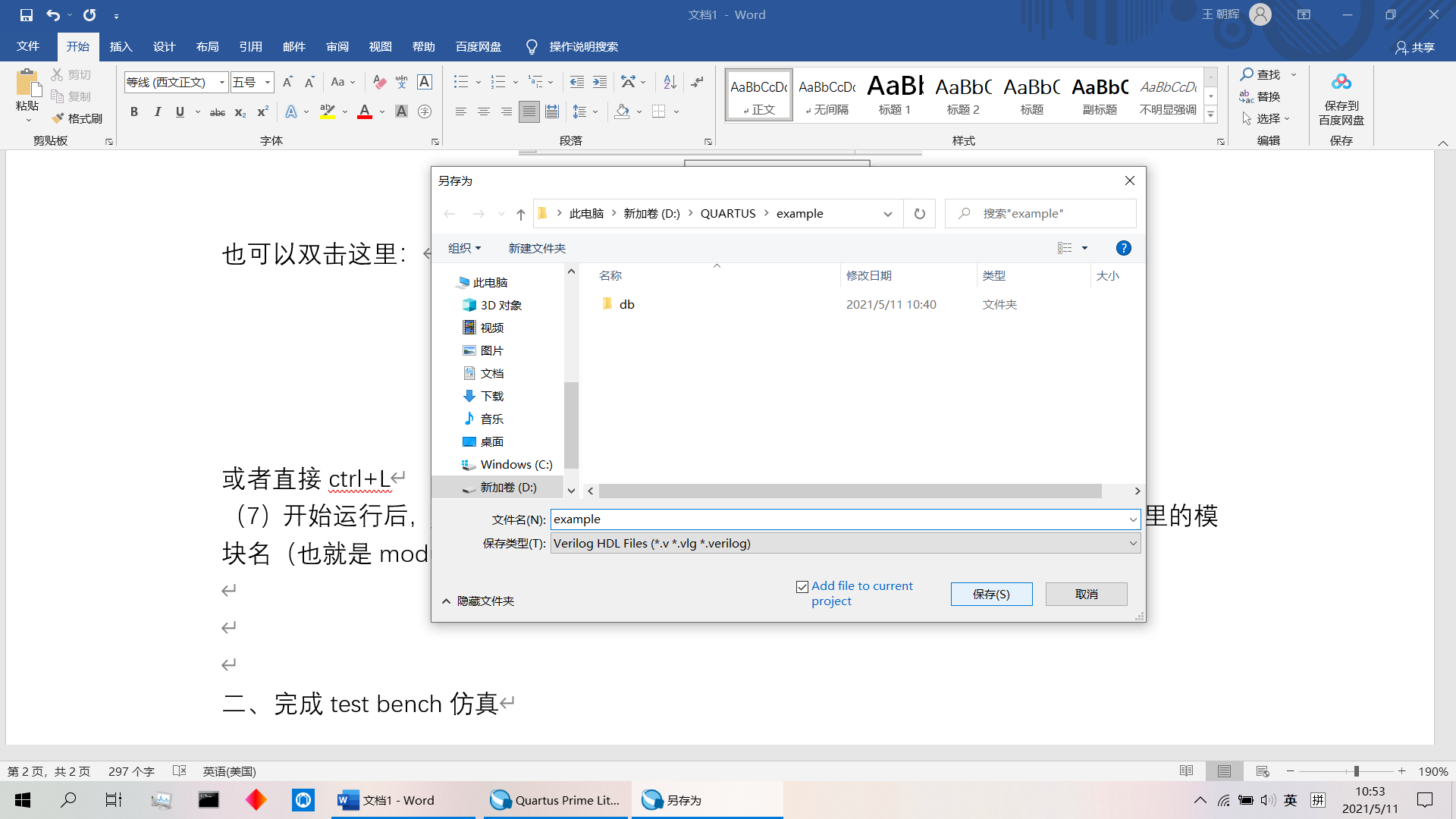


也可以双击这里：



或者直接ctrl+L

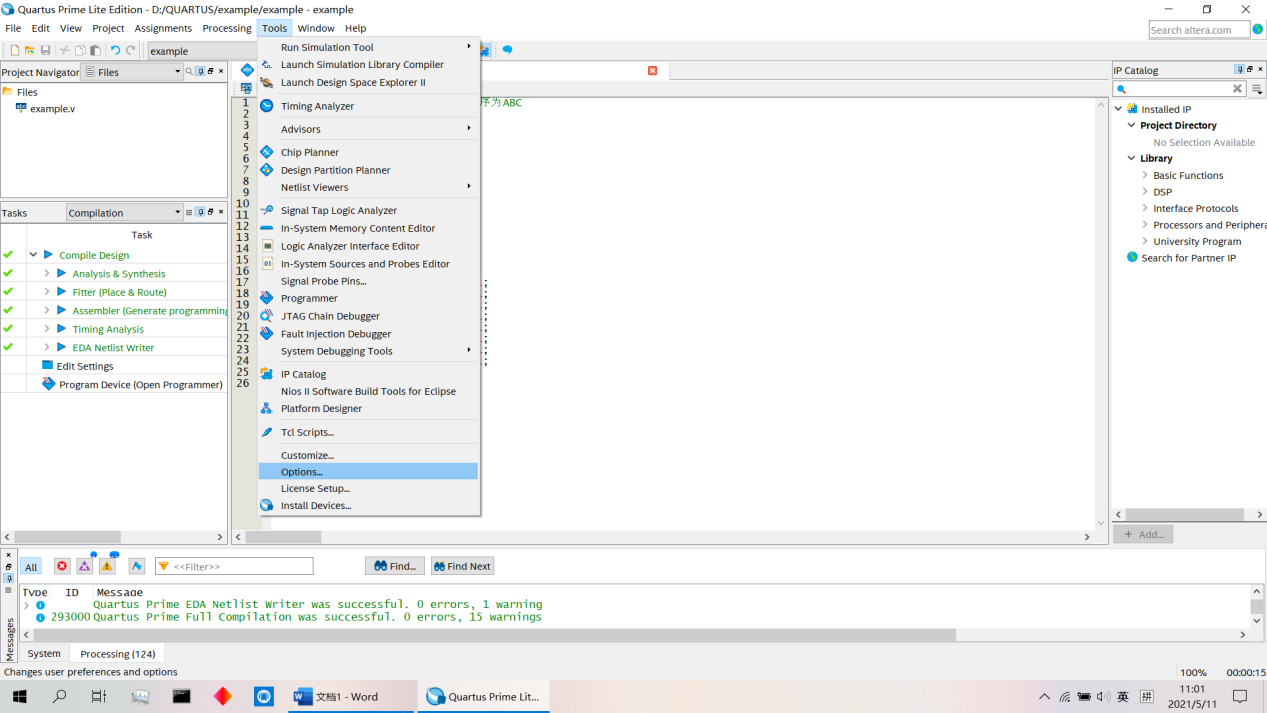
（7）开始运行后，quartus会提示你保存文件，注意，保存的文件名一定要与该文件里的模块名（也就是module后面的东西）一致，否则会编译error

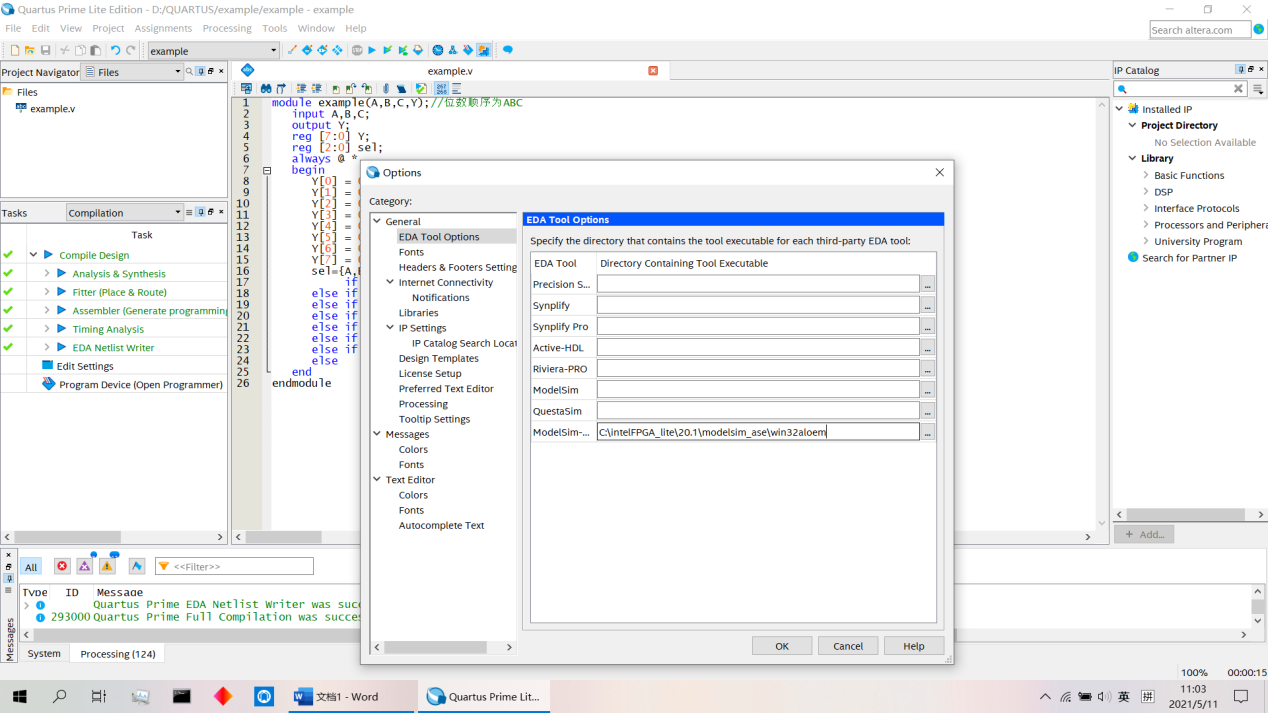


（8）等待编译完成后，如果左下角的进程表全绿的话，说明程序语法是没问题的，编译通过（其实只要能过analysis & synthesis就问题不大）。但此时，我们只知道程序的语法没问题，至于功能是否正常，还需要进行test bench仿真来验证。

1. 完成test bench仿真

TIPS. 首先要对quartus进行modelsim路径的设置。注意，在安装quartus后，该步骤只需要进行一次即可，所以不算在通常的仿真流程中。设置方法为：

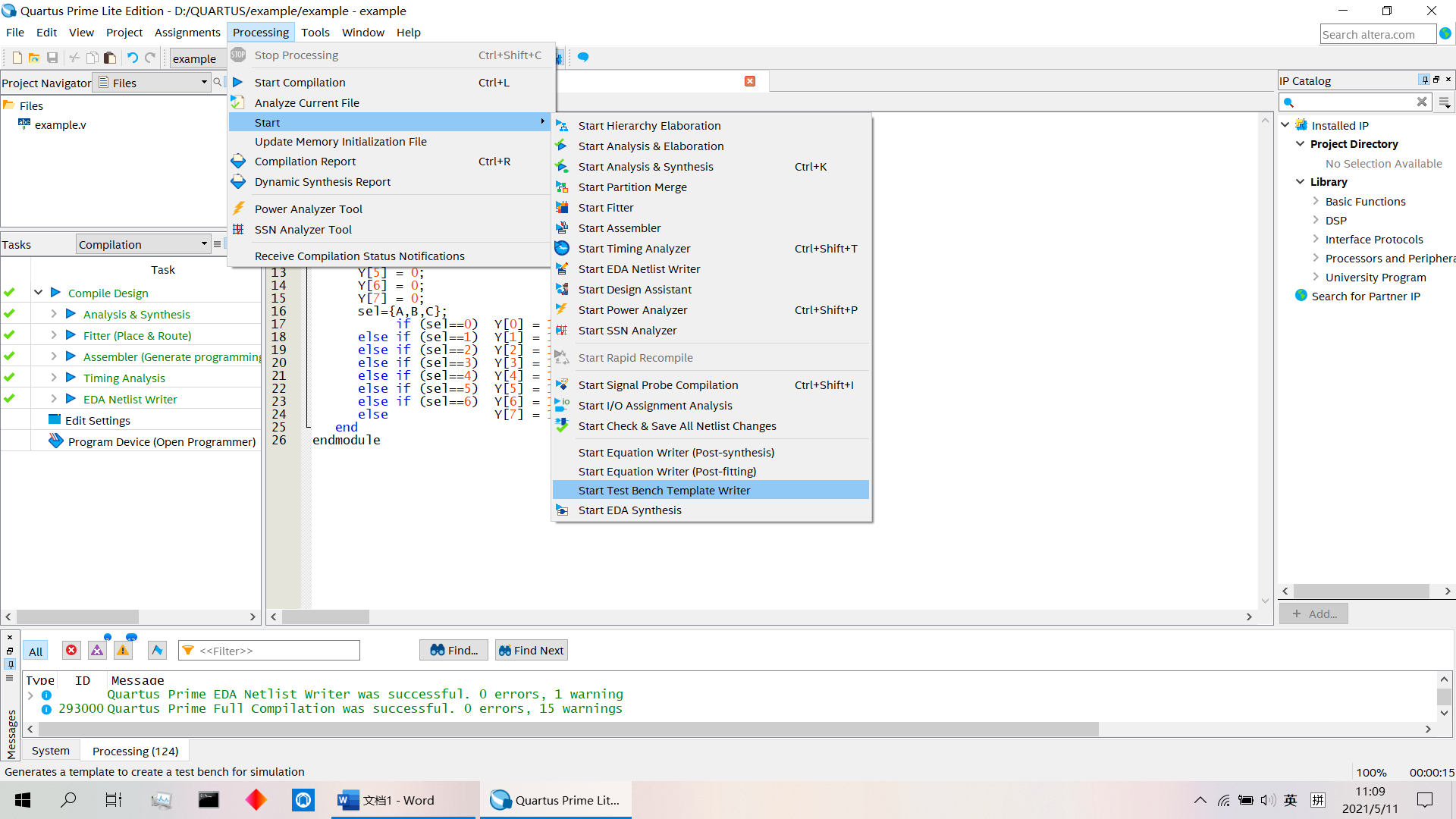




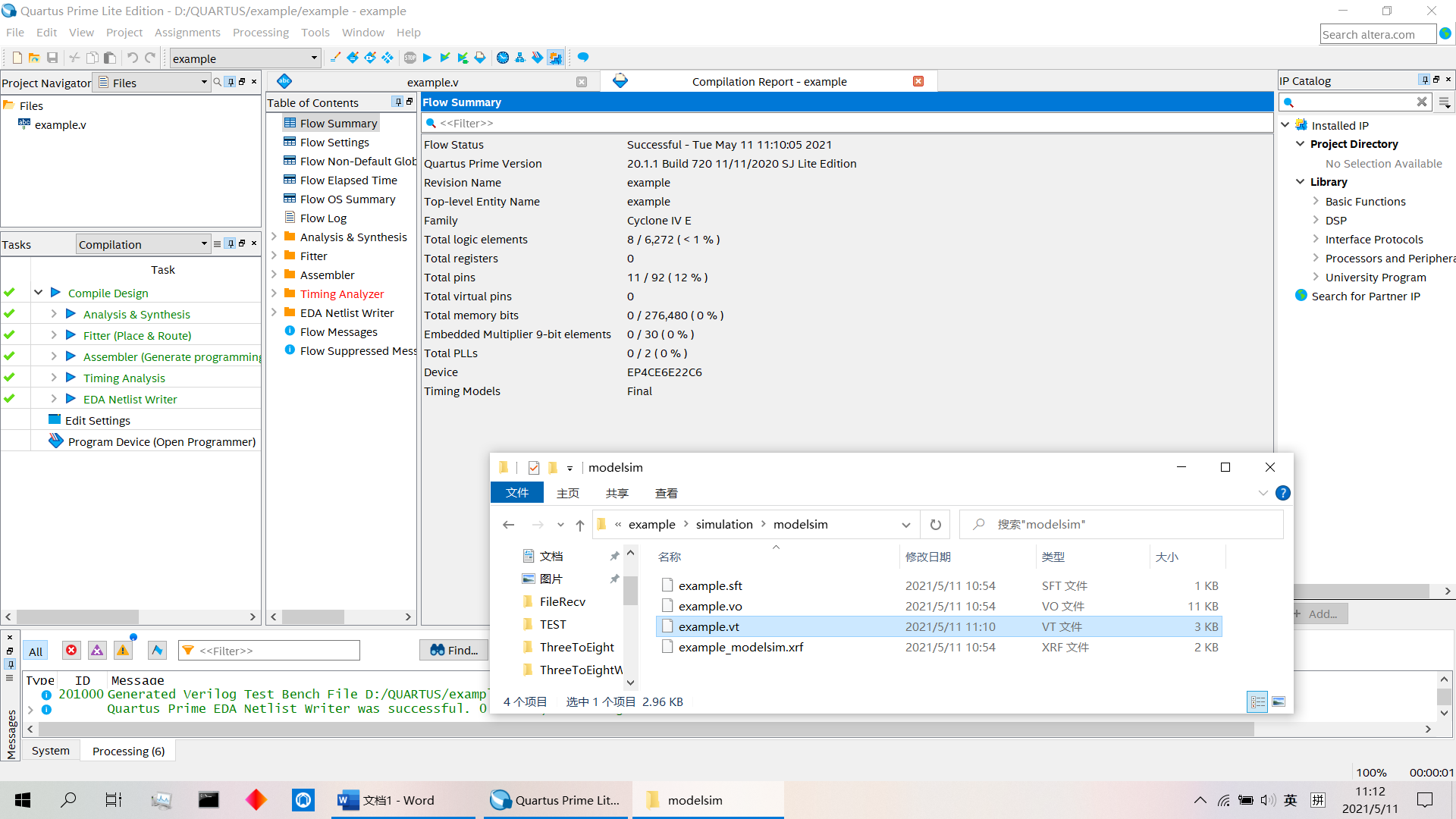
在EDA tools option的最后一栏中选择modelsim所在的文件夹地址。该地址根据大家安装位置的不同，可能会有所差别，但最后一位一般都是win32aloem。实际操作中，我们只要找到安装得intrlFPGA\_lite文件夹，然后顺着点就ok了。

完成该设置后，就可以开始正常的仿真流程了。

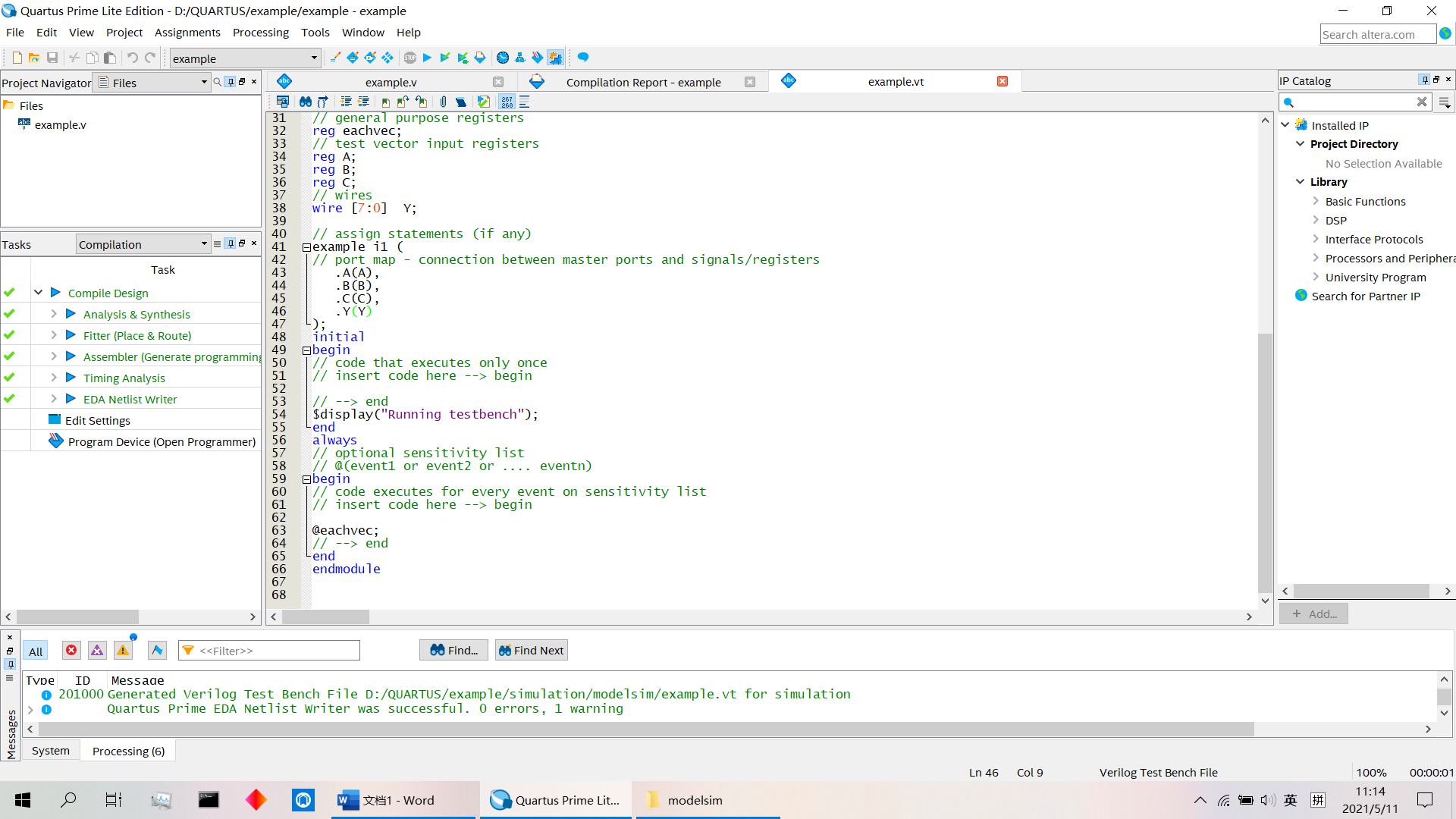
（1）白嫖test bench文件的模板。Quartus已经为用户设计好了test bench文件的模板，用户可以选择打开该模板，根据注释往里面加东西；也可以选择根据自己的风格来自己编写test bench文件。下面说的是使用模板的情况。



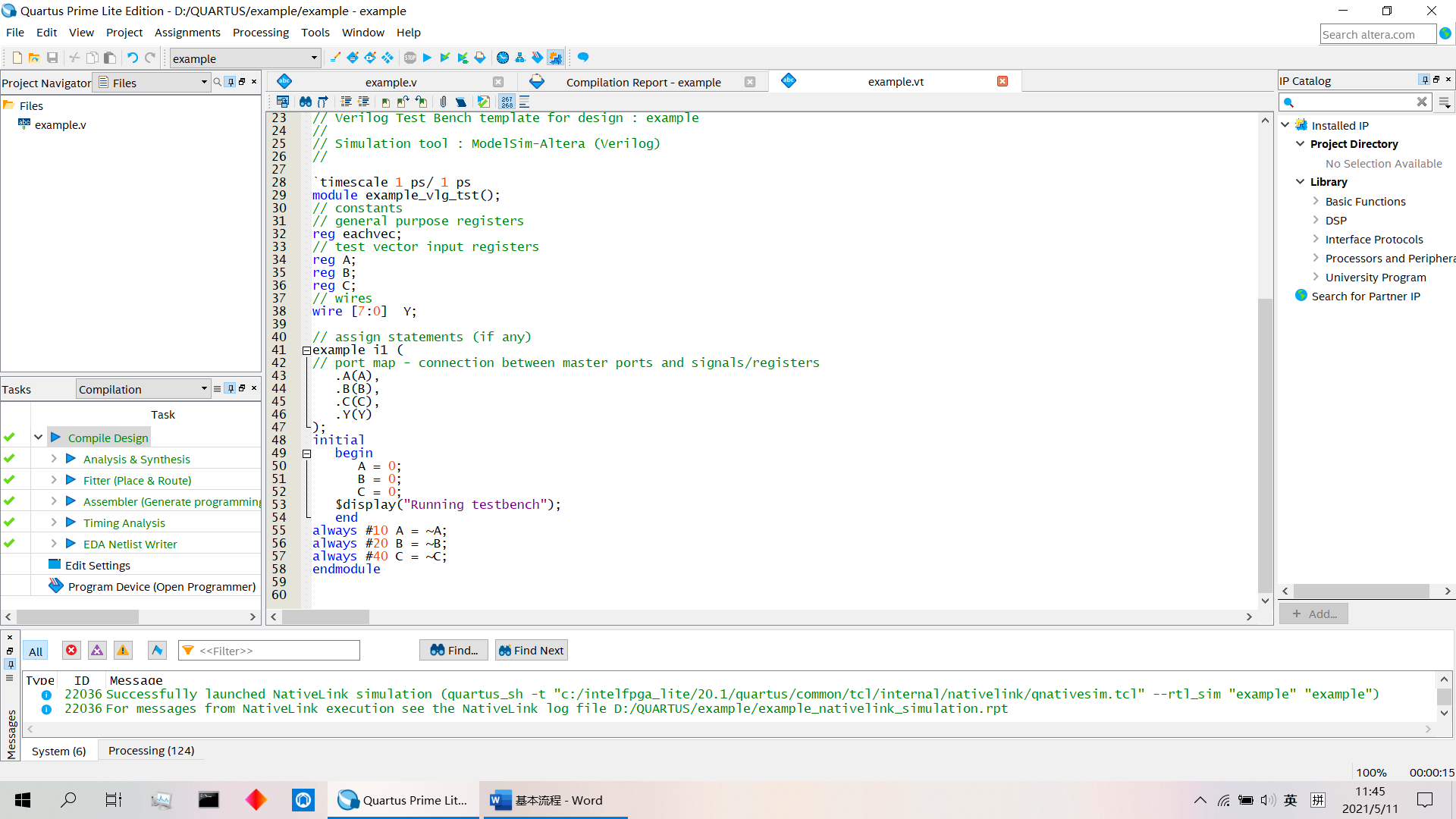
接着打开此电脑，在该项目的文件夹中打开simulation文件夹，再打开modelsim文件夹，找到后缀名为vt的文件，将他拖入quartus的界面中



他就会生成一个test bench的模板

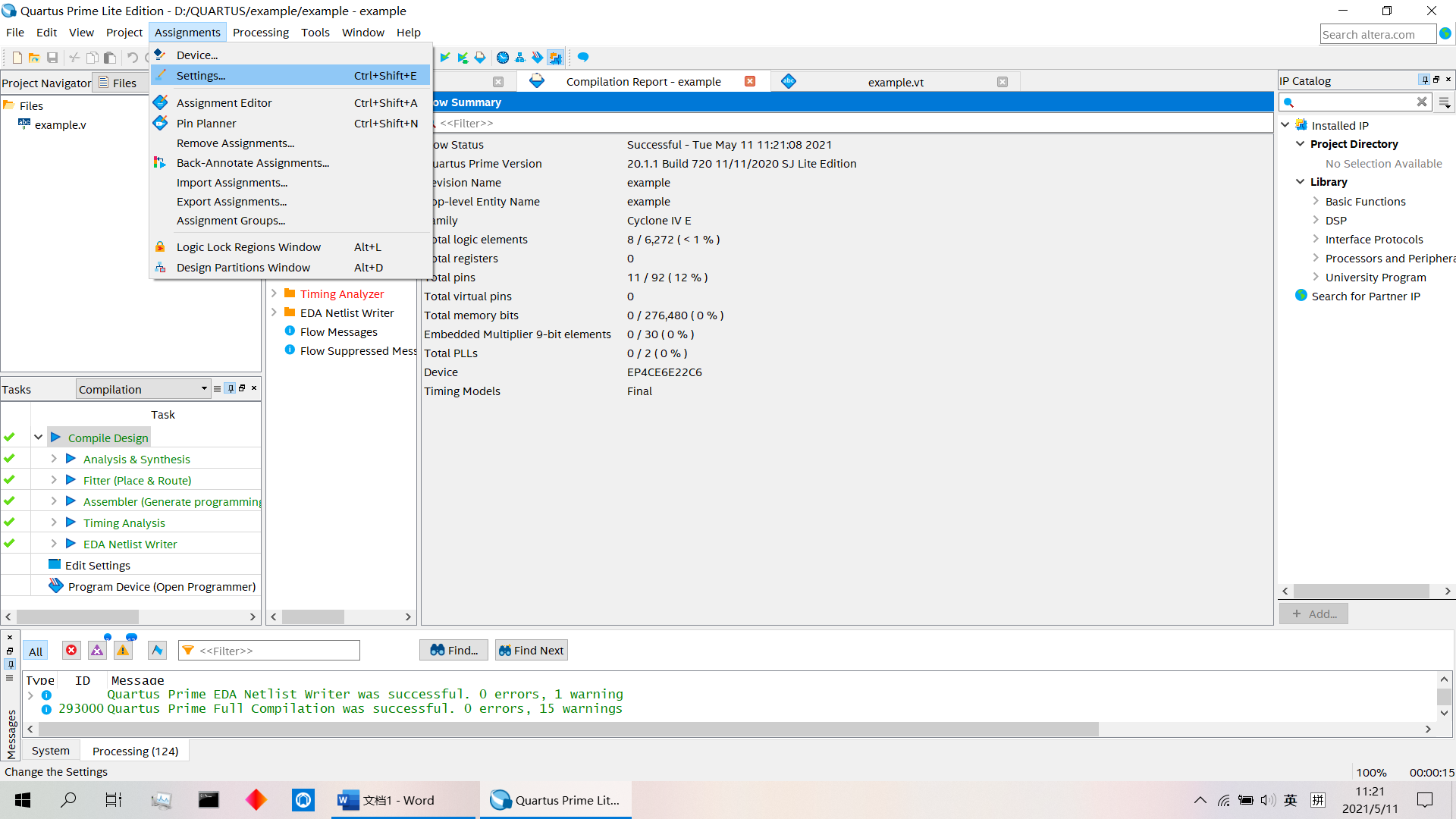


（2）在该模板的提示下编写test bench文件并运行



编写完后记得要运行一遍

（2）进行仿真设置



在该界面中，按照图1的样子进行勾选，接着点击Test Benches...

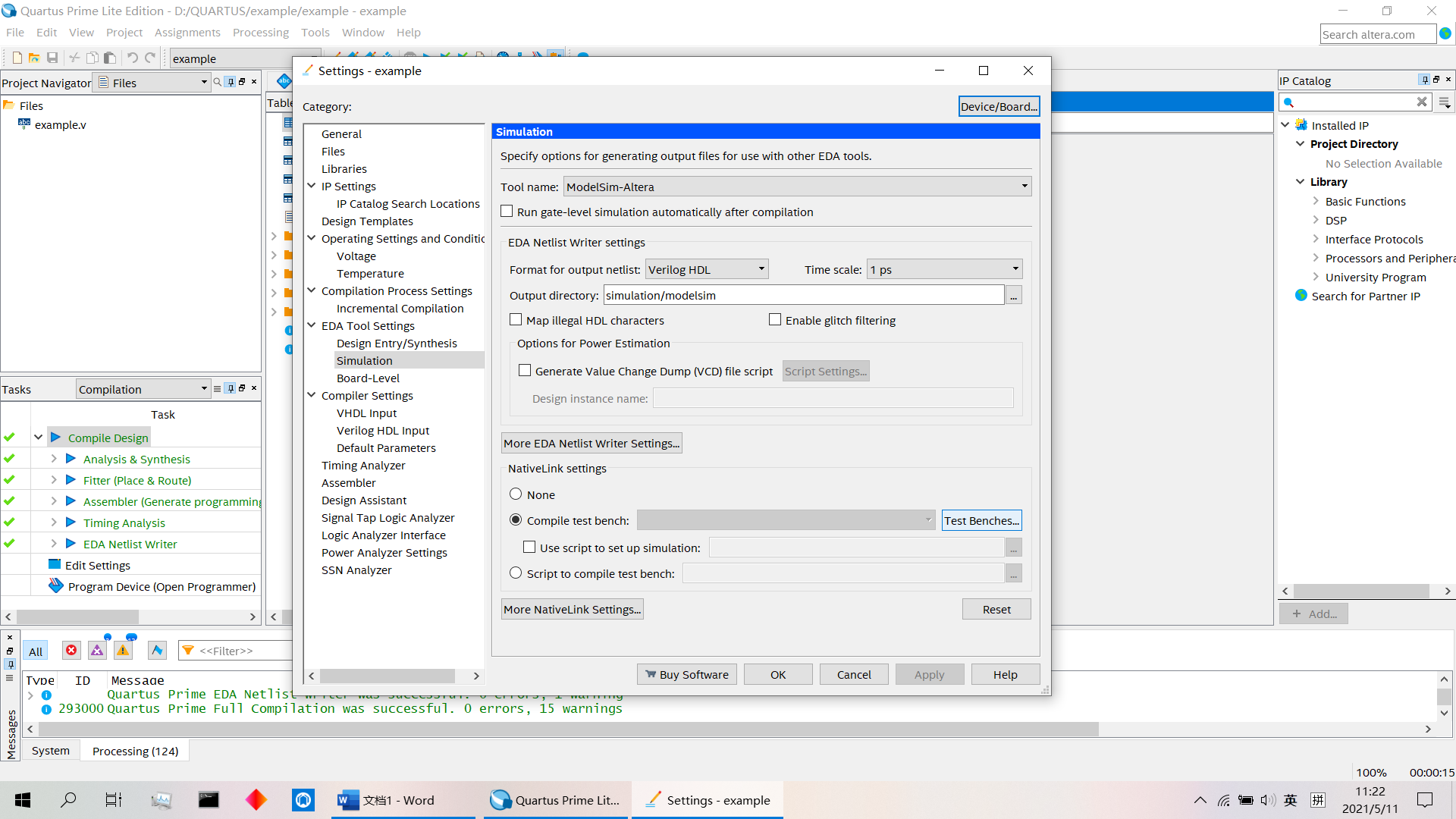


图1

图2中点击New

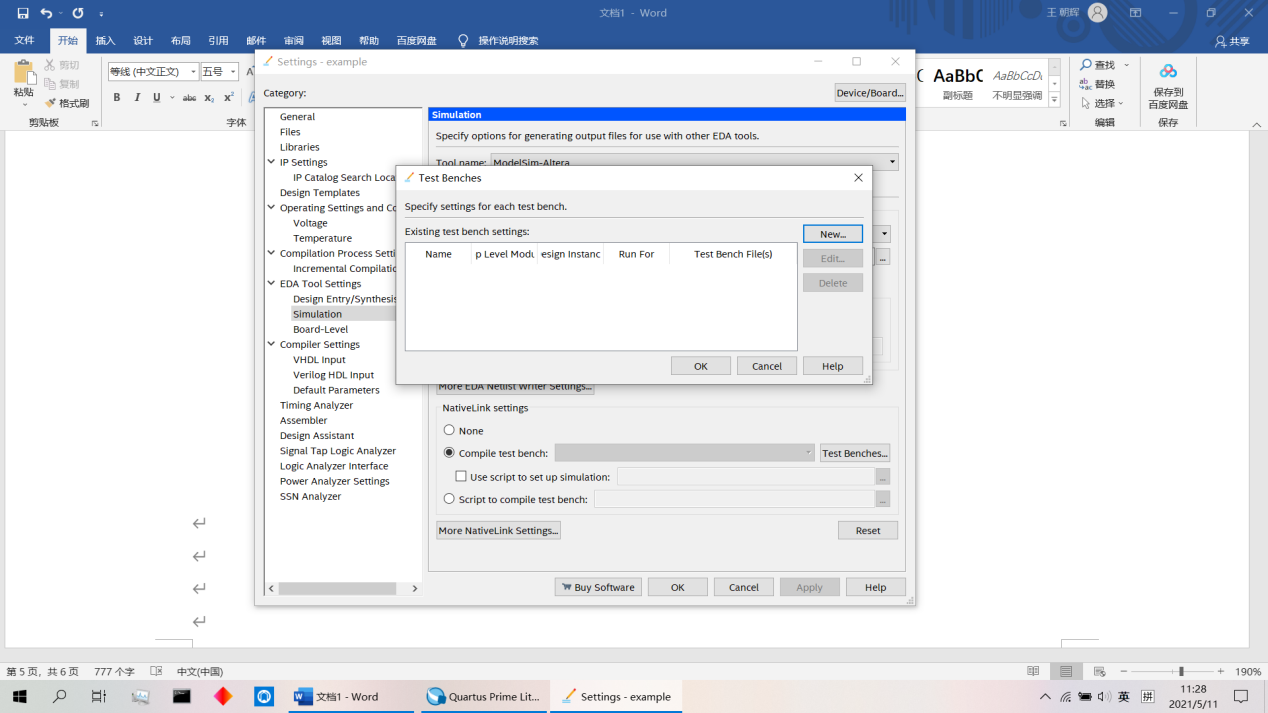


图2

图3界面这样设置

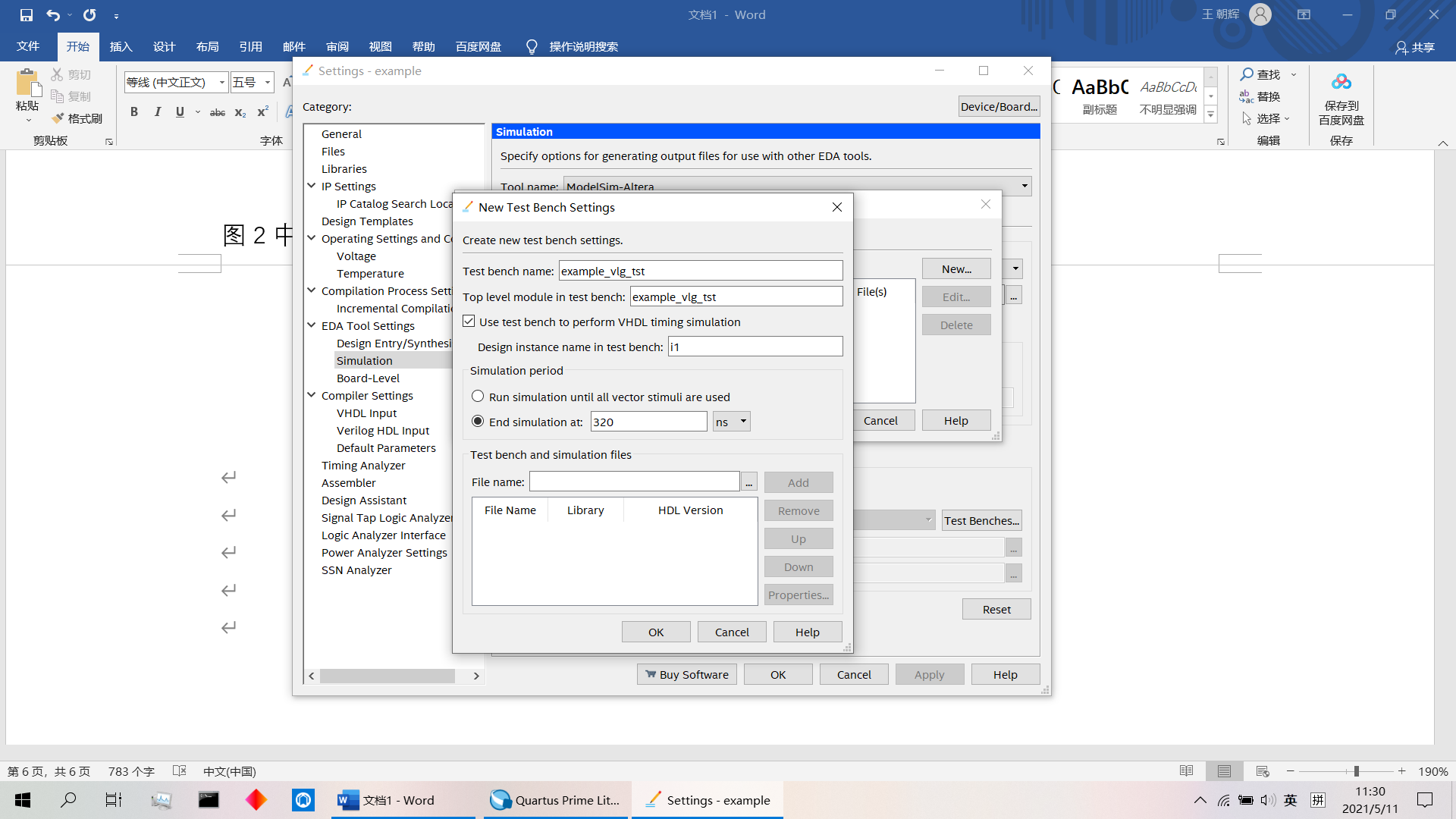


图3

关于图3界面，有些需要强调的地方：

1.Test bench name是你test bench文件的模块名，比如我的模块名就是example\_vlg\_tst

2.Design instance name in test bench是你编写的test bench文件中的元件名，如果你用的是quartus自带的模板的话，默认是i1

3.End simulation是仿真结束的时间，这个根据自己喜好来设置

强调的地方就这些，下面继续：

点击...，选择你的test bench文件（vt后缀），open

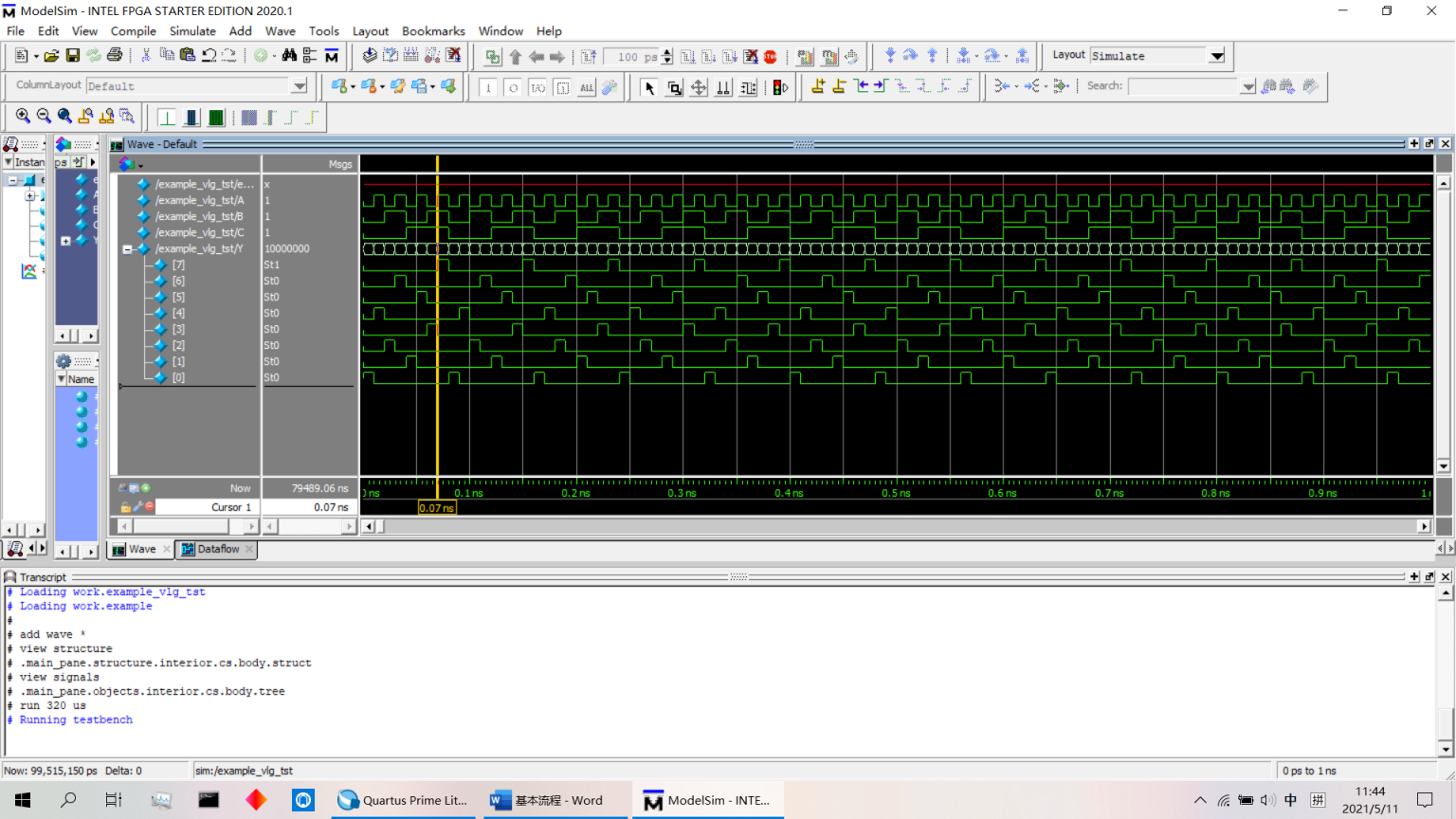


图4

之后会回到图3界面，点击...后面的add，再一路ok

（3）准备工作完成后，就可以开始仿真了





总的来说，感觉这个软件用起来挺麻烦的（也可能是该流程有可以简化的地方）

总之十分感谢班上大佬对我的指点和帮助

如果大家对该流程和软件有什么意见与建议，也希望大家能多多交流