

Lab5 Pipelined Processor

Goal

設計完成一個 pipelined processor 且具有 hazard detection and resolving 的功能。

Method

1. 修改 Project4 Single-Cycle-CPU 來完成
2. 可參考課本將指令執行的整個週期拆成五階段，每一個階段可以在一個週期內完成
3. 在每一個 Execution Stage 間插入 pipelined register，用以保存下一個 stage 所需的資訊
4. Hazard Detection 可以參照課本的說明。
5. Hazard Resolve 可以採 Stall 或是 Forwarding 來處理。

Initial State

PC (Program Counter) :

Value : 0

Instruction memory :

Size : 8 * 32 (8 個 32-bit word)

Value :

Address	Content
0	10000000 00000001 00000000 00000000 (LOAD M1 R0)
1	10000000 00000110 00000001 00000000 (LOAD M6 R1)
2	00100000 00000000 00000001 00000010 (ADD R0 R1 R2)
3	00001000 00000010 00000101 00000011 (SL R2 5 R3)
4	00010000 00000011 00000001 00000001 (SUB R3 R1 R1)
5	00000100 00000000 00000010 00000010 (SR R0 2 R2)
6	01000000 00000011 00000010 00000000 (STORE M3 R2)
7	01000000 00000101 00000001 00000000 (STORE M5 R1)

Register file :

Size : 4 * 32 (4 個 32-bit register)

Initial Value : 全為 0

Data memory :

Size : 8 * 32 (8 個 32-bit word)

Initial Value : 依序為 0, 1, 2, 3, 4, 5, 6, 7

Result

Register file :

R0	R1	R2	R3
1	218	0	224

Data memory :

M0	M1	M2	M3	M4	M5	M6	M7
0	1	2	0	4	218	6	7

Requirements

1. 本次 Project 需要 Demo，Demo 時間將另行公告
2. 請在期限內將報告上傳到 e3，未上傳報告者將不能 Demo Project
3. 報告內容請附上
 - (1) 架構圖 (並說明各個元件的功能，類似課本 Figure 4.60)
 - (2) 波形圖
 - 1.跑完 instruction memory 裡的指令即可
 - 2.並在每個週期上註明發生了什麼事及相對應的處理
 - (3) 心得
4. 報告上傳 Deadline (23:59 12/30/2009)