

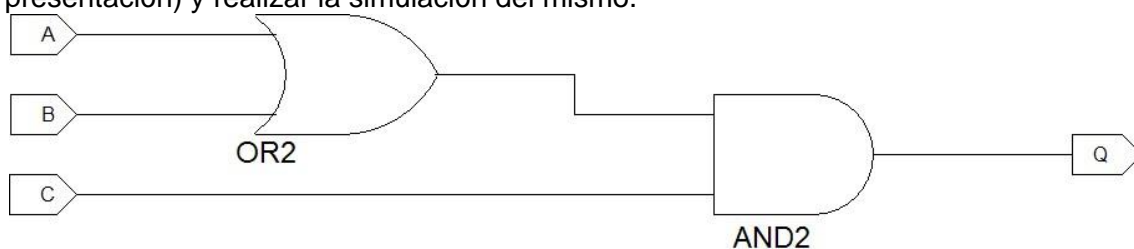
Laboratorio de Estructura de Computadores

Curso 2021-2022

Práctica 1: Fundamentos de VHDL

Ejercicio 1. Tutorial de VHDL y realización de circuito combinacional básico.

En este ejercicio se debe seguir la presentación y obtener la descripción en VHDL del siguiente circuito. Asimismo se deberá generar el fichero de *testbench* (también siguiendo la presentación) y realizar la simulación del mismo.

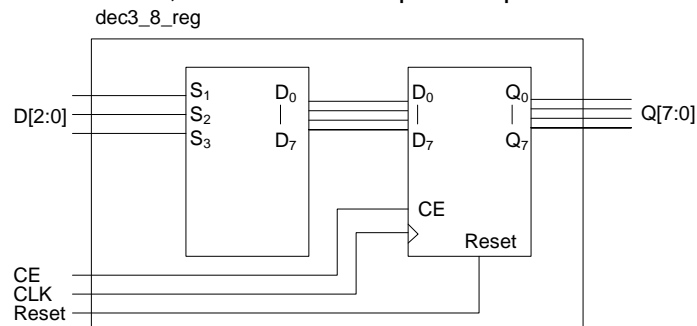


Objetivo

Aprender a usar las herramientas que se utilizarán durante el curso e implementar un diseño combinacional básico. Este ejercicio se valorará en la calificación de evaluación continua si se termina y muestra al profesor durante la primera sesión de prácticas.

Ejercicio 2. Decodificador 3 a 8 con registro de 8 bits.

Se debe generar un circuito que haga las veces de decodificador 3 a 8 y mantenga el valor de la salida. El fichero suministrado "*Deco2a4.vhd*" contiene la descripción en VHDL de un decodificador 2 a 4. Por otra parte, el fichero "*Registro.vhd*" implementa un registro de 1 bit, con *Reset* activo a nivel alto y señal de *Chip Enable* activa a nivel alto. Utilizando como punto de partida los ficheros anteriores, realizar la descripción equivalente al esquemático siguiente:



La entidad debe estar descrita como sigue:

```
entity Deco3a8Reg is
  port (
    D : in std_logic_vector (2 downto 0);
    CE : in std_logic;
    Clk : in std_logic;
```

```

Reset : in std_logic;
Q : out std_logic_vector (7 downto 0)
);
end Deco3a8Reg;

```

Se pide el uso de **tres ficheros**, *Deco3a8* que implemente un decodificador 3 a 8, *Reg* que implemente un registro de 8 bits, y *Deco3a8Reg* que instancie los dos módulos anteriores. Esta técnica permite escribir código más organizado y se utilizará en futuras prácticas.

Para verificar el correcto funcionamiento del desarrollo, utilizar el *testbench* incluido en el fichero "*Deco3a8RegTb.vhd*".

Objetivo

Codificar en VHDL el equivalente al esquemático suministrado. Además, se debe respetar el formato de entidad suministrado para poder utilizar el *testbench* determinado. Este ejercicio se valorará en la calificación de evaluación continua si se termina y muestra al profesor durante la segunda sesión de prácticas.

Ejercicio 3. Contador de 8 bits.

Utilizando como base, los ficheros de testbench suministrados en esta práctica, desarrollar un *testbench* para el contador de 8 bits suministrado (fichero "*Contador.vhd*"). Se deberá estudiar el diseño realizado en VHDL de dicho contador y generar todos los casos de prueba.

Objetivo.

Generar un testbench para probar el módulo suministrado. Además de los casos básicos (contar de forma ascendente/descendente), compruebe que el contador se comporta como se espera cuando tiene su CE desactivado, cuando hay reset, si se desborda correctamente, etc. Este ejercicio se valorará en la calificación de evaluación continua si se termina y muestra al profesor durante la segunda sesión de prácticas.

Otros ejercicios.

- ¿Qué cambios necesitaría el ejercicio 1 si quisiéramos añadir a su salida un registro sin reset ni chip enable?
- ¿Qué cambios necesitaría el ejercicio 2 si el reset fuera síncrono?
- ¿Qué cambios necesitaría el ejercicio 2 si el flanco fuera de bajada?
- ¿Cómo implementaría el código del ejercicio 2 utilizando un único proceso que englobe tanto el registro como el decodificador?
- ¿Qué cambios necesitaría el ejercicio 3 si el contador tuviera una señal *D* (de 8 bits) de carga paralela y una señal *Load* activa en alto para indicar que dicha carga debe realizarse?