

**Опишите на HDL Verilog следующие модули.
Написанный код будет оцениваться по
характеристикам:**

- a) синтезируемость;**
- b) затраты аппаратных ресурсов;**
- c) читаемость.**

1) Сумматор вектора

Описать на Verilog параметризованный модуль, реализующий следующую функциональность: на выходной порт **sum** подаётся арифметическая сумма всех битов вектора с входного порта **data**.

Входные порты: битовый вектор **data** разрядности **DATA_W** (задаётся параметром).

Выходные порты: двоичное число **sum** разрядности **POS_W** (задаётся параметром, по умолчанию может автоматически вычисляться из **DATA_W**).

*Упрощение: реализуйте указанный модуль для разрядности входа **data** равной 10, разрядности выхода **sum** равной 4.

2) Буфер LIFO

Описать на Verilog параметризованный модуль, реализующий функциональность буфера LIFO; размер буфера задаётся параметром **LIFO_SIZE**; разрядность данных задаётся параметром **DATA_W**. При подаче признака записи, данные помещаются в буфер, при подаче признака чтения - удаляются из него по принципу LIFO (Last in, First out); признаки записи и чтения могут подаваться одновременно (в одном такте).

Входные порты: однобитный признак **write** (значимость записи в буфер), данные записи **datain** разрядности **DATA_W**, однобитный признак **read** (значимость чтения из буфера), тактовый сигнал **clock**, признак сброса **reset** (активный высокий уровень).

Выходные порты: значимые данные **dataout** разрядности **DATA_W**, однобитный признак значимости данных **val**, однобитный признак заполненности буфера **full**.

*Упрощение: реализуйте указанный модуль для разрядности портов **datain** и **dataout** равной 10, и размера буфера (количество ячеек очереди) равной 6.