

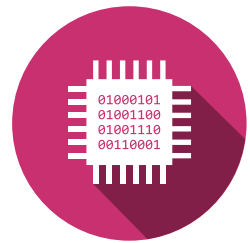
# Binäre Darstellung von Zahlen

## Inhaltsverzeichnis

|                               |          |
|-------------------------------|----------|
| <b>1 Ziel</b>                 | <b>1</b> |
| <b>2 Testschaltung</b>        | <b>2</b> |
| <b>3 Sinuswellengenerator</b> | <b>3</b> |
| 3.1 Sinustabelle . . . . .    | 3        |
| 3.2 Simulation . . . . .      | 3        |
| <b>4 Operatoren</b>           | <b>4</b> |
| 4.1 Inverter . . . . .        | 4        |
| 4.2 Addierer . . . . .        | 4        |
| 4.3 Multiplizierer . . . . .  | 5        |
| 4.4 Anfügung . . . . .        | 5        |
| 4.5 Überprüfung . . . . .     | 5        |
| <b>Akronyme</b>               | <b>5</b> |

## 1 Ziel

Dieses Labor dient dazu, die binäre Darstellung von Zahlen besser zu verstehen.



## 2 Testschaltung

Die Schaltung, welche in diesem Labor angewandt wird, enthält ein Signalgenerator, welcher aus einem Zähler, der unendlich zählt und als Phase dient, und aus einer Tabelle, die eine Sinuswelle ergibt, besteht.

Dieser Generator wird an verschiedene Operatoren angelegt, deren Verhalten zu analysieren ist.

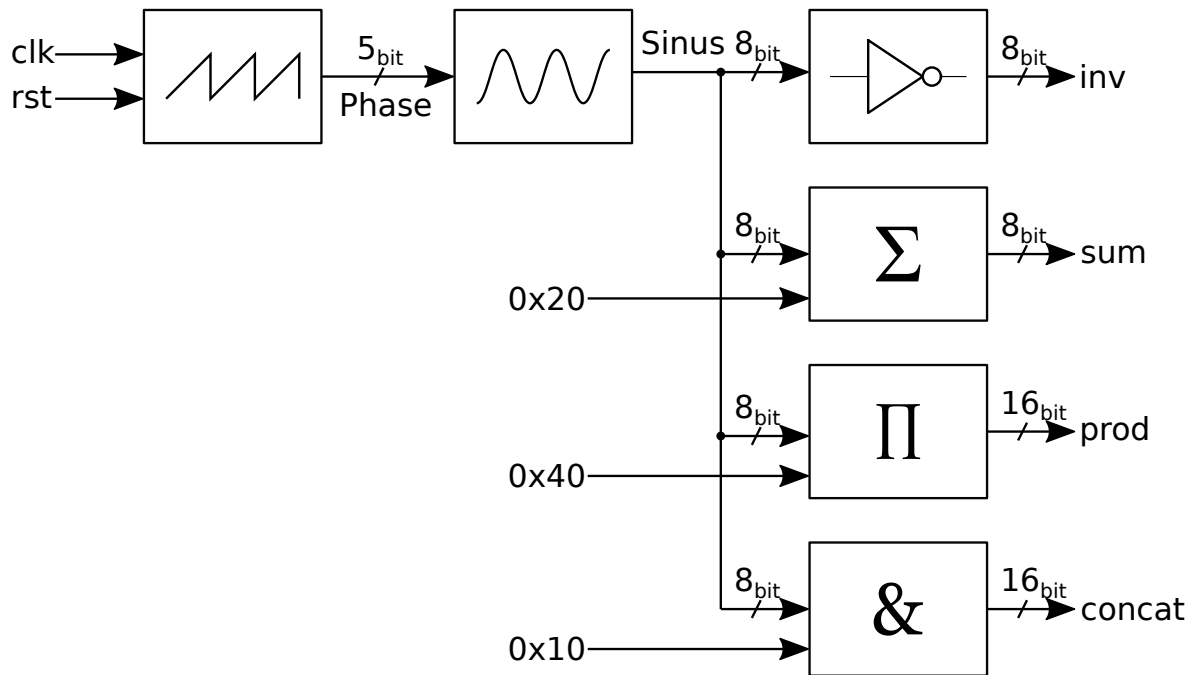
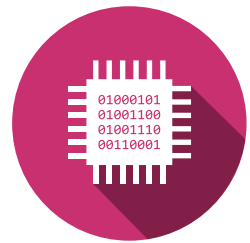


Abbildung 1: Testschaltung zur Operatorenanalyse



### 3 Sinuswellengenerator

#### 3.1 Sinustabelle

Ergänzen Sie den **VHDL**-Code der Tabelle, welche den Sinus der Phase des Zählers erstellt.

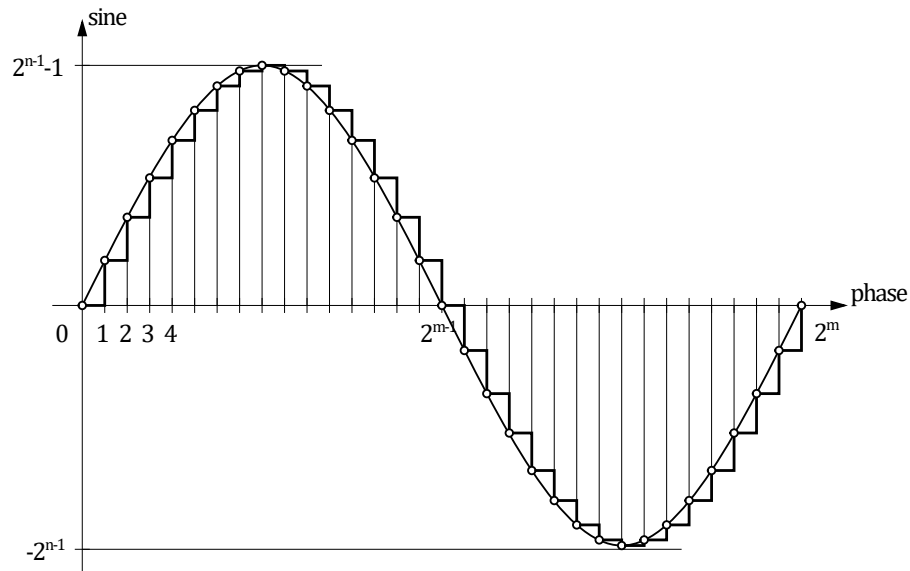


Abbildung 2: Sinustafel

Die Phase ist als eine auf 5 Bits codierte Positivzahl zu betrachten. Sie schwankt also zwischen 0 und 31.

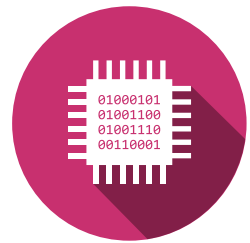
Der Sinus ist als eine auf 8 Bits, im 2er Komplement codierte Positiv- oder Negativzahl zu betrachten. Sie schwankt zwischen -127 und +127.

#### 3.2 Simulation

Führen Sie eine Simulation aus, um das richtige Verhalten des Funktionsgenerators zu überprüfen.



Achtung: Zeigen Sie die Operatorengänge nicht an.



## 4 Operatoren

### 4.1 Inverter

Skizzieren Sie in der folgenden Abbildung das zeitliche Verhalten des Ausgangssignals des Blocks, welcher alle Bits des Signals invertiert. Geben Sie die Werte der charakteristischen Punkte in der Skizze.

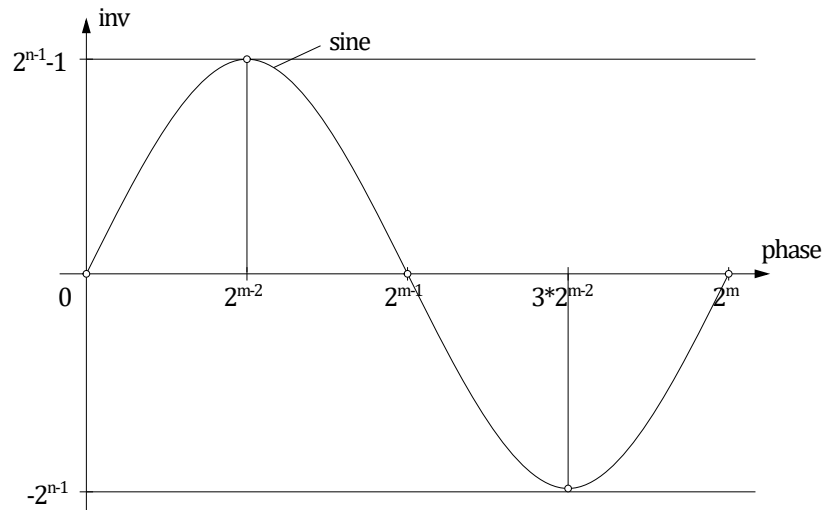


Abbildung 3: Inverseur

### 4.2 Addierer

Skizzieren Sie in der folgenden Abbildung das zeitliche Verhalten des Ausgangssignals des Blocks, welcher dem Signal die Additionskonstante ( $20_h$ ) der Abbildung 1 addiert. Wir nehmen an, dass das Ausgangssignal auf 8 bit gekürzt wird. Geben Sie die Werte der charakteristischen Punkte in der Skizze.

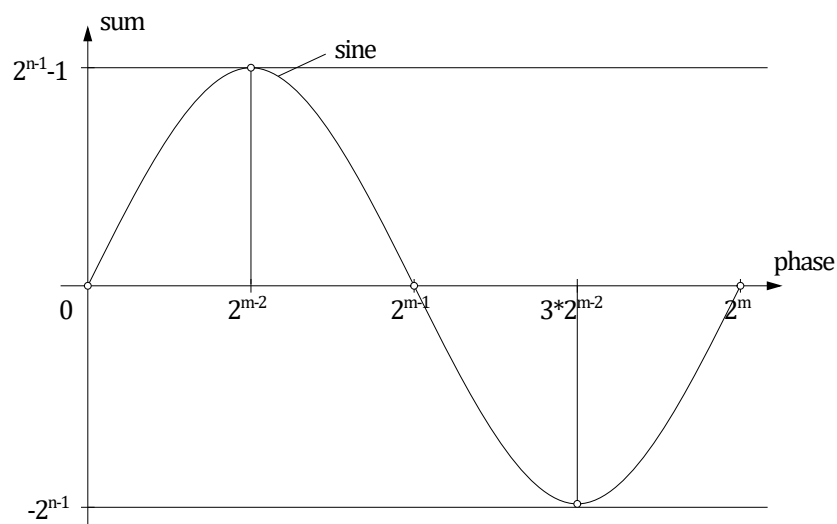
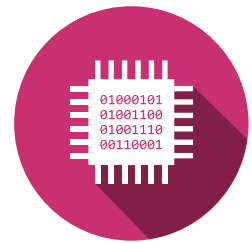


Abbildung 4: Additionneur



### 4.3 Multiplizierer

Skizzieren Sie in der folgenden Abbildung das zeitliche Verhalten des Ausgangssignals des Blocks, welcher das Signal mit der Multiplikationskonstante ( $40_h$ ) der Abbildung 1 multipliziert.

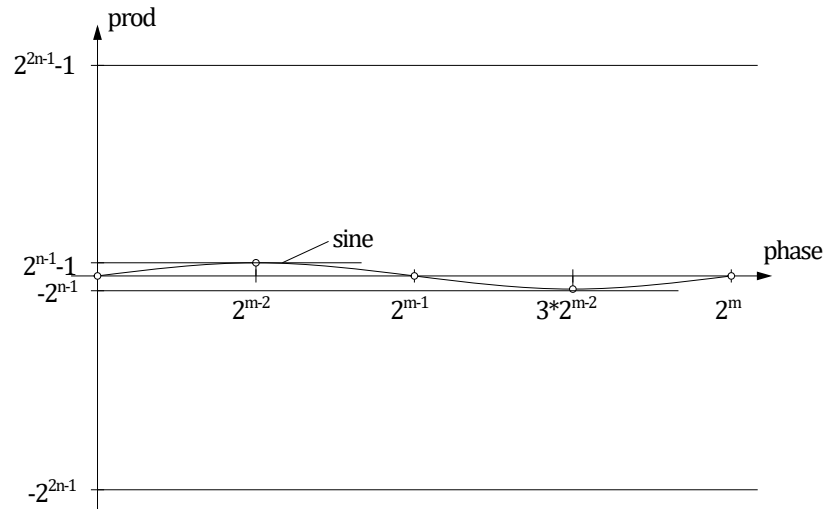


Abbildung 5: Multiplicateur

### 4.4 Anfügung

Skizzieren Sie in der folgenden Abbildung das zeitliche Verhalten des Ausgangssignals des Blocks, welcher am Ende des Signals die Anfügungskonstante ( $10_h$ ) der Abbildung 1 anfügt.

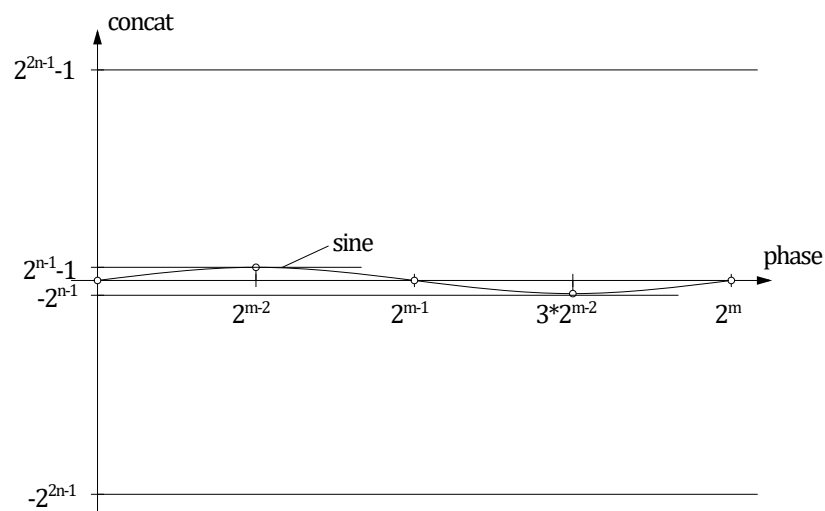
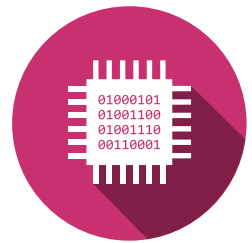


Abbildung 6: Concaténation

### 4.5 Überprüfung

Führen Sie eine Simulation aus, um das richtige Verhalten der analysierten Operatoren zu überprüfen.



## Akronyme

**VHDL** **V**ery **H**igh **S**peed **I**ntegrated **C**ircuit **H**ardware **D**escription **L**anguage. 3