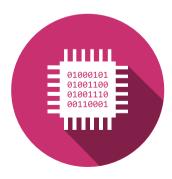




Digitales Design (DiD) Methodologie für die Entwicklung von digitalen Schaltungen MET

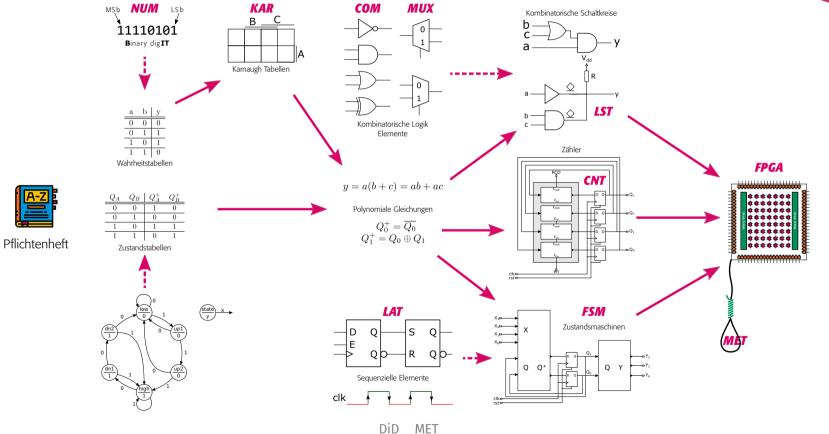
Studiengang Systemtechnik Studiengang Energie und Umwelttechnik Studiengang Informatik und Kommunikationssysteme

Silvan Zahno <u>silvan.zahno@hevs.ch</u> Christophe Bianchi <u>christophe.bianchi@hevs.ch</u> François Corthay <u>francois.corthay@hevs.ch</u>



Aktueller Inhalt des Themas im Kurs





ZaS

Inhalt

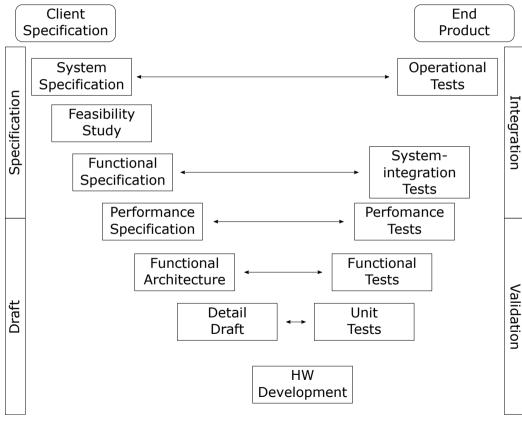


- Entwicklungsmodell
 - V-Diagramm
- Spezifikationsphase
 - Pflichtenheft
- Entwurfsphase
 - Zerlegung nach Funktionen
 - Regeln
- Verifikations- und Validationsphase
- Integrationsphase

Entwicklungsmodell

V-Diagramm





Spezifikationsphase

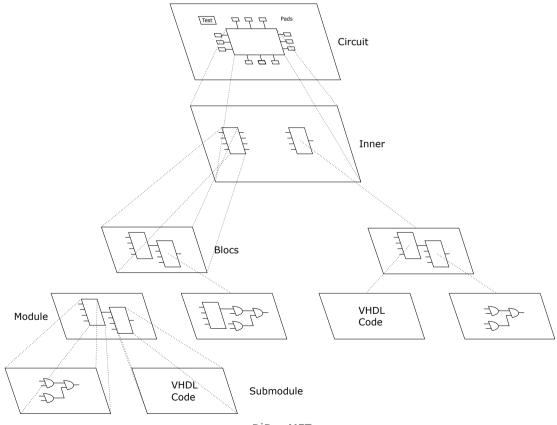
Dokumente

- Pflichtenheft
- Spezifikationsdokumente
 - Allgemeine Spezifikationen
 - Funktionale Spezifikationen
 - Leistungsspezifiktationen



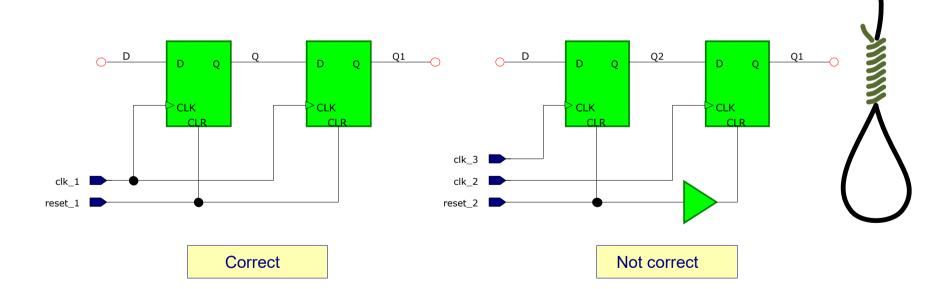
Zerlegung nach Funktionen





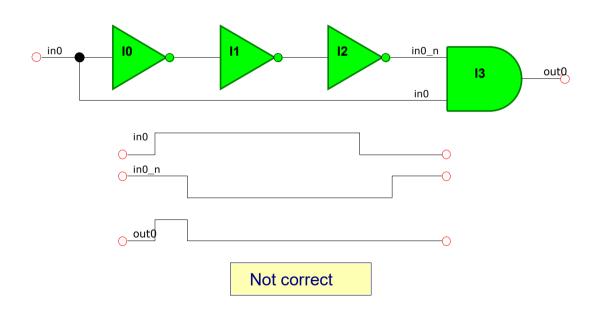
Regeln

1. Regel – Jede sequentielle Logik benutzt das gleiche clock und reset signal



Regeln

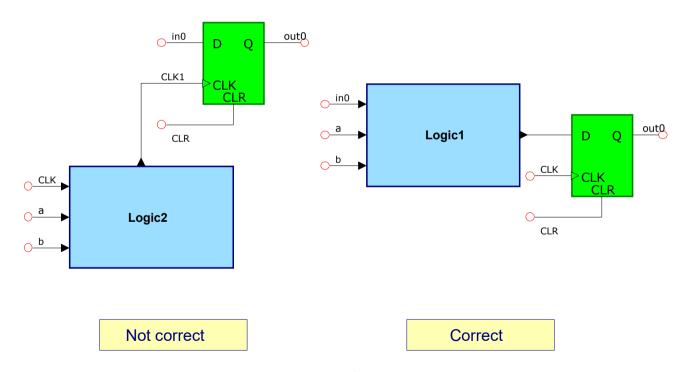
2. Regel – Niemals logische Elemente verwendet, um eine Verzögerung zu erzeugen





Regeln

3. Regel – Don't touch the clock

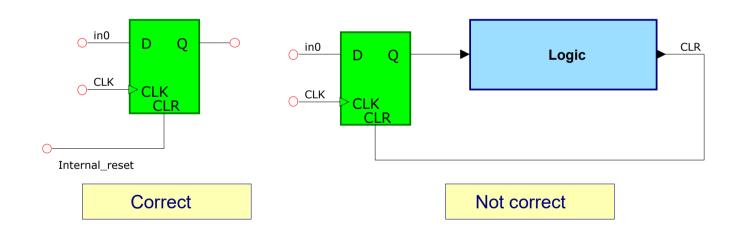




9

Regeln

4. Regel – Synchrone Signale sollten nicht an asynchrone Eingägne angeschlossen werden





Regeln

5. Regel – Initialisierungs Zustand

Jede sequentielle Maschine muss in der Lage sein, nach dem Einschalten oder zu Beginn einer Simulation in einen bekannten Zustand versetzt zu werden. Zu diesem Zweck ist es notwendig, die asynchronen Set- und Reset-Eingänge der Flip-Flops zu verwenden. Grundsätzlich dürfen diese Eingänge nicht zur Erfüllung der Funktionalität der Schaltung, sondern nur zur Gewährleistung der Testbarkeit verwendet werden.

Regeln

6. Regel – Clock Frequenz

Die minimale Taktperiode einer Synchronmaschine ist wie folgt zu berechnen:

$$T_{min} \ge TQD_{max} + Tskew_{max} - Tsetup_{max}$$

 TQD_{max} - stellt die Laufzeit der längsten kombinatorischen Kette zwischen einem sequentiellen Geräteausgang Q und einem sequentiellen Eingang D dar, die auf die gleiche Taktflanke reagiert

Tskew - stellt die Verteilung auf dem zu den Takteingängen sequentieller Bauelemente führenden Taktpfad dar

Tsetup – ist die minimale setup Zeit für sequentielle Geräte.

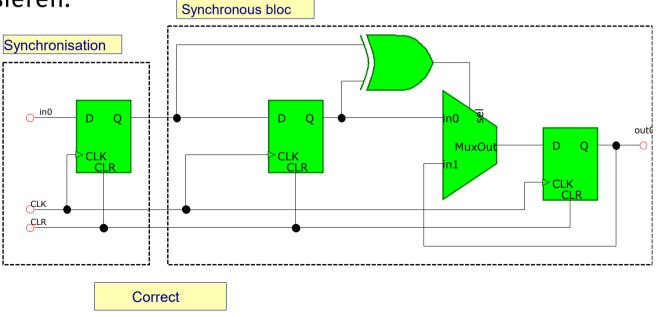


Regeln

7. Regel – Synchronisation

Es ist notwendig die Eingangssignale eines Systems mit D-DlipFlops zu

synchronisieren.



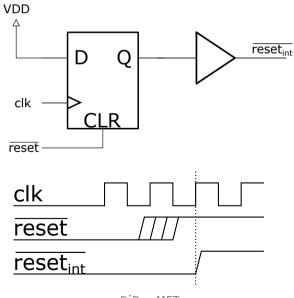


Regeln

8. Regel - Reset

Das Verschwinden des internen Initialisierungssignals einer Schaltung muss synchron mit der Uhr erfolgen. Sein Erscheinungsbild muss

asynchron sein.



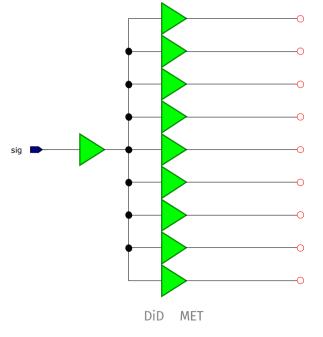


Regeln

9. Regel - Fan-out

Überlasten Sie die Ausgänge der Logikgatter nicht, schätzen Sie den Fanout des Gatters, das sie erzeugt, und den Fan-in der Gatter, die dieses

Gatter steuern muss.





Verifikationsphase

Techniken



Bei kleinen Projekten besteht das Minimum darin, eine Verifizierung vorzusehen:

- Simulationen der VHDL oder entwickelte schematische Funktionen
- Überprüfung der Konstruktionsdokumentation durch kompetente Audits
- Querlesen des VHDL-Codes durch die verschiedenen Mitglieder des Teams

Für die Validierung sollten Sie mindestens folgende Angaben machen:

- Da die Simulationen in ihrer Gesamtheit durchgeführt werden, ist es notwendig, aus den Spezifikationen eine Konformitätsmatrix zu erstellen, die alle zu überprüfenden Punkte enthält.
- Eine gemeinsame Überprüfung der Spezifikationsdokumentation durch kompetente Auditoren und durch Vertreter jeder Kundenkategorie (zukünftige Benutzer, Entscheidungsträger usw.).
- Interne (Teaminterne) und externe (Kunden) Validierungstests

Verifikationsphase

Validationstabelle



Numéro d'identification de l'exigence fonctionnel	Description	Testbench & Simulation Setup	Instant de validation	Méthode de validation	Etat de validation	Annexes page
(1)	(2)	(3)	(4)	(5)	(6)	(7)

Integrationsphase



Resultate

- Detaillierter Entwurfsbericht
- Benutzerhandbuch

Probleme

- Terminprobleme (Voraussicht ist geboten)
- Verwaltung der Arbeit in einer Gruppe (5-6 Personen sollten das maximum sein).
- Arbeitsmethoden wir SCRUM können dabei helfen.

WHY ARE THERE MIRRORS ABOVE BEDS

WHY DO I SAY WHY IS SEA SALT BETTER IN

WHY IS THERE NOT A POKEMON MMO WHY IS THERE LAUGHING IN TV SHOWS ARE THERE DOORS ON THE FREEWAY ARE THERE SO MANY SVCHOST-EXE RUNNING AREN'T ANY COUNTRIES IN ANTARCTICA WHY ARE THERE SCARY SOUNDS IN MINECRAFT WHY IS THERE KICKING IN MY STOMACH WHY ARE THERE TWO SLASHES AFTER HTTP WHY ARE THERE CELEBRITIES WHY DO SNAKES EXIST WHY DO OYSTERS HAVE PEARLS WHY ARE DUCKS CALLED DUCKS WHY DO THEY CALL IT THE CLAP WHY ARE KYLE AND CARTMAN FRIENDS WHY IS THERE AN ARROW ON AANG'S HEAD X WHY ARE TEXT MESSAGES BLUE WHY ARE THERE MUSTACHES ON CLOTHES WHY WUBA LUBBA DUB DUB MEANING IS THERE A WHALE AND A POT FALLING WHY ARE THERE SO MANY BIRDS IN SWISS WHY IS THERE SO LITTLE RAIN IN WALLIS WHY IS WALLIS WEATHER FORECAST ALWAYS WRONG

WHY HAVE DINOSAURS NO FUR WHY ARE SWISS AFRAID RWHY IS THERE A LINE THROUGH HI

WHY AREN'T ECONOMISTS RICH WHY DO AMERICANS CALL IT SOCCER & WHY ARE MY EARS RINGING WHY IS 42 THE ANSWER TO EVERYTHING WHY CAN'T NOBODY ELSE LIFT THORS HAMMER S **SWHY IS THERE ICE IN SPACE** WHY IS MARVIN ALWAYS SO SAD

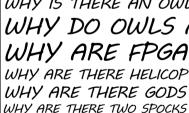
WHY IS SPACE BLACK WHY IS OUTER SPACE SO COLD WHY ARE THERE PYRAMIDS ON THE MOON WHY IS NASA SHUTTING DOWN A

THERE MALE AND FEMALE BIKES WHY ARE THERE BRIDESMAIDS WHY DO DYING PEOPLE REACH UP HOW FAST IS LIGHTSPEED WHY ARE OLD KLINGONS DIFFERENT E WHY ARE THERE TINY SPIDERS IN MY HOUSE ' DO SPIDERS COME INSIDE

WHY ARE THERE HUGE SPIDERS IN MY HOUSE $_{
m H}$ WHY ARE THERE LOTS OF SPIDERS IN MY HOUSE $\overline{oldsymbol{\lambda}}$ 为WHY ARE THERE SO MANY SPIDERS IN MY ROOM

SPYDER BITES ITCH

WHY ARE THERE **GHOSTS**



WHY IS THERE AN OWL IN MY BACKYARD WHY IS THERE AN OWL OUTSIDE MY WINDOW WHY IS THERE AN OWL ON THE DOLLAR BILL WHY DO OWLS ATTACK PEOPLE WHY ARE FPGA'S EVERYWHERE WHY ARE THERE HELICOPTERS CIRCLING MY HOUSE WHY ARE MY BOOBS ITCHY WHY ARE THERE GODS

'IS https://xkcd·com/1256/ THEY SAY T-MINUS WHY ARE THERE OBELISKS MWHY ARE WRESTLERS ALWAYS WET

TO WHY IS THERE A RED LINE THROUGH HTTPS ON TWITTER

WHY AREN'T MY ARMS GROWING WHY ARE THERE SO MANY CROWS IN ROCHESTER &

WHY IS TO BE OR NOT TO BE FUNNY

WHY DO CHILDREN GET CANCER 🗢

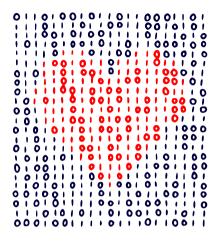
WHY IS POSEIDON ANGRY WITH ODYSSEUS

WHY DO Q TIPS FEEL GOOD

WHY AREN'T

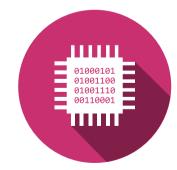
THERE GUNS IN

WHY ARE THERE SQUIRRELS









Silvan Zahno <u>silvan.zahno@hevs.ch</u> Christophe Bianchi <u>christophe.bianchi@hevs.ch</u> François Corthay <u>francois.corthay@hevs.ch</u>