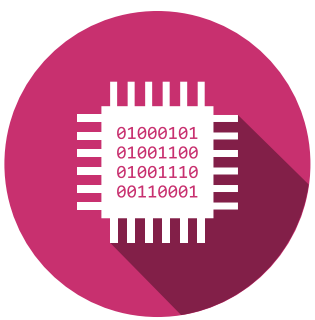
Hes·so VALAIS WALLIS
Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften

Conception numérique (DiD)

Méthodologie de conceptoin de circuitrs numériques

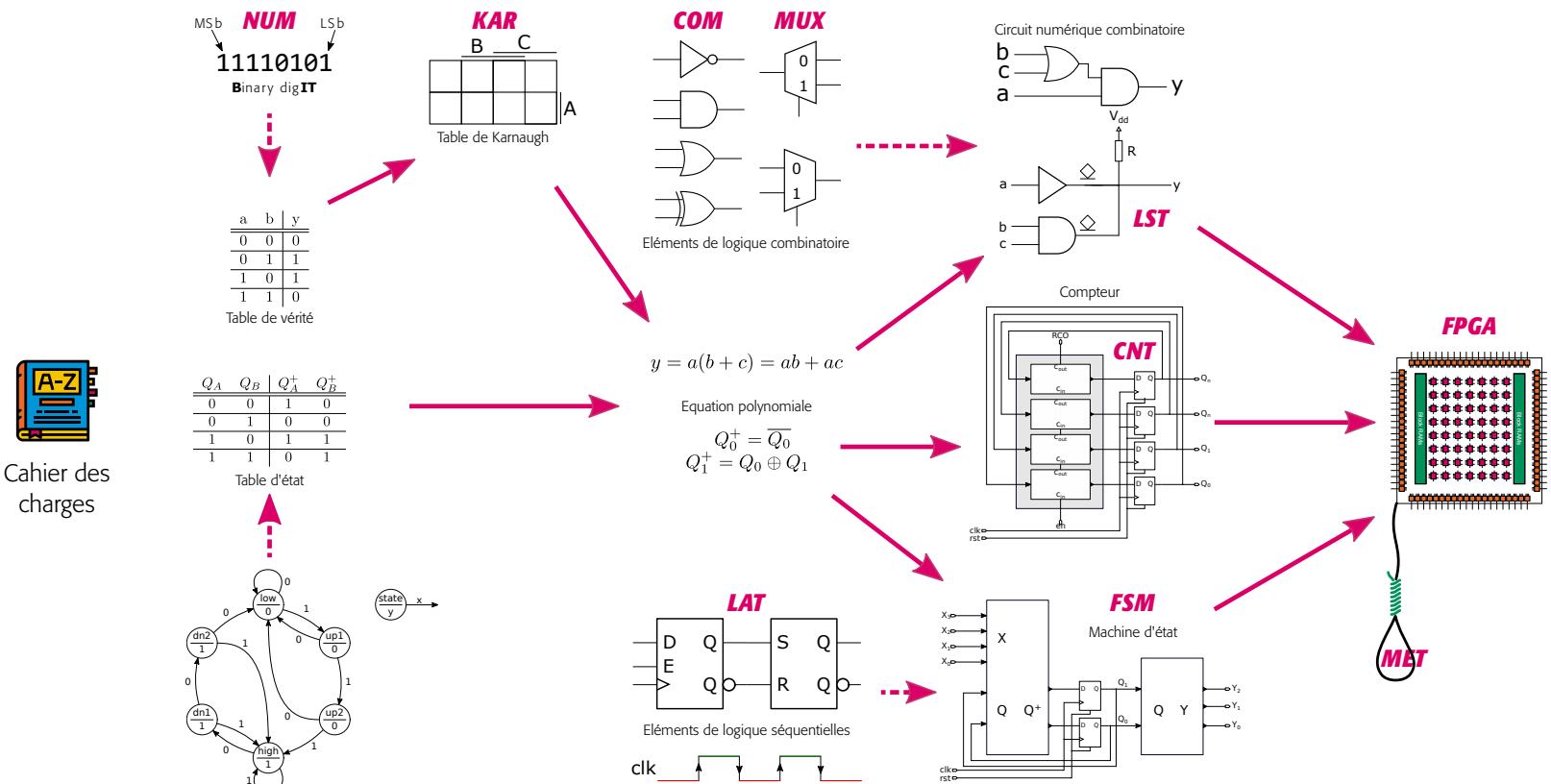
MET

Filière Systèmes industriels
Filière Energie et techniques environmentales
Filière Informatique et systèmes de communications

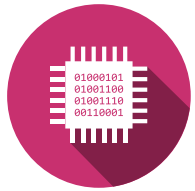


Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch

Situation du thème dans le cours



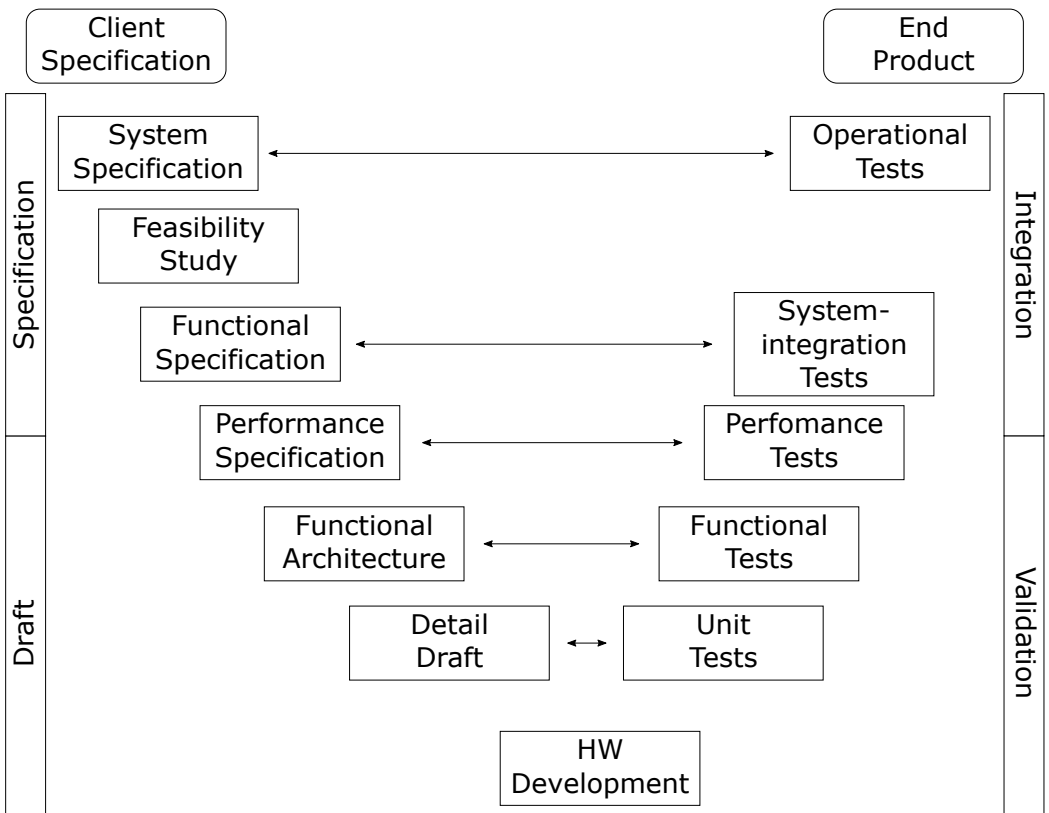
Contenu



- Modèle de développement
  - Diagramme en V
- Phase de spécification
  - Cahier de charges
- Phase de conception
  - Décomposition
  - Règles
- Phase de vérification et validation
- Phase d’intégration

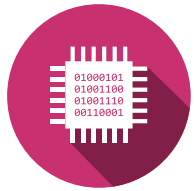
Modèle de développement

Diagramme de V



Phase de Spécification

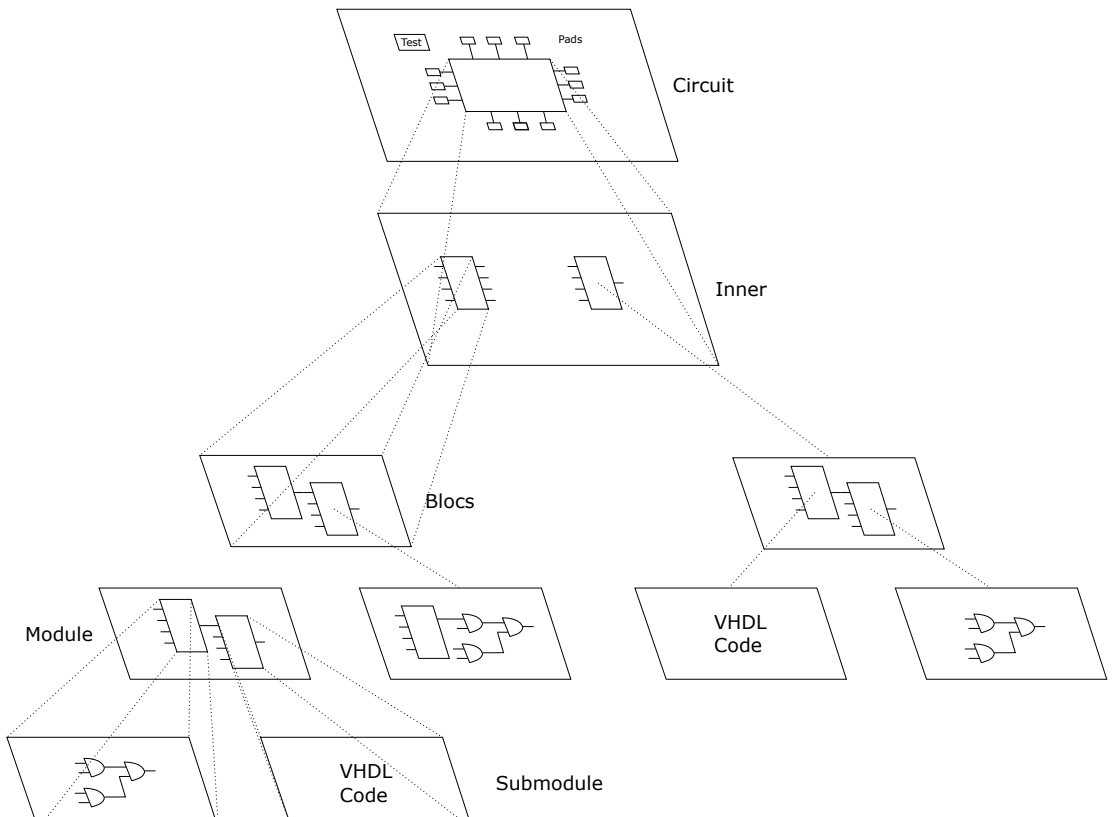
Documents



- Cahier de charges
- Document de spécification
  - Spécification générales
  - Spécification fonctionnelles
  - Spécification de performance

Phase de Conception

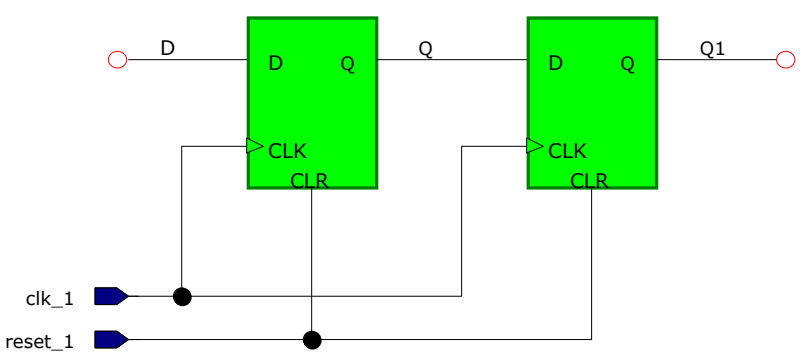
Décomposition



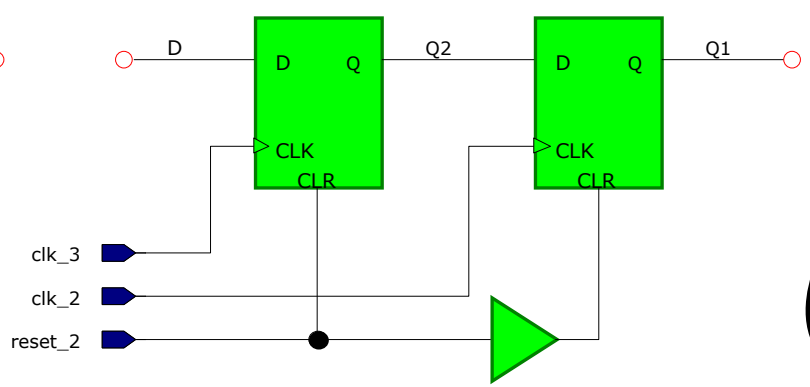
Phase de Conception

Règles

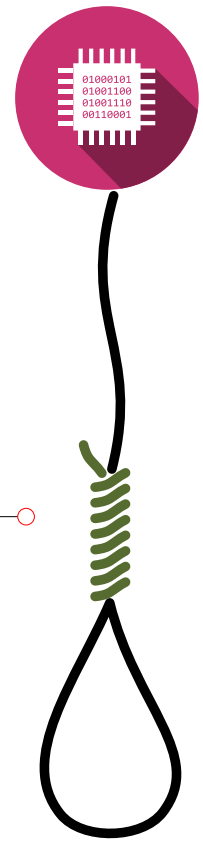
1. Règle – Tout les logique séquentielle utilise le même clock et reset



Correct



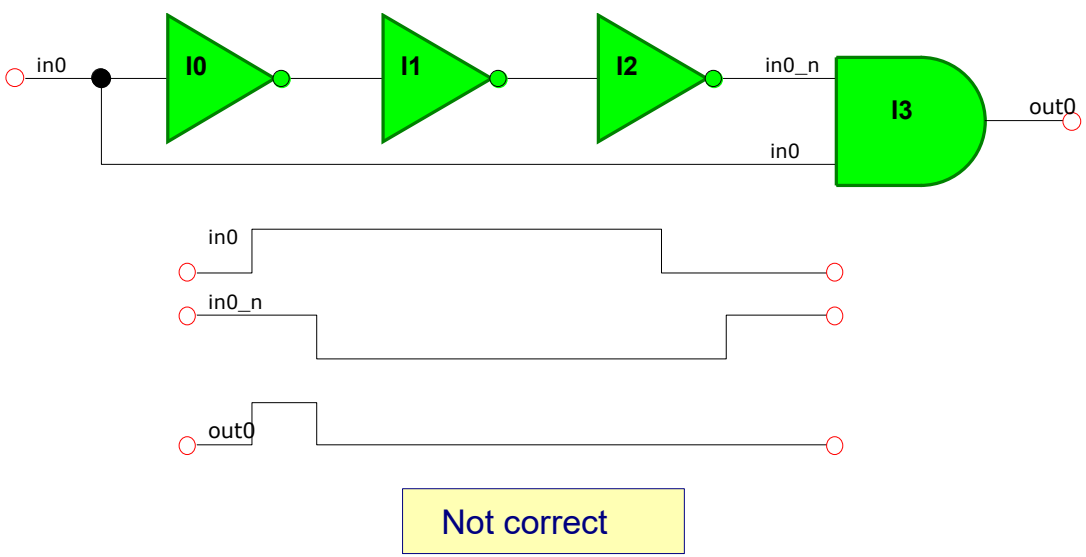
Not correct

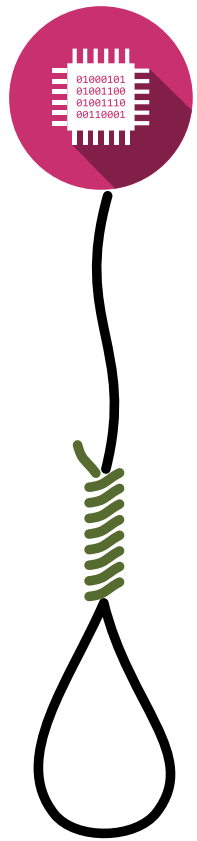


Phase de Conception

Règles

2. Règle – Jamais utilisé des éléments logiques pour crée un délai

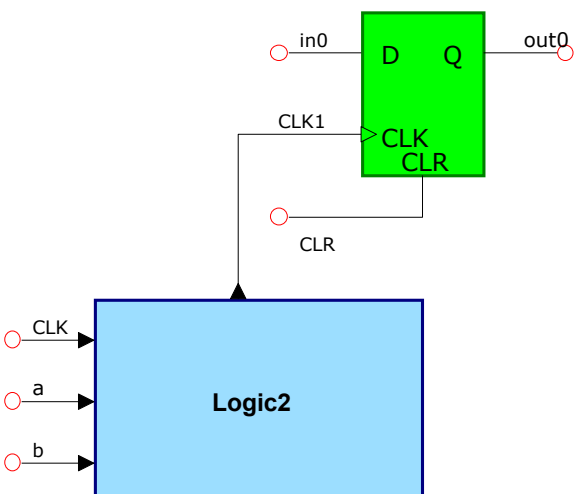




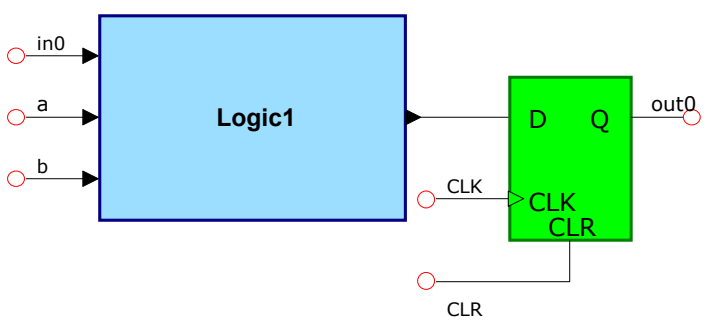
Phase de Conception

Règles

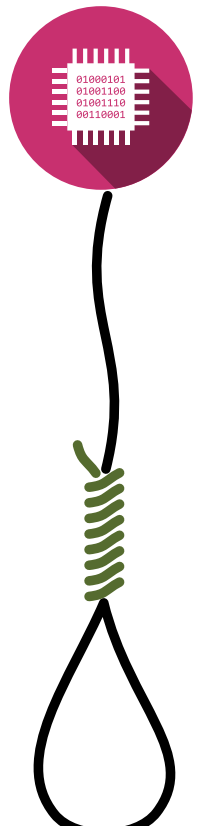
3. Règle – Don’t touch the clock



Not correct



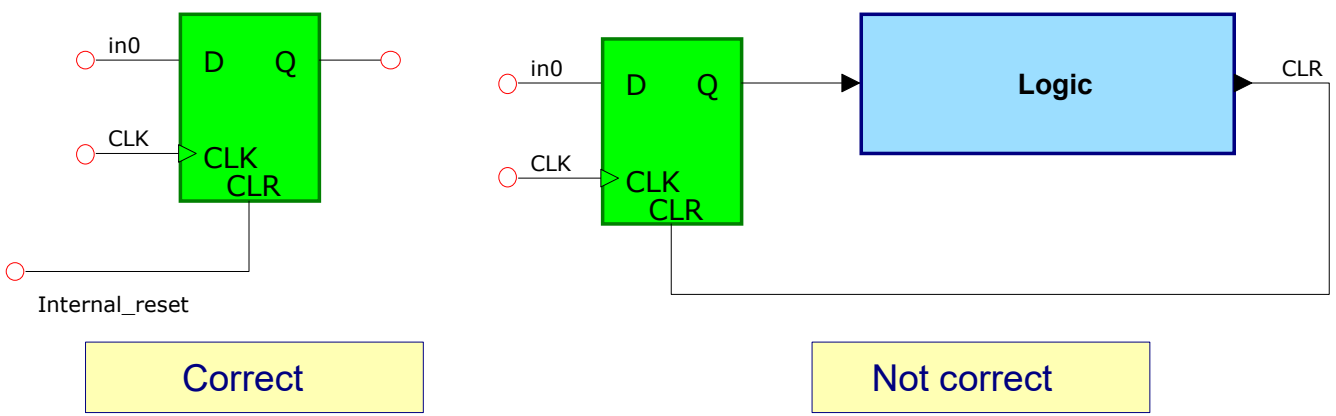
Correct

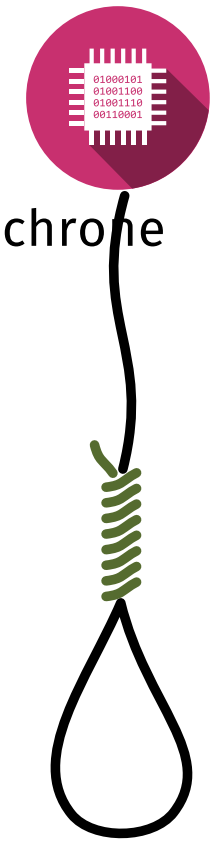


Phase de Conception

Règles

4. Règle – Signal synchrone devrait pas être connecté a des entrée asynchrone



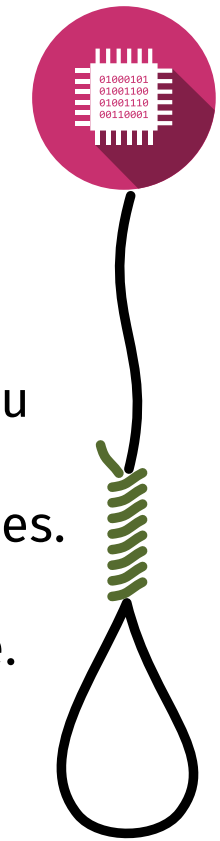


Phase de Conception

Règles

5. Règle – états initiale

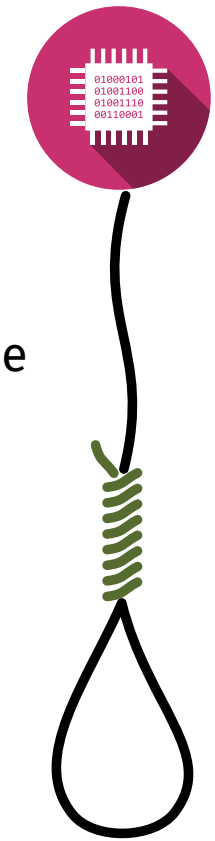
Toute machine séquentielle doit pouvoir être placée dans un état connu après la mise sous tension ou au d'début d'une simulation. Pour cela il est nécessaire d'utiliser les entrées asynchrone Set et Reset des bascules. Ces entrées ne doivent en principe pas être utilisés pour satisfaire à la fonctionnalité du circuit mais uniquement pour garantir leur testabilité.



Phase de Conception

Règles

6. Règle – Clock fréquence



La période minimale de l'horloge d'une machine synchrone devra être calculée comme suit:

$$T_{min} \geq TQD_{max} + Tskew_{max} - Tsetup_{max}$$

TQD_{max} - représente le temps de propagation de la plus longue chaîne combinatoire entre une sortie Q de dispositif séquentiel et une entrée D de dispositif séquentiel sensible au même flanc de l même horloge

$Tskew$ - représente la dispersion sur le chemins d'horloge aboutissant aux entrées clock des dispositifs séquentiels

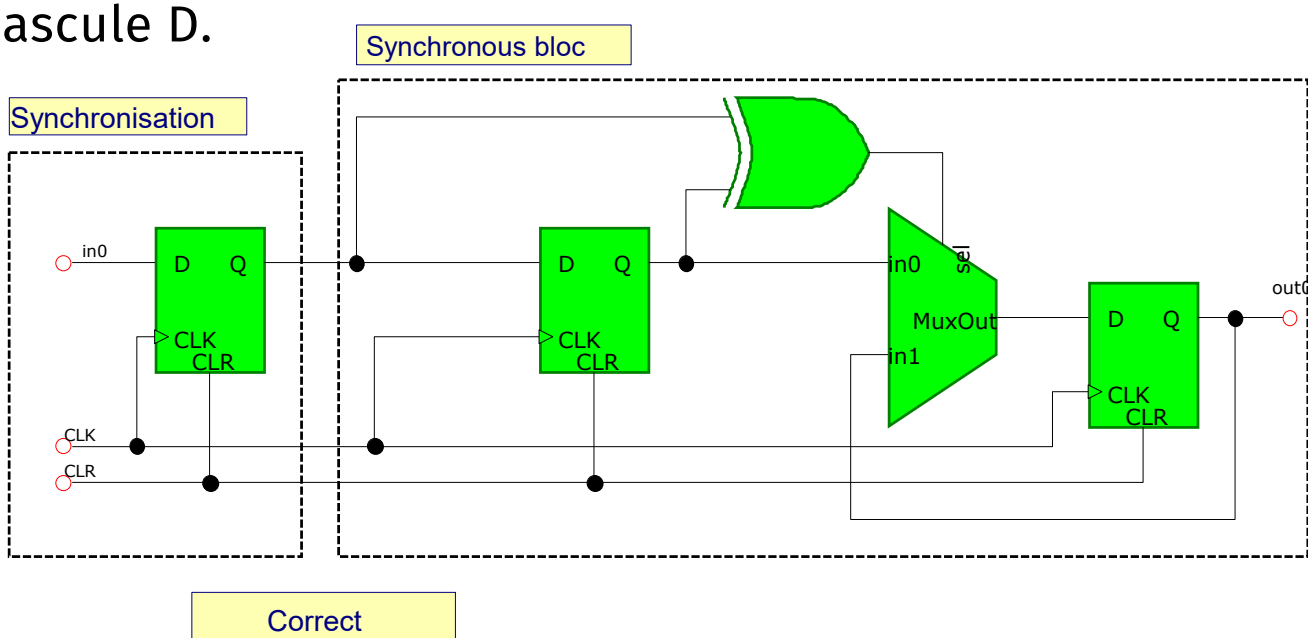
$Tsetup$ – est le temps de setup min des dispositifs séquentiels

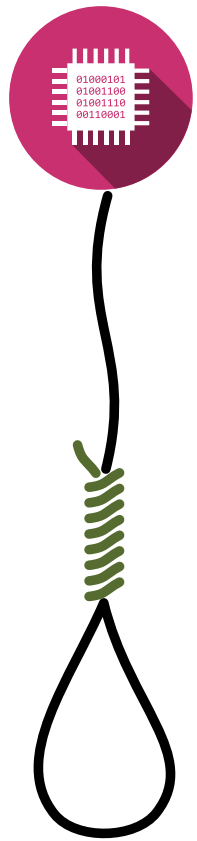
Phase de Conception

Règles

7. Règle – Synchronisation

Il est nécessaire de synchroniser les signaux d'entrée d'un système à l'aide de bascule D.



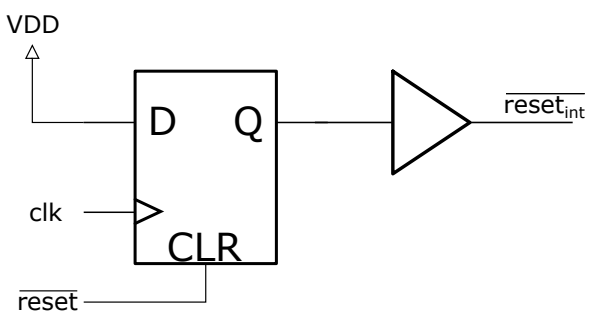


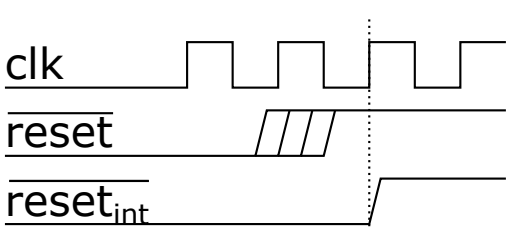
Phase de Conception

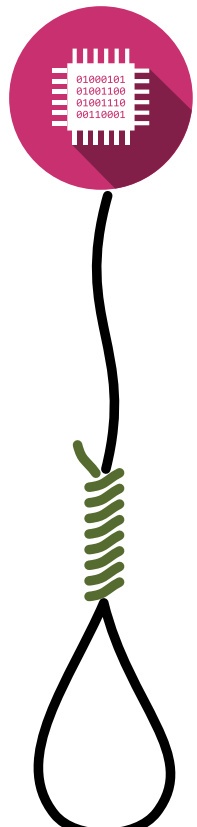
Règles

8. Règle – Reset

La disparition du signal d'initialisation interne d'un circuit doit être synchrone de l'horloge. Son apparition doit être asynchrone





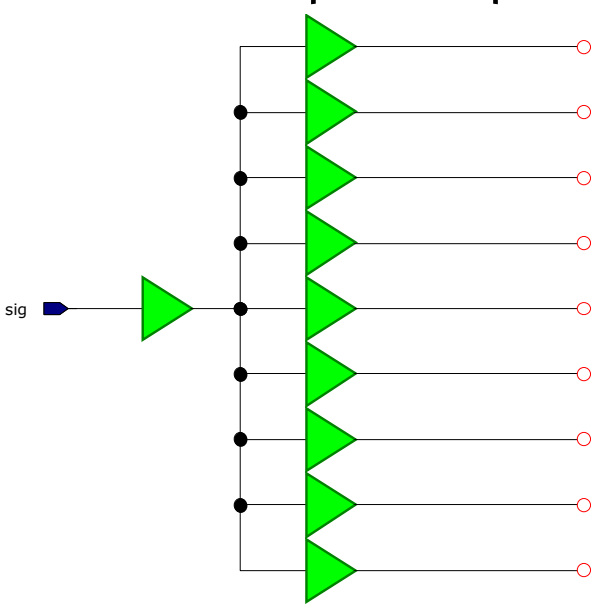


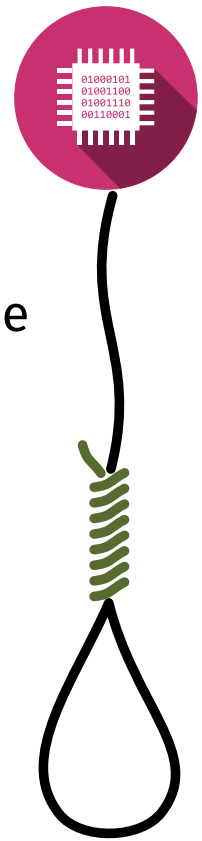
Phase de Conception

Règles

9. Règle – Fan-out

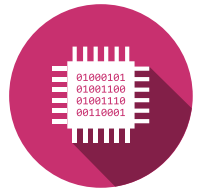
Ne pas trop charger les sorties des portes logiques, estimer le fan-out de la porte qui les génère et le fan-in des portes que celle-ci doit piloter





Phase de Vérification

Techniques



Pour des project de taille modeste le minimum est de prévoir pour la **vérification**:

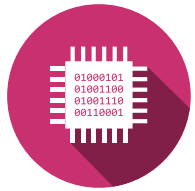
- Les simulations des fonctions VHDL ou schématique développées
- La revue de la documentation de conception par des audits compétents
- La relecture croisée du code VHDL par les différentes membres de l'equipe

Pour la **validation** prévoir au minimum:

- Les simulation effectuées dans son entier, il est nécessaire d'élaborer à partir des spécification une matrice de conformité comportant l'ensemble des points à contrôler.
- Une revue conjointe de la documentation du cahier des charges par des auditeurs compétents et par des représentants de chaque catégorie de clients (futurs utilisateurs, décideurs, etc.).
- Tests de validation internes (internes à l'équipe) et externes (validation client)

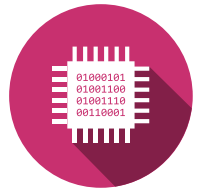
Phase de Vérification

Table de validation



Numéro d'identification de l'exigence fonctionnel	Description	Testbench & Simulation Setup	Instant de validation	Méthode de validation	Etat de validation	Annexes page
(1)	(2)	(3)	(4)	(5)	(6)	(7)

Phase d’intégration



- Résultats
  - Rapport de conception détaillé
  - Guide de l'utilisateur

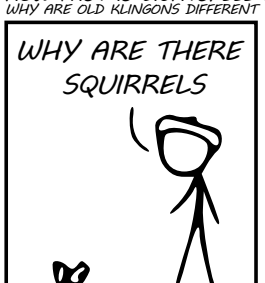
- Problèmes
  - Problèmes de délais (il faut être prévoyant)
  - Gestion du travail en groupe (5-6 personnes devraient être un maximum).

  - Les méthodes de travail telles que SCRUM peuvent aider.

QUESTIONS

CAN BE ASKED BY ANYONE ANYTIME

WHY ARE THERE MIRRORS ABOVE BEDS
WHY DO I SAY UH
WHY IS SEA SALT BETTER
WHY ARE THERE TREES IN THE MIDDLE OF FIELDS
WHY IS THERE NOT A POKEMON MMO
WHY IS THERE LAUGHING IN TV SHOWS
WHY ARE THERE DOORS ON THE FREEWAY
WHY ARE THERE SO MANY SVCHOST·EXE RUNNING
WHY AREN'T ANY COUNTRIES IN ANTARCTICA
WHY ARE THERE SCARY SOUNDS IN MINECRAFT
WHY IS THERE KICKING IN MY STOMACH
WHY ARE THERE TWO SLASHES AFTER HTTP
WHY ARE THERE CELEBRITIES
WHY DO SNAKES EXIST
WHY DO OYSTERS HAVE PEARLS
WHY ARE DUCKS CALLED DUCKS
WHY DO THEY CALL IT THE CLAP
WHY ARE KYLE AND CARTMAN FRIENDS
WHY IS THERE AN ARROW ON AANG'S HEAD
WHY ARE TEXT MESSAGES BLUE
WHY ARE THERE MUSTACHES ON CLOTHES
WHY WUBA LUBBA DUB DUB MEANING
WHY IS THERE A WHALE AND A POT FALLING
WHY ARE THERE SO MANY BIRDS IN SWISS
WHY IS THERE SO LITTLE RAIN IN WALLIS
WHY IS WALLIS WEATHER FORECAST ALWAYS WRONG
WHY ARE THERE MALE AND FEMALE BIKES
WHY ARE THERE BRIDESMAIDS
WHY DO DYING PEOPLE REACH UP
HOW FAST IS LIGHTSPEED
WHY ARE OLD KLINGONS DIFFERENT



WHY ARE THERE DINOSAUR GHOSTS
WHY IS THERE HELL IF

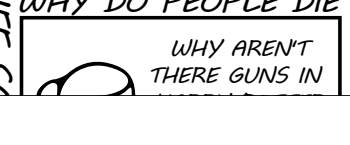
WHY DO IGUANAS DIE
WHY IS THERE CAFFEINE IN MY SHAMPOO
WHY HAVE DINOSAURS NO FUR
WHY DO TWINS HAVE DIFFERENT FINGERPRINTS
WHY ARE SWISS AFRAID OF DRAGONS
WHY AREN'T ECONOMISTS RICH
WHY DO AMERICANS CALL IT SOCCER
WHY ARE MY EARS RINGING
WHY IS 42 THE ANSWER TO EVERYTHING
WHY CAN'T NOBODY ELSE LIFT THORS HAMMER
WHY IS MARVIN ALWAYS SO SAD
WHY ARE THERE ANTS IN MY LAPTOP
WHY IS EARTH TILTED
WHY IS SPACE BLACK
WHY IS OUTER SPACE SO COLD
WHY ARE THERE PYRAMIDS ON THE MOON
WHY IS NASA SHUTTING DOWN
WHY ARE THERE TINY SPIDERS IN MY HOUSE
WHY DO SPIDERS COME INSIDE
WHY ARE THERE HUGE SPIDERS IN MY HOUSE
WHY ARE THERE LOTS OF SPIDERS IN MY HOUSE
WHY ARE THERE SPIDERS IN MY ROOM
WHY ARE THERE SO MANY SPIDERS IN MY ROOM
WHY DO SPYDER BITES ITCH
WHY IS DYING SO SCARY
WHY IS THERE NO GPS IN LAPTOPS
WHY DO KNEES CLICK

WHY ARE THERE FEMALE

WHY IS HTTPS CROSSED OUT IN RED
WHY IS THERE A LINE THROUGH HTTPS
WHY IS THERE A RED LINE THROUGH HTTPS ON TWITTER
WHY IS HTTPS IMPORTANT

WHY IS YKK ON ALL ZIPPERS
WHY ARE THERE WEEKS
WHY DO I FEEL DIZZY
WHY IS THERE A SWARM OF ANTS
WHY IS THERE PILEGRIM
WHY IS THERE LAVA
WHY ARE THERE SO MANY CROWS IN ROCHESTER
WHY IS TO BE OR NOT TO BE FUNNY
WHY DO CHILDREN GET CANCER
WHY IS POSEIDON ANGRY WITH ODYSSEUS
WHY IS THERE ICE IN SPACE
WHY IS THERE AN OWL IN MY BACKYARD
WHY IS THERE AN OWL OUTSIDE MY WINDOW
WHY IS THERE AN OWL ON THE DOLLAR BILL
WHY DO OWLS ATTACK PEOPLE
WHY ARE FPGA's EVERYWHERE
WHY ARE THERE HELICOPTERS CIRCLING MY HOUSE
WHY ARE THERE GODS
WHY ARE THERE TWO SPOCKS
WHAT IS https://xkcd.com/1256/
WHY DO THEY SAY T-MINUS
WHY ARE THERE OBELISKS
WHY ARE WRESTLERS ALWAYS WET

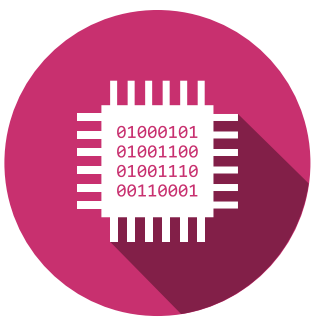
WHY IS LIFE SO
WHY ARE MY BOOBS ITCHY
WHY ARE CIGARETTES LEGAL
WHY ARE THERE DUCKS IN MY POOL
WHY IS JESUS WHITE
WHY IS THERE LIQUID IN MY EAR
WHY DO Q TIPS FEEL GOOD
WHY DO PEOPLE DIE



WHY ARE DOGS AFRAID OF FIR
WHY IS THERE NO KING IN E

Hes·so VALAIS WALLIS

Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften



Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch