

Speicherelemente und Flipflops (LAT)

Vorlesung Digitales Design

Hes·so  **VALAIS
WALLIS**



Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften

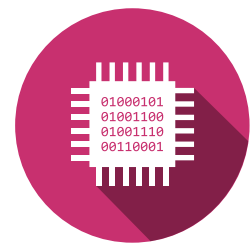
Orientierung: [Energie und Umwelttechnik \(ETE\)](#)

Kurs: Digitales Design (DiD)

Verfasser: [Christophe Bianchi](#), [François Corthay](#), [Pierre Pompili](#), [Silvan Zahno](#)

Datum: 25. August 2022

Version: v2.1



Inhaltsverzeichnis

1	Einführung	2
2	Speicherelemente	3
2.1	Speicherelement (latch)	3
2.2	SR-Speicherelement	3
2.2.1	Charakteristische Gleichung	3
2.2.2	Analyse des SR-Speicherelements: kombinatorisches Modell	4
2.2.3	Analyse des SR-Speicherelements: asynchrones Modell	4
2.3	D-Speicherelement	5
3	FlipFlops	6
3.1	D-Flipflops	6
3.1.1	Charakteristische Gleichung	6
3.1.2	Definition: Taktmoment	7
3.2	E-Flipflop	7
3.3	T-Flipflop	7
3.4	Asynchrone Eingänge	8
	Literatur	10
	Akronyme	10



1 Einführung

Bei sequentiellen Logiksystemen hängen die Ausgänge nicht ausschliesslich von den aktuellen Werten der Eingänge ab, sondern auch von den vorherigen Werten. Aus diesem Grund beinhalten die sequentiellen Logiksysteme Speicherelemente, und die Ausgänge hängen von den Eingängen sowie von den durch das System gespeicherten inneren Werten ab.

Die spezifischen Teile sequentieller Logiksysteme werden in zwei Kategorien unterteilt: in **Speicherelemente** und in **Flipflops**. Die Speicherelemente verfügen über eine Empfindlichkeit bezüglich ihrer Steuersignale, während die Flipflops taktflankenempfindlich sind.



2 Speicherelemente

2.1 Speicherelement (latch)

Das einfachste **latch** (**Speicherelement**) besteht aus 2 Invertern mit einer Rückkopplungsschleife und ist in **Abbildung 1** dargestellt. Die Inverter dienen dazu, das gespeicherte Signal auf unbestimmte Zeit festzuhalten.

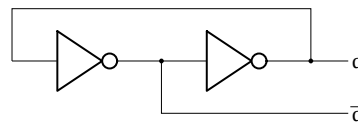


Abbildung 1: **Speicherelement**

Die in diesem **Speicherelement** enthaltenen Daten können zwar gelesen, jedoch nicht verändert werden. Um einen Schreibzugang zu erreichen, kann das **Speicherelement** auf verschiedene Arten verändert werden.



Kommentar Aufgrund der Rückkopplungsschleife verfügen die Speicherelemente normalerweise über zwei zusätzliche Ausgänge.

2.2 SR-Speicherelement

Einem **SR-Latch** (**SR-Speicherelement**) wird eine Funktion UND und eine Funktion ODER hinzugefügt, um das gespeicherte Signal, wie in **Abbildung 2** dargestellt, entweder auf Null (reset) oder auf Eins (set) zu stellen. In **Tabelle 1** ist das Betriebsmodell des **SR-Speicherelements** aufgeführt.

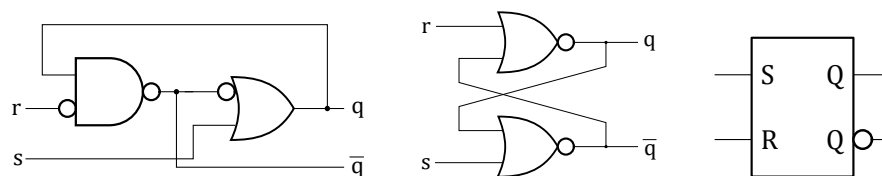


Abbildung 2: **SR-Speicherelement**

s	r	q	q̄	Funktion
0	0	unverändert		Speicherung
0	1	0	1	Nullstellung
1	0	1	0	Stellung auf eins
1	1	0	0	(nicht ratsam)

Tabelle 1: Funktionsweise des **SR-Speicherelements**

2.2.1 Charakteristische Gleichung

Die Boolesche Gleichung beschreibt die Funktionsweise des Speicherelements und wird **characteristic equation** (**charakteristische Gleichung**) genannt. Die **charakteristische Gleichung** für ein **Speicherelement** lautet:

$$q = s + \bar{r}q \quad (1)$$



Das Erscheinen des Signals auf jeder Seite der Gleichung erwähnt die Rückkopplungsschleife.

2.2.2 Analyse des SR-Speicherelements: kombinatorisches Modell

Um die Funktionsweise des Speicherelements zu bestimmen, kann man die Rückkopplungsschleife unterbrechen, eine Wahrheitstabelle des nun kombinatorischen Systems erstellen und lediglich jene Linien der Tabelle beibehalten, bei denen beide Seiten der unterbrochenen Linie identisch sind. Dies ist in Abbildung 3 dargestellt.

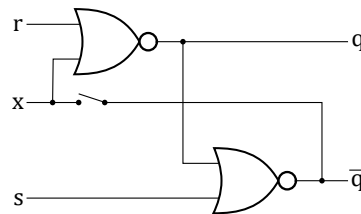


Abbildung 3: Analyse mit dem kombinatorischem Modell

Tabelle 2 zeigt das Ergebnis dieser Analyse. Wenn die ungültigen Linien dieser Tabelle entfernt werden, erhält man Tabelle 1.

s	r	x	q	\bar{q}	gültig
0	0	0	1	0	✓
0	0	1	0	1	✓
0	1	0	0	1	✗
0	1	1	0	1	✓
1	0	0	1	0	✓
1	0	1	0	0	✗
1	1	0	0	0	✓
1	1	1	0	0	✗

Tabelle 2: Funktionsweise des SR-Speicherelements

2.2.3 Analyse des SR-Speicherelements: asynchrones Modell

Eine andere Analysemöglichkeit ist eine zeitliche Simulation des Speicherelements; dies ist in Abbildung 4 dargestellt. Um die Funktionsweise des Schaltkreises während der Umschaltung zu verstehen, ist es von Vorteil, die Umschaltverzögerung an jedem Gatter zu berücksichtigen.

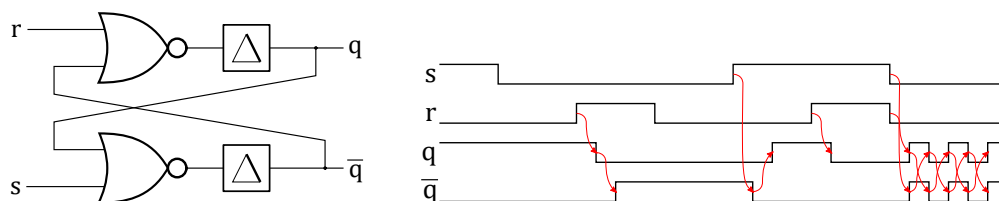
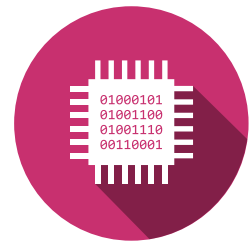


Abbildung 4: Analyse mit dem asynchronen Modell

Aus Abbildung 4 wird ersichtlich, dass das SR-Speicherelement durch den Übergang von $\{s = 1, r = 1\}$ nach $\{s = 0, r = 0\}$ einer Oszillation ausgesetzt werden kann. Um dieses Problem zu umgehen, kann die Bedingung $\{s = 1, r = 1\}$ verboten werden, welche übrigens die Bedingung $q = \bar{q}$ nicht erfüllt.



Die Analyse anhand eines asynchronen Modells ist alles andere als erschöpfend. Sie trägt jedoch dazu bei, Probleme in der Funktionsweise hervorzuheben, die mittels der Analyse mit dem kombinatorischen Modell nicht gefunden werden können. Die in Abbildung 4 dargestellte Analyse zeigt, dass die Gate-Verzögerung von der Art der Schaltung abhängt. Zum Beispiel wird das Umschalten von '1' auf '0' des Ausgangs q mit 1 NOR-Gatter-Verzögerung durchgeführt, während das Umschalten von '0' auf '1' des Ausgangs q mit 2 NOR-Gatter-Verzögerungen durchgeführt wird.

2.3 D-Speicherelement

In einem D-Latch (D-Speicherelement) kann die Rückkopplungsschleife durch einen Multiplexer unterbrochen werden, um einen neuen Wert zu laden. Dies ist in Abbildung 5 dargestellt.

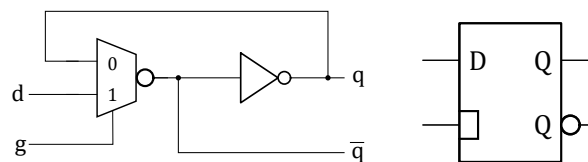


Abbildung 5: D-Speicherelement

Tabelle 3 zeigt das Betriebsmodell des D-Speicherelements.

g	d	q	Funktion
0	0	unverändert	Speicherung
0	1		
1	0	0	Laden des Wertes von d
1	1	1	

Tabelle 3: Funktionsweise des D-Speicherelements

Die charakteristische Gleichung des D-Speicherelements lautet

$$q = \bar{g}q + gd \quad (2)$$



Speicherelemente sind die einfachsten Bauteile der sequentiellen Systeme. Maschinen, die synchron auf einem Bezugstakt arbeiten, beinhalten im Normalfall komplexere Baustücke: **die Flipflops**.



3 FlipFlops

3.1 D-Flipflops

Ein **D-Flipflop** (**D-Flipflop**) wird normalerweise durch die Kaskadierung zweier **D-Speicherelemente** erstellt: Ein **Master**, auf den ein **Slave** folgt. Dies ist in **Abbildung 6** dargestellt.

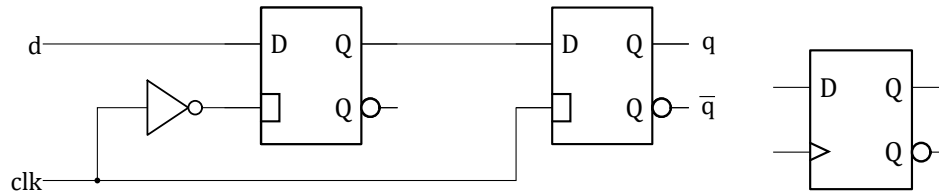


Abbildung 6: **D-Flipflop**

Die Funktionsweise des **D-Flipflops** kann wie folgt erklärt werden:

- Ist das Signal clk bei '0', so befindet sich das erste **Speicherelement**, der **Master**, im Auflademodus: sein Ausgang folgt dem Eingang d . Das zweite **Speicherelement**, der **Slave**, befindet sich im Speichermodus und behält den Wert des vorherigen Ausgangs bei.
- Wenn sich das Signal clk zu '1' begibt, geht das erste **Speicherelement**, der **Master**, in den Speichermodus. Das zweite **Speicherelement**, der **Slave**, kopiert das Ausgangssignal des . In diesem Moment wird also der Flipflopeingang an seinem Ausgang kopiert.
- Wenn das Signal clk bei '1' ist, befindet sich das erste **Speicherelement**, der **Master**, im Speichermodus. Das zweite **Speicherelement**, der **Slave**, kopiert das Ausgangssignal des . Das Flipflop behält also den Eingangswert im Augenblick der steigenden Flanke bei. Wenn das Signal clk zu '0' geht, beginnt das erste **Speicherelement**, der **Master**, dem Eingang d zu folgen. Das zweite **Speicherelement**, der **Slave**, begibt sich in den Speichermodus und behält den vorherigen Ausgangswert bei, der immer noch dem Eingangswert im Moment der steigenden Flanke entspricht.

Zusammenfassend lässt sich sagen, dass sich der Ausgang des **D-Flipflops** erst im Moment einer steigenden Flanke des Taktsignals clk verändert. In diesem Moment lädt das Flipflop den Wert des Eingangs d in den Speicher



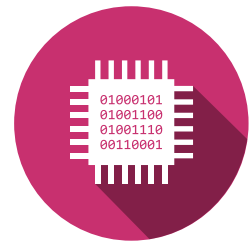
Ein **Speicherelement** wird durch den logischen Pegel seines Steuersignals, ein Flip-flop durch die Flanke seines Taktsignals kontrolliert.



Durch Invertierung des Takteingangs kann ein Flipflop mit seiner sinkenden Flanke kontrolliert werden. In der Fortsetzung dieses Kapitels werden lediglich die durch eine steigende Flanke gesteuerten Flipflops behandelt. Der Leser kann die Beschreibungen für das Benutzen von Flipflops, die durch die sinkende Flanke des Takts gesteuert werden, anpassen.

3.1.1 Charakteristische Gleichung

Durch die **charakteristische Gleichung** eines Flipflops erhält man den Wert seines Ausgangs nach einer Taktflanke in Abhängigkeit der Eingänge und des Ausgangs im Moment der Taktflanke. Die



charakteristische Gleichung für ein D-Flipflop lautet:

$$q^+ = d \quad (3)$$



Die Bezeichnung q^+ zeigt an, dass es sich um den Ausgangswert nach einer Taktflanke handelt.

3.1.2 Definition: Taktmoment

Nach einer steigenden Flanke des Taktsignals schalten die Flipflopausgänge um. Es kann eine gewisse Zeit dauern, bis sie sich stabilisieren, und daher dürfen sie nicht unmittelbar nach der Taktflanke benutzt werden.

Der Taktmoment wird als Moment definiert, in dem das Taktsignal bei '0' ist. In diesem Moment können alle Daten als stabil angesehen werden. Dies ist in Abbildung 7 dargestellt.

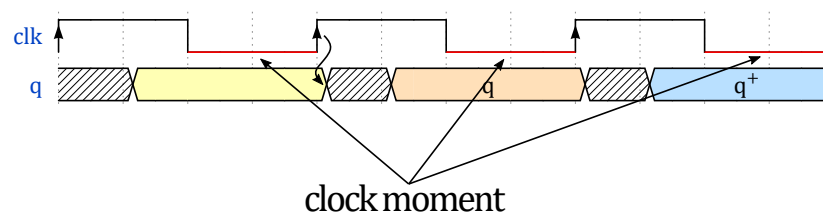


Abbildung 7: Taktmoment

Abbildung 7 zeigt ausserdem die Bezeichnung q^+ , die in der charakteristischen Flipflop-Gleichung verwendet wird.

3.2 E-Flipflop

Ein E-Flipflop (E-Flipflop) kann durch folgende charakteristische Gleichung definiert werden:

$$q^+ = ed + \bar{e}q \quad (4)$$

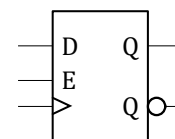


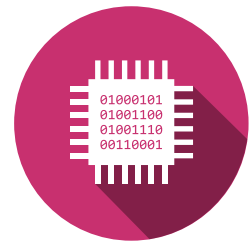
Abbildung 8: E-Flipflop

Die Funktionsweise ist ähnlich der eines D-Flipflops, ausser dass Eingang e bestimmt, ob das Flipflop den Dateneingang abtastet, oder ob es den gespeicherten Wert weiter speichert. Tabelle 4 zeigt das Benutzungsmodell eines E-Flipflops.

3.3 T-Flipflop

Das T-Flipflop (vom Englischen "toggle") beschränkt sich auf Speichern und Invertieren des gespeicherten Wertes. Seine Funktionsweise ist in Tabelle 5 dargestellt.

Die charakteristische Gleichung des T-Flipflops lautet



e	d	q	q^+	Funktion
0	0	0	0	Speicherung
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	0	Abtastung
1	0	1	0	
1	1	0	1	
1	1	1	1	

Tabelle 4: Funktionsweise des E-Flipflops

t	q	q^+	Funktion
0	0	0	Speicherung
0	1	1	
1	0	1	Invertierung
1	1	0	

Tabelle 5: Funktionsweise des T-Flipflops

$$q^+ = t \oplus q \quad (5)$$

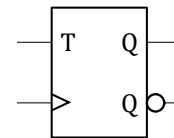


Abbildung 9: T-Flipflop



Das T-Flipflop ist aufgrund dieser Invertiereigenschaft interessant für die Herstellung von Zählern.

3.4 Asynchrone Eingänge

Zusätzlich zu den normalen Eingängen, die bei der Taktflanke zusammengestellt werden, können die Flipflops auch asynchrone Eingänge haben. Durch einen Eingang *clr* (clear) kann der Flipflop Ausgang auf '0' gedrängt werden. Durch einen Eingang *pre* (preset) kann der Flipflop Ausgang auf '1' gedrängt werden. Diese Eingänge haben eine sofortige Einwirkung: Der Ausgang wird auf den neuesten Stand gebracht, ohne die nächste Taktflanke abzuwarten.

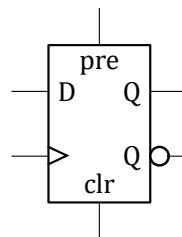


Abbildung 10: mit asynchronen Eingängen



Die asynchronen Eingänge der Flipflops sind mit Vorsicht zu benutzen. Sie dienen in erster Linie dazu, ein System in dem Augenblick, in dem die Schaltkreise einer Spannung ausgesetzt werden, in einen bekannten Zustand zu bringen.



Literatur

- [1] Suhail Almani. *Electronic Logic Systems*. second edition. New-Jersey: Prentice-Hall, 1989.
- [2] Jean Michel Bernard und Jean Hugon. *Pratique Des Circuits Logiques*. quatrième édition. Paris: Eyrolles, 1987.
- [3] Klaus Elektronik Bd Beuth. *Digitaltechnik*. Vogel Buchverlag, 1990. ISBN: 3-8023-1755-6.
- [4] Michael D. Ciletti und M. Morris Mano. *Digital Design*. second edition. New-Jersey: Prentice-Hall, 2007.
- [5] Marcel Gindre und Denis Roux. *Electronique Numérique, Logique Combinatoire et Technologie*. Paris: McGraw-Hill, 1987.
- [6] Martin V. Künzli und Marcel Meli. *Vom Gatter Zu VHDL: Eine Einführung in Die Digitaltechnik*. vdf Hochschulverlag AG, 2007. ISBN: 3 7281 2472 9.
- [7] David Lewin und Douglas Protheroe. *Design of Logic Systems*. second edition. Hong Kong: Springer, 2013.
- [8] Daniel Mange. *Analyse et synthèse des systèmes logiques*. Editions Géorgi. Bd. Traité d'électricité, volume V. St Saphorin: PPUR presses polytechniques, 1995. 362 S. ISBN: 978-2-88074-045-0. Google Books: [5NSdD4GRl3cC](#).
- [9] Clive Maxfield. *Bebop to the Boolean Boogie*. Elsevier, 2009. ISBN: 978-1-85617-507-4. DOI: [10.1016/B978-1-85617-507-4.X0001-0](#). URL: <https://linkinghub.elsevier.com/retrieve/pii/B9781856175074X00010> (besucht am 27. 05. 2021).
- [10] Ronald J. Tocci und André Lebel. *Circuits Numériques: Théorie et Applications*. deuxième édition. Ottawa: Editions Reynald Goulet inc. / Dunod, 1996.
- [11] John F. Wakerly. *Digital Design: Principles And Practices*. 3rd edition. Prentice-Hall, 2008. ISBN: 0-13-082599-9.

Akronyme

bascule Flipflop. [1](#)

bascule D D-Flipflop. [1](#)

bascule E E-Flipflop. [1](#)

bascule T T-Flipflop. [1](#)

charakteristische Gleichung characteristic equation. [3](#), [5–7](#)

D-Flipflop D-Flipflop. [6](#), [7](#)

D-Speicherelement D-Latch. [5](#), [6](#)

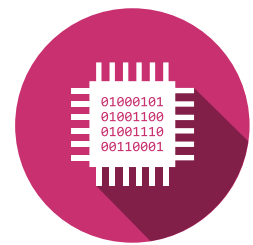
E-Flipflop E-Flipflop. [7](#), [8](#)

Master master. [6](#)

Slave slave. [6](#)

Speicherelement latch. [3](#), [4](#), [6](#)

SR-Speicherelement SR-Latch. [3](#), [4](#)



T-Flipflop T-Flipflop. [7](#), [8](#)

élément de mémoire latch. [1](#)

élément de mémoire SR SR-Latch. [1](#)