



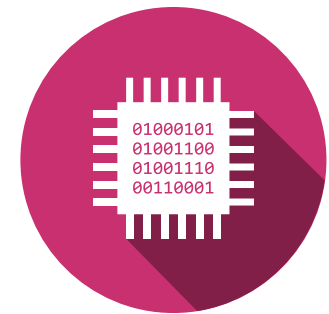
Digitales Design (DiD)

Speicherelemente und FlipFlops

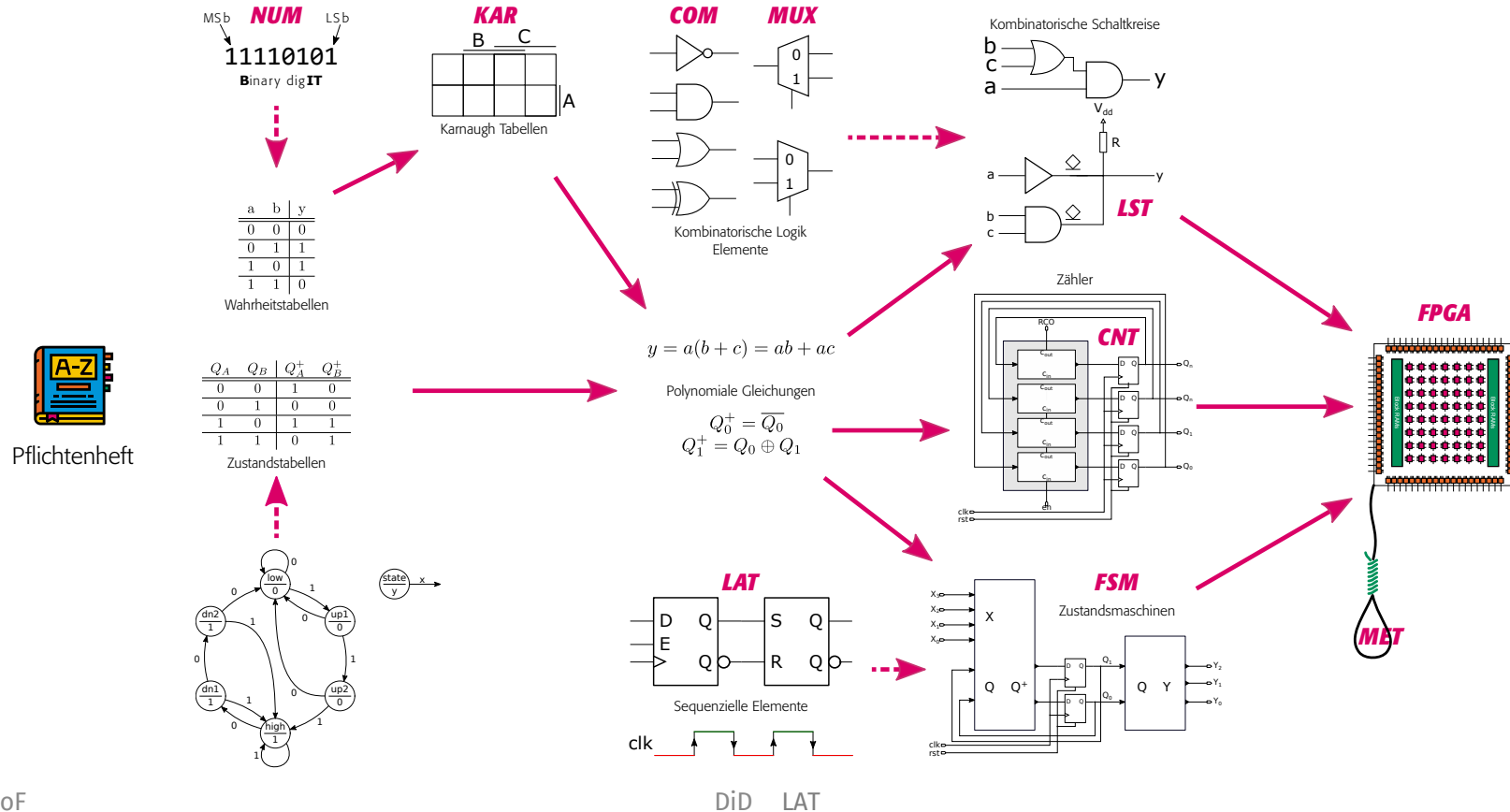
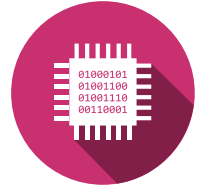
LAT

Studiengang Systemtechnik
Studiengang Energie und Umwelttechnik
Studiengang Informatik und Kommunikationssysteme

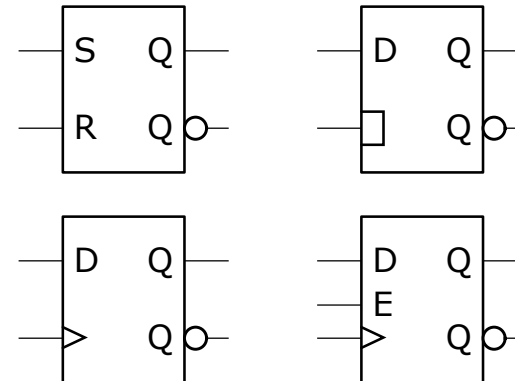
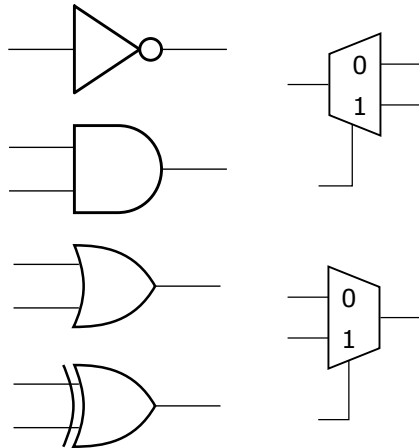
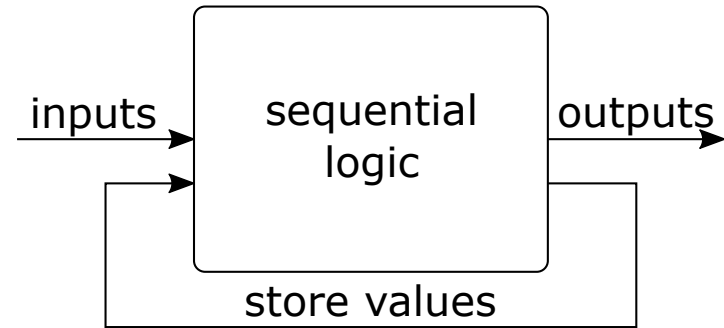
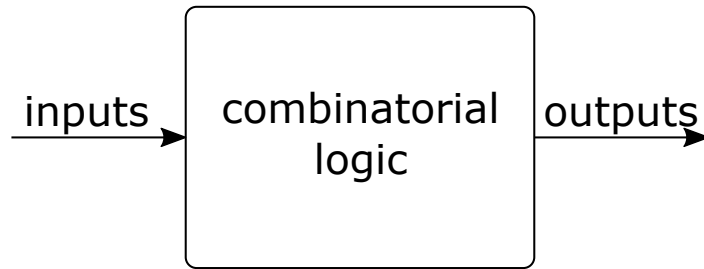
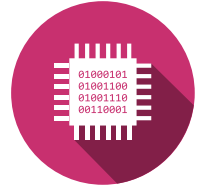
Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch



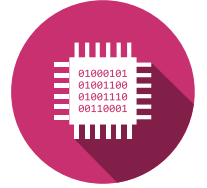
Aktueller Inhalt des Themas im Kurs



Kombinatorische und sequentielle Logik



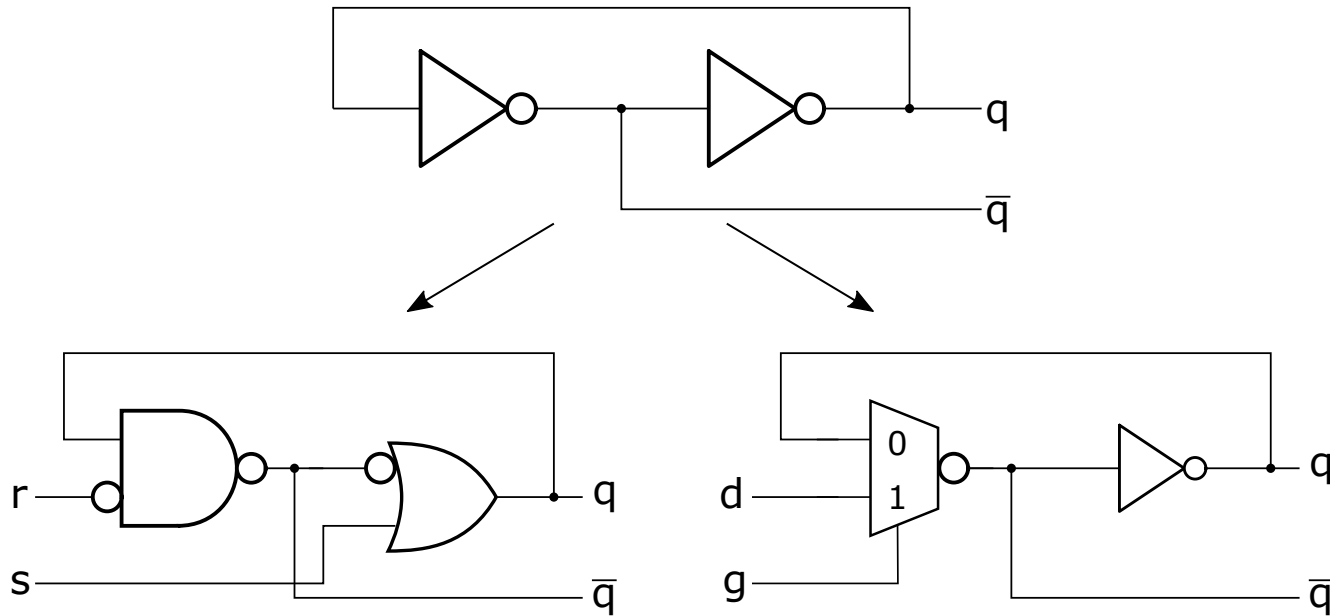
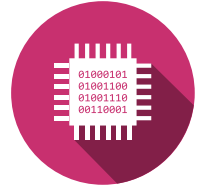
Inhalt



- **Speicherelemente (Latch)**
 - SR-Speicherelement (SR-Latch)
 - Charakteristische Gleichung
 - D-Speicherelement (D-Latch)
- FlipFlops

SR-Speicherelement

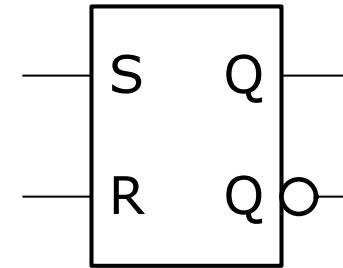
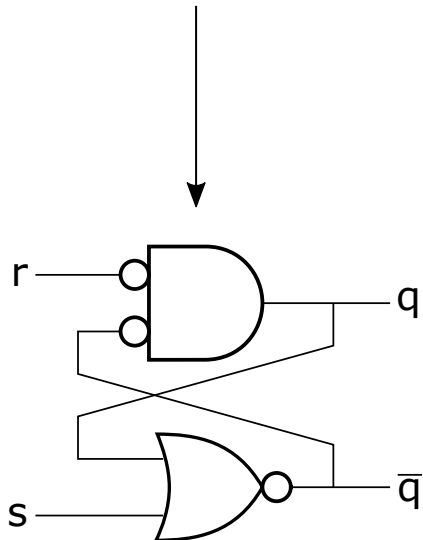
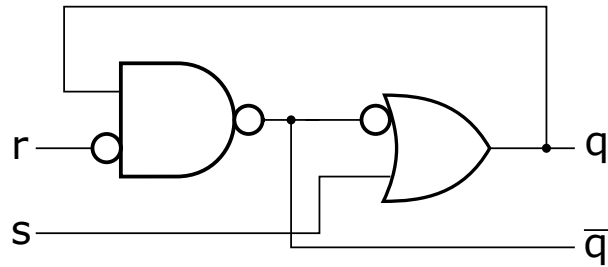
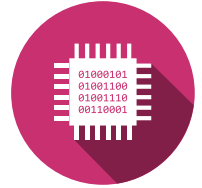
SR-Latch



2 gekoppelte Inverter bilden ein Speicherelement

SR-Speicherelement

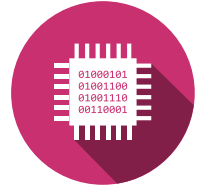
SR-Latch (set-reset)



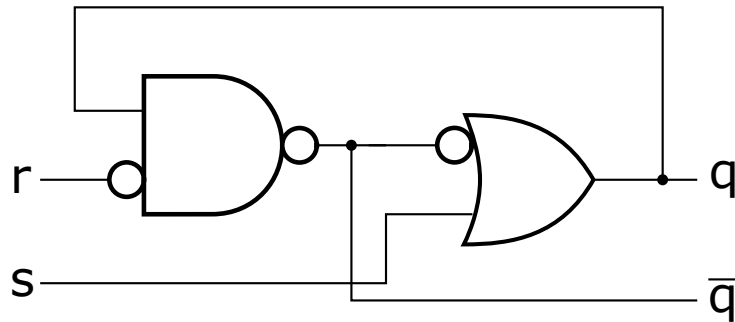
s	r	q	qn	Funktion
0	0	Unverändert		Speicherung
0	1	0	1	Nullsetzung (reset)
1	0	1	0	Setzen auf 1 (set)
1	1	0	0	Verboten

SR-Speicherelement

SR-Latch charakteristische Gleichung



Die charakteristische Gleichung beschreibt die Funktionalität des Speicherelements



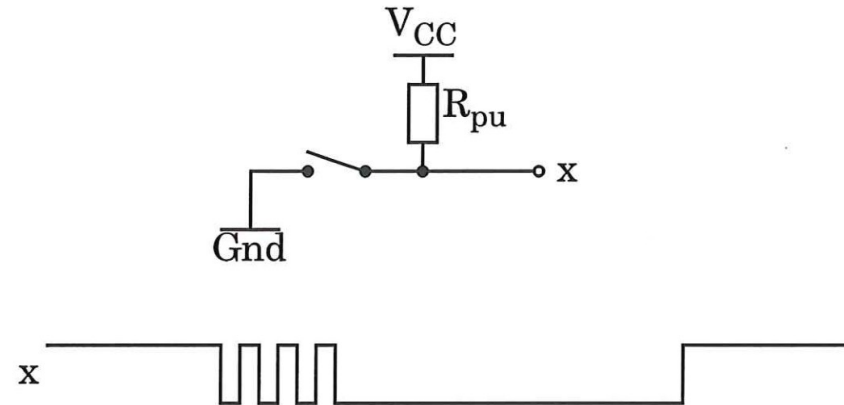
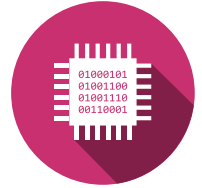
$$q = s + \bar{r}q$$

« q » auf beiden Seiten der Gleichung zeigt die Speicherschleife (q=q bei s=0 und r=0)

Aufgabe 2.1

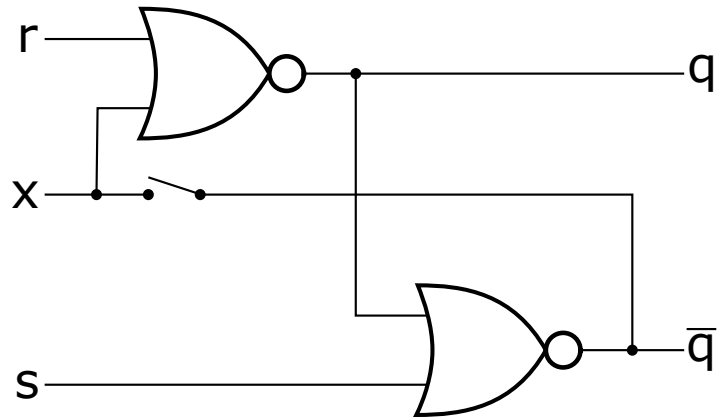
Anti-Prell-Schaltung

Mit Hilfe von einem Umschalter und einem Speicherelement, entwerfen Sie eine Schaltung, welche ein prellfreies Signal liefert.



SR-Speicherelement

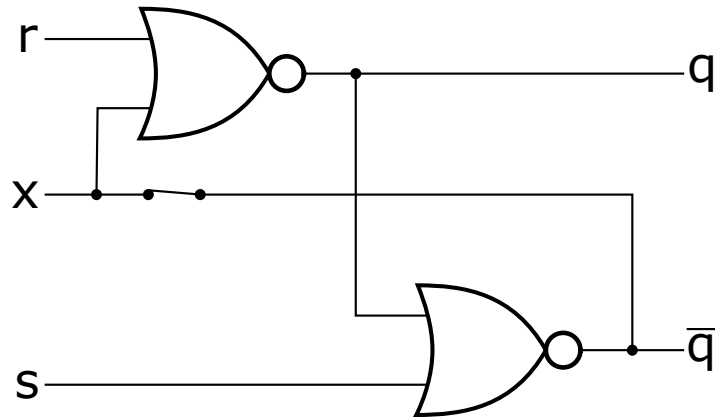
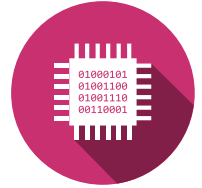
Funktionsanalyse (Kombinatorisches Modell)



s	r	x	q	qn	
0	0	0	1	0	
0	0	1	0	1	
0	1	0	0	1	
0	1	1	0	1	
1	0	0	1	0	
1	0	1	0	0	
1	1	0	0	0	
1	1	1	0	0	

SR-Speicherelement

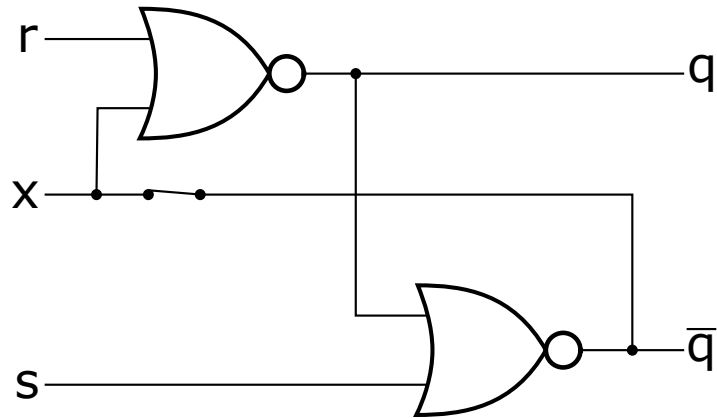
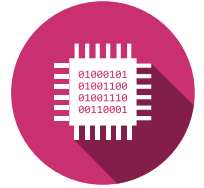
Funktionsanalyse (Kombinatorisches Modell)



s	r	x	q	qn	Gültig
0	0	0	1	0	✓
0	0	1	0	1	✓
0	1	0	0	1	x
0	1	1	0	1	✓
1	0	0	1	0	✓
1	0	1	0	0	x
1	1	0	0	0	✓
1	1	1	0	0	x

SR-Speicherelement

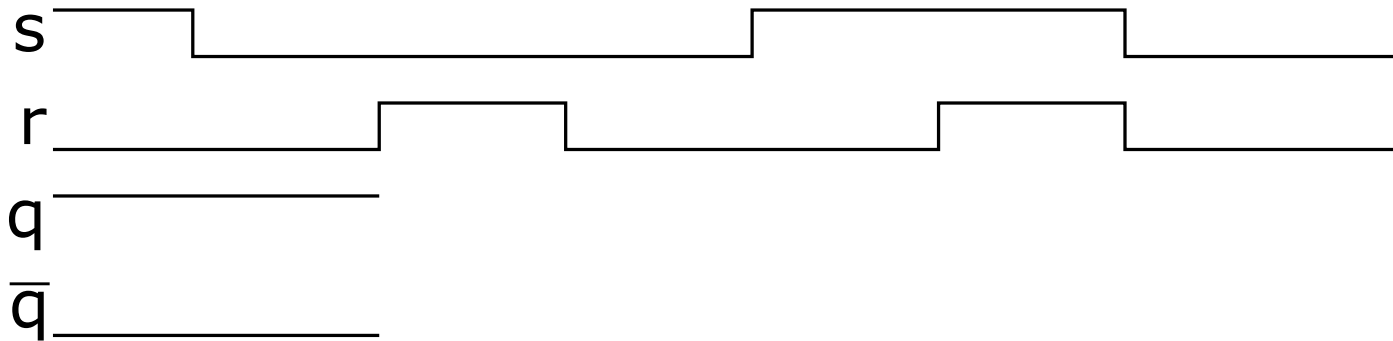
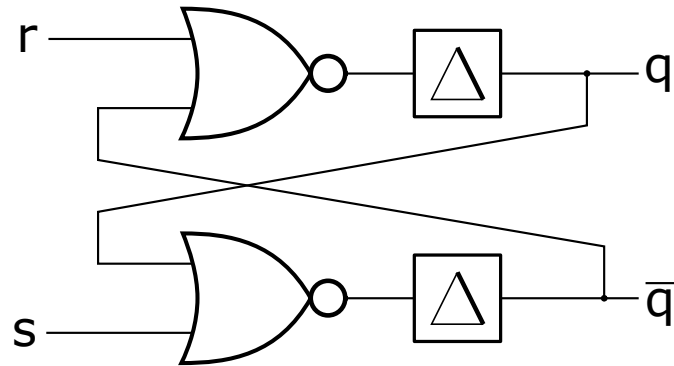
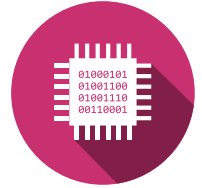
Funktionsanalyse (Kombinatorisches Modell)



s	r		q	qn	Funktion
0	0		1	0	Speicherung
0	0		0	1	
0	1		0	1	reset
1	0		1	0	set
1	1		0	0	Verboten

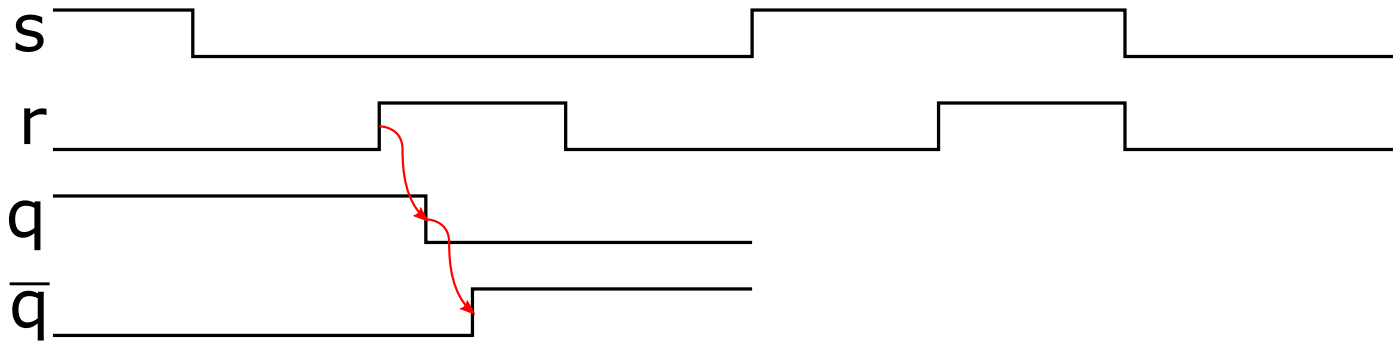
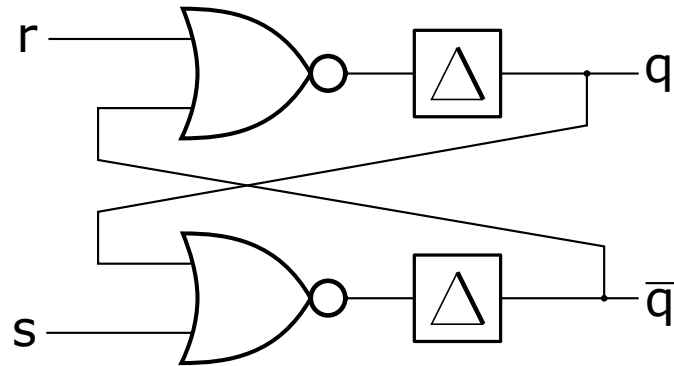
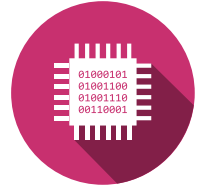
SR-Speicherelement

Funktionsanalyse (Zeitliches Verhalten)



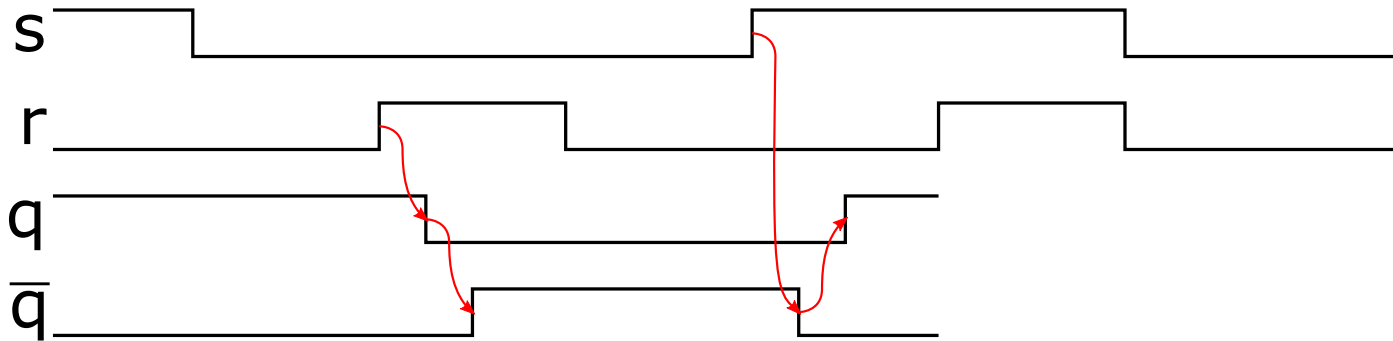
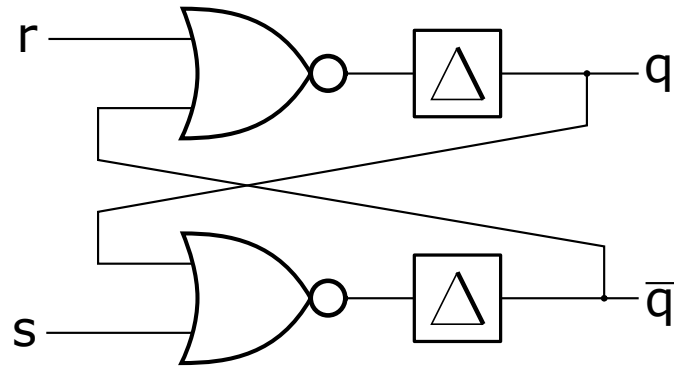
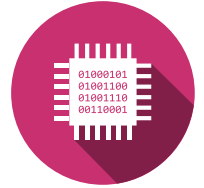
SR-Speicherelement

Funktionsanalyse (Zeitliches Verhalten)



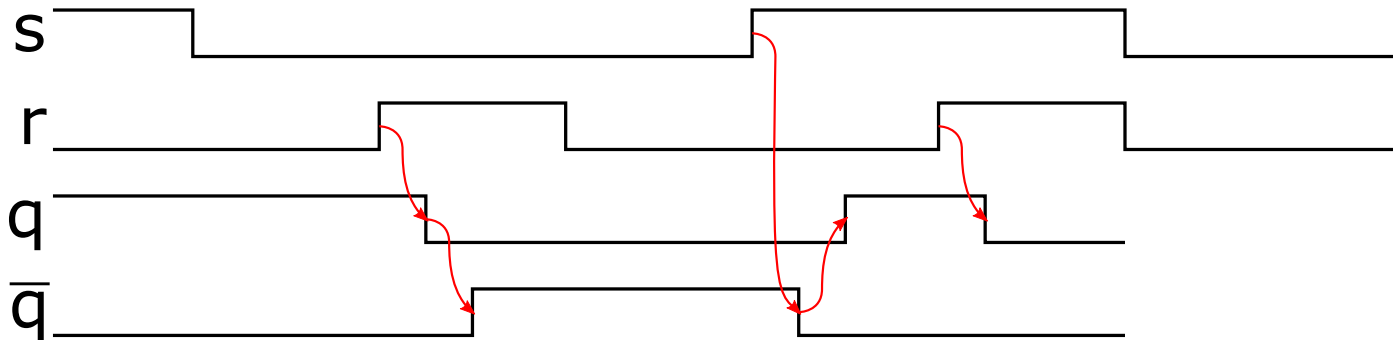
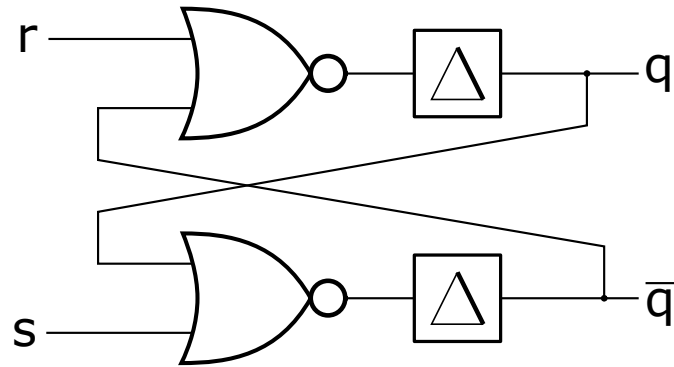
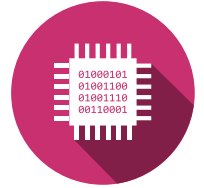
SR-Speicherelement

Funktionsanalyse (Zeitliches Verhalten)



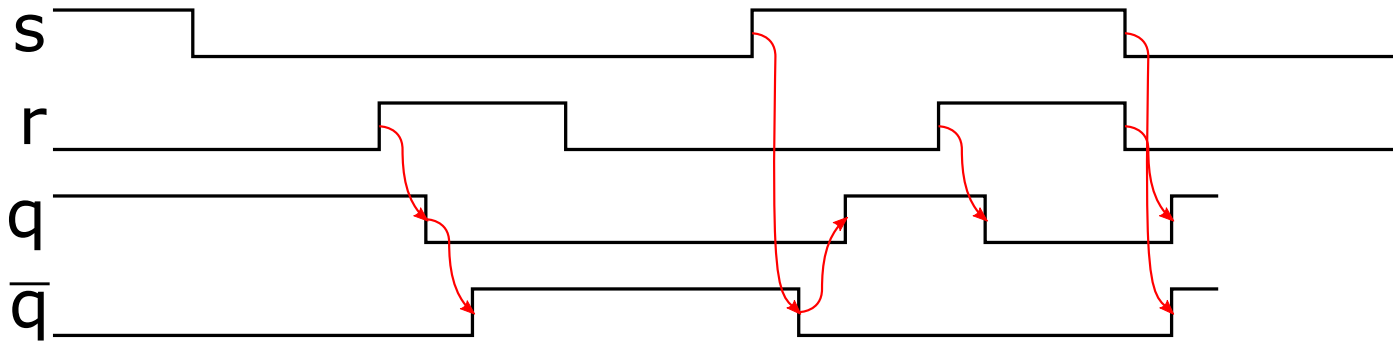
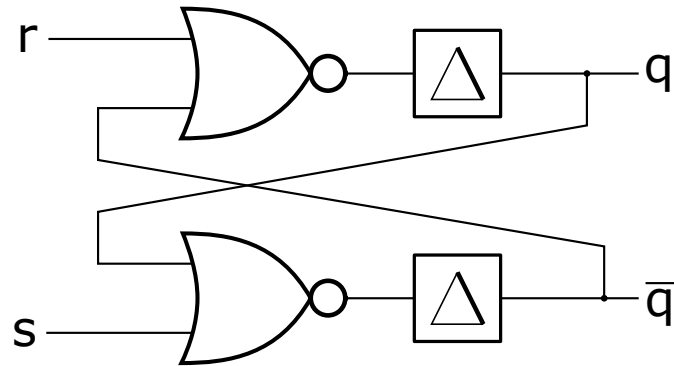
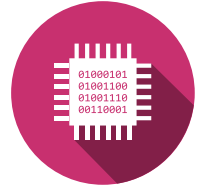
SR-Speicherelement

Funktionsanalyse (Zeitliches Verhalten)



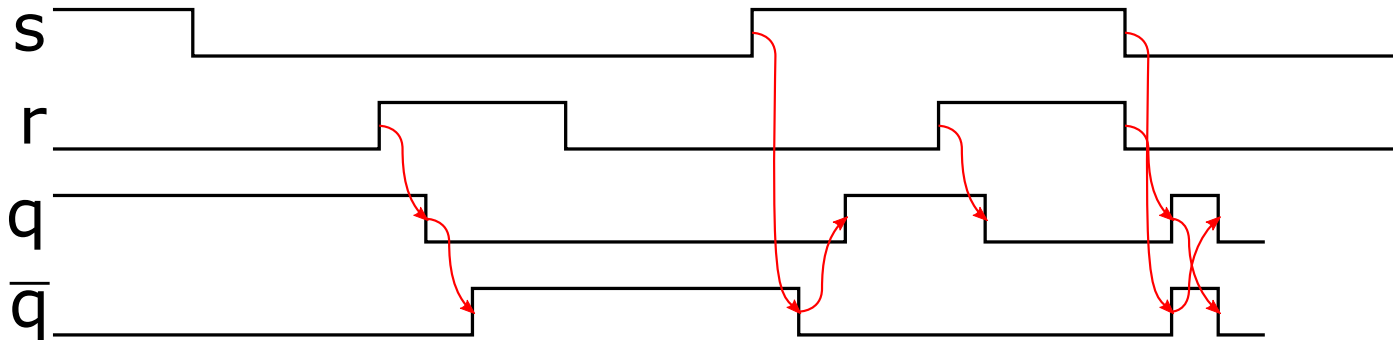
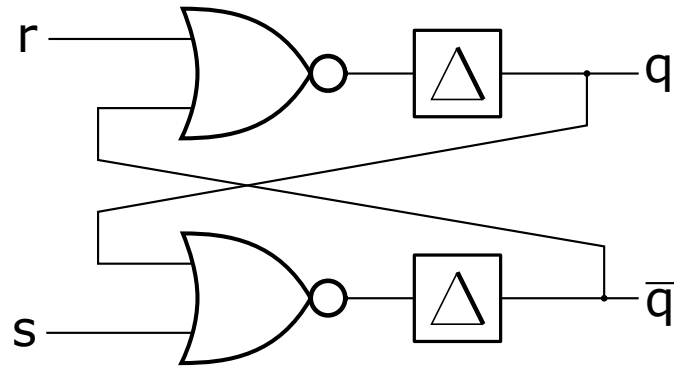
SR-Speicherelement

Funktionsanalyse (Zeitliches Verhalten)



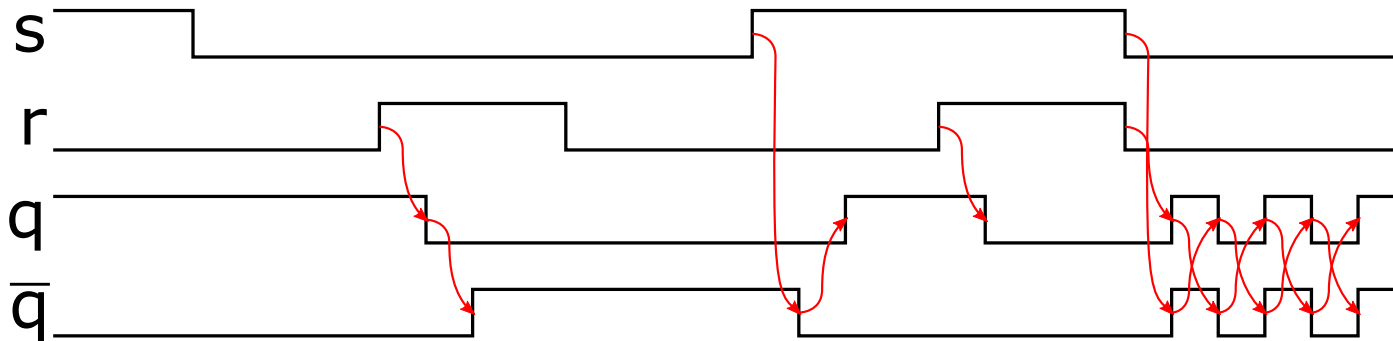
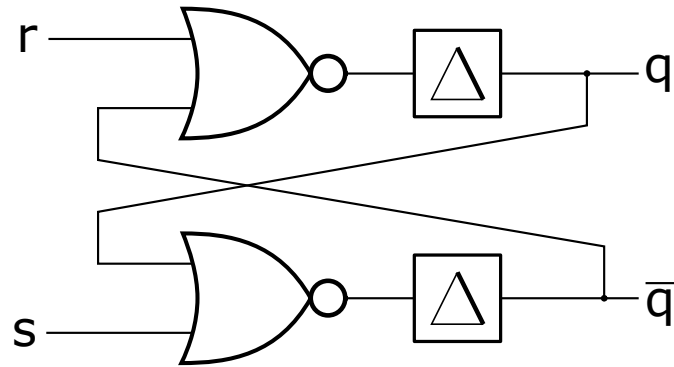
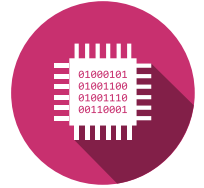
SR-Speicherelement

Funktionsanalyse (Zeitliches Verhalten)

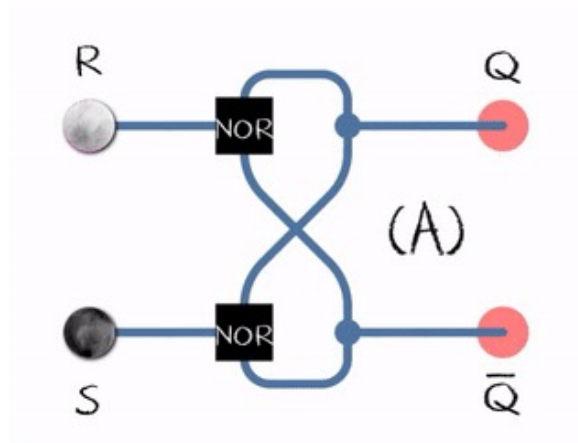


SR-Speicherelement

Funktionsanalyse (Zeitliches Verhalten)

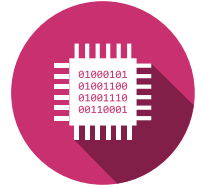


Funktionsanalyse (Zeitliches Verhalten)



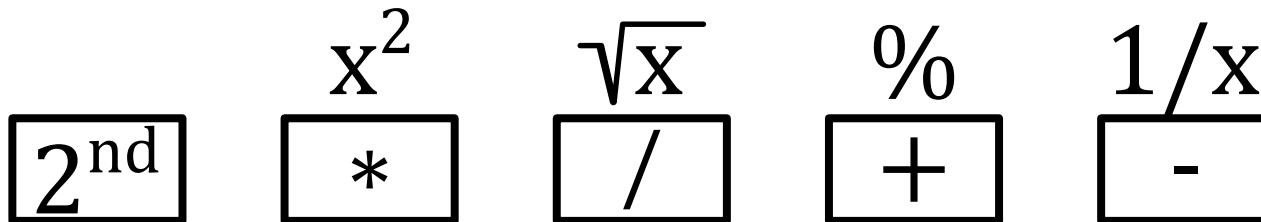
Aufgabe 2.1

Tastenauswahl

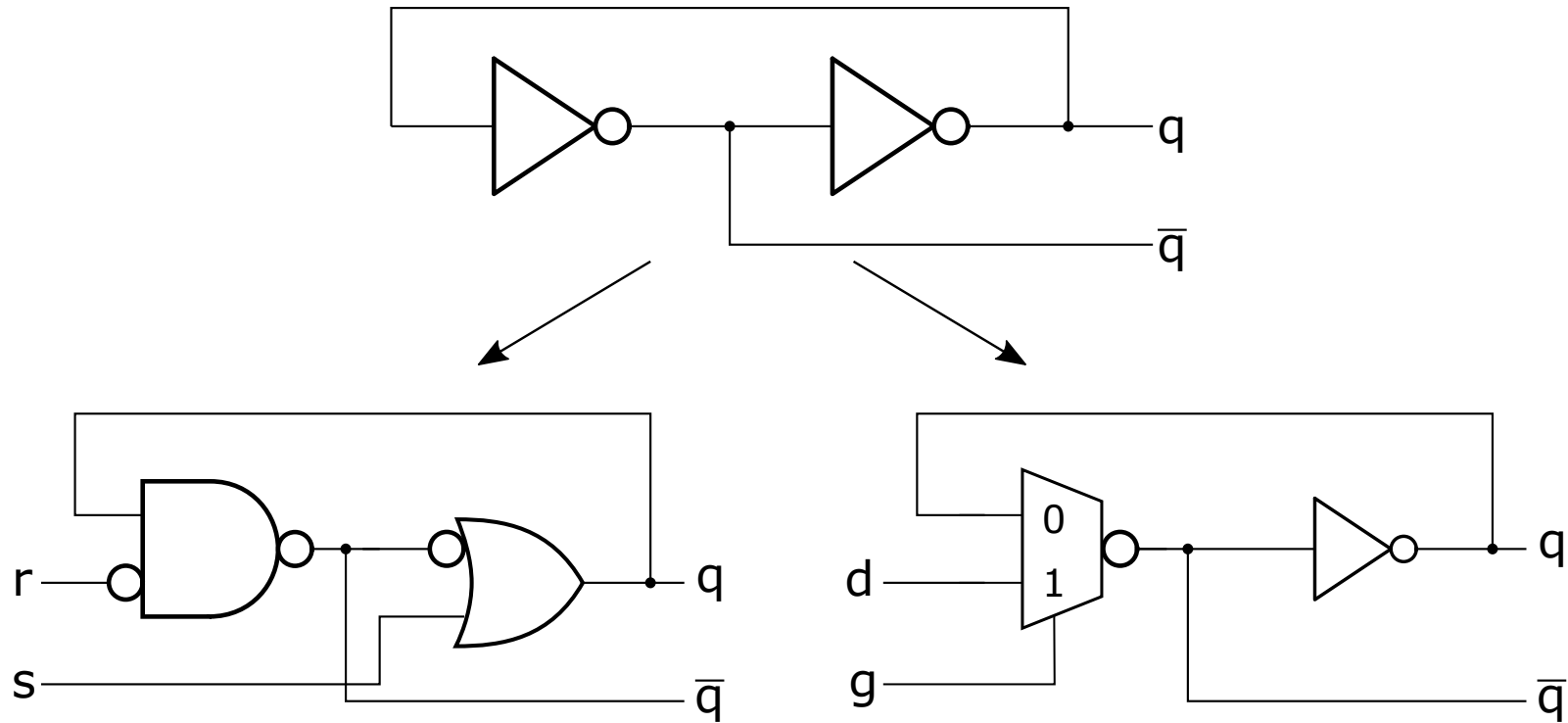
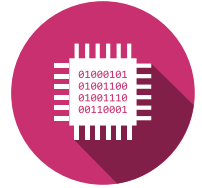


Die Tastatur eines Rechners hat 5 Tasten, um eine von 8 Operationen auszuwählen. Die Multiplikation $*$ wird gewählt, indem man auf die entsprechende Taste drückt. Die zweier Potenz x^2 wird gewählt, indem man auf die “2nd”- und danach auf die Multiplikationstaste $*$ drückt.

Erstellen Sie eine Schaltung mit 8 Ausgängen, welche einen Puls auf dem Ausgang liefert, welcher der gewünschten Funktion entspricht.

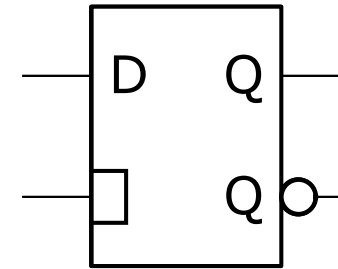
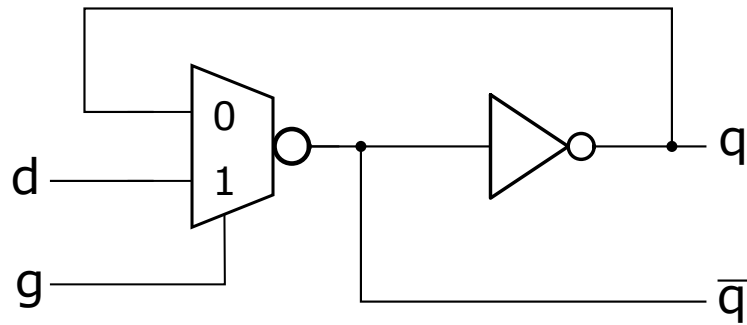
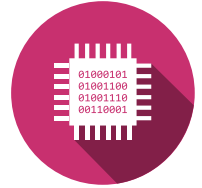


Speicherelemente



Speicherelemente

D-Speicherelement (D-Latch)

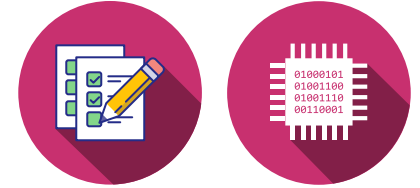


g	d	q	qn	Funktion
0	0	Unverändert		Speicherung
0	1			
1	0	0	1	Laden von D
1	1	1	0	

$$q = gd + \bar{g}q$$

Aufgabe 2.5

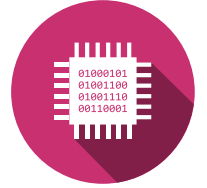
Synchronisation



Ein getaktetes System liefert ein Ausgangssignal, welches nur dann variiert, wenn das Taktsignal auf '0' steht.

Entwerfen Sie eine Schaltung, welche dieses Signal verspätet, bis das Taktsignal auf '1' kommt.

Inhalt

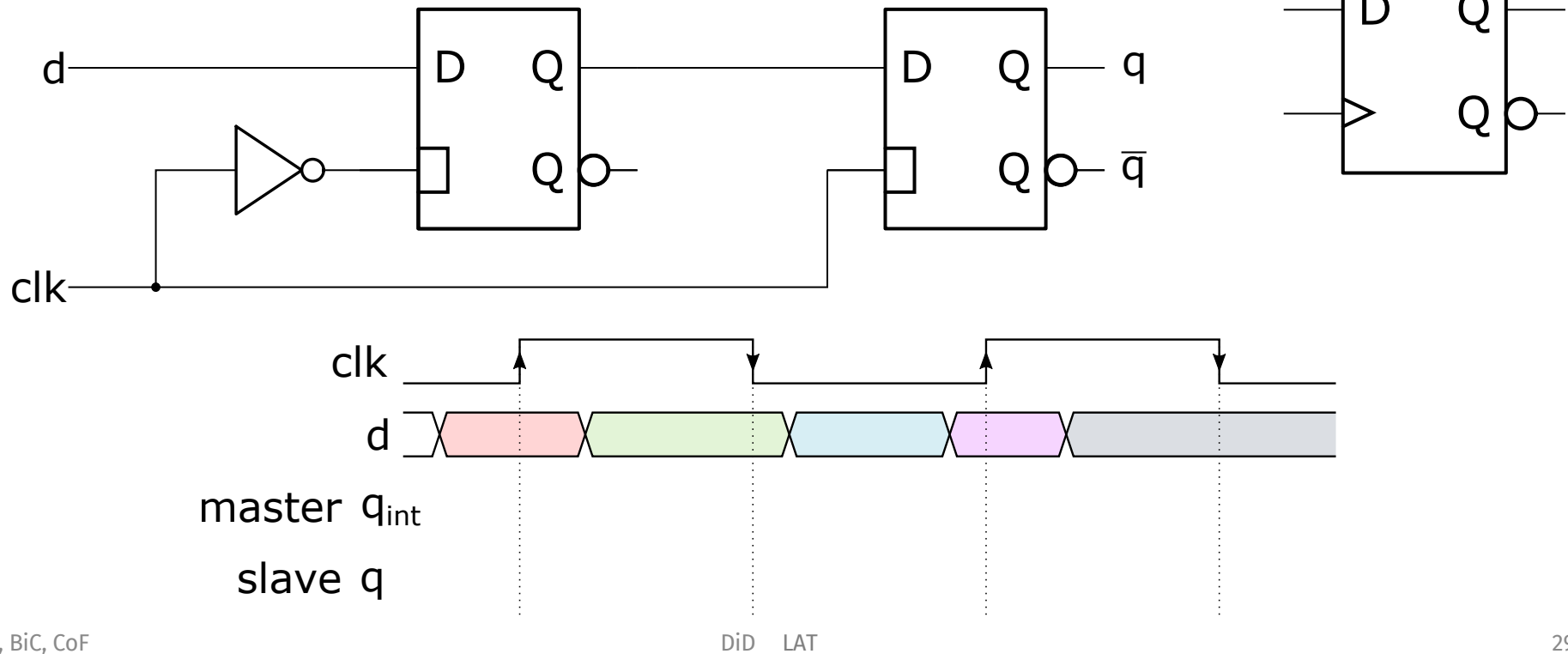
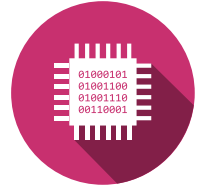


- Speicherelemente (Latch)
- **FlipFlops**
 - D-FlipFlop
 - Charakteristische Gleichung
 - SR-FlipFlop
 - E-FlipFlop
 - T-FlipFlop
 - Asynchrone Eingänge

FlipFlops

D-FlipFlop

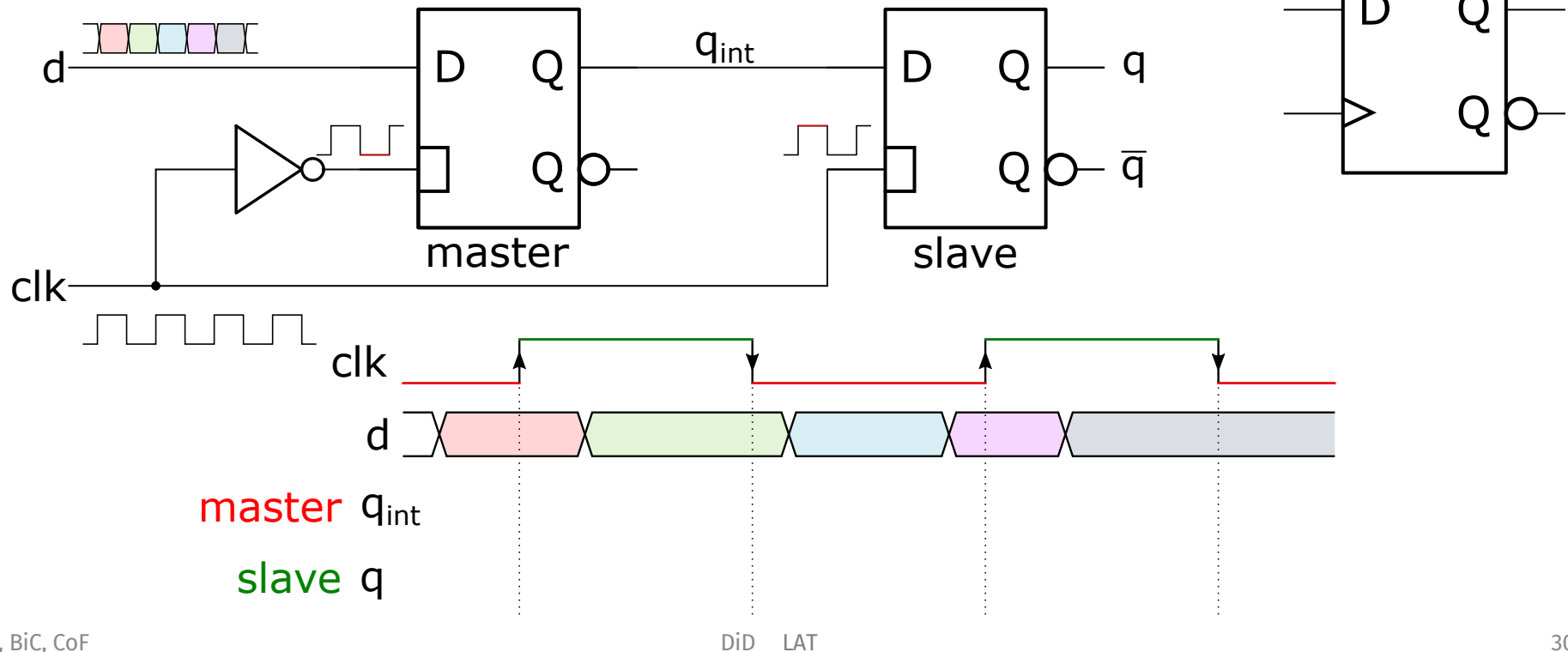
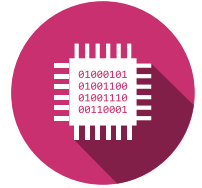
Master-Slave Latch



FlipFlops

D-FlipFlop

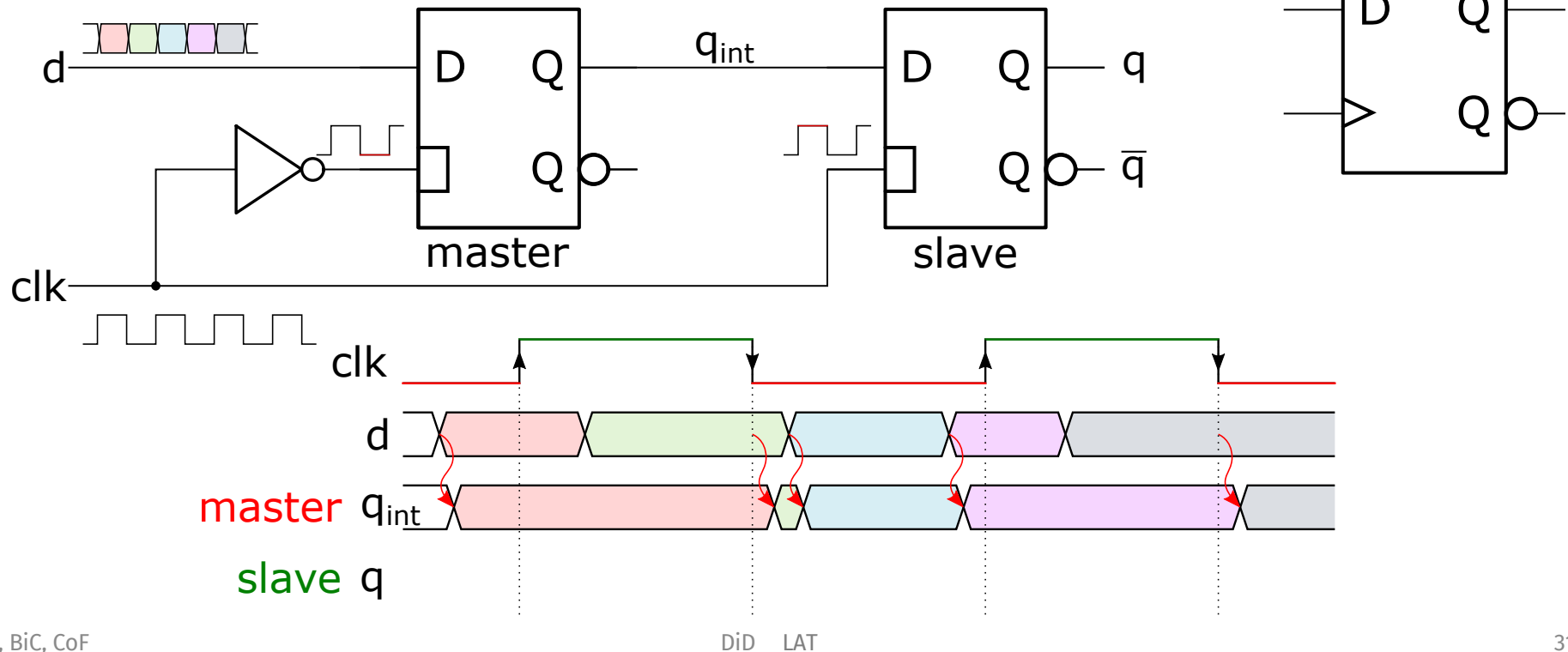
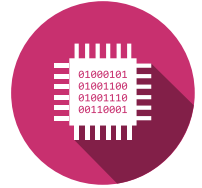
Master-Slave Latch



FlipFlops

D-FlipFlop

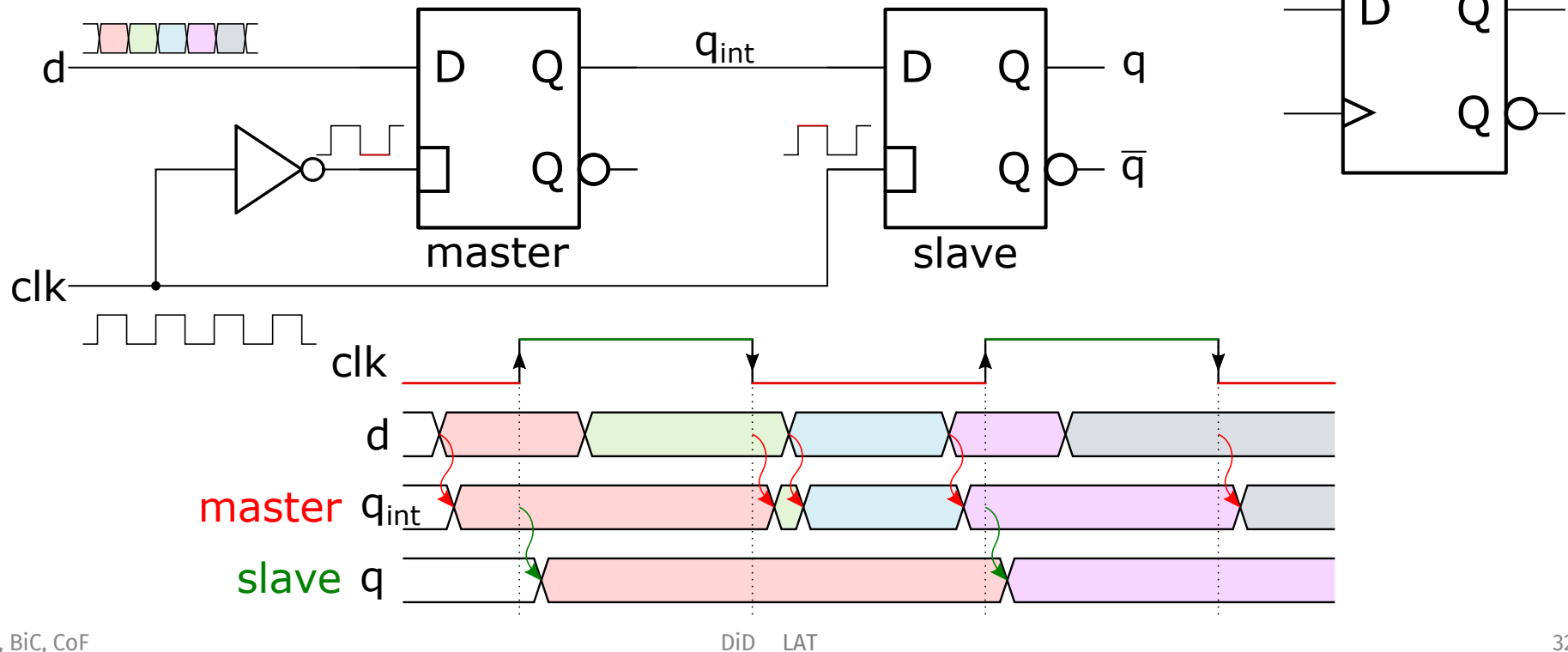
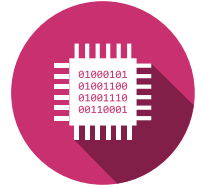
Master-Slave Latch



FlipFlops

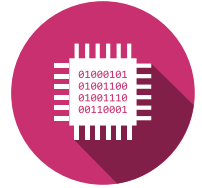
D-FlipFlop

Master-Slave Latch

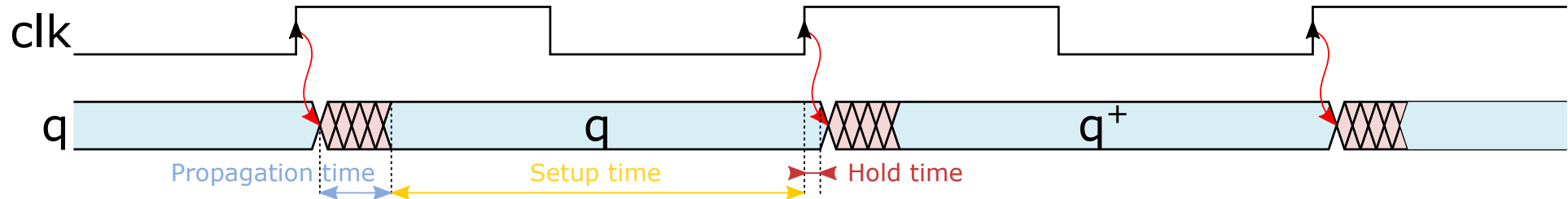


FlipFlops

D-FlipFlop

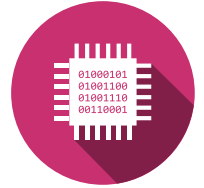


- Alle Signale sind vor der steigenden Flanke des Taktsignales stabil (Einhaltung von Setup Time und Hold Time).
- Nach dieser steigenden Flanke ändern sich alle Flip-Flop-Ausgänge mit unterschiedlichen Verzögerungen (Laufzeit).
- Der nächste Wert, den der Ausgang q bei der nächsten Taktflanke annimmt, wird mit "q+" angegeben (gegeben durch die Gleichung und die Schaltung, die sich am Eingang des Flipflops befindet).

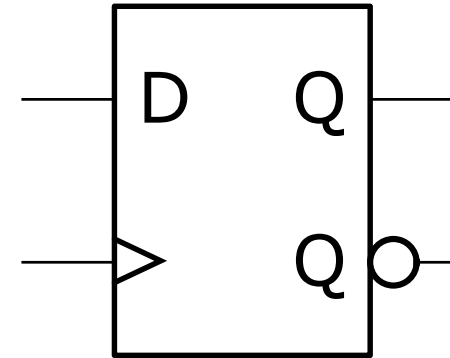


D-FlipFlop

Charakteristische Gleichung



D	Q	Q ⁺	Funktion
0	0	0	Laden des D-Wertes bei der steigenden Flanke des Taktsignals
0	1	0	
1	0	1	
1	1	1	

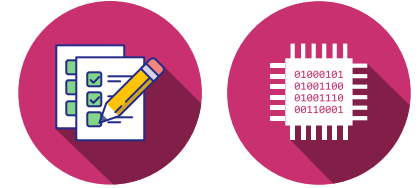


$$q^{+} = d$$

Aufgabe 3.1

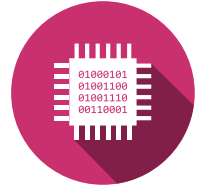
Aufspüren von Übergängen

Mit Hilfe von eines D-Flipflop's und von logischen Gattern, entwerfen Sie eine Schaltung, welche die Übergänge ihres Eingangssignal aufspürt.



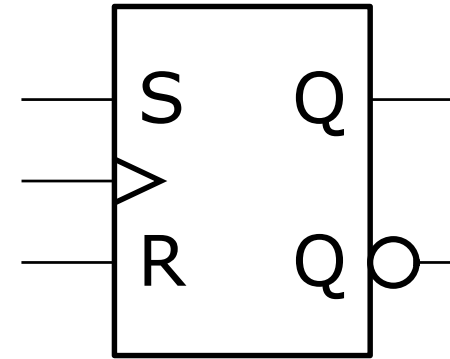
FlipFlops

SR-FlipFlop



Heutzutage ersetzt durch D-FlipFlops

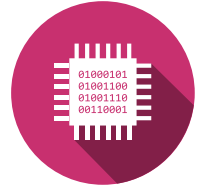
S	R	Q ⁺	Funktion
0	0	Q	Speicherung
0	1	0	reset
1	0	1	set
1	1	1	-



$$q^{+} = s + \bar{r}q$$

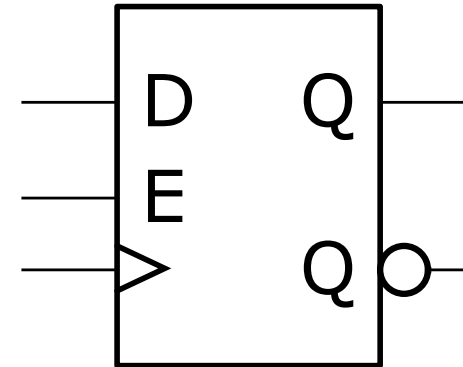
FlipFlops

E-FlipFlop



Erlaubt es mit verschiedenen Geschwindigkeiten zu arbeiten

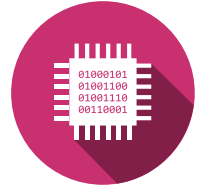
E	D	Q ⁺	Funktion
0	0	Q	Speicherung
0	1		
1	0	0	Laden des Wertes D (Abtastung)
1	1	1	



$$q^{+} = ed + \bar{e}q$$

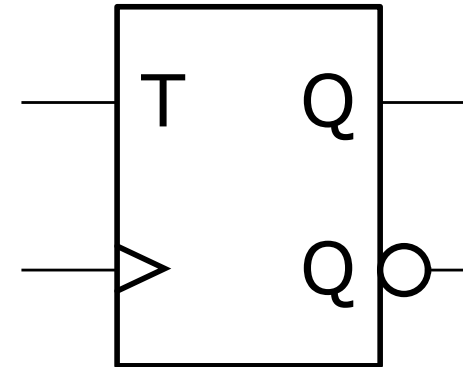
FlipFlops

T-FlipFlop



Erlaubt es Zählerschaltungen zu vereinfachen

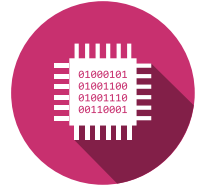
T	Q ⁺	Funktion
0	Q	Speicherung
1	\bar{Q}	Invertierung



$$q^{+} = t \oplus q$$

Aufgabe 3.6

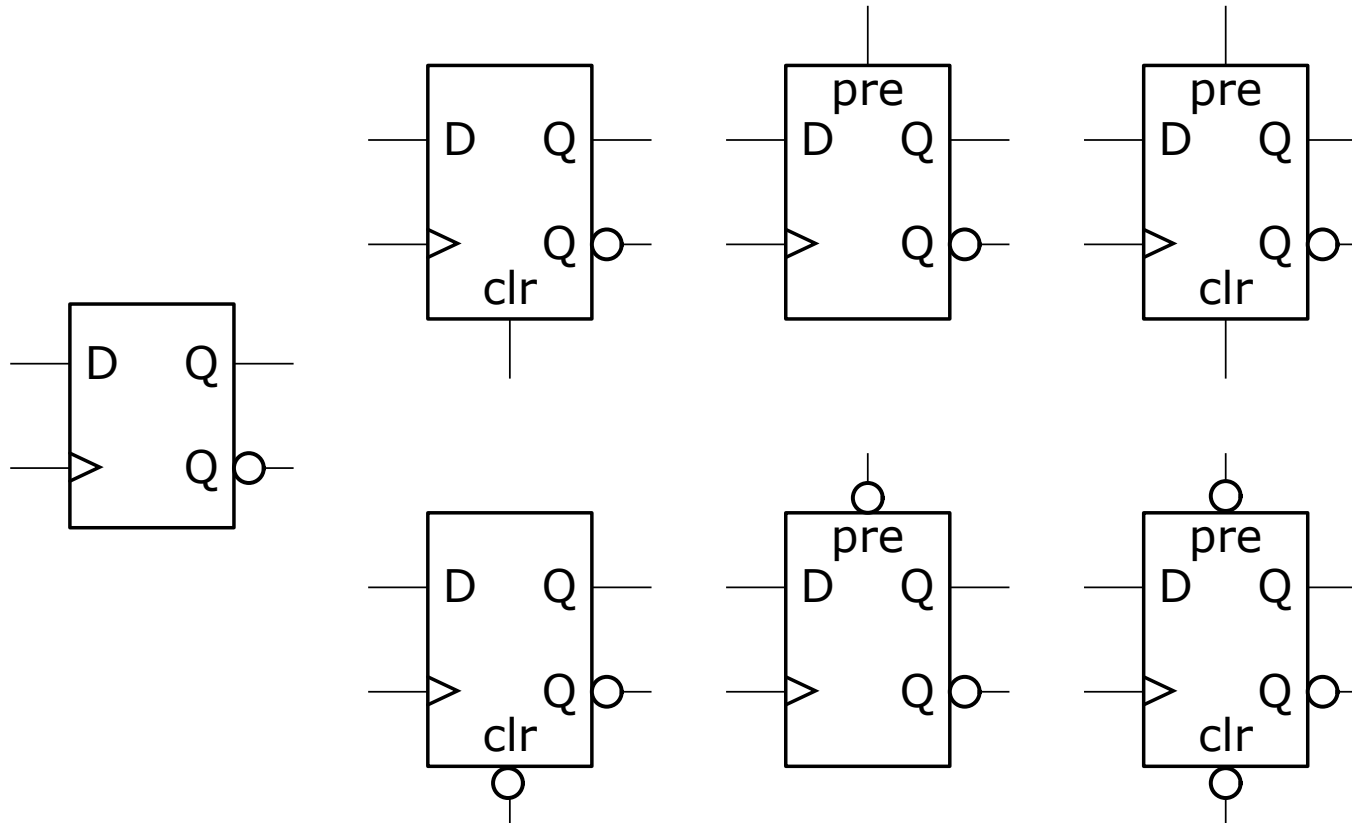
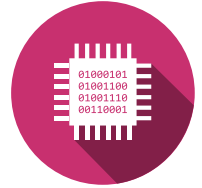
Schieberegister



Mit Hilfe von T-Flipflops, erstellen Sie einen 4-Bit Schieberegister.

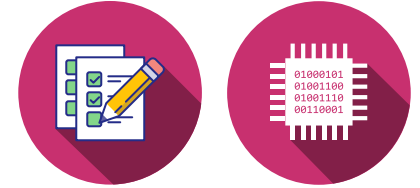
FlipFlops

Asynchrone Eingänge



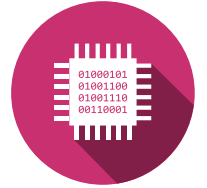
Aufgabe 3.7

Asynchrone Nullsetzung



Mit Hilfe von einem RC-Glied und von logischen Gattern, erstellen Sie einen Schaltkreis zur Initialisierung der Flipflops beim Einschalten der Elektronik.

Referenzen



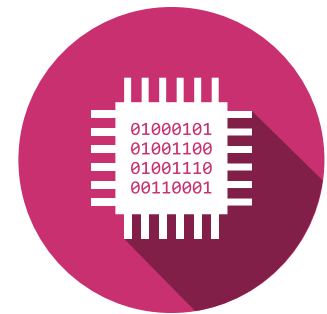
- [Wak00] (Englisch) Sehr vollständige Presentation
- [Kün97] (Deutsch) Gute Presentation
- [Max95] (Französisch) Gute Presentation



Hes·so  **VALAIS
WALLIS**



Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften



Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch