

Architecture

Exercices Architecture des ordinateurs

1 | Architecture

1.1 Stack-Architecture

Évaluez l'expression $\frac{a+bc}{a+dc-e}$ en utilisant une pile d'évaluation de processeur.

- Écrire pseudo code du calcul.
- Combien de références mémoire directes et indirectes sont nécessaires pour une taille de pile infini ?
- Combien de références mémoire directes et indirectes sont nécessaires si la taille de la pile est de 2 ?

arc/stack-01

1.2 Stack-Architecture

Évaluez l'expression $\frac{(a+b)^2}{\pi} * (a + b + c)$ en utilisant une pile d'évaluation de processeur.

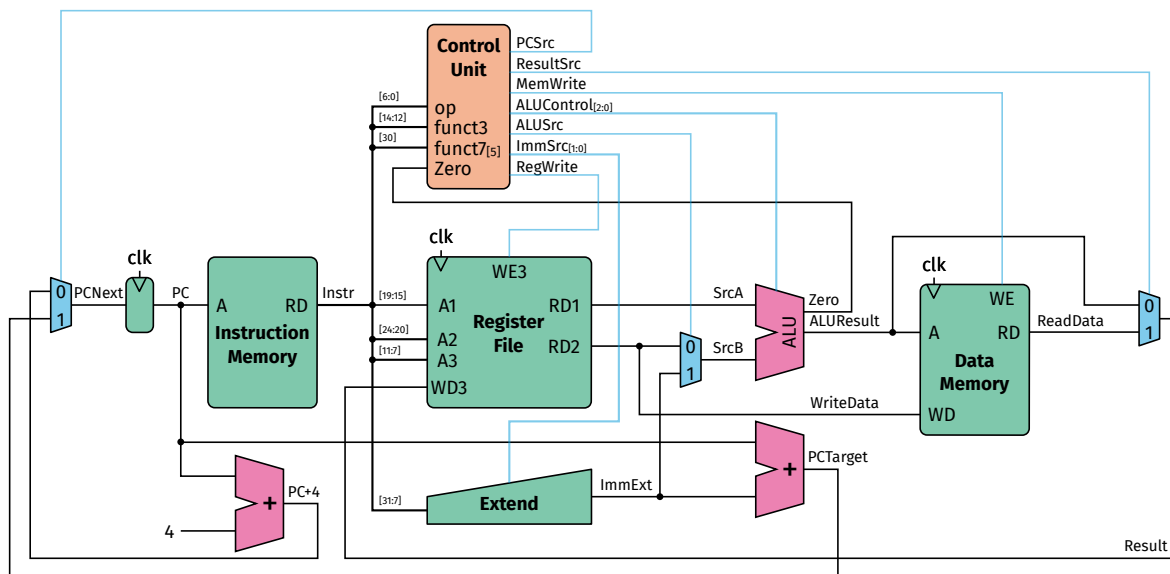
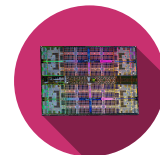
- Écrire pseudo code du calcul.
- Combien de références mémoire directes et indirectes sont nécessaires pour une taille de pile de 4 ?
- Combien de références mémoire directes et indirectes sont nécessaires dans le cas d'une taille de pile de 3 ?
- Combien de références mémoire directes et indirectes sont nécessaires si la taille de la pile est de 2 ?

arc/stack-02

2 | Single-Cycle RISC-V

2.1 Fonctionnement du processeur à cycle unique

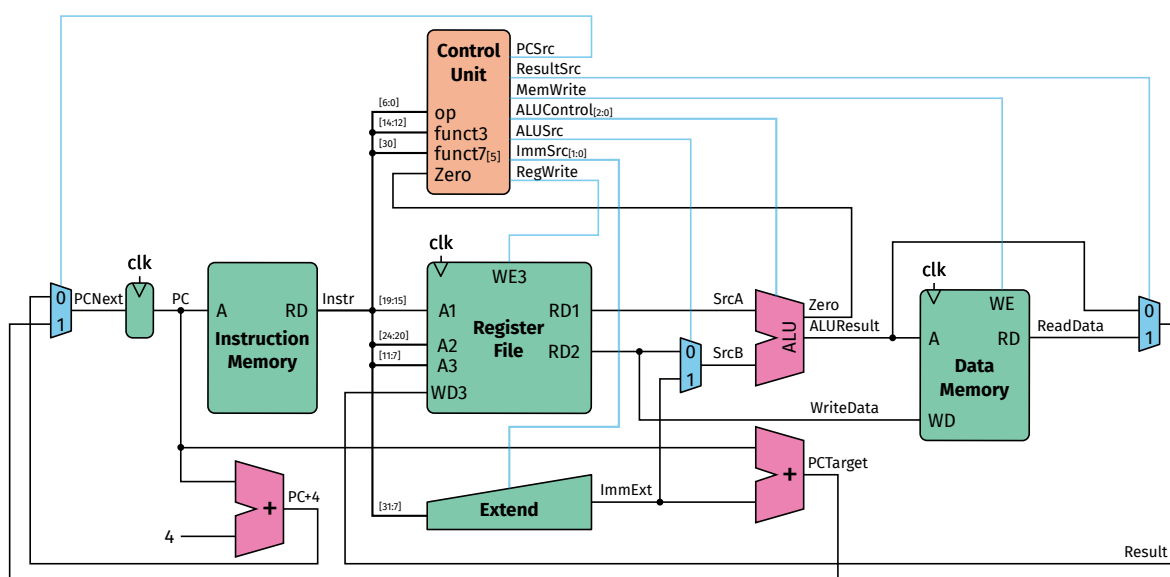
Déterminez les valeurs des signaux de commande et les portions du chemin de données qui sont utilisées lors de l'exécution d'une instruction **and**. Dessinez directement sur l'image le fonctionnement interne du processeur.



arc/scr-01

2.2 Prolonger le mono-cycle avec l'instruction **jal**

Montrez comment modifier le processeur RISC-V à mono-cycle donné pour prendre en charge l'instruction de saut et de liaison **jal**. **jal** écrit **PC+4** dans **rd** et modifie le PC à l'adresse cible du saut **PC+imm**.



arc/scr-02

2.3 Performance du processeur à mono-cycle

Un processeur mono-cycle construit avec un processus de fabrication CMOS de 7 nm présente les caractéristiques de timing suivantes.



Element	Parameter	Delay(ps)
Register clk-to-Q	t_{pcq}	40
Register Setup	t_{setup}	50
Multiplexer	t_{mux}	30
AND-OR Gate	t_{AND_OR}	20
ALU	t_{ALU}	120
Decoder (Control Unit)	t_{dec}	25
Extend Unit	t_{ext}	35
Memory Read	t_{mem}	200
Register File Read	t_{RFread}	100
Register File Setup	$t_{RFSetup}$	60

Le programme du benchmark SPECINT2000 contient 100 milliards d'instructions.

Calculez le temps d'exécution du benchmark pour ce processeur à mono-cycle.

arc/scr-03

3 | Multi-Cycle RISC-V

3.1 Performance du processeur à multi-cycle

Le programme du benchmark SPECINT2000 se compose d'environ 25% loads, 10% stores, 11% branches, 2% jumps, et 52% R- ou I-Type ALU Instructions.

Déterminez le CPI moyen pour ce benchmark pour le processeur multi-cycle que nous avons développé.

arc/mcr-01

3.2 Performance du processeur à multi-cycle

Un processeur multi-cycle construit avec un processus de fabrication CMOS de 7 nm présente les caractéristiques de timing suivantes.



Element	Parameter	Delay(ps)
Register clk-to-Q	t_{pc}	40
Register Setup	t_{setup}	50
Multiplexer	t_{mux}	30
AND-OR Gate	t_{AND_OR}	20
ALU	t_{ALU}	120
Decoder (Control Unit)	t_{dec}	25
Extend Unit	t_{ext}	35
Memory Read	t_{mem}	200
Register File Read	t_{RFread}	100
Register File Setup	$t_{RFSetup}$	60

Le programme du benchmark SPECINT2000 contient 100 milliards d'instructions. Utilisez le CPI_{avg} de la tâche précédente.

Calculez le temps d'exécution du benchmark pour ce processeur à multi-cycle.

arc/mcr-02