

102 – Architecture matérielle

Descriptif de module

Filière	Informatique et systèmes de communication	Formation	Bachelor
Axe d'enseignement	Base des TIC	Orientation	Tronc commun
Année académique	2022-2023		

1. Organisation du module

Module	Architecture matérielle	Code du module	102
Type	Obligatoire	Crédits ECTS	9
Langue	Français	Année académique	Première année
Responsable(s)	Silvan Zahno		

Code	Nom de l'unité	S1	S2	SS1	S3	S4	SS2	S5	S6
102.1	DiD	Systèmes numériques	6						
102.2	ArchOrd	Architecture des ordinateurs	4						

Table 1: Unités d'enseignement, en périodes hebdomadaires (45 min)

Volume de travail	Enseignement	Travail personnel	Total
	150 h	75 h	225 h

2. Description du module

Le monde digital est celui composé par des 0 et des 1. Dès lors, comment à partir de ces deux nombres est-il possible de réaliser des calculs ? Comment fait un processeur pour exécuter des instructions ? Quels sont les éléments logiques qui le composent et comment sont-ils agencés ? Quel est donc le rapport entre les bits et la logique digitale ?

Ces quelques questions illustrent les contenus abordés dans ce module dans lequel vous apprendrez à structurer les portes logiques et les éléments de mémoire pour réaliser au final un processeur complet.

3. Prérequis

- ☐ Avoir validé le(s) module(s)
- ☐ Avoir suivi le(s) module(s)
- ☒ Pas de prérequis
- ☐ Autre :

4. Compétences visées par le module

À l'issue de ce module, l'étudiant·e est capable¹ de :

- interpréter le cahier des charges d'un système matériel simple et d'en réaliser les fonctions logiques qui en découlent selon les principes de base de la conception et les méthodologies proposées **(A)**;

¹ Les objectifs d'apprentissage de ce module sont classés selon les trois degrés simplifiés de la taxonomie des objectifs d'apprentissage selon les descripteurs de Dublin, à savoir, par ordre de profondeur croissante : **(C)** Connaissances et compréhension, **(A)** Application, **(J)** Jugement (analyse, synthèse, évaluation).

- représenter et expliquer la structure interne d'un processeur simple **(C)**;
- effectuer des calculs de performance des processeurs et les comparer entre eux **(C)**;
- sélectionner les blocs matériels de calcul adéquats pour réaliser une fonction spécifique **(A)**;
- mettre en pratique le cycle de développement hardware **(C)**.

5. Modalités d'évaluation et de validation

L'évaluation du module se base sur l'évaluation des différentes Unités d'Enseignement (UE), comme suit:

Note finale du module :

$$M = \frac{5 \cdot m_{DiD} + 4 \cdot m_{ArchOrd}}{9}$$

Avec :

- m_{DiD} – moyenne des notes en *Systèmes numériques*;
- $m_{ArchOrd}$ – moyenne des notes en *Architecture des ordinateurs*;

Toutes les notes et moyennes sont précisées aux dixième de point.

Conditions de réussite :

- Note finale du module $M \geq 4.0$ (arrondie au demi-point);
- Moyenne de chacune des UE : $m \geq 3.0$ (arrondie au dixième de point).

6. Modalités de remédiation

- ☐ Remédiation possible
- ☒ Pas de remédiation
- ☐ Autre

7. Modalités de répétition

L'étudiant·e qui répète un module ne refait pas les unités d'enseignement du module dont la moyenne m_i , arrondie au 1/2 point, est égale ou supérieure à 5.0. Sur demande l'étudiant·e peut refaire une unité d'enseignement à laquelle il/elle n'est pas astreint·e.

8. Contenus

Les descriptifs d'UE sont définis dans les pages suivantes.

Unité d'enseignement 102.1 – Systèmes numériques (DiD)

Description courte / objectifs

- Poser les bases de la logique numérique et les éléments constitutifs individuels des circuits numériques. Les cours en classe sont complétés par des exercices, des laboratoires et des projets;
- Développer la capacité à concevoir et à réaliser des circuits numériques simples de manière autonome à l'aide d'outils EDA (*Electronic design automation*) et de simulation;
- Développer les méthodologies de l'ingénieur·e en divisant un grand problème en plusieurs petits.

Méthode d'enseignement

- ☒ Cours et exercices
- ☒ Laboratoires / TP
- ☐ Classe inversée

Modalités d'évaluation

Un examen intermédiaire ainsi que la notation du projet de semestre en plus de l'examen semestriel. Le poids de chaque note est précisé en début de semestre.

Contenu (mots-clefs)

1. **Logique combinatoire** : représentations numériques et opérations, fonctions logiques combinatoires, multiplexeurs et démultiplexeurs;
2. **Logique séquentielle** : éléments de mémoire et bascules, compteurs synchrones, machines d'état;
3. **Méthodologie de conception et réalisation** : méthodologie de conception, états logiques, circuits logiques programmables.

Support de cours

Script, slides, exercices, laboratoires et mini-projets

Outils utilisés

Environnement de développement *Mentor HDL-Designer*, *Mentor Modelsim*, *AMD Xilinx ISE/Vivado*

Bibliographie

Particularité d'organisation

Pas d'heures spécifiques attribuées au laboratoire, les laboratoires sont définis de semaine en semaine.

Coefficient	5	Session	Automne
Périodes/sem.	6	Enseignant·e	Silvan Zahno

Unité d'enseignement 102.2 – Architecture des ordinateurs (ArchOrd)

Description courte / objectifs

En partant des bases acquises dans le cours 102.1 – *Systèmes numériques*, ce cours aborde les connaissances de base du fonctionnement et de l'organisation d'un processeur, notamment dans ses aspects de fonctionnement logique, structurels ainsi que du point de vue de la performance. Ces nouvelles compétences seront mises à l'épreuve au sein de groupes de travail en laboratoire et dans le cadre d'un projet semestriel.

Méthode d'enseignement

- ☒ Cours et exercices
- ☒ Laboratoires / TP
- ☐ Classe inversée

Modalités d'évaluation

Au moins 2 notes durant le semestre dont le poids est précisé en début de semestre. Ce module n'a pas d'examen de semestre.

Contenu (mots-clefs)

- **Architecture des processeurs** : structure interne, possibilités d'implémentation, microarchitectures et *Instruction Set Architectures*;
- **Calculs de performance** : benchmark, métriques standard;
- **Architecture RISC-V**.

Support de cours

Script, slides, exercices, laboratoires et mini-projets

Outils utilisés

- SiFive Freedom SDK;
- Langage de description du matériel VHDL;
- Environnement de développement Mentor HDL-Designer, Mentor Modelsim, AMD Xilinx ISE/Vivado.

Bibliographie

- J. Hennessy, D. Patterson, *Computer Architecture, Sixth Edition - A Quantitative Approach*, 978-0-12-811905-1, 2019.
- J. Hennessy, D. Patterson, *Computer Organization and Design, RISC-V Edition, 2nd Edition*, 978-0-12-820331-6, 2021.
- Sarah L. Harris, D. M. Harris, *Digital Design and Computer Architecture, RISC-V Edition*, 978-0-12-820064-3, 2022.

Particularité d'organisation

Pas d'heures spécifiques attribuées au laboratoire, les laboratoires sont définis de semaine en semaine.

Coefficient	4	Session	Printemps
Périodes/sem.	4	Enseignant·e	Silvan Zahno

9. Validation du descriptif

Ce descriptif a été validé le 31.8.2022 par Pierre-André Mudry, responsable de la filière ISC.