

# 102 – Materielle Architektur

## Modulbeschreibung

<b>Studiengang</b>	Informatik und Kommunikationssysteme	<b>Bildung</b>	Bachelor
<b>Unterrichtachse</b>	Grundlagen IKT	<b>Vertiefung</b>	Gemeinsamen Kern
<b>Akademisches Jahr</b>	2022-2023		

### 1. Beschreibung

<b>Modul</b>	Materielle Architektur	<b>Modulnummer</b>	102
<b>Type</b>	Obligatoire	<b>ECTS-Punkte</b>	9
<b>Sprache(n)</b>	Französisch	<b>Akademisches Jahr</b>	Erstes Jahr
<b>Modulverantwortung</b>	Silvan Zahno		

Kode	Unterrichtseinheit	S1	S2	SS1	S3	S4	SS2	S5	S6
102.1	Digitale Systeme	6							
102.2	Rechnerarchitektur		4						

**Tabelle 1:** Unterrichtseinheiten, pro Woche (45 min)

Volume de travail	Enseignement	Travail personnel	Total
	150 h	75 h	225 h

### 2. Voraussetzungen

- ☐ Module validiert
- ☐ Modul(e) gefolgt
- ☒ Keine Voraussetzung
- ☐ Andere :

### 3. Kompetenzen, auf die das Modul abzielt

Am Ende dieses Moduls ist der Student in der Lage<sup>1</sup>:

- die Spezifikationen eines einfachen Hardwaresystems zu interpretieren und die daraus resultierenden logischen Funktionen gemäß den grundlegenden Designprinzipien und den vorgeschlagenen Methoden auszuführen **(A)**
- die interne Struktur darzustellen und zu verstehen eines einfachen Prozessors **(C)**
- Prozessorleistungsberechnungen durchführen und vergleichen **(C)**
- die Hardwareblöcke geeigneter Berechnungen auswählen, um eine bestimmte Funktion auszuführen **(A)**
- um den Hardware-Entwicklungszyklus zu verstehen **(C)**

<sup>1</sup>Die Lernziele dieses Moduls sind nach den drei aufsteigenden Wissensstufen **(C)** Wissen und Verstehen **(A)** Anwendung, **(J)** Urteil eingeteilt (Analyse, Synthese, Bewertung).

#### 4. Evaluations- und Validierungsmodalitäten

Die Bewertung des Moduls basiert auf der Bewertung der verschiedenen Lehreinheiten (UE) wie folgt:

**Gesamtnote des Moduls:**

$$M = \frac{5 \cdot m_{\text{SysNum}} + 4 \cdot m_{\text{ArchOrd}}}{9}$$

Avec :

- $m_{\text{SysNum}}$  – Durchschnitt von *Digitale Systeme*
- $m_{\text{ArchOrd}}$  – Durchschnitt von *Rechnerarchitektur*

Alle Noten und Durchschnittswerte sind auf Zehntelpunkte genau angegeben.

*Bestehensbedingung:*

- Abschlussnote für Modul  $M \geq 4,0$  (auf einen halben Punkt gerundet)
- Durchschnitt von jedem der UEs:  $m \geq 3,0$  (auf Zehntelpunkte gerundet)

#### 5. Abhilfemaßnahmen

- ☐ Mögliche Abhilfe
- ☒ Keine Abhilfe
- ☐ Andere

#### 6. Modalitäten der Wiederholung

Der Student, der ein Modul wiederholt, wiederholt nicht die Unterrichtseinheiten des Moduls, dessen Durchschnitt  $m_i$  gleich oder größer als 5,0, gerundet auf ½ Punkt, ist. Auf Antrag kann der Student eine Unterrichtseinheit wiederholen, zu der er/ sie wird nicht benötigt.

#### 7. Inhalte

UE-Beschreibungen werden auf den folgenden Seiten definiert.

---

## Unterrichtseinheit 102.1 – Digitale Systeme

---

### Kurzbeschreibung / Zielen

In diesem Kurs lernen Sie die Grundlagen und einzelnen Bausteine digitaler Schaltungen kennen. Der Präsenzunterricht wird durch Übungen, Labore und Projekte ergänzt. Sie entwickeln Ihre Fähigkeit, einfache digitale Schaltungen selbstständig mit EDA (*Electronic Design*) zu entwerfen und zu bauen (*Automatisierung*) und Simulationstools. Darüber hinaus lernen Sie eine der technischen Entwicklungsmethoden kennen, indem Sie ein großes Problem in viele kleine aufteilen.

### Lehrmethode

- ☒ Kurse und Übungen
- ☒ Labore / TP
- ☐ Umgekehrte Klasse

### Bewertungsmethoden

Eine Zwischenprüfung sowie die Notation des Semesterprojekts zusätzlich zur Semesterprüfung. Die Gewichtung jeder Note wird zu Beginn des Semesters festgelegt.

### Inhalt (Schlüsselwörter)

1. Kombinatorische Logik - Numerische Darstellungen und Operationen, kombinatorische Logikfunktionen, Multiplexer und Demultiplexer
2. Sequentielle Logik - Speicherelemente und Flip-Flops, Synchronzähler, Zustandsmaschinen
3. Entwurfsmethodik und Realisierung - Entwurfsmethodik, logische Zustände, programmierbare Logikschaltungen

### Kursmaterialien

Skript, Folien, Übungen, Labs und Miniprojekte

### Gebrauchte Werkzeuge

- Entwicklungsumgebung *Mentor HDL-Designer*, *Mentor Modelsim*, *AMD Xilinx ISE/Vivado*

### Literaturverzeichnis

### Organisatorische Besonderheit

Dem Labor sind keine bestimmten Stunden zugewiesen, die Labore werden Woche für Woche definiert.

---

---

## Unterrichtseinheit 102.2 – Rechnerarchitektur

---

### Kurzbeschreibung / Zielen

Ausgehend von den im Kurs 102.1 - *Numerische Systeme* erworbenen Grundlagen nähert sich dieser Kurs den Grundkenntnissen der Funktionsweise und der Organisation eines Prozessors, insbesondere in seinen Aspekten der logischen Operation, der Struktur sowie der Sichtweise. Diese neuen Fähigkeiten werden in Arbeitsgruppen im Labor und im Rahmen eines Semesterprojekts erprobt.

### Lehrmethode

- ☒ Kurse und Übungen
- ☒ Labore / TP
- ☐ Umgekehrte Klasse

### Bewertungsmethoden

Mindestens 2 Noten während des Semesters, deren Gewichtung zu Beginn des Semesters festgelegt wird. Dieses Modul hat keine Semesterprüfung.

### Inhalt (Schlüsselwörter)

- Leistungsberechnungen
- Benchmark
- Implementierungsmöglichkeiten
- Mikroarchitekturen
- *Instruction Set Architecture*
- RISC-V.

### Kursmaterialien

Skript, Folien, Übungen, Labs und Miniprojekte

### Gebrauchte Werkzeuge

- SiFive Freedom SDK
- VHDL-Hardwarebeschreibungssprache
- Entwicklungsumgebung [Mentor HDL-Designer](#), [Mentor Modelsim](#), [AMD Xilinx ISE/Vivado](#)

### Literaturverzeichnis

- John Hennessy, David A. Patterson, *Computer Architecture, Sixth Edition - A Quantitative Approach*, ISBN 978-0-12-811905-1, 2019.
- John Hennessy, David A. Patterson, *Computer Organization and Design, RISC-V Edition, Second Edition*, ISBN 978-0-12-820331-6, 2021.
- Sarah L. Harris, David M. Harris, *Digital Design and Computer Architecture, RISC-V Edition*, ISBN 978-0-12-820064-3, 2022.

### Organisatorische Besonderheit

---

## 8. Validierung

Validiert den 11.8.2022 bei Pierre-André Mudry, IKS Studiengangleiter.