



# Emetteur-récepteur Série

Laboratoire Conception Numérique

## Contenu

1 Objectifs .....	1
2 Emetteur série .....	2
2.1 Transmission sérielle .....	2
2.2 Circuit .....	2
3 Réalisation d'un émetteur série .....	3
3.1 Fonctionnement .....	3
3.2 Réalisation .....	3
4 Récepteur série .....	4
4.1 Circuit .....	4
5 Réalisation d'un récepteur en série .....	5
5.1 Réalisation .....	5
Glossaire .....	6

## 1 | Objectifs

Ce laboratoire présente la mise en oeuvre d'une machine d'états ([Finite State Machine \(FSM\)](#)).  
Il exerce la réalisation d'un émetteur-récepteur de signal sériel de type RS232.



## 2 | Emetteur série

### 2.1 Transmission sérielle

La Fig. 1 présente le déroulement temporel de l'envoi en série d'un mot de donnée.

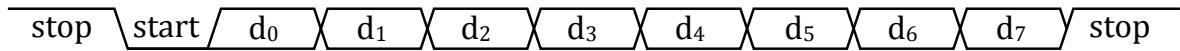


Fig. 1 - Transmission sérielle

Le signal sériel est transmis avec le bit de poids faible en premier.

### 2.2 Circuit

La Fig. 2 présente le circuit à réaliser.

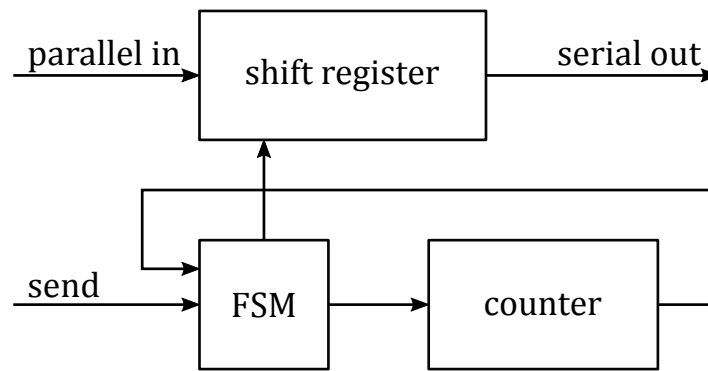


Fig. 2 - Schéma-bloc de l'émetteur série

Le registre à décalage charge le mot parallèle puis le transmet bit après bit, en série. Le circuit de contrôle lui indique quand charger un nouveau mot puis quand décaler son contenu. Pour cela, le circuit de contrôle fournit des impulsions à distance régulière l'une de l'autre.

Un compteur divise la fréquence d'horloge pour permettre au système de s'aligner à la vitesse de transmission du signal série. Ce compteur est remis à zéro à l'arrivée de la commande d'envoi d'un nouveau mot.



## 3 | Réalisation d'un émetteur série

### 3.1 Fonctionnement

L'émetteur série émet un nouveau bit du signal série à chaque 10 périodes d'horloge.

Déterminer le nombre de bits du compteur pour la réception du signal série.

### 3.2 Réalisation

Dans le schéma de l'émetteur, mettre à jour la constante qui définit le nombre de bits du compteur utilisé.

Examiner le circuit du compteur avec remise à zéro synchrone.

Dessiner le circuit du registre à décalage ayant une entrée qui spécifie quand faut charger un nouveau mot et une autre entrée qui spécifie quand il faut décaler les bits.

Dessiner le graphe de la machine d'états qui contrôle le système.

Simuler le système et vérifier le bon fonctionnement de l'émetteur série.



## 4 | Récepteur série

### 4.1 Circuit

La Fig. 3 présente le circuit à réaliser.

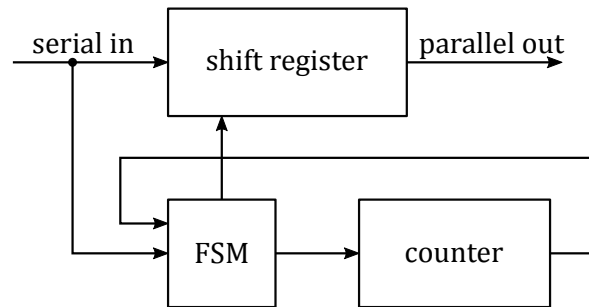


Fig. 3 - Schéma-bloc du récepteur série

Le registre à décalage reçoit le mot série bit après bit et le rend sous forme parallèle. Le circuit de contrôle lui indique quand on se trouve au milieu de la transmission de l'un des bits. Pour cela, le circuit de contrôle attend le passage à zéro indiquant l'arrivée du « start bit », puis donne des impulsions à distance régulière l'une de l'autre.

Un compteur divise la fréquence d'horloge pour permettre au système de s'aligner à la vitesse de transmission du signal série. Ce compteur est remis à zéro à l'arrivée du « start bit ».



## 5 | Réalisation d'un récepteur en série

### 5.1 Réalisation

Dessiner le circuit du registre à décalage ayant une entrée qui spécifie s'il faut décaler ou non.

Dessiner le graphe de la machine d'états qui contrôle le système.

Simuler le système et vérifier le bon fonctionnement du récepteur série.



# Glossaire

*FSM* – Finite State Machine [1](#)