



Représentation binaire des nombres

Laboratoire Digital Design

Contenu

1 Objectifs	1
2 Circuit à réaliser	2
3 Générateur de sinus	3
3.1 Table de sinus	3
3.2 Simulation	3
4 Opérateurs	4
4.1 Inverseur	4
4.2 Additionneur	4
4.3 Multiplicateur	4
4.4 Concaténation	5
4.5 Vérification	5

1 | Objectifs

Ce laboratoire sert à mieux faire comprendre la représentation binaire des nombres signés.



2 | Circuit à réaliser

Le circuit utilisé dans ce laboratoire comprend un générateur de signal qui est composé d'un compteur qui tourne sur lui-même suivi d'une table qui délivre un sinus. L'entrée de cette table, qui est donnée par la sortie du compteur, constitue la phase du sinus.

Ce générateur est suivi de plusieurs opérateurs dont le comportement est à analyser.

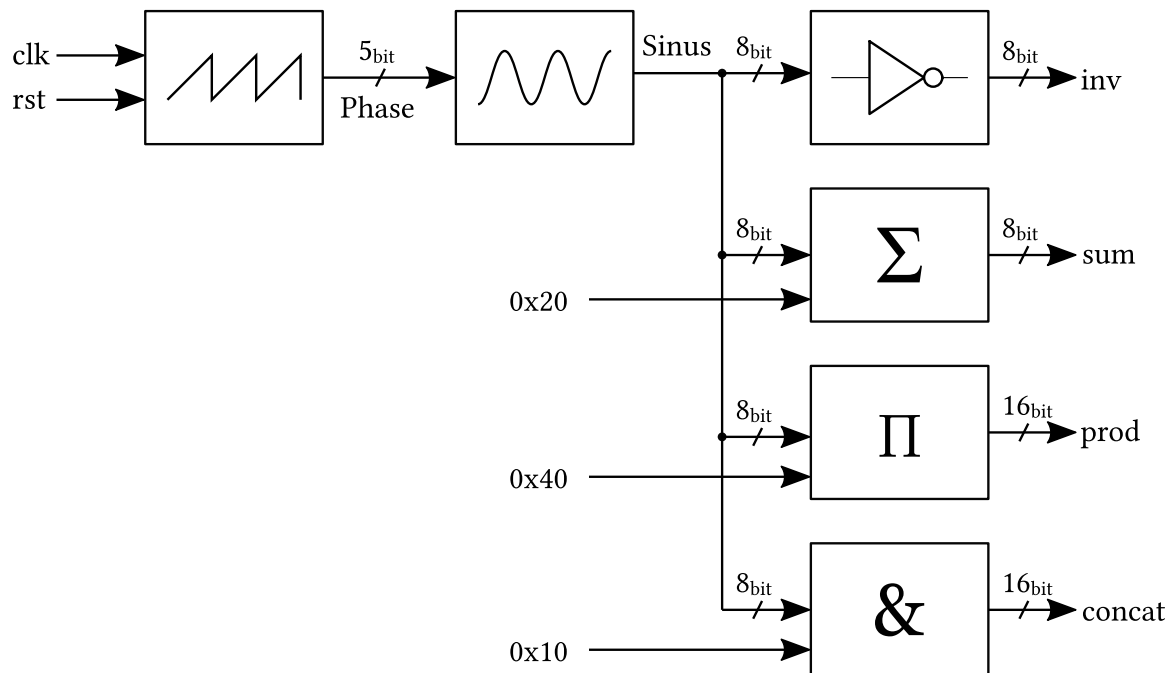


Fig. 1. – Circuit du générateur de sinus et des opérateurs



3 | Générateur de sinus

3.1 Table de sinus

Compléter le code VHDL de la table qui génère le sinus de la phase délivrée par le compteur.

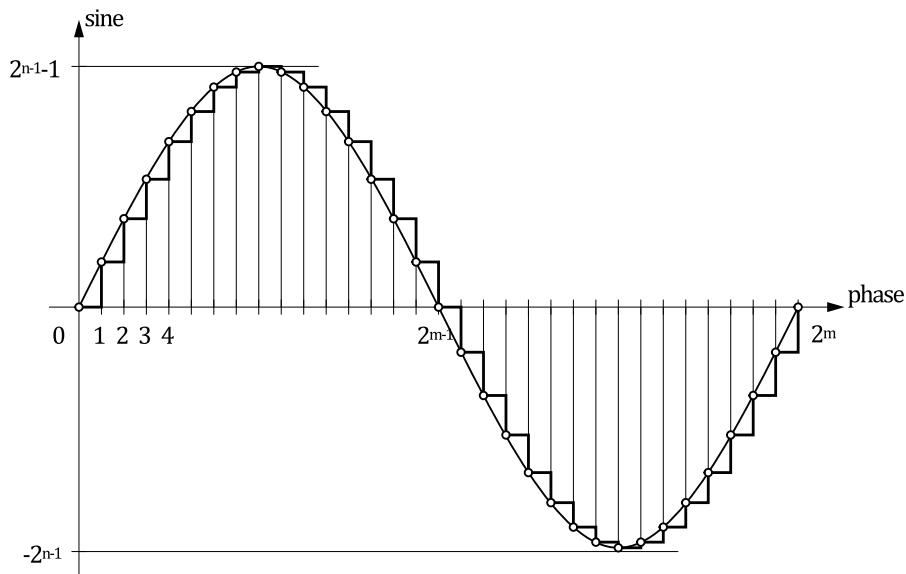


Fig. 2. – Table de sinus

La phase est considérée comme un nombre non signé, codé sur 5 bits et variant donc entre 0 et 31.
Le sinus est un nombre signé (en complément à 2), codé sur 8 bits et variant dans la gamme de -127 à $+127$.

3.2 Simulation

Effectuer une simulation pour vérifier la bonne fonctionnalité du générateur de fonction.



Veiller à ne pas afficher les sorties des opérateurs à étudier.



4 | Operateurs

4.1 Inverseur

Esquisser sur la figure suivante le comportement temporel du signal de sortie du bloc qui inverse tous les bits du signal. Déterminer les points caractéristiques du signal esquisé.

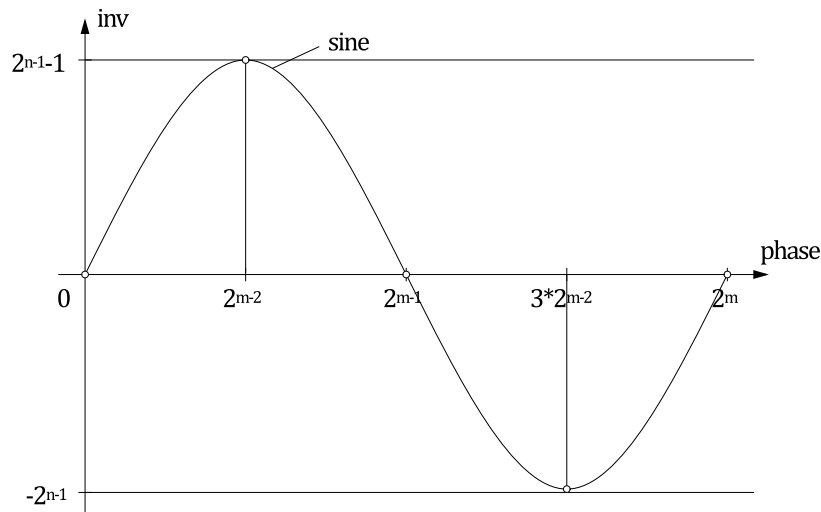


Fig. 3. – Inverseur

4.2 Additionneur

Esquisser sur la figure suivante le comportement temporel du signal de sortie du bloc qui additionne la constante d'addition (20_h) de la Fig. 1 au signal. Nous supposons une troncature du signal sur 8 bit. Déterminer les points caractéristiques du signal esquisé.

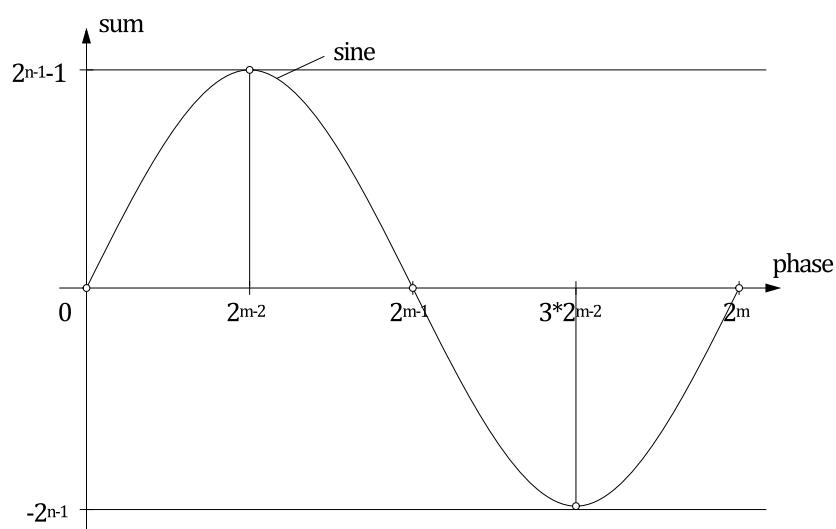


Fig. 4. – Additionneur

4.3 Multiplicateur

Esquisser sur la figure suivante le comportement temporel du signal de sortie du bloc qui multiplie le signal par la constante de multiplication (40_h) de la Fig. 1.

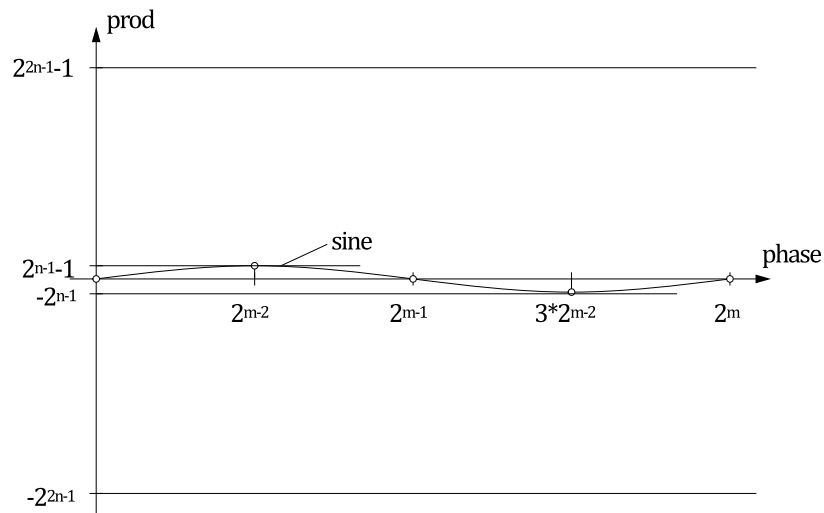
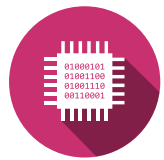


Fig. 5. – Multiplicateur

4.4 Concaténation

Esquisser sur la figure suivante le comportement temporel du signal de sortie du bloc qui concatène le signal comme Most Significant Bit (MSB)s avec la constante (Least Significant Bit (LSB)s) de la Fig. 1.

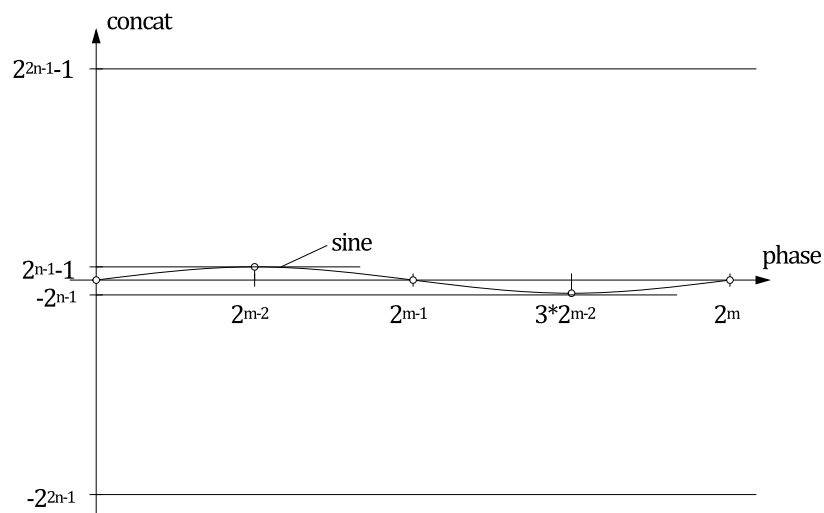


Fig. 6. – Concaténation

4.5 Vérification

Effectuer une simulation pour vérifier la bonne fonctionnalité des opérateurs analysés.