

# Éléments de mémoire et bascule (LAT)

## Cours Systèmes numérique



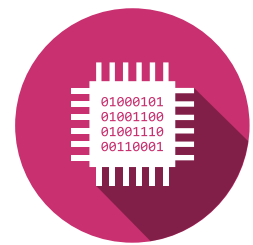
Orientation : [Informatique et systèmes de communication \(ISC\)](#)

Cours : Systèmes numérique (DiD)

Auteur : [Christophe Bianchi](#), [François Corthay](#), [Pierre Pompili](#), [Silvan Zahno](#)

Date : 25 août 2022

Version : v2.1



## Table des matières

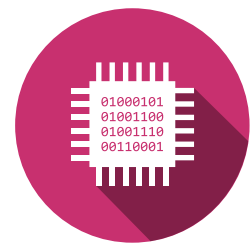
<b>1</b>	<b>Introduction</b>	<b>2</b>
<b>2</b>	<b>Éléments de mémoire</b>	<b>3</b>
2.1	Élément de mémoire (latch)	3
2.2	Élément de mémoire SR	3
2.2.1	Équation caractéristique	3
2.2.2	Analyse de l'élément de mémoire SR : modèle combinatoire	4
2.2.3	Analyse de l'élément de mémoire SR : modèle asynchrone	4
2.3	Élément de mémoire D	5
<b>3</b>	<b>Bascule (Flipflop)</b>	<b>6</b>
3.1	Bascule D (D-Flipflop)	6
3.1.1	Equation caractéristique	6
3.1.2	Définition : instant d'horloge	7
3.2	Bascule E (E-Flipflop)	7
3.3	Bascule T (T-Flipflop)	7
3.4	Entrées asynchrones	8
	<b>Références</b>	<b>9</b>
	<b>Acronymes</b>	<b>9</b>



# 1 Introduction

Dans les systèmes logiques séquentiels, les sorties ne dépendent pas uniquement des valeurs actuelles des entrées mais aussi des valeurs passées. A cet effet, les systèmes logiques séquentiels comprennent des éléments de mémorisation, et les sorties dépendent des entrées et de valeurs internes mémorisées par le système.

Les composants spécifiques aux systèmes logiques séquentiels se divisent en deux catégories : les **éléments de mémoire** et les **bascules**. Les éléments de mémoire sont sensibles au niveau de leurs signaux de commande, alors que les bascules sont sensibles à un flanc d'horloge.



## 2 Éléments de mémoire

### 2.1 Élément de mémoire (latch)

L'élément **latch** (élément de mémoire) le plus simple est composé de 2 inverseurs avec une boucle de rétroaction, comme représenté à la figure 1. Les inverseurs servent à maintenir indéfiniment le signal mémorisé.

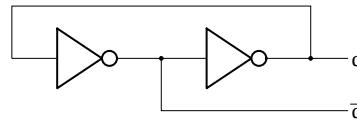


FIGURE 1 – Éléments de mémoire

La donnée que contient cet élément de mémoire peut être lue mais ne peut pas être modifiée. Pour ajouter un accès en écriture, cet élément de mémoire peut être modifié de différentes manières.



Du fait de la boucle de rétroaction, les éléments de mémoire ont généralement deux sorties complémentaires.

### 2.2 Éléments de mémoire SR

Dans un **SR-Latch** (élément de mémoire SR), on ajoute une fonction ET et une fonction OU dans le but de mettre respectivement à zéro (reset) ou à un (set) le signal mémorisé, comme présenté à la figure 2. La table 1 donne le modèle de fonctionnement de l'élément de mémoire SR.

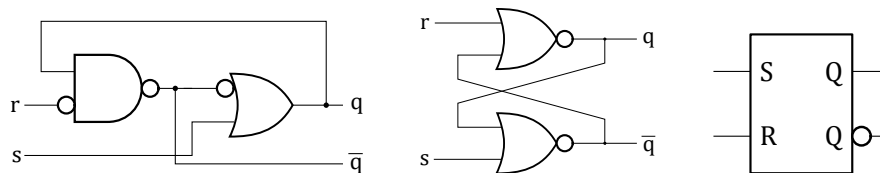


FIGURE 2 – Éléments de mémoire SR

$s$	$r$	$q$	$\bar{q}$	fonction
0	0	inchangé		mémorisation
0	1	0	1	mise à zéro
1	0	1	0	mise à un
1	1	0	0	(déconseillé)

TABLE 1 – Fonctionnement de l'élément de mémoire SR

#### 2.2.1 Équation caractéristique

L'équation booléenne qui décrit le fonctionnement de l'élément de mémoire est appelée **characteristic equation** (équation caractéristique).

Pour un élément de mémoire SR, l'équation caractéristique est :

$$q = s + \bar{r}q \quad (1)$$

L'apparition du signal  $q$  de chaque côté de l'équation rappelle la boucle de contre-réaction.



### 2.2.2 Analyse de l'élément de mémoire SR : modèle combinatoire

Pour déterminer le fonctionnement de l'élément de mémoire, on peut couper la boucle de contre-réaction, établir la table de vérité du système devenu combinatoire et ne conserver que les lignes de la table où les 2 côtés de la ligne coupée sont identiques. Ceci est représenté à la figure 3.

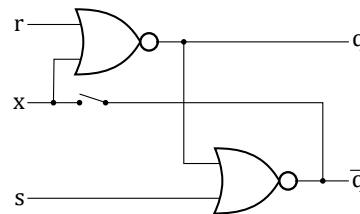


FIGURE 3 – Analyse avec le modèle combinatoire

La table 2 donne le résultat de cette analyse. En enlevant les lignes non valides de cette table, on obtient la table 1.

s	r	x	q	$\bar{q}$	valide
0	0	0	1	0	✓
0	0	1	0	1	✓
0	1	0	0	1	✗
0	1	1	0	1	✓
1	0	0	1	0	✓
1	0	1	0	0	✗
1	1	0	0	0	✓
1	1	1	0	0	✗

TABLE 2 – Fonctionnement de l'élément de mémoire SR

### 2.2.3 Analyse de l'élément de mémoire SR : modèle asynchrone

Une autre méthode d'analyse consiste à faire une simulation temporelle de l'élément de mémoire, comme le présente la figure 4. Pour bien pouvoir comprendre le fonctionnement du circuit lors de la commutation, il est préférable de tenir compte du délai de commutation associé à chaque porte.

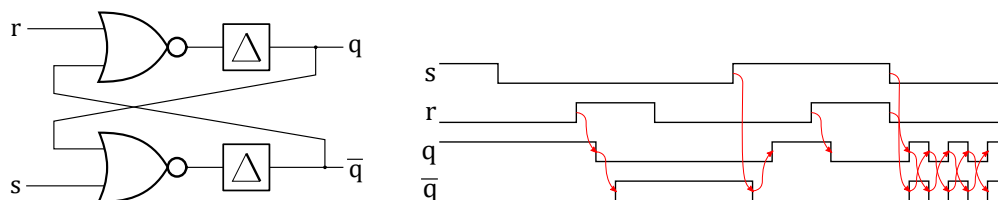
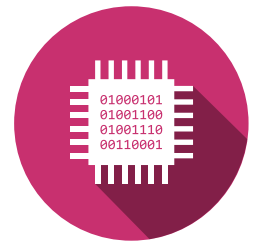


FIGURE 4 – Analyse avec le modèle asynchrone

On remarque à la figure 4 que la transition  $\{s = 1, r = 1\}$  de  $\{s = 0, r = 0\}$  à peut mettre l'élément de mémoire SR en oscillation. Une possibilité d'échapper à ce problème est d'interdire la condition  $\{s = 1, r = 1\}$ , laquelle ne remplit par ailleurs pas la condition  $q = \bar{q}$ .



L'analyse avec le modèle asynchrone se prête difficilement à une analyse exhaustive. Par contre, elle fait apparaître des problèmes de fonctionnement que l'analyse avec le modèle combinatoire ne permet pas de trouver.

L'analyse présentée à la figure 4 montre que le délai de porte dépend du type de commutation. Ainsi, la transition de '1' à '0' de la sortie  $q$  s'effectue avec 1 délai de porte NOR, alors que transition de '0' à '1' de la sortie  $q$  s'effectue avec 2 délais de porte NOR.

### 2.3 Éléments de mémoire D

Dans un D-Latch (élément de mémoire D), un multiplexeur permet de couper la boucle de contre-réaction pour charger une nouvelle valeur, comme présenté à la figure 5.

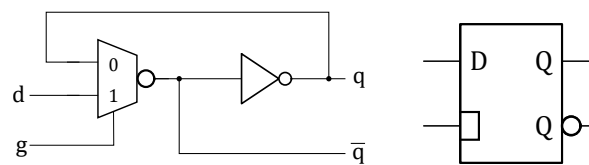


FIGURE 5 – Éléments de mémoire D

La table 3 donne le modèle de fonctionnement de l'élément de mémoire D.

$g$	$d$	$q$	fonction
0	0	inchangé	mémorisation
0	1		
1	0	0	chargement de la valeur de $d$
1	1	1	

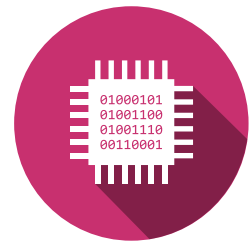
TABLE 3 – Fonctionnement de l'élément de mémoire D

L'équation caractéristique de l'élément de mémoire D est :

$$q = \bar{g}q + gd \quad (2)$$



Les éléments de mémoire sont les composants les plus simples des systèmes séquentiels. Les machines travaillant de manière synchronisée sur une horloge de référence utilisent habituellement des composants plus élaborés : **les bascules**.



### 3 Bascule (Flipflop)

#### 3.1 Bascule D (D-Flipflop)

Une **D-Flipflop** (bascule D) se réalise généralement par la mise en cascade de 2 éléments de mémoire D : un **master** (maître) suivi d'un **slave** (esclave). Ceci est illustré à la figure 6.

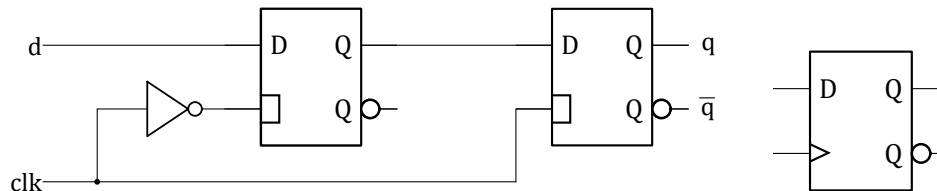


FIGURE 6 – Bascule D

Le fonctionnement de la **bascule D** peut s'expliquer comme suit :

- Lorsque le signal  $clk$  est à '0', le premier **élément de mémoire**, le **maître**, est en mode de chargement : sa sortie suit l'entrée  $d$ . Le second **élément de mémoire**, l'**esclave**, est en mode de mémorisation, il conserve la valeur de sortie précédente.
- Lorsque le signal  $clk$  passe à '1', le premier **élément de mémoire**, le **maître**, se met en mode de mémorisation. Le second **élément de mémoire**, l'**esclave**, copie le signal de sortie du maître. A ce moment, l'entrée de la bascule est donc copiée à sa sortie.
- Lorsque le signal  $clk$  est à '1', le premier **élément de mémoire**, le **maître**, est en mode de mémorisation. Le second **élément de mémoire**, l'**esclave**, copie le signal de sortie du maître. La bascule conserve donc la valeur de l'entrée au moment du flanc montant.
- Lorsque le signal  $clk$  passe à '0', le premier **élément de mémoire**, le **maître**, se met à suivre l'entrée  $d$ . Le second élément de mémoire, l'**esclave**, se met en mode de mémorisation et conserve la valeur de sortie précédente, laquelle correspond toujours à la valeur de l'entrée au moment du flanc montant.

En résumé, la sortie de la **bascule D** ne se modifie qu'au moment d'un flanc montant du signal d'horloge  $clk$ . A ce moment, la **bascule** charge en mémoire la valeur de l'entrée  $d$ .



Un **élément de mémoire** est contrôlé par le niveau logique de son signal de commande. Une bascule est contrôlée par le flanc de son signal d'horloge.

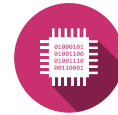


En inversant l'entrée d'horloge, on peut contrôler une bascule avec son flanc descendant. La suite de ce chapitre ne présente que les bascules pilotées au flanc montant. Le lecteur saura adapter la description dans le cas de l'utilisation de bascules commandées par le flanc descendant de l'horloge.

##### 3.1.1 Equation caractéristique

L'**équation caractéristique** d'une **bascule** donne la valeur de sa sortie après un flanc d'horloge en fonction des entrées et de la sortie au moment du flanc d'horloge.

Pour une **bascule D**, l'**équation caractéristique** est :



$$q^+ = d \quad (3)$$



La notation  $q^+$  indique qu'il s'agit de la valeur de la sortie après un flanc d'horloge.

### 3.1.2 Définition : instant d'horloge

Après un flanc montant du signal d'horloge, les sorties des bascules commutent. Comme elles peuvent mettre un certain temps à se stabiliser, elles ne doivent pas être utilisées directement après le flanc d'horloge.

L' instant d'horloge est défini comme étant le moment où le signal d'horloge est à '0'. A ce moment, les données peuvent être considérées comme stables. Ceci est illustré à la figure 7.

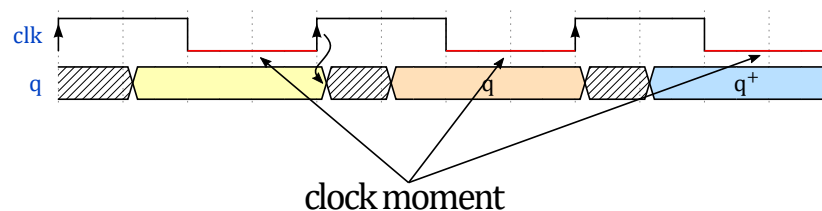


FIGURE 7 – Instants d'horloge

La figure 7 présente aussi la notation  $q^+$  utilisée dans l'équation caractéristique des .

## 3.2 Bascule E (E-Flipflop)

Une E-Flipflop (bascule E) peut être définie par son équation caractéristique :

$$q^+ = ed + \bar{e}q \quad (4)$$

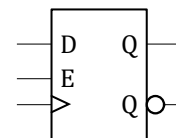


FIGURE 8 – Bascule E

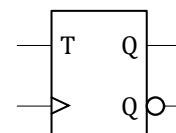
Le fonctionnement est similaire à celui d'une bascule D, à la différence que la commande  $e$  spécifie si la bascule échantillonne le signal d'entrée ou s'il conserve la valeur mémorisée. La table 4 présente le modèle d'utilisation d'une bascule E.

## 3.3 Bascule T (T-Flipflop)

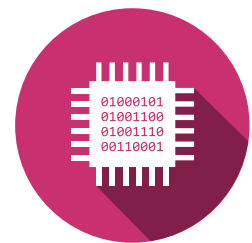
La T-Flipflop (bascule T) (de l'anglais toggle) se limite à la mémorisation et à l'inversion de la valeur mémorisée. Son fonctionnement est présenté à la table 5.

L'équation caractéristique de la bascule T est :

$$q^+ = t \oplus q \quad (5)$$







$e$	$d$	$q$	$q^+$	fonction
0	0	0	0	mémorisation
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	0	échantillonnage
1	0	1	0	
1	1	0	1	
1	1	1	1	

TABLE 4 – Fonctionnement de la bascule E

$t$	$q$	$q^+$	fonction
0	0	0	mémorisation
0	1	1	
1	0	1	inversion
1	1	0	

TABLE 5 – Fonctionnement de la bascule T

FIGURE 9 – Bascule T



Avec la propriété d'inversion de la valeur mémorisée, la bascule T est intéressante pour la réalisation de compteurs.

### 3.4 Entrées asynchrones

En plus de leurs entrées normales, échantillonnées au flanc de l'horloge, les bascules peuvent avoir des entrées asynchrones. Une entrée *clr* (clear) permet de forcer à '0' la sortie de la bascule. Une entrée *pre* (preset) permet de forcer à '1' la sortie de la bascule. Ces entrées ont un effet immédiat : la sortie est mise à jour sans attendre le prochain flanc d'horloge.

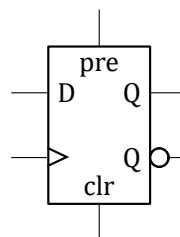
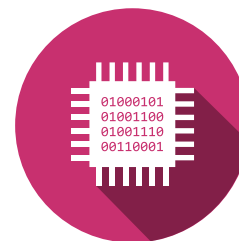


FIGURE 10 – Bascule D avec entrées asynchrones



Les entrées asynchrones des sont à utiliser avec modération. Elles servent principalement à mettre un système dans un état connu au moment de la mise sous tension des circuits.



## Références

- [1] Suhail ALMANI. *Electronic Logic Systems*. second edition. New-Jersey : Prentice-Hall, 1989.
- [2] Jean Michel BERNARD et Jean HUGON. *Pratique Des Circuits Logiques*. quatrième édition. Paris : Eyrolles, 1987.
- [3] Klaus Elektronik Bd BEUTH. *Digitaltechnik*. Vogel Buchverlag, 1990. ISBN : 3-8023-1755-6.
- [4] Michael D. CILETTI et M. Morris MANO. *Digital Design*. second edition. New-Jersey : Prentice-Hall, 2007.
- [5] Marcel GINDRE et Denis ROUX. *Electronique Numérique, Logique Combinatoire et Technologie*. Paris : McGraw-Hill, 1987.
- [6] Martin V. KÜNZLI et Marcel MELI. *Vom Gatter Zu VHDL : Eine Einführung in Die Digitaltechnik*. vdf Hochschulverlag AG, 2007. ISBN : 3 7281 2472 9.
- [7] David LEWIN et Douglas PROTHEROE. *Design of Logic Systems*. second edition. Hong Kong : Springer, 2013.
- [8] Daniel MANGE. *Analyse et synthèse des systèmes logiques*. Editions Géorgi. T. Traité d'électricité, volume V. St Saphorin : PPUR presses polytechniques, 1995. 362 p. ISBN : 978-2-88074-045-0. Google Books : [5NSdD4GRl3cC](#).
- [9] Clive MAXFIELD. *Bebop to the Boolean Boogie*. Elsevier, 2009. ISBN : 978-1-85617-507-4. DOI : [10.1016/B978-1-85617-507-4.X0001-0](#). URL : <https://linkinghub.elsevier.com/retrieve/pii/B9781856175074X00010> (visité le 27/05/2021).
- [10] Ronald J. TOCCI et André LEBEL. *Circuits Numériques : Théorie et Applications*. deuxième édition. Ottawa : Editions Reynald Goulet inc. / Dunod, 1996.
- [11] John F. WAKERLY. *Digital Design : Principles And Practices*. 3rd edition. Prentice-Hall, 2008. ISBN : 0-13-082599-9.

## Acronymes

**basculer** Flipflop. [6–8](#)

**basculer D** D-Flipflop. [6, 7](#)

**basculer E** E-Flipflop. [7, 8](#)

**basculer T** T-Flipflop. [7, 8](#)

**D-Speicherelement** D-Latch. [1](#)

**E-Flipflop** E-Flipflop. [1](#)

**esclave** slave. [6](#)

**maître** master. [6](#)

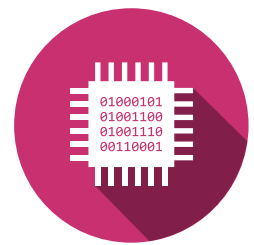
**Speicherelement** latch. [1](#)

**SR-Speicherelement** SR-Latch. [1](#)

**T-Flipflop** T-Flipflop. [1](#)

**élément de mémoire** latch. [3, 4, 6](#)

**élément de mémoire D** D-Latch. [5](#)



**élément de mémoire SR** SR-Latch. [3](#), [4](#)

**équation caractéristique** characteristic equation. [3](#), [5–7](#)