



Récepteur Série

Laboratoire Conception Numérique

Contenu

1 Objectifs	1
2 Récepteur Série	2
2.1 Transmission série	2
2.2 Circuit	2
3 Finite State Machine (FSM)	3
3.1 Éléments de la FSM	3
3.2 États et Transitions	4
3.3 Code d'action, déclarations de transition et constructeur d'expressions	4
4 Réalisation	6
4.1 Analyse	6
4.2 Développement	6
4.3 Simulation	7
5 Checkout	8
Glossaire	9

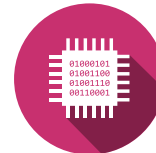
1 | Objectifs

Ce laboratoire vise à pratiquer la conception de circuits numériques synchrones en utilisant une **FSM**. Il se concentre sur la mise en œuvre d'un récepteur série de type RS232, y compris :

- Comprendre les principes de la communication série asynchrone.
- Concevoir et implémenter un registre à décalage et un compteur diviseur d'horloge.
- Créer une **FSM** dans HDL Designer pour contrôler le processus de réception.

À travers ce laboratoire, les étudiants acquerront une expérience pratique dans la combinaison de la logique séquentielle (**FSM**, compteurs) avec la gestion des données (registres à décalage) pour réaliser un module de communication complet.

La fonctionnalité du récepteur sera vérifiée en décodant un message envoyé par le μ Processeur Xilinx **PicoBlaze** développé dans les laboratoires précédents.



2 | Récepteur Série

2.1 Transmission série

Un récepteur série est un circuit numérique qui convertit un flux de données série asynchrone entrant en données parallèles adaptées à un traitement ultérieur. La Fig. 1 montre le timing de la transmission série d'un mot de données, où les données sont transmises bit par bit, en commençant par un bit de départ (start bit), suivi des bits de données (**Least Significant Bit (LSB)** en premier), et se terminant par un bit d'arrêt (stop bit).

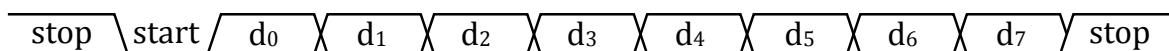


Fig. 1 - Transmission série

2.2 Circuit

Le cœur de la conception dans Fig. 2 se compose de :

- Un registre à décalage pour collecter les bits entrants et les convertir en format parallèle.
- Un compteur pour diviser l'horloge du système et se synchroniser avec le débit en bauds des données entrantes.
- Une machine à états finis (**FSM**) pour contrôler le processus de réception, détecter le bit de départ, échantillonner chaque bit de données au bon moment et valider le bit d'arrêt.

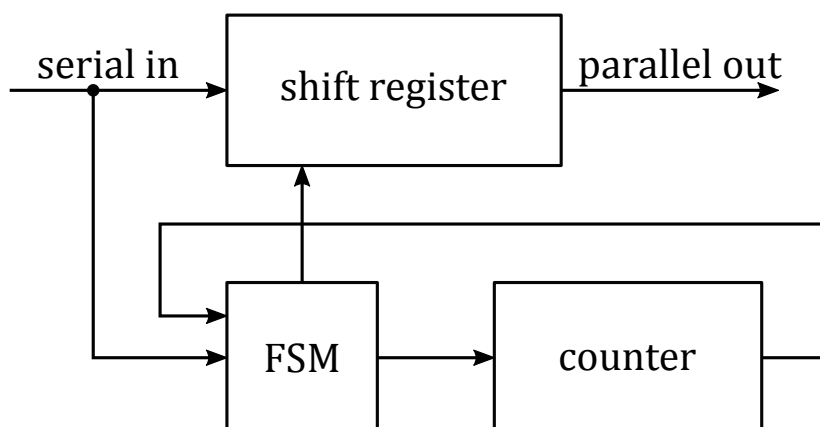


Fig. 2 - Schéma-bloc du récepteur série

La **FSM** surveille la ligne d'entrée série, détecte la transition indiquant le début d'une trame (start bit) et déclenche des impulsions d'échantillonnage régulières via le compteur. Chaque bit échantillonné est décalé dans le registre jusqu'à ce que l'octet complet soit reçu. La sortie est ensuite mise à disposition sous forme parallèle pour les étapes suivantes du système.



Étudier les éléments et signaux existants dans le bloc **COM/serialPortReceiver**.



3 | FSM

Dans le bloc **COM/receiverController**, une **FSM** sera implémentée pour contrôler la réception des données série. La **FSM** gèrera le timing de l'échantillonnage des bits entrants, garantissant que chaque bit est lu au bon moment par rapport au débit en bauds du flux de données entrant.

3.1 Éléments de la FSM

Plusieurs éléments sont déjà disponibles, ils sont **codés en couleur** dans Fig. 3.

1. Définition du signal d'horloge et de sa condition de déclenchement. Dans ce cas, l'événement d'horloge se produit sur le front montant du signal **clock**.
2. Définition du signal de réinitialisation, de la condition de réinitialisation et de l'état après la réinitialisation. Dans ce cas, le signal de réinitialisation est nommé **reset**; lorsqu'il est haut, le système se réinitialise et passe à l'état **startup**.
3. L'état de récupération utilisé lorsqu'il n'y a pas d'autre affectation d'état valide.
4. États de la **FSM**. Chaque état nécessite un nom unique. Le code à droite est exécuté pendant que vous résidez dans cet état (*le code est optionnel*). Dans ce cas :

```

1 restartCounter <= '1';
2 -- ^ ^ ^ ^
3 -- | | | +-- Symbole de fin requis d'une instruction
4 -- | | +---- Valeur à assigner au signal
5 -- | +----- Symbole d'assignation (attention <= pas =)
6 -- +----- Signal auquel attribuer une valeur

```

Liste 1 - Code exécuté dans l'état **startup**

5. Condition de transition pour relier les états entre eux (*les conditions sont optionnelles*). Dans ce cas :

```

1 serialIn = '1'
2 -- ^ ^ ^ ^
3 -- | | | +-- Aucun symbole de fin requis puisque c'est une condition
4 -- | | +---- Condition pour prendre la transition
5 -- | +----- Comparateur égal (attention = pas ==)
6 -- +----- Le côté gauche de la condition est le signal `serialIn`

```

Liste 2 - Condition pour prendre la transition entre les états **startup** et **idle**

Cela peut être traduit par « si le signal **serialIn** est égal à '1', alors l'état changera ».

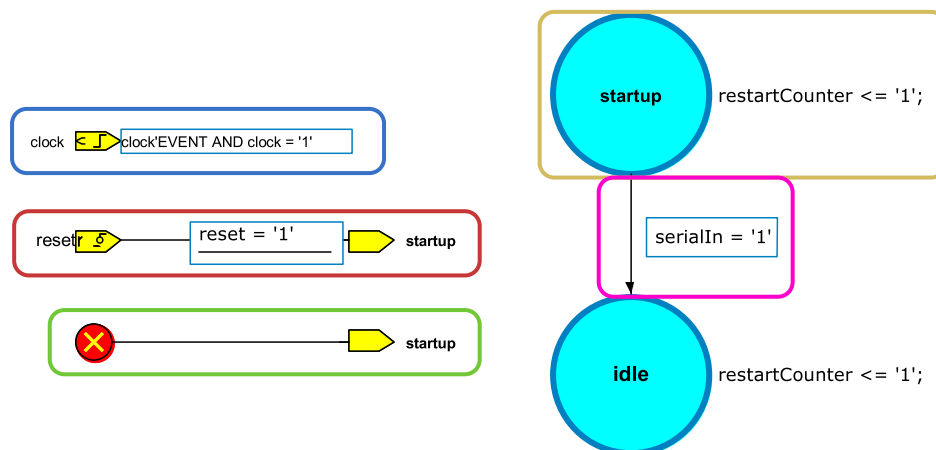
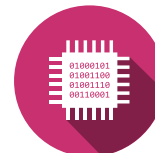


Fig. 3 - Éléments de la FSM donnée

3.2 États et Transitions

La FSM aura plusieurs états, chacun représentant une phase spécifique du processus de réception. Les transitions entre ces états seront déclenchées par des événements définis dans les flèches. Si la flèche n'a pas de déclencheur, cela signifie que la transition est toujours active et qu'au prochain cycle d'horloge, elle passe dans tous les cas à l'état suivant.

En haut de l'éditeur se trouvent plusieurs barres d'outils avec toutes les fonctions nécessaires pour éditer la FSM. La première barre d'outils Fig. 4, qui permet de créer de nouveaux états (cercle bleu) et transitions (flèche noire).



Fig. 4 - Barre d'outils pour créer de nouveaux états ou transitions dans une FSM

3.3 Code d'action, déclarations de transition et constructeur d'expressions

Pour toutes les actions ou conditions de transition, vous devez écrire du code **Very Highspeed Integrated Circuit Hardware Description Language (VHDL)**. Pour ce labo, nous n'avons besoin d'écrire que des conditions simples pour les transitions, voir Liste 2 ou des assignations de signaux simples pour les états, voir Liste 1.

La deuxième barre d'outils contient le bouton pour ouvrir le **constructeur d'expressions** Fig. 5, il vous permet de créer de nouvelles expressions pour les conditions des transitions et le code dans les états.

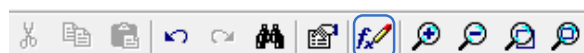


Fig. 5 - Barre d'outils pour ouvrir le constructeur d'expressions



Pour éditer une action d'état ou une condition de transition, vous pouvez double-cliquer sur l'état ou la transition dans l'éditeur. Cela ouvrira un éditeur de code où vous pourrez écrire/modifier le code **VHDL** pour l'action ou la condition.

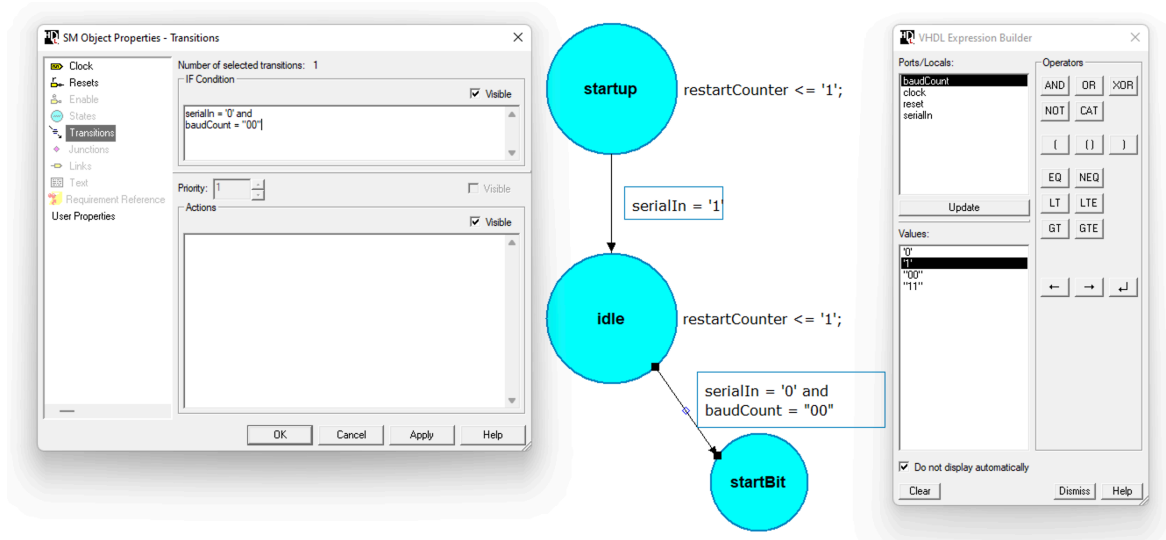
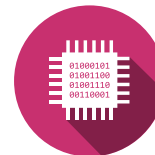


Fig. 6 - Éditeur de code pour une action d'état ou une condition de transition

Une comparaison avec un signal à un seul bit tel que **serialIn** ou un signal à plusieurs bits tel que **baudCount** est légèrement différente.

1. Tout d'abord, aucune comparaison n'est requise avec deux signes égaux `==` comme dans d'autres langages de programmation, mais seulement un `=`.
2. La deuxième différence est que la valeur de comparaison du signal pour les signaux à un seul bit est entouré de guillemets simples `'` et pour les signaux à plusieurs bits de guillemets doubles `"`.
3. Avec les opérateurs booléens tels que **and**, **or** et **not**, vous pouvez combiner plusieurs conditions ensemble.



Par exemple, pour vérifier si l'entrée série est basse et que le compteur de bauds est zéro, vous pouvez écrire :

```

1  serialIn = '0' and baudCount = "00"
2  -- \_____/ ^ \_____/
3  -- |         | +--- Comparaison d'un signal à plusieurs bits
4  -- |         +----- booléen opérateur
5  -- +----- Comparaison d'un signal à un seul bit

```



4 | Réalisation

Les trois composants principaux du récepteur de port série à implémenter sont :

- **COM/shiftRegister** pour collecter les bits entrants et les convertir en format parallèle.
- **COM/baudrateCounter** pour diviser l'horloge du système et se synchroniser avec le débit en bauds des données entrantes.
- **COM/receiverController** pour contrôler le processus de réception, détecter le bit de départ, échantillonner chaque bit de données au bon moment et valider le bit d'arrêt.

4.1 Analyse

Afin de contrôler précisément la réception des données série, le timing des bits reçus est crucial.



Lancez une simulation du **COM_test/serialPortReceiver_tb** avec le fichier **\$SIMULATION_DIR/COM.do**

- Déterminez le nombre de périodes d'horloge nécessaires au banc d'essai pour envoyer un seul bit en analysant le signal **serialOut**.
- Déterminez le nombre de bits requis pour le compteur **COM/baudrateCounter**.

4.2 Développement

Avec toutes les informations recueillies dans la section précédente, vous pouvez maintenant implémenter les trois composants principaux du récepteur de port série.



Implémentez le registre à décalage **COM/shiftRegister**. Les 8 bits de données série par trame sont sortis en format parallèle. À chaque impulsion du signal **shiftEn**, le prochain bit est décalé dans le registre à décalage.



Implémentez le compteur **COM/baudrateCounter**.

- N'oubliez pas de valider/changer le nombre de bits du signal **baudCount** sur le **COM/serialPortReceiver**.
- Le compteur doit prendre en charge une réinitialisation synchrone avec le signal **restartCounter**.
- Les données doivent être échantillonnées aussi près que possible du milieu de la période du bit.



Implémentez la machine à états finis **COM/receiverController**. Elle doit détecter le début et la fin d'une trame et générer les signaux **restartCounter** ainsi que **shiftEn** en conséquence.



4.3 Simulation

Une fois implémentés, simulez les trois composants avec le banc d'essai **COM_test/serialPortReceiver_tb**. Le μ Processeur Xilinx Picoblaze développé dans les laboratoires précédents sera utilisé pour envoyer les données série au **COM/serialPortReceiver**.



Simulez le banc d'essai **COM_test/serialPortReceiver_tb** avec le fichier de simulation **\$SIMULATION_DIR/COM.do**.

- Validez les données envoyées et décodées.
- Calculez le débit en bauds de la transmission série.



5 | Checkout

C'est la fin du laboratoire, vous avez réussi à construire un système avec plusieurs différents blocs. Avant de quitter le laboratoire, assurez-vous d'avoir accompli les tâches suivantes :

- ☐ Théorie
 - ☐ Vous comprenez comment créer des machines à états **FSM** dans HDL Designer.
- ☐ Conception du circuit
 - ☐ Les trois blocs **COM/shiftRegister**, **COM/baudrateCounter** et **COM/receiverController** ont été créés et testés.
- ☐ Simulations
 - ☐ Les données envoyées par le **COM/nanoprocessor** sont correctement lues et parallélisées par le **COM/serialPortReceiver**.
 - ☐ Les bits individuels sont lus aussi près que possible du milieu.
- ☐ Documentation et fichiers de projet
 - ☐ Assurez-vous que toutes les étapes (conception, simulations, comparaison) sont bien documentées dans votre rapport de laboratoire.
 - ☐ Enregistrez le projet sur une clé USB ou sur le lecteur réseau partagé (\\filer01.hevs.ch).
 - ☐ Partagez les fichiers avec votre partenaire de laboratoire pour assurer la continuité du travail.



Glossaire

FSM – Finite State Machine [1](#), [1](#), [1](#), [1](#), [2](#), [2](#), [3](#), [3](#), [3](#), [3](#), [3](#), [4](#), [4](#), [4](#), [4](#), [8](#)

LSB – Least Significant Bit [2](#)

PicoBlaze: PicoBlaze is a small, 8-bit microcontroller designed by Xilinx for use in FPGAs. It is often used in educational settings to teach basic microcontroller concepts. [1](#)

VHDL – Very Highspeed Integrated Circuit Hardware Description Language [4](#), [4](#)