

Récepteur Série (COM)

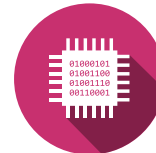
Laboratoire Digital Design

Contenu

1 Objectifs	1
2 Récepteur série	2
2.1 Transmission sérielle	2
2.2 Circuit	2
3 Réalisation d'un récepteur en série	3
3.1 Fonctionnement	3
3.2 Réalisation	3

1 | Objectifs

Ce laboratoire présente la mise en oeuvre d'une machine d'états (Finit State Machine (FSM)).
Il exerce la réalisation d'un récepteur de signal sériel de type RS232.



2 Récepteur série

2.1 Transmission série

La Fig. 1 présente le déroulement temporel de l'envoi en série d'un mot de donnée.

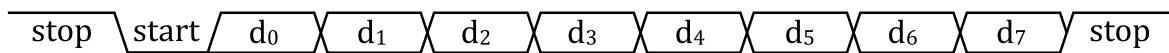


Fig. 1. – Transmission série

Le signal sériel est transmis avec le bit de poids faible en premier.

2.2 Circuit

La Fig. 2 présente le circuit à réaliser.

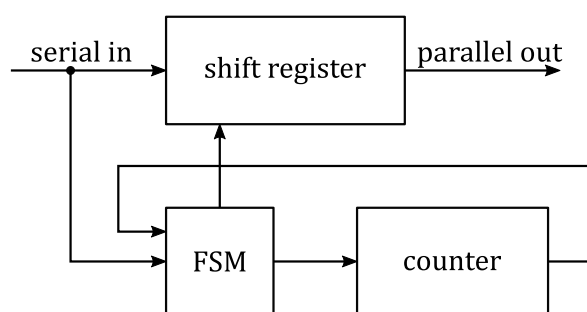


Fig. 2. – Schéma-bloc du récepteur série

Le registre à décalage reçoit le mot série bit après bit et le rend sous forme parallèle. Le circuit de contrôle lui indique quand on se trouve au milieu de la transmission de l'un des bits. Pour cela, le circuit de contrôle attend le passage à zéro indiquant l'arrivée du « start bit », puis donne des impulsions à distance régulière l'une de l'autre.

Un compteur divise la fréquence d'horloge pour permettre au système de s'aligner à la vitesse de transmission du signal série. Ce compteur est remis à zéro à l'arrivée du « start bit ».



3 | Réalisation d'un récepteur en série

3.1 Fonctionnement

Déterminer le nombre de périodes d'horloge nécessaire à l'émetteur série du banc de test pour émettre un bit du signal série.

Déterminer le nombre de bits du compteur pour la réception du signal série.

3.2 Réalisation

Dans le schéma du récepteur, mettre à jour la constante qui définit le nombre de bits du compteur utilisé.

Dessiner le circuit du registre à décalage ayant une entrée qui spécifie s'il faut décaler ou non.

Dessiner le circuit du compteur avec remise à zéro synchrone.

Dessiner le graphe de la machine d'états qui contrôle le système.

Simuler le système et vérifier le bon fonctionnement du récepteur série.