



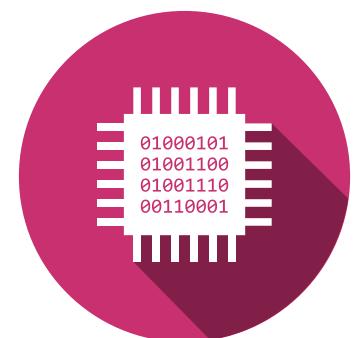
Digitales Design (DiD)

Festwertspeicher

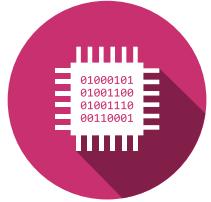
ROM

Studiengang Systemtechnik
Studiengang Energie und Umwelttechnik
Studiengang Informatik und Kommunikationssysteme

Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch



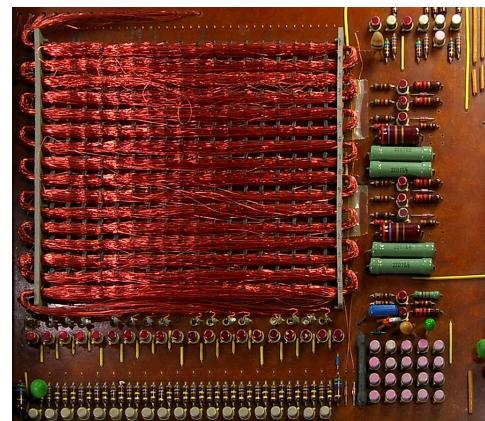
ROM – Read only memory



Festwertspeicher (ROM) ist ein Datenspeicher auf den nur lesend zugegriffen werden kann und der nicht flüchtig ist. Das heisst er hält die Daten auch im stromlosen Zustand.

Wird heutzutage meist durch Flash ersetzt.

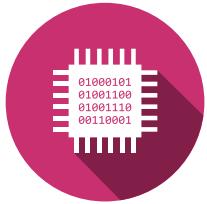
Hauptanwendungsbereich sind die Bios Speicher



Quelle: Wikipedia

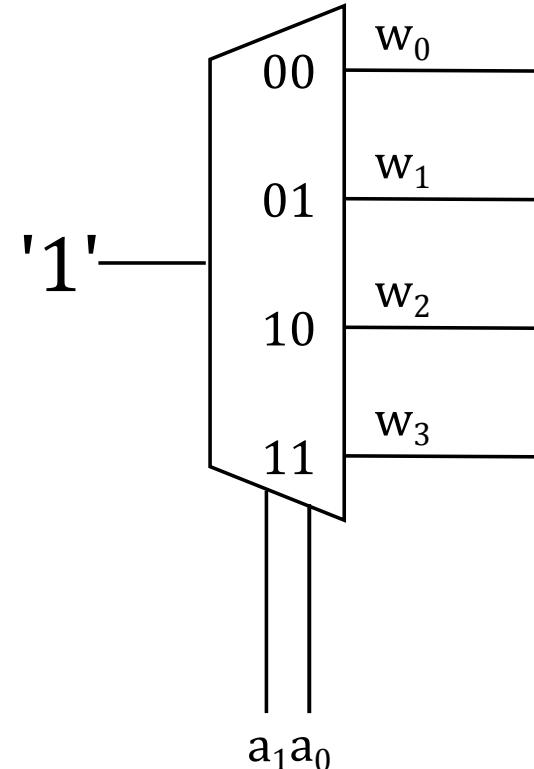
ROM – Read only memory

Mux Aufbau



a_1	a_0	w_0	w_1	w_2	w_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

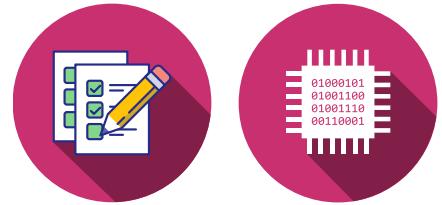
- n -Bit Steuerungseingang
- $2^n n$ -Bit mögliche Ausgänge



Aufgabe

Realisierung einer programmierbaren OR-Funktion

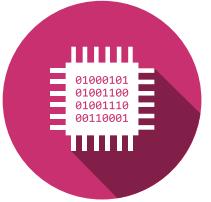
a_1	a_0	w_0	w_1	w_2	w_3	d_3	d_2	d_1	d_0
0	0	1	0	0	0	1	0	0	1
0	1	0	1	0	0	0	1	1	1
1	0	0	0	1	0	1	1	1	1
1	1	0	0	0	1	0	1	0	0



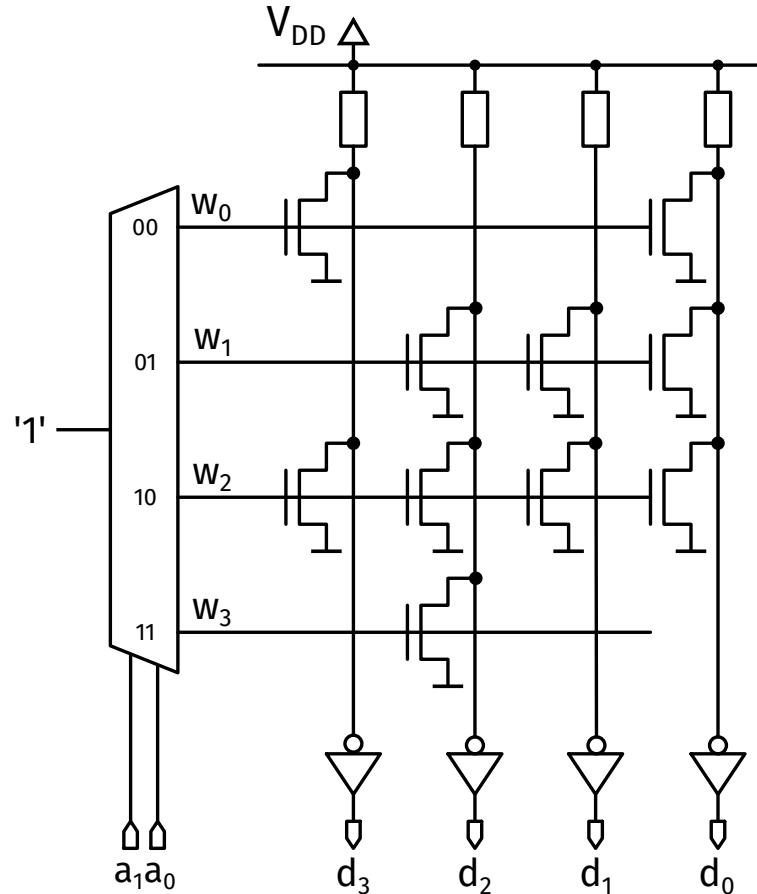
$$\begin{cases} d_3 = \overline{a_0} \\ d_2 = a_0 + a_1 \\ d_1 = a_0 \oplus a_1 \\ d_0 = \overline{a_0 * a_1} \end{cases}$$

ROM – Read only memory

Mux-OR Aufbau & Kapazität



$$C = n_w * n_d = 2^{n_w} * n_d$$



DiD ROM

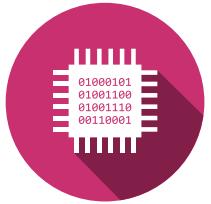
Aufgabe 1.1 (rom/logic-function-01)

Speichergrößen

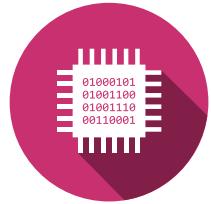
- a) Was für eine Kapazität hat der Speicher im vorherigen Slide?

- b) Was für eine Kapazität besitzt ein Speicher mit 10 Eingangs- und 8 Ausgangsleitungen?

- c) Was für ein Kapazität besitzt ein Speicher mit 16 Eingangs- und 8 Ausgangsleitungen?

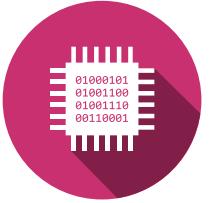


Binärsystem - Auffrischung



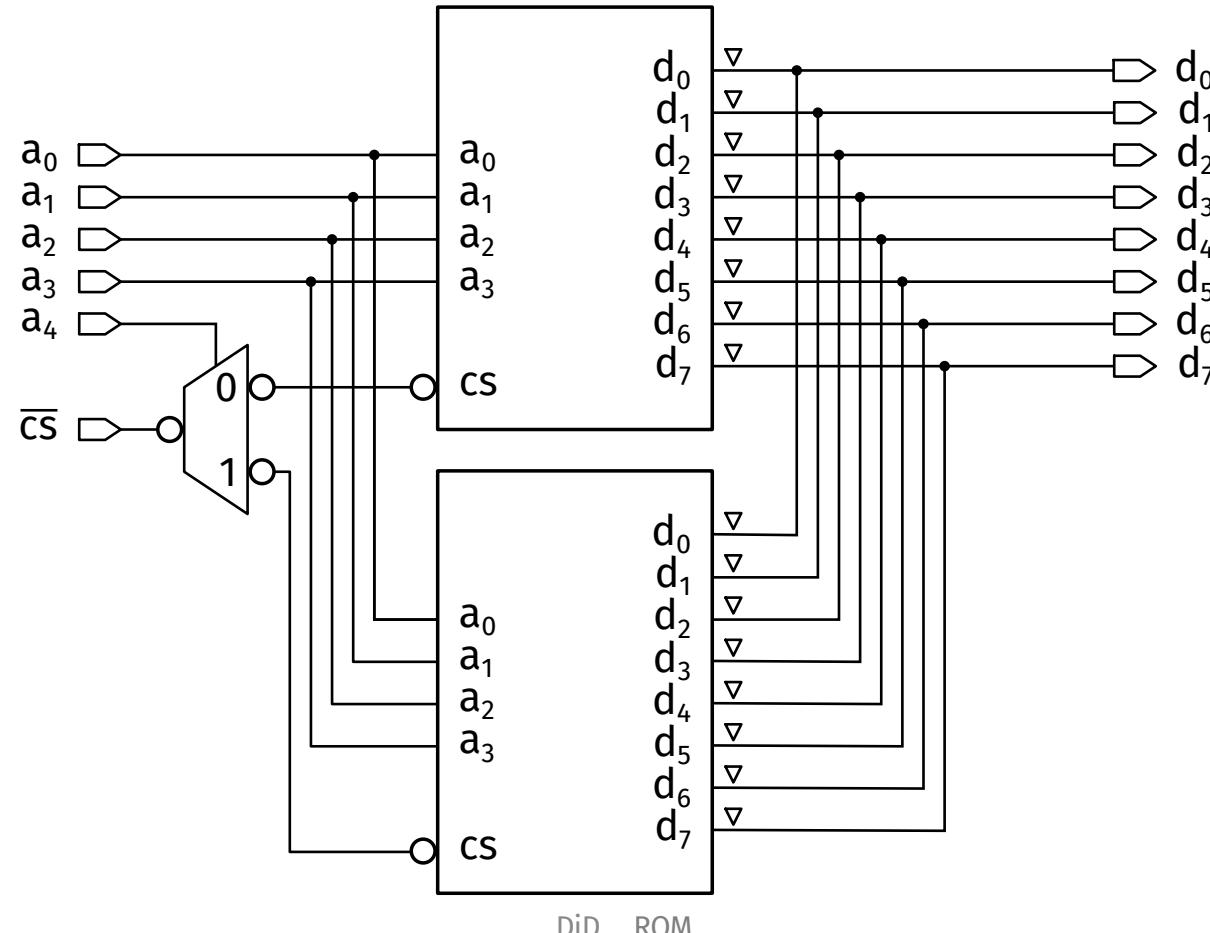
- 8 BIT bilden ein Byte (octet)
 - Rein historisch
- Using IEC standard:
 - 1 KiB = 1'024 bytes (Note: big K)
 - 1 MiB = 1'024 KiB = 1'048'576 bytes
 - 1 GiB = 1'024 MiB = 1'048'576 KiB = 1'073'741'824 bytes
- Using SI standard:
 - 1 kB = 1'000 bytes (Note: small k)
 - 1 MB = 1'000 kB = 1,000,000 bytes
 - 1 GB = 1'000 MB = 1'000'000 KB = 1'000'000'000 bytes

11110101
8 Bit = 1 Byte



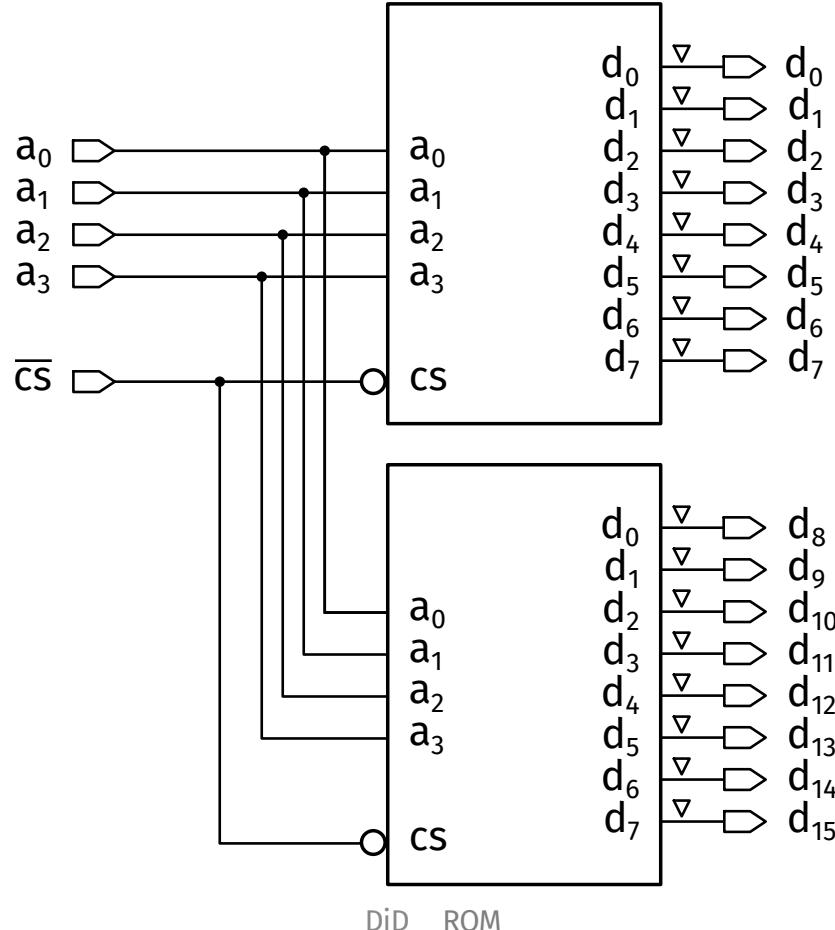
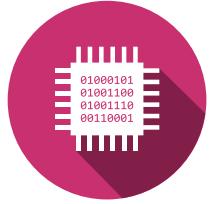
Speicher Zusammenschaltung

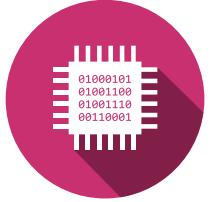
Serienschaltung



Speicher Zusammenschaltung

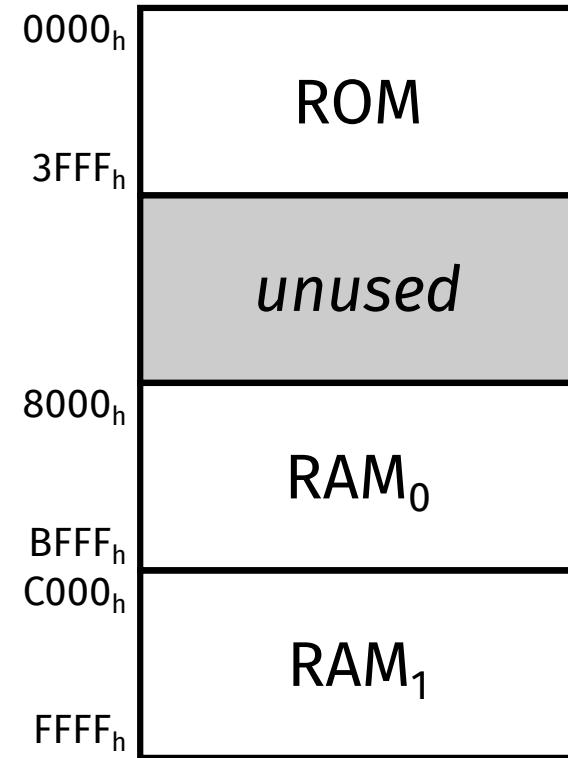
Parallelschaltung





Speicherbelegungsplan

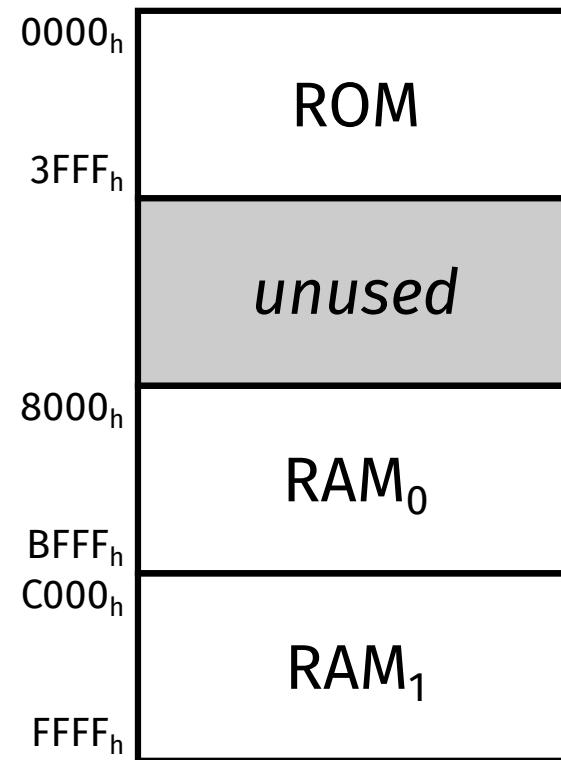
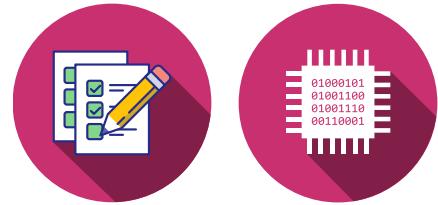
- Speicherbelegungsplan eines µP mit 16 Addressleitungen

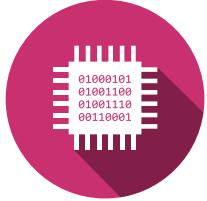


Aufgabe 2.1 (*rom/rom-circuits-01*)

ROM Dekodierung

Zeichnen Sie Dekodierung des ROM der folgenden Speicherbelegung.





Object file format

Intel HEX

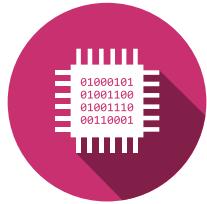
- : - Start delimiter
 - **Byte Count**
 - **Address**
 - **Record Type**
 - 00 - Data
 - 01 - End of File
 - 02 - Extended Segment Address
 - 03 - Start Segment Address
 - 04 - Extended Linear Address
 - 05 - Start Linear Address
 - Data
 - **Checksum**
 - Das Prüfsummenbyte eines Datensatzes ist das Zweierkomplement des niedrigstwertigen Bytes (LSB) der Summe aller dekodierten Bytewerte im Datensatz vor der Prüfsumme
- :020000020000FC
:10000000000D1925313C47515B636A71767A7E7F1A
:100010007F7F7E7A76716A635B51473C3125190D8B
:1000200000F3E7DBCFC4B9AFA59D968F8A868281A6
:10003000808182868A8F969DA5AFB9C4CFDBE7F316
:00000001FF

Aufgabe 3.1.a (rom/crc-01)

CRC Checksum

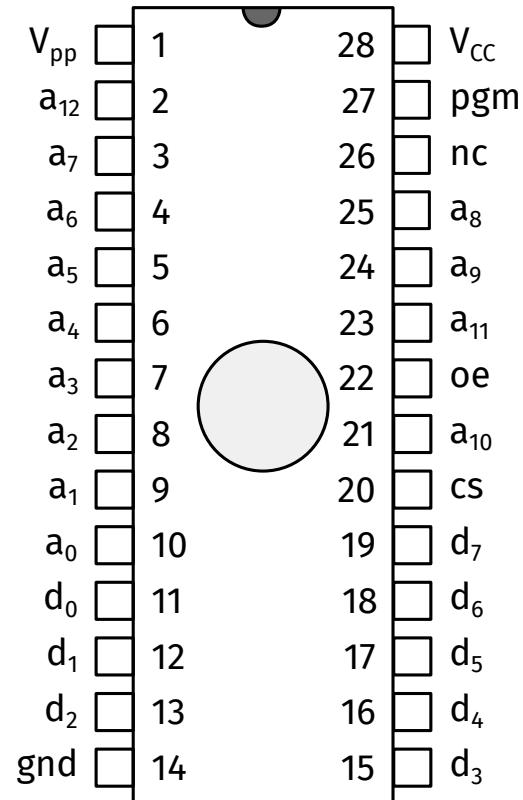
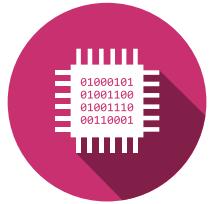
Berechne die CRC Checksumme des Intel Hex File Eintrages

: 030030002337A~~XX~~



Speicher Typen

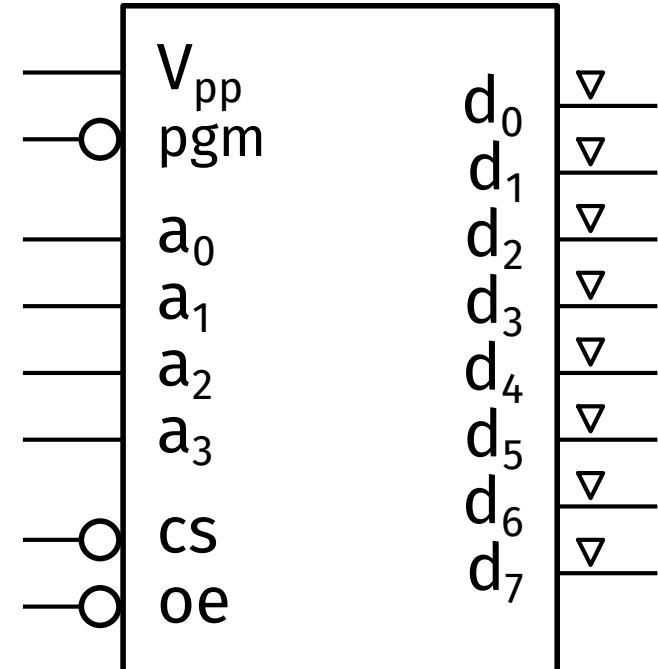
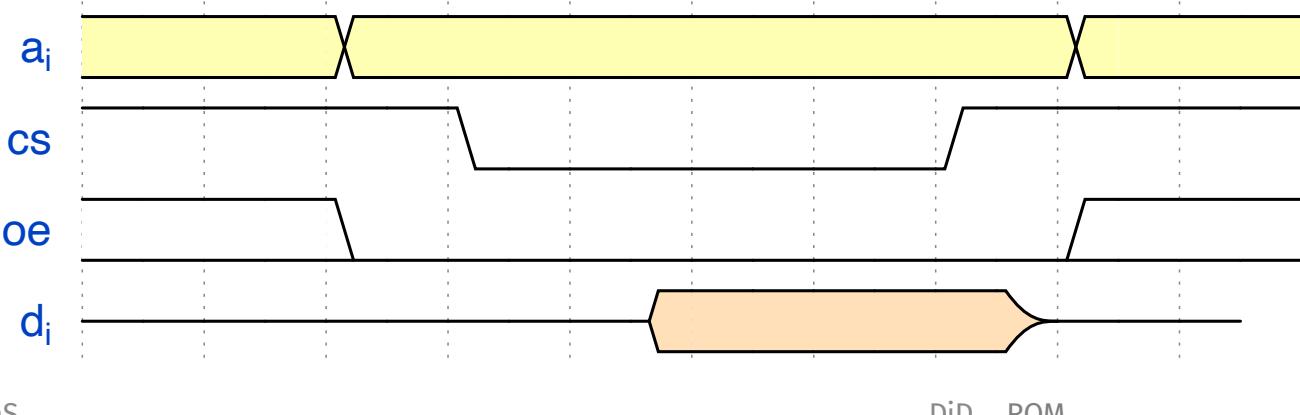
- PROM
- EEPROM
- OTP-ROM
- EEPROM
- Flash



Speicherzugriff

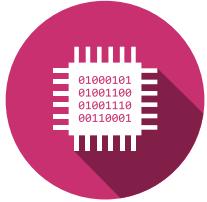
Parallele Schnittstelle

- Mehr Signale
- Höhere Bandbreite
(bei gleichbleibender Taktrate)

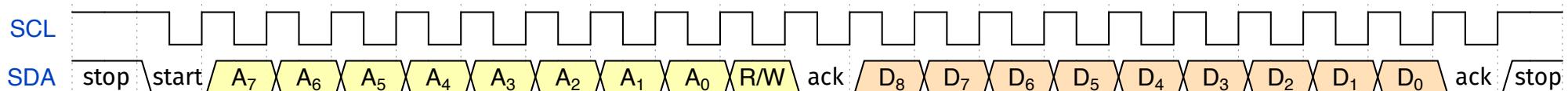
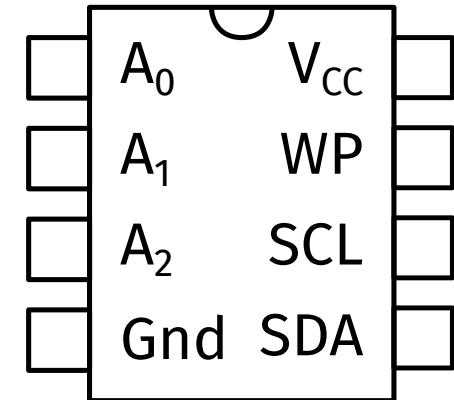


Speicherzugriff

Serieller Schnittstelle (I2C)



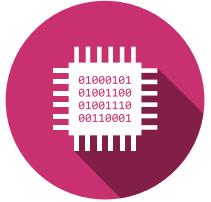
- Weniger Signale
- Tiefere Bandbreite
(bei gleichbleibender Taktrate)

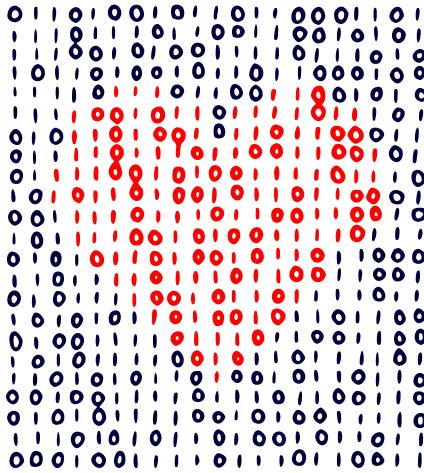


Aufgabe 4.1 (rom/rom-types-01)

ROM Bandbreite

Eine ROM wird mit serieller (I₂C) und paralleler Schnittstelle angeboten. Der Speicher umfasst 8 Adress- und 8 Datenbits und wird mit 66MHz getaktet. Berechnen Sie die theoretische maximale Schreibrate. Außerdem berechnen Sie um wieviel % der schnellere schneller ist.





Hes·so // VALAIS
WALLIS



Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften

Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch

