



Additionneurs Binaires (ADD)

Laboratoire Conception numérique

Contenu

1 Objectifs	1
2 Additionneur à propagation de report	2
2.1 Circuit	2
2.2 Réalisation	2
3 Additionneur à prevision de report	3
3.1 Circuit	3
3.2 Développement	3
3.3 Réalisation	3
4 Comparaison	4

1 | Objectifs

Ce laboratoire exerce la conception de circuits arithmétiques itératifs à l'aide de portes logiques combinatoires. Le circuit itératif réalisé est un additionneur binaire. Deux architectures d'additionneurs sont présentées: l'additionneur à propagation de report et l'additionneur à prévision de report.



2 | Additionneur à propagation de report

2.1 Circuit

La Fig. 1 présente le circuit d'un additionneur à propagation de report. Il est composé de blocs itératifs qui additionnent 2 bits de poids identique et un report d'entrée et qui génèrent un report de sortie et un bit de la somme.

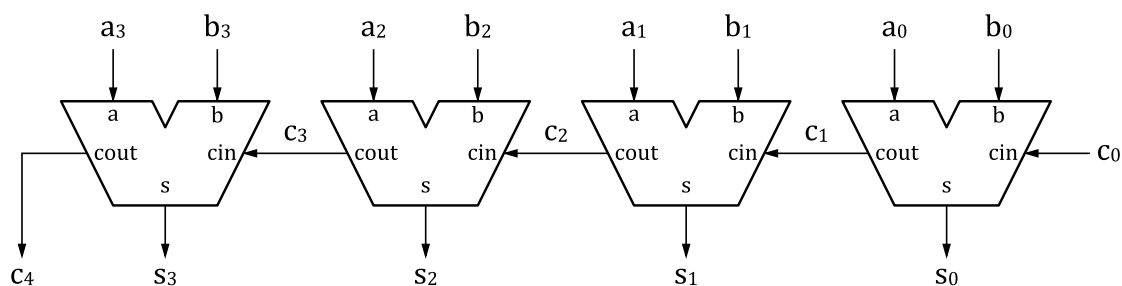
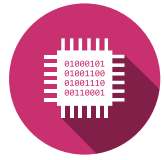


Fig. 1. – Additionneur à propagation de report

2.2 Réalisation

A l'aide de portes INV, ET, OU et XOR, développer le schéma du bloc itératif.

Comprendre le schéma hiérarchique de l'additionneur 4 bits à propagation de report fourni au laboratoire et vérifier son fonctionnement.



3 | Additionneur à prevision de report

3.1 Circuit

La Fig. 2 présente le circuit d'un additionneur à prévision de report. Il est similaire à l'additionneur à propagation de report, mais le report d'entrée des blocs est calculé directement en fonction des entrées, sans chaîne de reports.

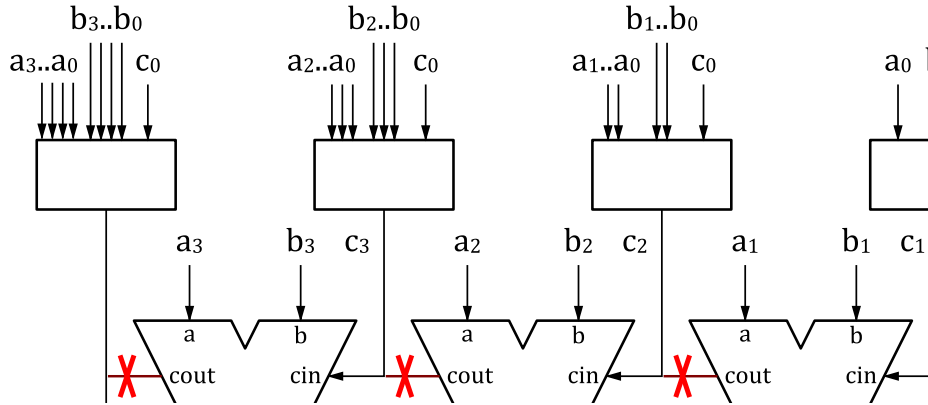


Fig. 2. – Additionneur à prévision de report

3.2 Développement

Donner l'expression polynomiale de c_1 et c_2 . Evaluer le nombre de termes de l'expression polynomiale de c_4 .

Pour simplifier la réalisation des reports d'entrée, on effectue la transformation suivante:

$$\begin{aligned} g_i &= a_i * b_i \\ p_i &= a_i + b_i \end{aligned} \quad (1)$$

Montrer que le report de sortie et le bit de somme peuvent s'écrire sous la forme:

$$\begin{aligned} c_{out} &= g + p * c_{in} \\ s &= (\bar{g} * p) \oplus c_{in} \end{aligned} \quad (2)$$

ou itérativement:

$$\begin{aligned} c_{i+1} &= g_i + p_i * c_i \\ s_i &= (\bar{g}_i * p_i) \oplus c_i \end{aligned} \quad (3)$$

Avec cette transformation, donner l'expression polynomiale de c_1 à c_4 en fonction des g_i et des p_i .

3.3 Réalisation

A l'aide de portes INV, ET, OU et XOR, développer le schéma du bloc qui calcule les reports et du bloc qui calcule les bits du résultat.

Comprendre le schéma hiérarchique d'un additionneur 4 bits à prévision de report et vérifier son fonctionnement.



4 | Comparaison

Compléter les stimuli de test de l'additionneur à propagation de report afin de trouver le délai maximum de celui-ci.

Comparer les deux additionneurs réalisés en termes de taille du circuit et de vitesse de fonctionnement.