



Binäre Addierer

Labor Digitales Design

Inhalt

| | |
|---|---|
| 1 Ziel | 1 |
| 2 Addierer mit Übertragsfortpflanzung | 2 |
| 2.1 Schaltung | 2 |
| 2.2 Ausführung | 2 |
| 3 Addierer mit Übertragsvorausschau | 3 |
| 3.1 Schaltung | 3 |
| 3.2 Ausführung | 3 |
| 3.3 Erstellung | 3 |
| 4 Vergleich | 5 |

1 | Ziel

Dieses Labor dient, den Entwurf von iterativen arithmetischen Schaltungen zu üben. Die erstellte Iterativschaltung ist ein Addierer. Das Labor zeigt noch ein anderes Realisierungsverfahren des Addierers, mit dem Ziel, die Geschwindigkeit der Schaltung zu erhöhen.



2 | Addierer mit Übertragsfortpflanzung

2.1 Schaltung

Abbildung 1 zeigt die Schaltung eines Addierers mit Übertragsfortpflanzung. Er ist aufgeteilt in iterativen Blöcken, welche 2 Bits von gleichem Gewicht zusammen mit einem einkommenden Übertrag addieren, und welche eine Ausgangsübertrag und ein Bit der Summe erstellen.

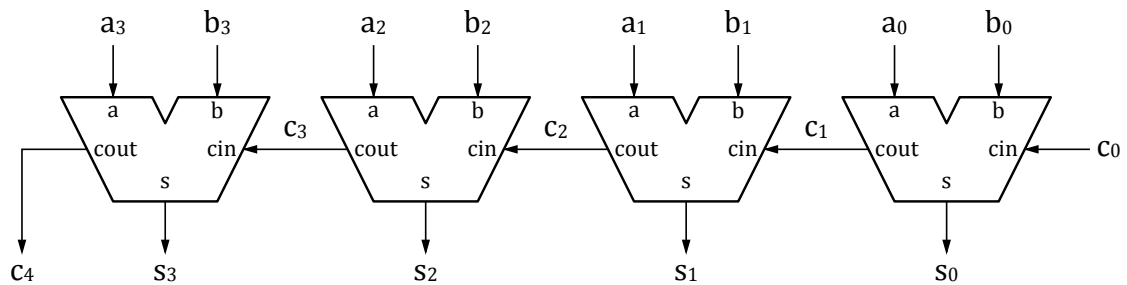


Abbildung 1 - Addierer mit Übertragsfortpflanzung

2.2 Ausführung

Mit Hilfe von INV-, UND-, ODER- und XOR-Gattern, zeichnen Sie das Schema des Iterativen Blocks.

Zeichnen Sie dann das iterative Schema eines 4-Bit Addierers mit Übertragsfortpflanzung und überprüfen Sie dessen richtigen Betrieb.



3 Addierer mit Übertragsvorausschau

3.1 Schaltung

Abbildung 2 zeigt die Schaltung eines Addierers mit Übertragsvorausschau. Er ist dem Addierer mit Übertragsfortpflanzung ähnlich, aber der Eingangsübertrag der einzelnen Blöcke wird direkt als Funktion der Eingänge berechnet, ohne Übertragskette.

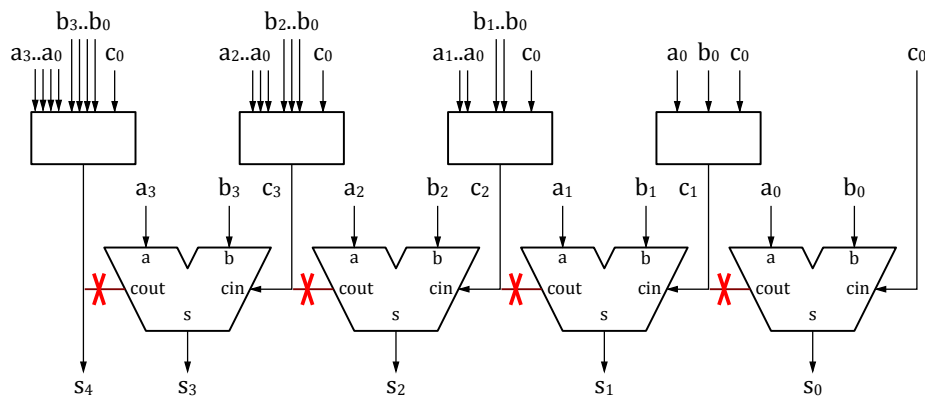


Abbildung 2 - Addierer mit Übertragsvorausschau

3.2 Ausführung

Schreiben Sie die Polynomialsche Gleichung von c_1 und c_2 . Schätzen Sie die Anzahl Terme des Polynomialsche Gleichung von c_4 ein. Um die Erstellung der Eingangsüberträge zu vereinfachen, führt man die folgende Transformation auf:

$$\begin{aligned} g_i &= a_i * b_i \\ p_i &= a_i + b_i \end{aligned} \quad (1)$$

Zeigen Sie, dass der Ausgangsübertrag und der Bit der Summe wie folgt geschrieben werden können:

$$\begin{aligned} c_{\text{out}} &= g + p * c_{\text{in}} \\ s &= (\bar{g} * p) \oplus c_{\text{in}} \end{aligned} \quad (2)$$

oder, in der Iterativform:

$$\begin{aligned} c_{i+1} &= g_i + p_i * c_i \\ s_i &= (\bar{g}_i * p_i) \oplus c_i \end{aligned} \quad (3)$$

Mit dieser Umwandlung, schreiben Sie die Polynomialform von c_1 bis c_4 als Funktion von den g_i und p_i .

3.3 Erstellung

Mit Hilfe von INV-, UND-, ODER- und XOR-Gattern, zeichnen Sie das Schema des Blocks, welches die Überträge berechnet.



Ergänzen Sie dann das iterative Schema des zur Verfügung gestelltes 4-Bit Addierers mit Übertragsvorausschau und überprüfen Sie dessen richtigen Betrieb.



4 | Vergleich

Vervollständigen Sie die Teststimuli für den Übertragsaddierer, um die maximale Verzögerung des Übertragsaddierers zu ermitteln.

Vergleichen Sie die beiden erstellte Addierer, bezüglich der Grösse der Schaltung und der Betriebsgeschwindigkeit.