

# Introduction aux outils EDA (IND)

Laboratoire Conception numérique

## Contenu

1 Objectif .....	1
2 Introduction .....	2
3 Circuit logique combinatoire .....	3
3.1 Conception .....	3
4 Éditeur de circuits .....	5
4.1 Composants .....	5
4.2 Signaux .....	5
4.3 Tâches .....	6
4.4 Mise en page .....	7
5 Simulation .....	8
5.1 Testbench .....	8
5.2 Simulateur .....	8
5.3 Affichage .....	10
5.4 Glitch .....	11
Bibliographie .....	13

## 1 Objectif

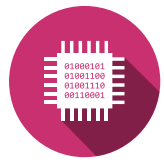
Ce premier laboratoire a pour but de vous familiariser avec les outils de développement automatisé en électronique (Electronic Design Automation (EDA)). Vous apprendrez à utiliser l'outil de développement de circuits **Mentor HDL-Designer** et le simulateur de circuits **Mentor Modelsim**, ainsi que la connexion entre les deux. Un exemple de circuit logique simple avec des inverseurs, des portes ET et OU sera créé et simulé.



Fig. 1. – Mentor HDL Designer



Fig. 2. – Mentor ModelSim



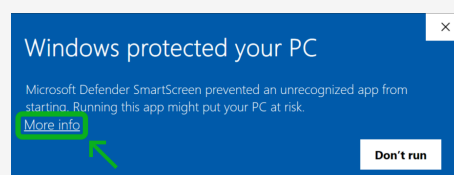
## 2 Introduction

Suivez les étapes suivantes pour télécharger et configurer les fichiers de laboratoire :

- Téléchargez les fichiers de laboratoire requis via ce [lien](https://github.com/hei-synd-did/did-labs/archive/refs/heads/main.zip) (<https://github.com/hei-synd-did/did-labs/archive/refs/heads/main.zip>).
- Décompressez l'archive sur votre lecteur réseau : \\filer01.hevs.ch\FS\_COURSES\S1.41-CNum\<firstname.lastname>.
- Exécutez le fichier **did-labs/did-labs.bat**.



Si un message de sécurité apparaît (*uniquement lors de la première exécution*), cliquez sur **More Info** et **Run anyways**



- Après l'ouverture de HDL Designer, cliquez sur l'onglet **Project**.

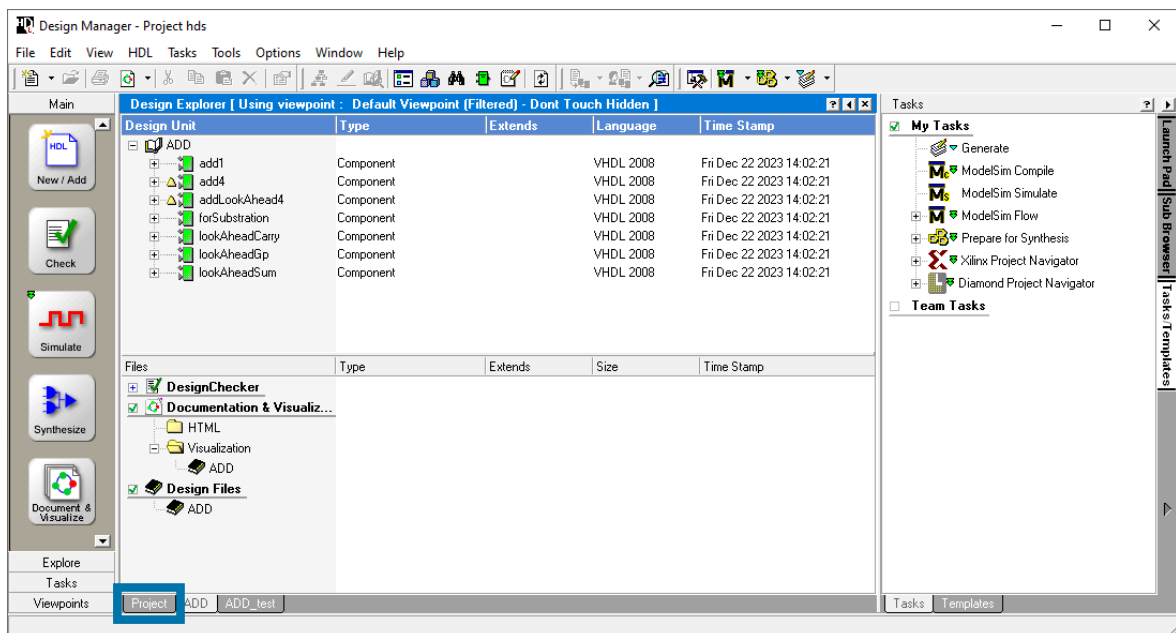
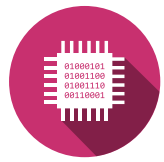


Fig. 4. – HDL Designer

- Double-cliquez sur les bibliothèques pertinentes pour le laboratoire pour les ouvrir. Chaque laboratoire possède 2 bibliothèques qui portent l'abréviation du laboratoire. Dans ce laboratoire « IND », ce sont les bibliothèques **IND** et **IND\_test**.



Les fichiers ne doivent pas être laissés sur les ordinateurs de laboratoire. Ils doivent être enregistrés sur une clé USB ou sur le \\filer01\.... Partagez également les fichiers avec votre partenaire pour qu'il puisse continuer le travail.



### 3 | Circuit logique combinatoire

Nous allons maintenant passer au circuit qui doit être réalisé. Une entreprise a décidé de vérifier chacun de ses achats selon des règles strictes. Un article ne peut être acheté que si au moins une des conditions suivantes est remplie :

- **Condition A**: les carnets de commandes de l'entreprise sont pleins, le délai de livraison du matériel est court et les stocks de l'entreprise sont bas
- **Condition B**: les carnets de commandes ne sont pas pleins, mais le prix et les stocks de l'entreprise sont bas
- **Condition C**: le prix est élevé, mais les carnets de commandes sont pleins et les stocks de l'entreprise sont bas
- **Condition D**: les stocks de l'entreprise sont bas et le délai de livraison est court
- **Condition E**: le délai de livraison est long, mais le prix est bas



Complétez le tableau de vérité Tableau 1 selon le cahier des charges.



Déduisez du tableau un circuit composé de portes de base ET, OU et inverseur.

#### 3.1 Conception

Ouvrez le schéma sous **IND**  $\Rightarrow$  **selection**. Les signaux d'entrée et de sortie sont déjà définis, tout comme la condition A (**condition A**).

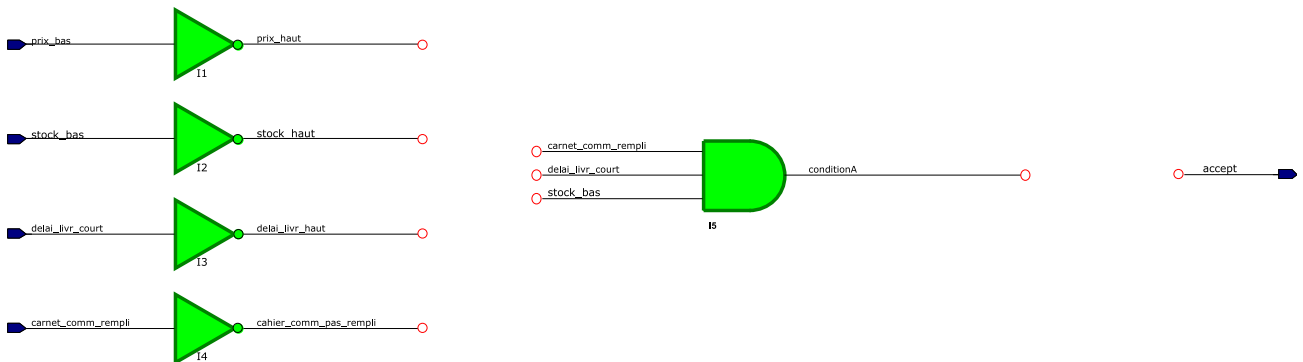
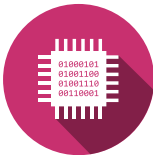
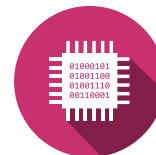


Fig. 5. – Schéma à compléter



Carnet rempli				Condition					Accepté
				A	B	C	D	E	

Tableau 1. – Table de vérité



## 4 Éditeur de circuits

Cette section vous guidera dans la création d'un circuit numérique.

À l'aide d'inverseurs, de portes ET et OU, dessinez le circuit que vous avez lu dans le tableau de vérité Tableau 1.



Pour des informations détaillées sur l'utilisation de HDL Designer et ModelSim, consultez également le document **DiD-EDA-UserGuide-en.pdf** sur Cyberlearn [1].

### 4.1 Composants

Les composants sont des portes logiques, des signaux constants tels que `logic_0` / `logic_1`, des multiplexeurs, des bascules ... ainsi que des blocs créés par l'utilisateur.

- Ajoutez un composant en cliquant sur le bouton **Add Component**.

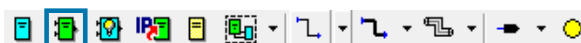


Fig. 6. – Ajouter un composant

- Recherchez le composant souhaité dans la bibliothèque **gates**.
- Sélectionnez le composant et faites-le glisser dans le circuit.



Ajoutez tous les composants nécessaires à votre circuit.

### 4.2 Signaux

Les signaux servent à relier les entrées et sorties des différents blocs entre eux. Ils peuvent représenter un bit (**std\_ulogic**) ou plusieurs bits (**std\_ulogic\_vector**, **signed**, **unsigned**). Les signaux peuvent être reliés par des lignes ou par leurs noms.

#### 4.2.1 Ajouter un signal

- Ajoutez un signal en cliquant sur le bouton **Add Signal**.



Fig. 7. – Ajouter un signal

- Après avoir cliqué sur le bouton, un nouveau signal peut être créé en cliquant sur le schéma.
- Pour confirmer un nouveau signal, reliez une entrée et une sortie ensemble ou double-cliquez pour terminer la création du signal.
- Appuyez sur la touche **ESC** pour annuler la création d'un signal.

#### 4.2.2 Modifier le nom du signal

Double-cliquez sur un signal pour modifier son nom. Le nom du signal peut être modifié dans le **champ de texte**.

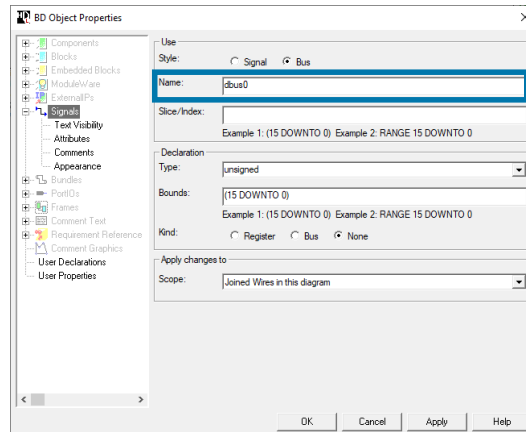
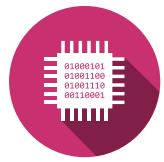


Fig. 8. – Modifier les propriétés des signaux et des bus



Les signaux portant le même nom sont connectés entre eux! Les signaux portant des noms différents doivent être connectés entre eux via des buffers.

### 4.3 Tâches

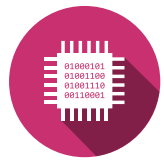
Créez votre schéma de manière claire et lisible.



- Nommez chaque signal dans le schéma.
- Configurez les paramètres d'affichage des noms de signaux.
- Rendez le schéma lisible en reliant certains signaux par leur nom et non par un fil.



Il est important de toujours afficher le nom d'un signal. Une mauvaise manipulation modifie parfois automatiquement le nom et cela n'est pas reconnaissable sans le nom du signal.



## 4.4 Mise en page

Le schéma, une fois correctement rempli, peut être imprimé et/ou exporté en PDF.

Tout d'abord:



Remplissez le cadre disponible.



Effectuez toutes les modifications nécessaires pour rendre ce schéma aussi lisible que possible.

Pour créer le PDF ou l'impression, allez dans **File** ⇒ **Page setup** et utilisez la configuration suivante:

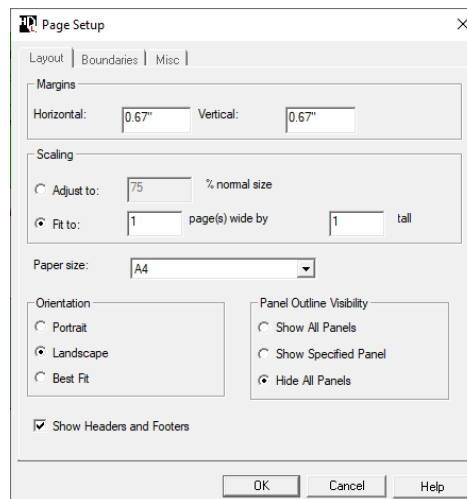
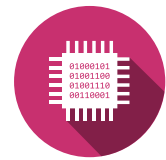


Fig. 9. – Configuration de la page

- Imprimez le schéma sur une imprimante physique ou sélectionnez **Adobe PDF** ou **Microsoft print to PDF** pour exporter la page en **PDF**.



Exportez votre schéma en PDF.



## 5 Simulation

Pour s'assurer que le circuit fonctionne correctement, une simulation est effectuée testant toutes les combinaisons possibles des signaux d'entrée.

### 5.1 Testbench

La simulation se trouve sous **IND\_test**  $\Rightarrow$  **IND\_tb**.

Le **Testbench** (banc de test) est composé de deux parties :

- Le circuit à tester (**DUT - Device Under Test**), le circuit développé précédemment
- Le testeur générant les signaux d'entrée pour le DUT et vérifiant les sorties.

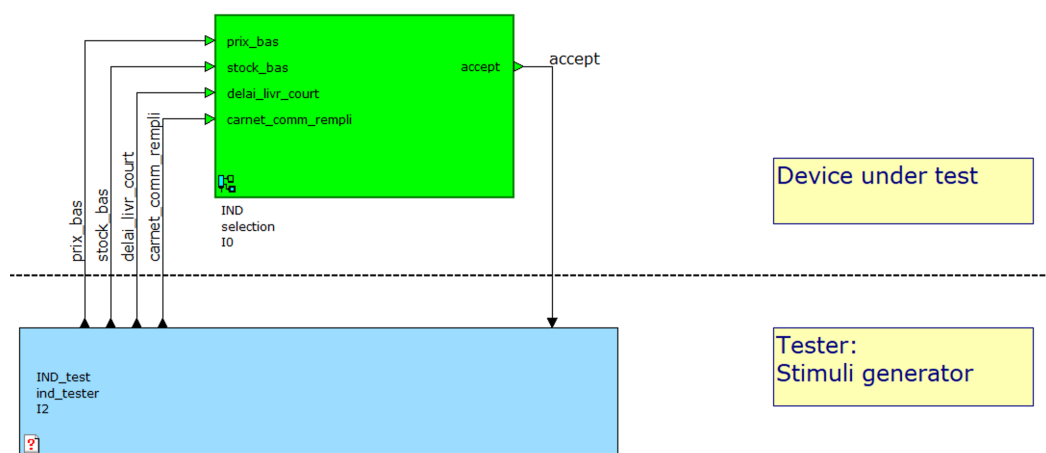


Fig. 10. – Generate VHDL

### 5.2 Simulateur

Cliquez sur le bouton **Generate and run entire ModelSim flow (Through Components)** pour démarrer la simulation.

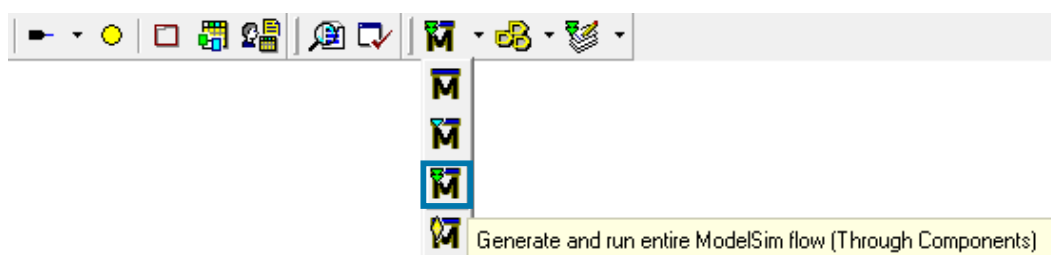


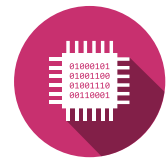
Fig. 11. – Generate VHDL



Lorsque la simulation est démarrée, aucun bloc du circuit ne doit être sélectionné.

- Si la génération et la compilation sont réussies, la fenêtre suivante s'affiche :

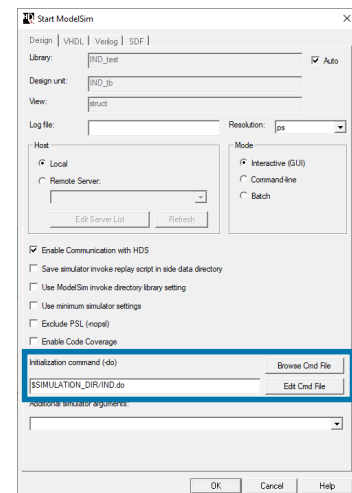




- ▶ Entrez le **fichier de commandes d'initialisation (\*.do)**, dans ce cas **\$SIMULATION\_DIR/IND.do**. Ce fichier contient les informations des signaux à afficher.
- ▶ Cliquez sur **OK**.



Les fichiers \*.do se trouvent dans le répertoire **Simulation**, situé à la racine de **did-labs**.



Si rien ne se passe lorsque la simulation est démarrée, vérifiez la fenêtre de log. Si la fenêtre de log n'est pas affichée :

- Cliquez avec le bouton droit de la souris sur la fenêtre **Log Window**.
- Cliquez sur **Maximize**.

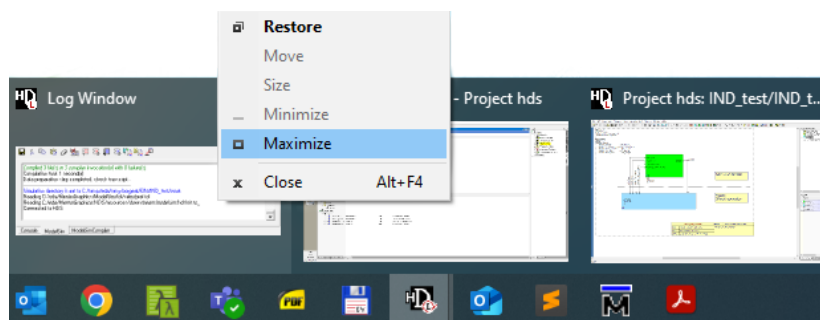


Fig. 12. – Afficher la fenêtre de log

Cette fenêtre affiche les problèmes liés à la compilation du circuit qui doivent être corrigés pour démarrer la simulation.

Les erreurs peuvent être affichées en **Rouge**, **Vert** ou **Noir**.



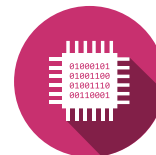
Démarrer le programme de simulation en utilisant le fichier **\$SIMULATION\_DIR/IND.do**.

### 5.2.1 Démarrer la simulation

La simulation est « stimulée » par le bloc testeur avec des valeurs.



Ouvrez le fichier des testeurs et déterminez le temps de simulation requis.



- Entrez le temps de simulation dans le **Champ de texte**.
- Cliquez sur le bouton **Start simulation**.
- Avec le bouton **Reset simulation** vous pouvez réinitialiser la simulation.



Démarrez la simulation et vérifiez si les signaux d'entrée et de sortie sont corrects.

## 5.3 Affichage

Les différents éléments du programme de simulation **Mentor ModelSim** sont représentés dans Fig. 13:

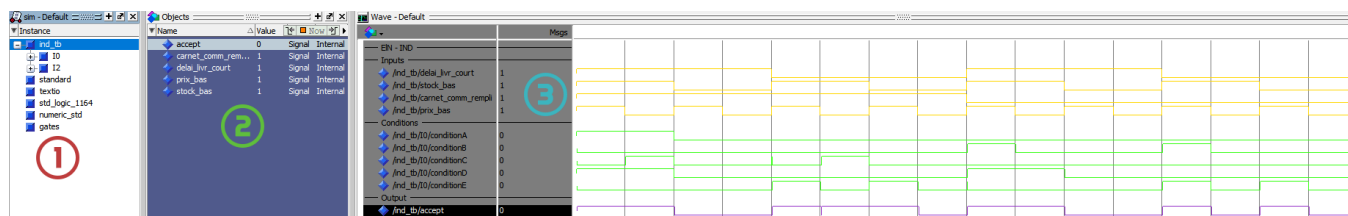


Fig. 13. – Simulation avec uniquement la condition A

1. Hiérarchie du circuit, de chaque bloc individuel fenêtre 1. En sélectionnant un bloc, les signaux associés sont affichés dans la fenêtre 2.
2. Affiche les signaux disponibles dans le bloc sélectionné. Ils peuvent être glissés dans la fenêtre 3 (Drag&Drop) pour les afficher.
3. La fenêtre de simulation **Wave** avec les signaux du circuit.

### 5.3.1 Ajout de signaux

L'ajout de signaux se fait comme décrit précédemment.

Après avoir ajouté des signaux, un redémarrage de la simulation est nécessaire pour les afficher.



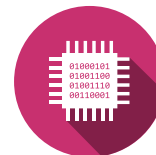
Ajoutez les signaux des 4 conditions restantes dans la fenêtre de simulation.

### 5.3.2 Échelle de temps

En cliquant droit sur l'échelle de temps  $\Rightarrow$  **Grid, Timeline & Cursor control** vous pouvez modifier l'échelle de temps et la grille de marquage temporel.



Modifiez l'échelle de temps pour qu'elle soit affichée en nanosecondes.



### 5.3.3 Contrôle de la fonctionnalité

Pour vérifier la fonctionnalité du circuit, les signaux doivent être corrélés les uns aux autres.

Dans certains laboratoires, la fenêtre **Transcript** en bas de **ModelSim** peut également afficher des informations sur les tests automatisés.



Vérifiez si votre simulation correspond à votre table de vérité Tableau 1.

### 5.3.4 Sauvegarde du contexte

Pour pouvoir rouvrir la simulation avec les paramètres précédents, vous pouvez sauvegarder la configuration en appuyant sur **Ctrl + s** dans la fenêtre **Wave**.

Le fichier **.do** généré peut être sauvegardé dans le dossier **Simulation** du projet.



Sauvegardez la configuration de la simulation et écrasez le fichier actuel **IND.do**.

### 5.3.5 Impression de la simulation

Comme pour le schéma, les signaux de simulation peuvent être imprimés ou exportés en PDF via **File** ⇒ **Print**...

Une configuration d'impression recommandée est présentée dans Fig. 14:

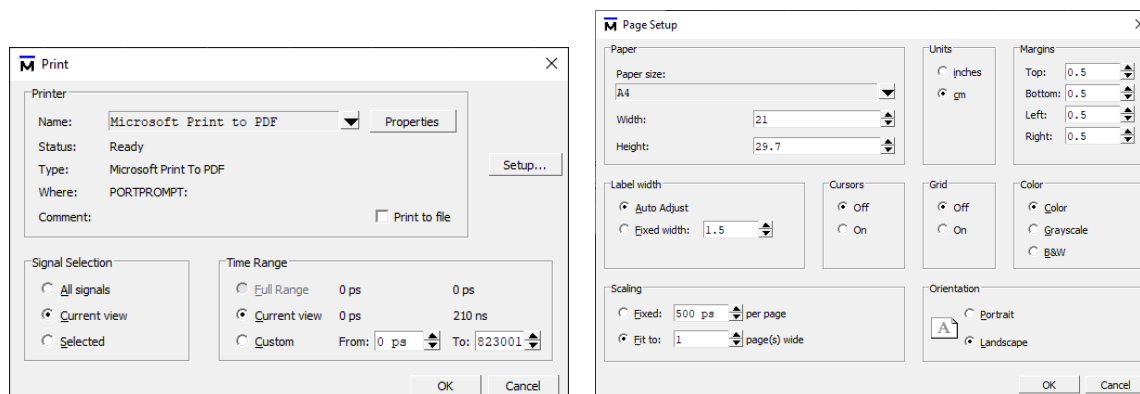


Fig. 14. – Configuration d'impression recommandée pour la simulation



Exportez le résultat de la simulation en PDF.

## 5.4 Glitch

Des glitches peuvent apparaître sur le signal de sortie. Un de ces glitches est mis en évidence dans Fig. 15.

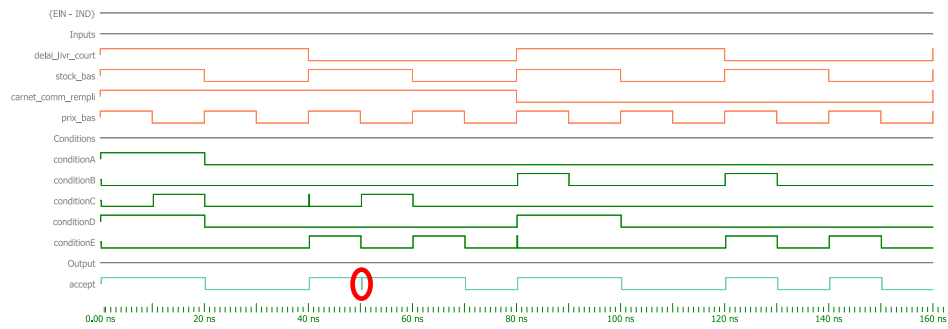
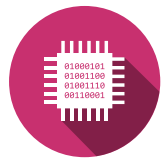
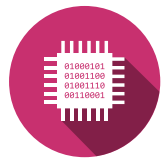


Fig. 15. – Glitch sur le signal de sortie



- Trouvez ces glitches dans votre simulation.
- Expliquez la raison de ces glitches.



# Bibliographie

- [1] A. A. Silvan, Zahno Rémy, Borgeat, « DiD EDA Userguide ». 2024.