

# Synchronzähler (CNT)

## Vorlesung Digitales Design



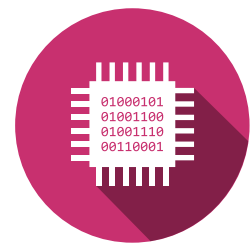
Orientierung: [Systemtechnik \(SYND\)](#)

Kurs: Digitales Design (DiD)

Verfasser: [Christophe Bianchi](#), [François Corthay](#), [Pierre Pompili](#), [Silvan Zahno](#)

Datum: 2. Juni 2023

Version: v2.1



## Inhaltsverzeichnis

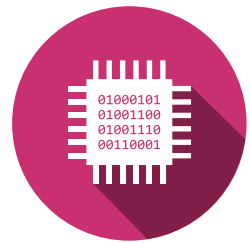
<b>1 Einführung</b>	<b>2</b>
<b>2 Aufbau von Synchronzählern</b>	<b>3</b>
<b>3 Zähler mit Zweierpotenz</b>	<b>4</b>
3.1 Zähler mit D-Flipflops . . . . .	4
3.2 Zähler mit anderen Flipflops . . . . .	5
3.3 Übergangstafel . . . . .	5
3.4 Zähler mit ungeordneter Sequenz . . . . .	6
<b>4 Modulo-N-Zähler</b>	<b>7</b>
4.1 Ausführung . . . . .	7
4.2 Überprüfung . . . . .	7
<b>5 Iterative Schaltkreise</b>	<b>9</b>
5.1 Iterativer Zähler . . . . .	9
<b>Literatur</b>	<b>11</b>
<b>Akronyme</b>	<b>11</b>



## 1 Einführung

Bei den Asynchroneählern oder Frequenzteilern können auf den Zahlen der Ausgänge Zufälle auftreten. Dieses Problem kann mit Hilfe von Synchronzählern gelöst werden.

Die Synchronzähler bestehen aus Flipflops, deren Takteingänge alle mit demselben Signal verbunden sind. Ein logisch-kombinatorischer Block bereitet den zukünftigen Zustand des Zählers anhand seines gegenwärtigen Zustands vor. Falls der Zähler nicht alle zur Verfügung stehenden Zustände der Flipflop-Ausgänge benutzt, muss man darauf achten, dass keine parasitäre Schleife entsteht. Die Zähler können den gleichen Aufbau wie die kaskadierbaren Schaltkreise haben.



## 2 Aufbau von Synchronzählern

In einem Synchronzähler haben alle Flipflops dasselbe Taktsignal. Der Betrieb im Zählmodus wird durch einen logisch-kombinatorischen Block sichergestellt, der den zukünftigen Zustand der Flipflops anhand ihres gegenwärtigen Zustands vorbereitet. Dies ist in Abbildung 1 dargestellt.

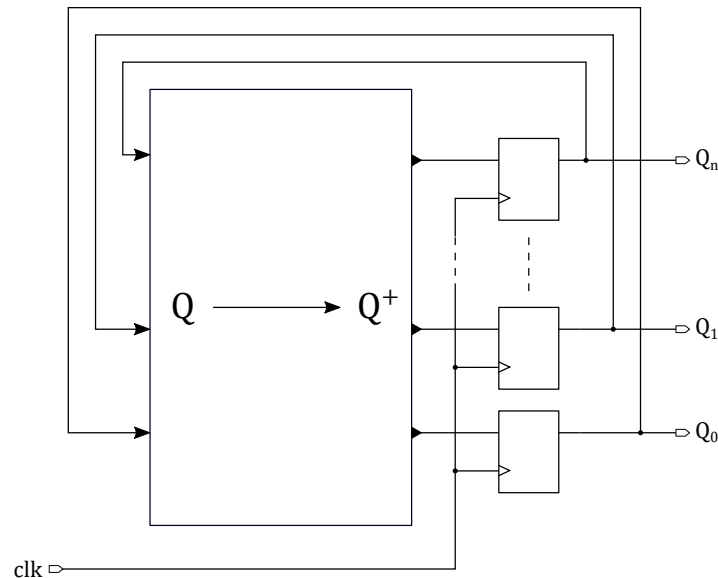


Abbildung 1: Aufbau eines Synchronzählers

Mit jedem Taktschlag laden die Flipflops anhand der Information, die der logisch-kombinatorische Block liefert, einen neuen Wert in den Speicher. Anschliessend speichern sie diese Informationen, und der kombinatorische Block bereitet den neuen Zustand vor, wie dies in Abbildung 2 dargestellt ist.

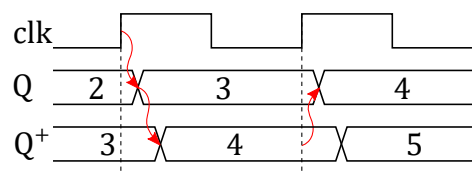
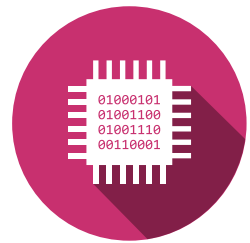


Abbildung 2: Zeitverlauf der Signale eines Synchronzählers



Der in der Abbildung 1 dargestellte Zähler folgt zyklisch die Sequenz, für welcher er entworfen wurde. Doch ist er nicht testbar mittels einem standard automatischem Testerät, welcher der zu testenden Schaltung stimuli sendet und dessen Ausgänge mit vorgegebenen Werten vergleicht. Dies ist der Fall, weil der Initialwert des Zählers bei dessen Setzung unter Spannung unbekannt ist. Um eine Solche Schaltung testen zu lassen hilft eine Steuerung zur Nullsetzung der Flipflops. Diese wird auch nur beim Einschalten aktiviert.



### 3 Zähler mit Zweierpotenz

#### 3.1 Zähler mit D-Flipflops

Die Realisierung eines Zählers mit Zweierpotenz mittels D-Flipflops wird hier am Beispiel eines Modulo-16-Zählers illustriert.

Für den Modulo-16-Zähler benötigt man 4 Flipflops. Diese Flipflops sind gemäss dem Aufbau in Abbildung 1 mit einem kombinatorischen Block verbunden. Es muss jetzt also noch dieser Block erstellt werden. Gleich wie für ein D-Flipflop gilt:

$$Q^+ = D \quad (1)$$

Man muss jetzt noch die Wahrheitstabelle ausfüllen, die den zukünftigen Zustand von jedem möglichen Zustand angibt, und diesen zukünftigen Zustand mit den D-Eingängen der Flipflops verbinden.

Für den Modulo-16-Zähler ist die Wahrheitstabelle in Tabelle 1 dargestellt.

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0

Tabelle 1: Wahrheitstabelle für den Zähler mit D-Flipflops

Nach der Vereinfachung erhält man die Eingangsfunktionen der Flipflops.

Für den Modulo-16-Zähler werden diese Funktionen mit der Gleichung 2 beschrieben:

$$\begin{cases} D_0 &= Q_0 \oplus 1 \\ D_1 &= Q_1 \oplus Q_0 \\ D_2 &= Q_2 \oplus Q_1 Q_0 \\ D_3 &= Q_3 \oplus Q_2 Q_1 Q_0 \end{cases} \quad (2)$$



### 3.2 Zähler mit anderen Flipflops

Für alle übrigen Arten von Flipflops ist der zukünftige Zustand eine Funktion der Eingänge des Flipflops und seines gegenwärtigen Zustands. Die Beziehung zwischen dem zukünftigen Zustand, den Eingängen und dem gegenwärtigen Zustand ist durch die charakteristische Gleichung des Flipflops gegeben. Für die Realisierung des kombinatorischen Blocks muss man daher anhand des gegenwärtigen Zustands und dem ihm entsprechenden zukünftigen Zustand die Werte der Flipflop-Eingänge bestimmen.

Die Wahrheitstabelle für den Modulo-16-Zähler, wenn man T-Flipflops benutzt, ist in Tabelle 2 dargestellt.

Die Eingangsfunktionen der Flipflops werden mit der Gleichung 3 beschrieben.

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$	$T_3$	$T_2$	$T_1$	$T_0$
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	1	0	0	0	1
0	0	1	1	0	1	0	0	0	1	1	1
0	1	0	0	0	1	0	1	0	0	0	1
0	1	0	1	0	1	1	0	0	0	1	1
0	1	1	0	0	1	1	1	0	0	0	1
0	1	1	1	1	0	0	0	1	1	1	1
1	0	0	0	1	0	0	1	0	0	0	1
1	0	0	1	1	0	1	0	0	0	1	1
1	0	1	0	1	0	1	1	0	0	0	1
1	0	1	1	1	1	0	0	0	1	1	1
1	1	0	0	1	1	0	1	0	0	0	1
1	1	0	1	1	1	1	0	0	0	1	1
1	1	1	0	1	1	1	1	0	0	0	1
1	1	1	1	0	0	0	0	1	1	1	1

Tabelle 2

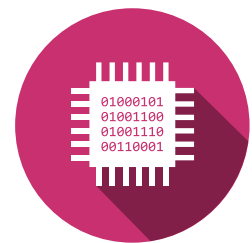
$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases} \quad (3)$$



Man stellt fest, dass die Benutzung von T-Flipflops die Gleichungen der Eingangsfunktionen der Flipflops vereinfacht. Für die Realisierung von Zählern verwendet man daher in der Regel T-Flipflops.

### 3.3 Übergangstafel

Beim Ausfüllen der Wahrheitstabelle für die Eingangsfunktionen der Flipflops kann man die Übergangstafel zu Hilfe nehmen. Diese Tafel bestimmt die Werte der Flipflop-Eingänge, um von einem gegebenen gegenwärtigen Zustand  $Q$  auf einen gegebenen zukünftigen Zustand  $Q^+$  überzugehen.

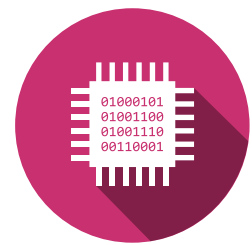


$Q$	$Q^+$	$D$	$T$	$E$	$D$
0	0	0	0	0	—
				1	0
0	1	1	1	1	1
1	0	0	1	1	0
1	1	1	0	0	—
				1	1

Tabelle 3: Übergangstafel

### 3.4 Zähler mit ungeordneter Sequenz

Die Synthesetechnik eines Synchronzählers zeigt, dass die Zahlen nicht in aufsteigender Reihenfolge angegeben werden müssen. Wenn die Sequenz bekannt ist, muss man nur darauf achten, dass in der Wahrheitstabelle jeder zukünftige Zustand gegenüber jenem steht, der ihm vorausgeht. Die Gleichungen des kombinatorischen Blocks werden dann mit den gängigen Vereinfachungsmethoden bestimmt.



## 4 Modulo-N-Zähler

### 4.1 Ausführung

Ein Modulo-n-Zähler ist ähnlich aufgebaut wie ein Zähler mit Zweierpotenz. Man muss die Anzahl Flipflops bestimmen und einen Schaltkreis realisieren, der ähnlich jenem in Abbildung 1 ist. Für den kombinatorischen Block wird die Wahrheitstabelle nur teilweise spezifiziert, wie dies für einen Modulo-10-Zähler in Tabelle 4 dargestellt ist.

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	—	—	—	—
1	0	1	1	—	—	—	—
1	1	0	0	—	—	—	—
1	1	0	1	—	—	—	—
1	1	1	0	—	—	—	—
1	1	1	1	—	—	—	—

Tabelle 4: Wahrheitstabelle für einen Modulo-10-Zähler

Die Eingangsfunktionen der Flipflops werden mit der Gleichung 4 beschrieben

$$\begin{cases} D_0 &= \overline{Q_0} \\ D_1 &= Q_1 \overline{Q_0} + \overline{Q_3} \overline{Q_1} Q_0 \\ D_2 &= Q_2 \overline{Q_1} + Q_2 \overline{Q_0} + \overline{Q_2} Q_1 Q_0 \\ D_3 &= Q_3 \overline{Q_0} + Q_2 Q_1 Q_0 \end{cases} \quad (4)$$

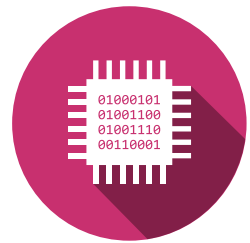
### 4.2 Überprüfung

Durch die Verwendung von teilweise spezifizierten Funktionen mit  $\emptyset$ -Zuständen können die Gleichungen des kombinatorischen Blocks vereinfacht werden. Man muss jedoch unbedingt überprüfen, dass die nicht in die Zählschleife eingeschlossenen Zustände nicht eine parasitäre Schleife verursachen.

Wenn z.B. nach der Vereinfachung für den Zustand  $1101_2$  der zukünftige Zustand  $1101_2$  ist, entsteht eine parasitäre Schleife der Länge 1. Wenn der Schaltkreis beim Zustand  $1101_2$  startet, bleibt er immer dort. Der Schaltkreis verhält sich in diesem Fall natürlich in keiner Weise wie ein Modulo-10-Zähler.

Mit unserem Beispiel für einen Modulo-10-Zähler ergibt die Analyse der Gleichung 4 für die Zustände ausserhalb der Hauptschleife die in Tabelle 5 dargestellte Wahrheitstabelle.





$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$Q_0^+$
1	0	1	0	1	0	1	1
1	0	1	1	0	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	0	1	0	0
1	1	1	0	1	1	1	1
1	1	1	1	1	0	0	0

Tabelle 5: Wahrheitstabelle für einen der Zustände ausserhalb der Hauptschleife

Mit dieser Wahrheitstabelle kann der Zustandsgraph des Zählers in Abbildung 3 vervollständigt werden. Man stellt fest, dass man sich für jeden beliebigen Ausgangszustand nach maximal zwei Taktschlägen in der Zählschleife befindet.

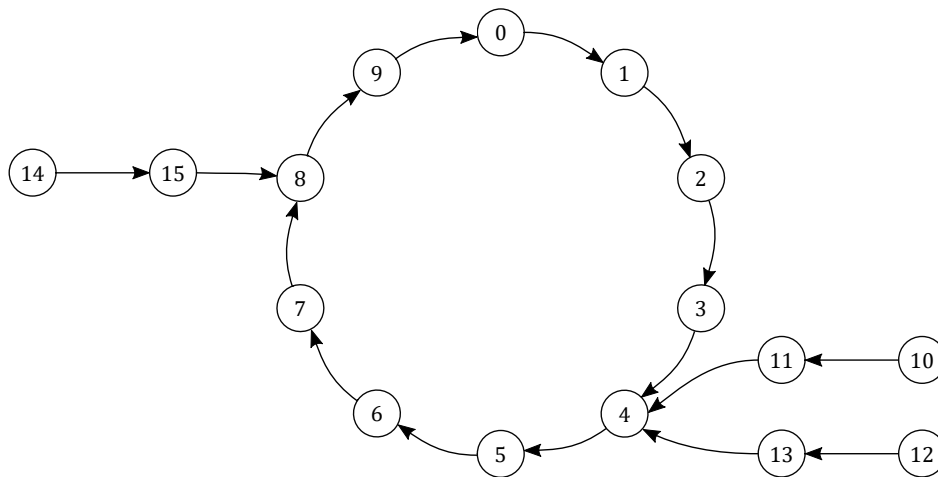
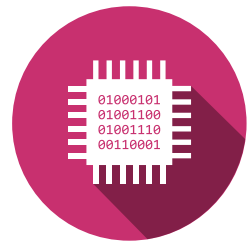


Abbildung 3: Vollständiger Graph des Modulo-10-Zählers



Um nicht in die Zustände ausserhalb der Zählschleife zu fallen, kann man auch Flipflops mit einer Nullstellung-Steuerung beim Einspeisen der Elektronik anwenden.

Diese Nullsetzung dient auch der Testbarkeit der Schaltung: somit kann die Schaltung in einem bekannten Zustand gebracht werden, um die durchgeführte Sequenz zu überprüfen.



## 5 Iterative Schaltkreise

### 5.1 Iterativer Zähler

Für die Zähler mit Zweierpotenz können die Gleichungen der Flipflop-Eingänge als unendlich periodische Gleichungen geschrieben werden. Ein Zähler kann somit mit Hilfe eines iterativen Schaltkreises ausgeführt werden.

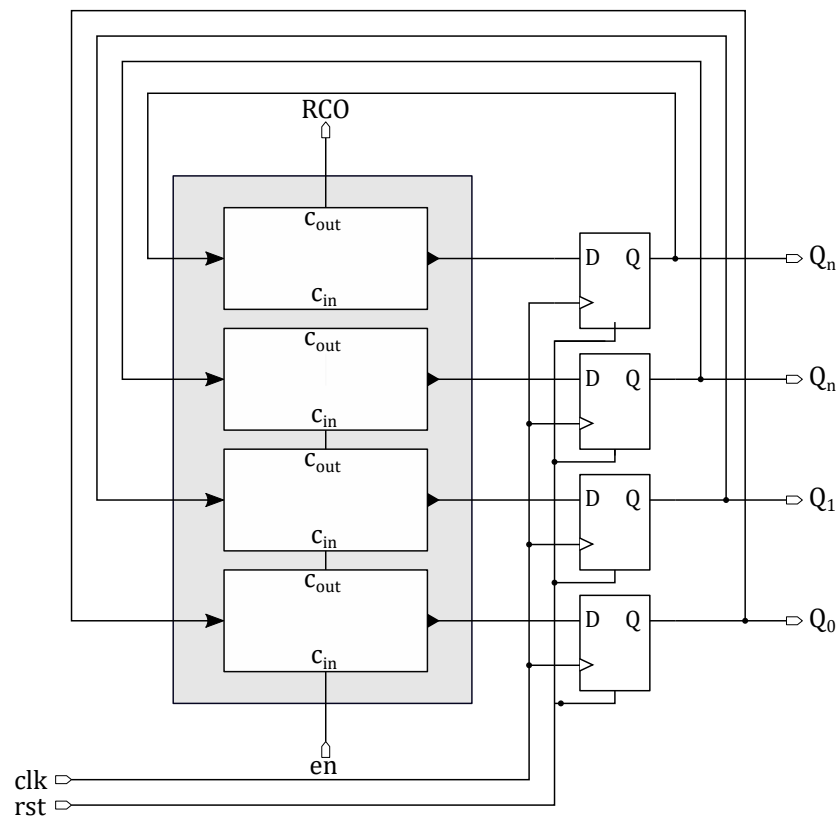


Abbildung 4: Iterativer Zähler

Diese Art von Zähler ist kaskadierbar, wenn man den **Ripple carry Out (RCO)**-Ausgang mit dem Eingang **enable (en)** des nachfolgenden Zählers verbindet

Die Abbildung 5 zeigt einen iterativen 4-Bit-Zähler. Man stellt fest, dass die iterative Zelle 1 AND-Gatter, 1 XOR-Gatter und 1 D-Flipflop umfasst.

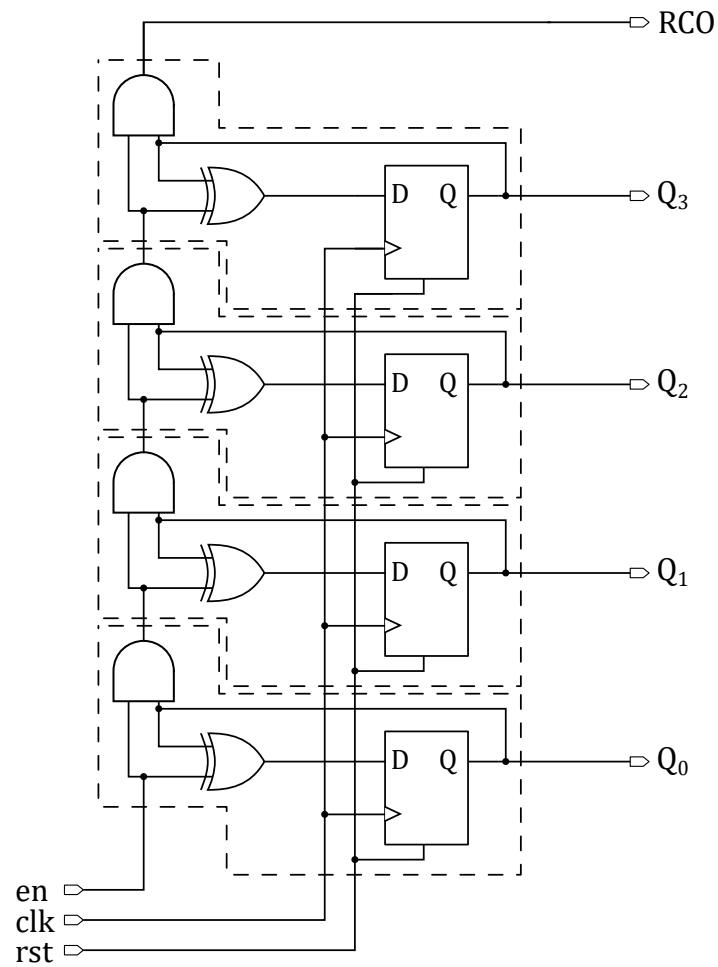
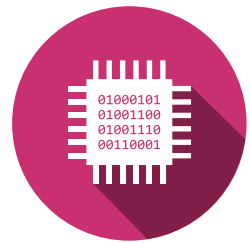


Abbildung 5: Iterativer 4-Bit-Zähler



Ausgehend von diesem Zähler können viele verschiedene Schaltkreise entwickelt werden: Aufzähler/Abzähler, Zähler mit Laden eines Werts, Zähler mit synchroner Nullstellung, ...



## Literatur

- [1] Suhail Almani. *Electronic Logic Systems*. second edition. New-Jersey: Prentice-Hall, 1989.
- [2] Michael D. Ciletti und M. Morris Mano. *Digital Design*. second edition. New-Jersey: Prentice-Hall, 2007.
- [3] Marcel Gindre und Denis Roux. *Electronique Numérique, Logique Combinatoire et Technologie*. Paris: McGraw-Hill, 1987.
- [4] Martin V. Künzli und Marcel Meli. *Vom Gatter Zu VHDL: Eine Einführung in Die Digital-technik*. vdf Hochschulverlag AG, 2007. ISBN: 3 7281 2472 9.
- [5] David Lewin und Douglas Protheroe. *Design of Logic Systems*. second edition. Hong Kong: Springer, 2013.
- [6] Daniel Mange. *Analyse et synthèse des systèmes logiques*. Editions Géorgi. Bd. Traité d'électricité, volume V. St Saphorin: PPUR presses polytechniques, 1995. 362 S. ISBN: 978-2-88074-045-0. Google Books: [5NSdD4GRl3cC](#).
- [7] Clive Maxfield. *Bebop to the Boolean Boogie*. Elsevier, 2009. ISBN: 978-1-85617-507-4. DOI: [10.1016/B978-1-85617-507-4.X0001-0](#). URL: <https://linkinghub.elsevier.com/retrieve/pii/B9781856175074X00010> (besucht am 27. 05. 2021).
- [8] Ronald J. Tocci und André Lebel. *Circuits Numériques: Théorie et Applications*. deuxième édition. Ottawa: Editions Reynald Goulet inc. / Dunod, 1996.
- [9] John F. Wakerly. *Digital Design: Principles And Practices*. 3rd edition. Prentice-Hall, 2008. ISBN: 0-13-082599-9.

## Akronyme

**en** enable. [9](#)

**RCO** Ripple carry **Out**. [9](#)