



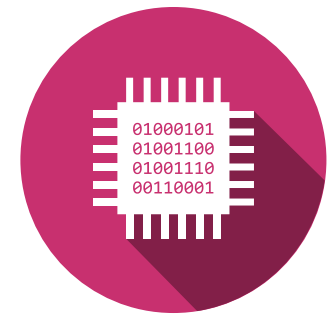
Conception numérique (DiD)

Etats logique de base

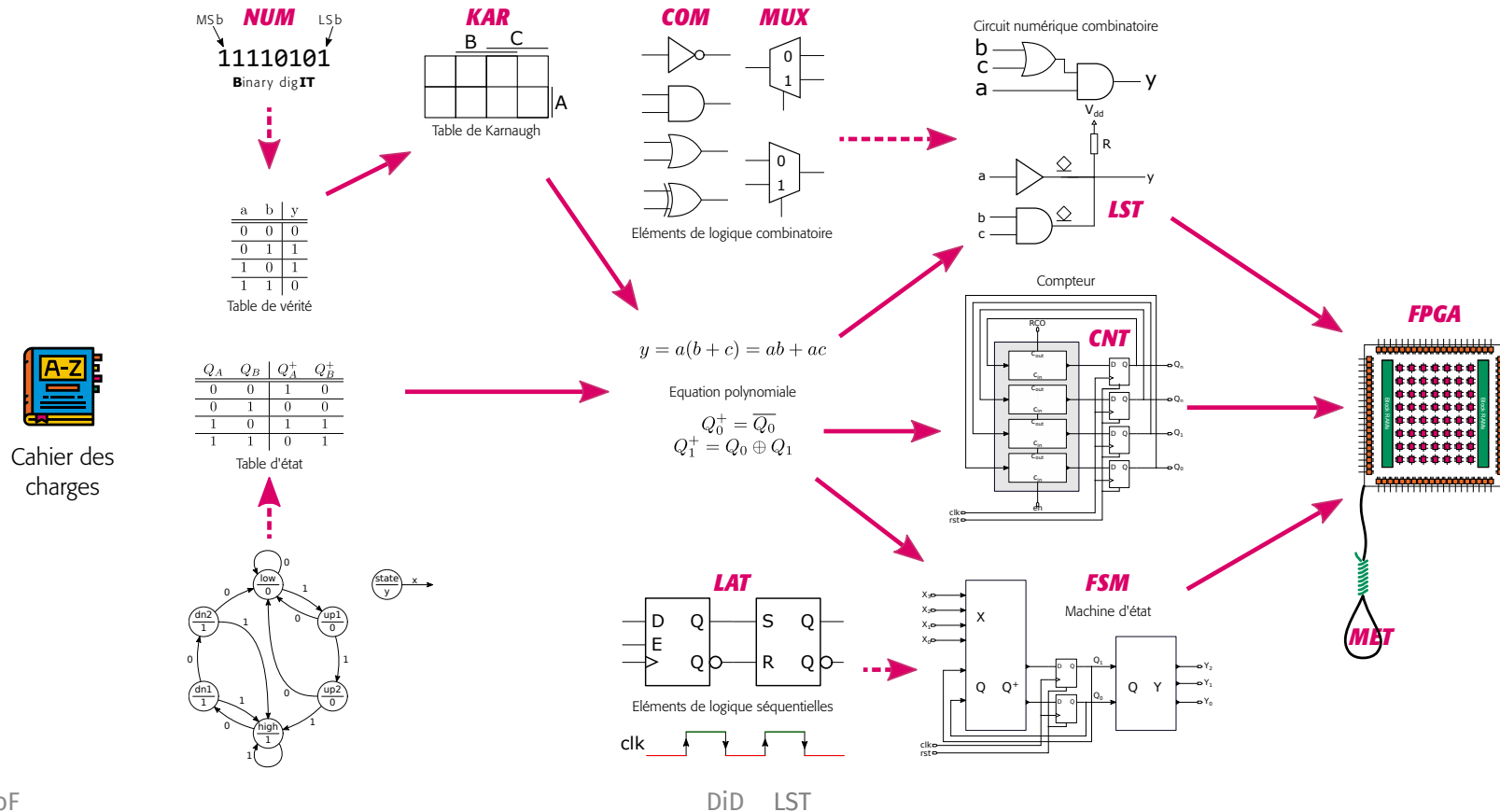
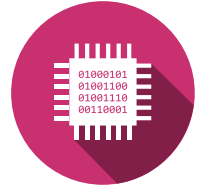
LST

Filière Systèmes industriels
Filière Energie et techniques environnementales
Filière Informatique et systèmes de communications

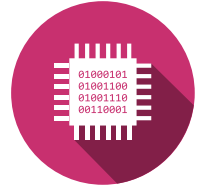
Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch



Situtation de thème das le cours



Contenu

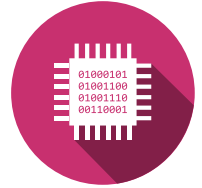
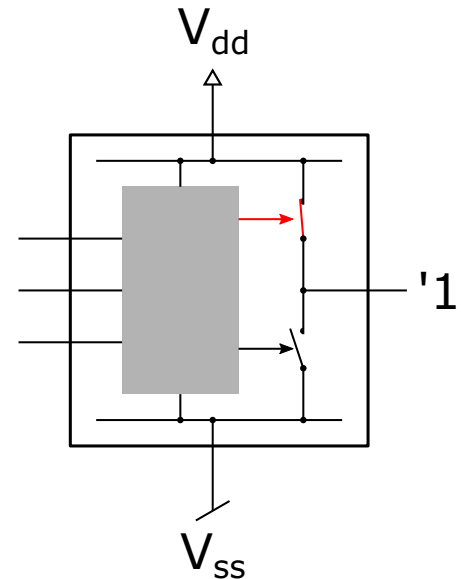
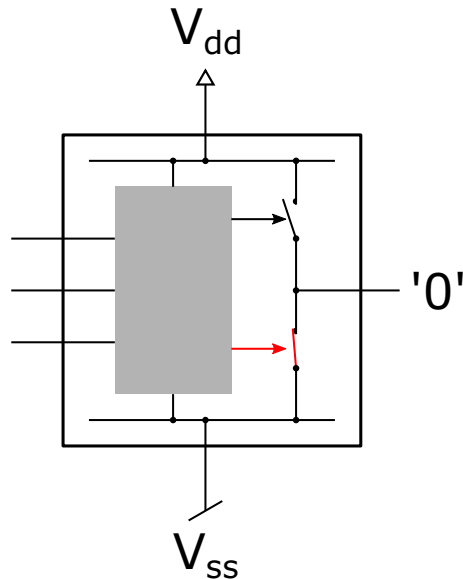


- **Etats logiques de base**
 - Etat logique '0'
 - Etat logique '1'
- Portes logiques ne fournissant qu'un état
- Portes logiques avec sortie à haute impédance
- Etats logiques vus du simulateur et synthétiseur

Etats logiques de base

0 et 1

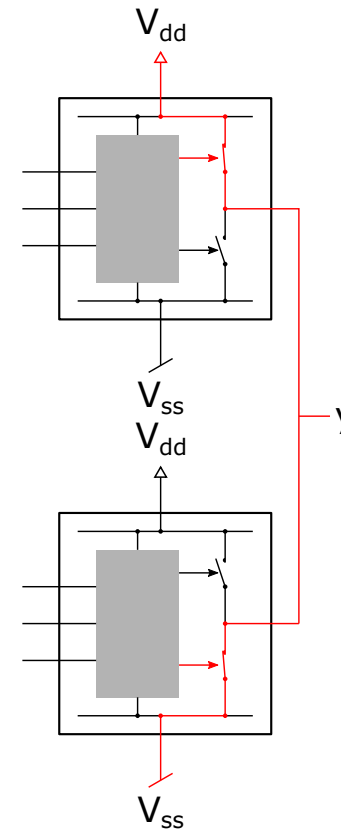
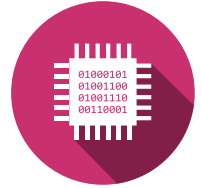
- Etat 0 : potentiel bas de l'alimentation (V_{ss} – masse - gnd)
- Etat 1: potentiel haut de l'alimentation ($V_{dd} - V_{cc}$)
- Via des commutations de transistor (interrupteur)



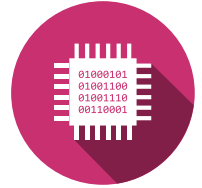
Etats logiques de base

0 et 1

- Connexion des sorties
- **Attention au court-circuit!**



Contenu

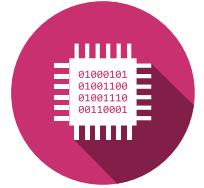
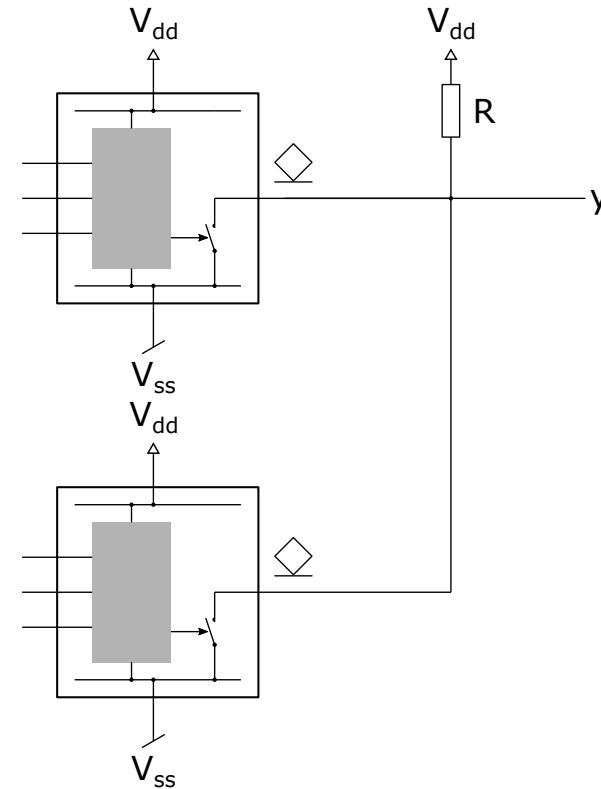


- Etats logiques de base
- **Portes logiques ne fournissant qu'un état**
 - Drain ouvert (Open-Drain)
 - Source ouverte (Open-Source)
- Portes logiques avec sortie à haute impédance
- Etats logiques vus du simulateur et synthétiseur

Etats logiques

Drain ouvert (Open-Drain)

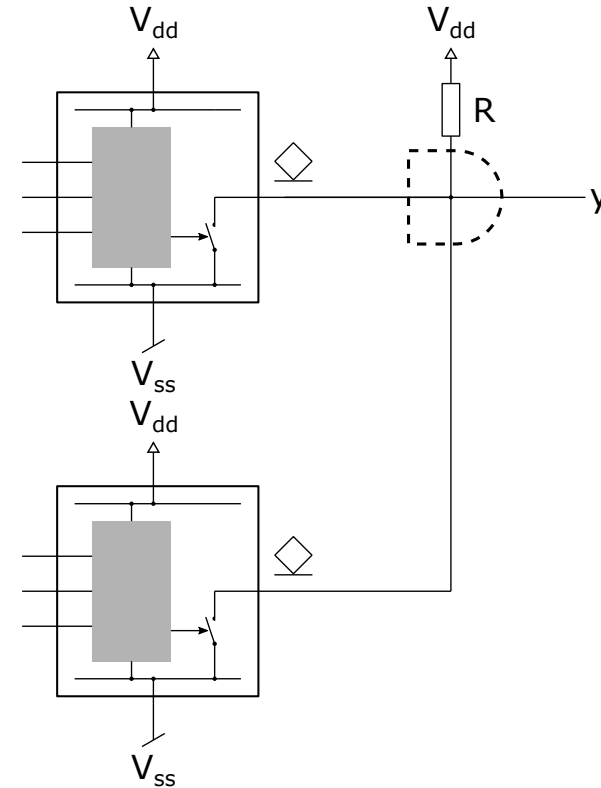
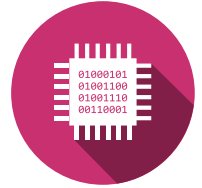
- Drain ouvert (Open-Drain):
 - Jamais de court-circuit si on connecte les sorties de ce type ensemble



Etats logiques

Drain ouvert (Open-Drain)

- Drain ouvert (Open-Drain):
 - Jamais de court-circuit si on connecte les sorties de ce type ensemble
- **Fonction implicite: ET câblé (Cabled-AND)**

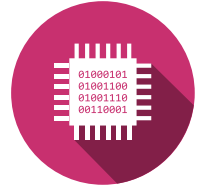
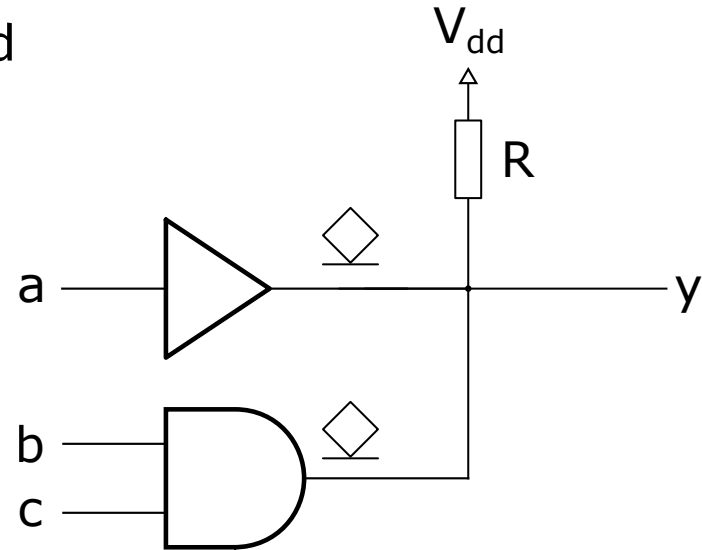


Etats logiques

Drain ouvert (Open-Drain)

- Exemple de circuit:
- Les deux circuits ne peuvent que tirer à '0'
- La résistance tire à '1' uniquement quand aucun des circuits ne tire à '0'

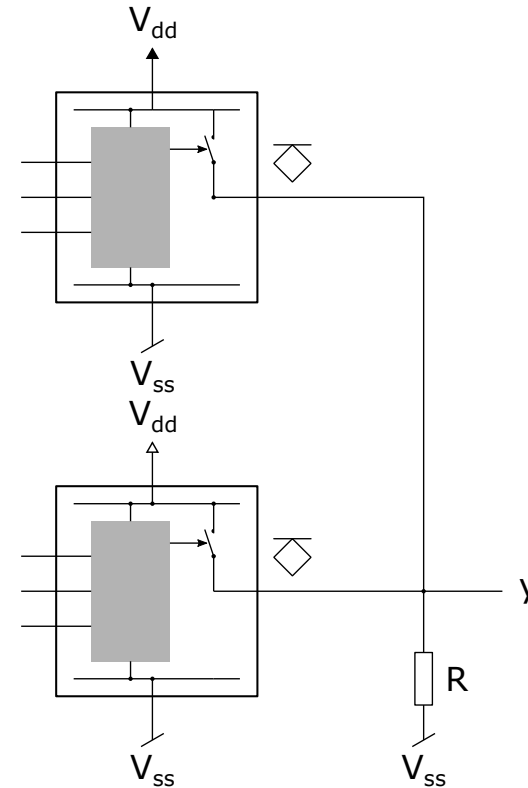
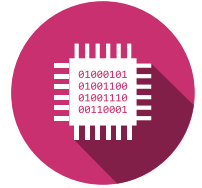
a	b	c	y	driver
0	0	0	0	Buf, AND
0	0	1	0	Buf, AND
0	1	0	0	Buf, AND
0	1	1	0	Buf
1	0	0	0	AND
1	0	1	0	AND
1	1	0	0	AND
1	1	1	1	R

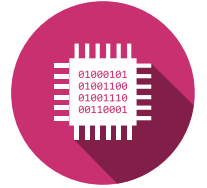


Etats logiques

Source ouvert (Open-Source)

- Source ouverte (Open-Source):
 - Symétrique au drain ouvert
 - Jamais de court-circuit si on connecte les sorties de ce type ensemble

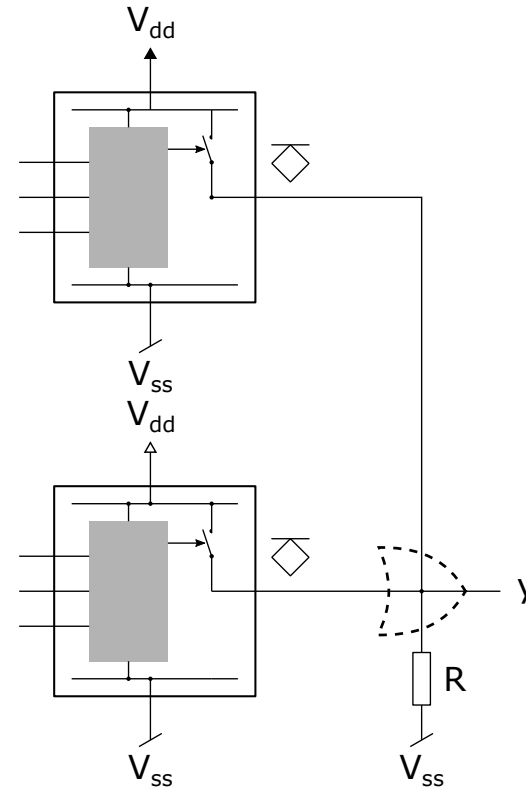




Etats logiques

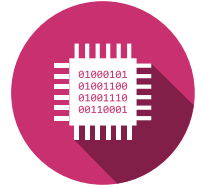
Source ouvert (Open-Source)

- Source ouverte (Open-Source):
 - Symétrique au drain ouvert
 - Jamais de court-circuit si on connecte les sorties de ce type ensemble
- **Fonction implicite: OU câblé (Cabled-OR)**



Exercise 1.5 *(lst/one-state-02-02)*

Circuit d'alarme



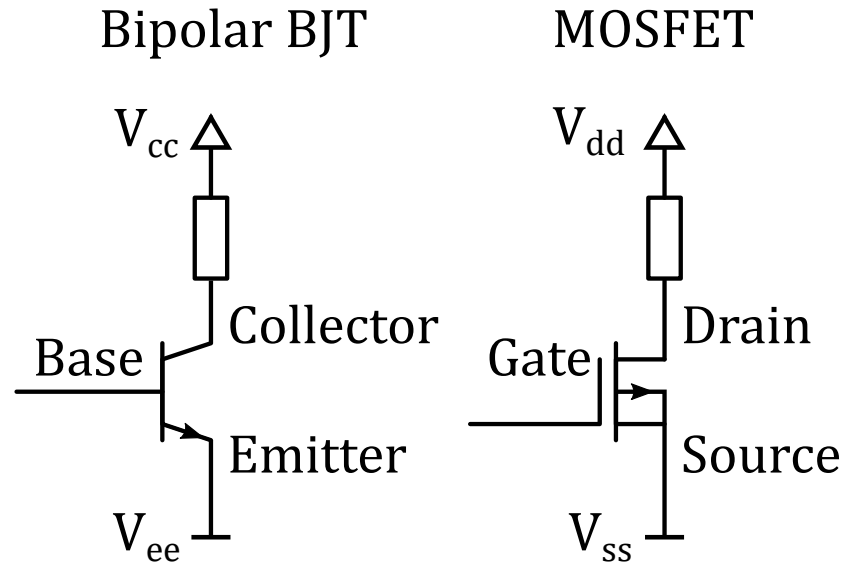
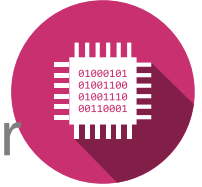
Proposer le schéma d'un circuit de protection anti-incendie pour un bâtiment.

Le bâtiment comporte 16 capteurs de fumée répartis dans les différentes pièces et reliés par un câble à 3 fils: 2 pour l'alimentation et 1 pour la transmission d'information. L'activation d'un capteur doit provoquer l'enclenchement d'une sirène.

Un capteur fournit un 1 en cas de détection de fumée. La sirène est enclenchée par le passage à 1 de son signal de commande.

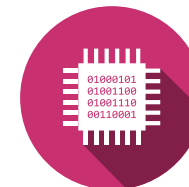
Etats logiques

Open-Source & Open-Drain vs. Open-Collector & Open-Emitter



Exercise 1.6 *(1st/one-state-02-03)*

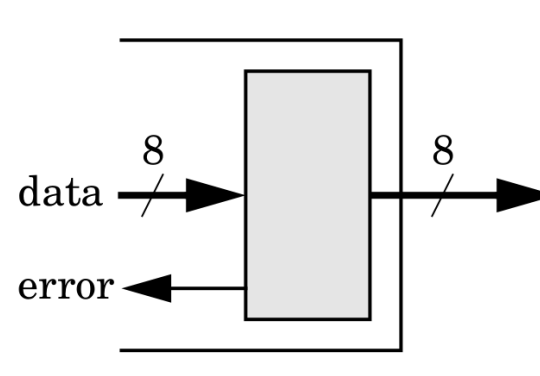
Détection des collisions



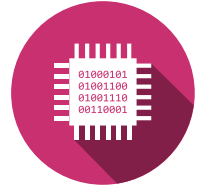
Dessiner le schéma d'un interface de bus où plusieurs composants sont capable d'écrire une donnée de 8 bits sur un bus commun et d'en vérifier l'intégrité.

Si la donnée sur la ligne est différente de la donnée voulue, l'interface de bus retourne un signal d'erreur au composant pour lui indiquer le problème de transmission.

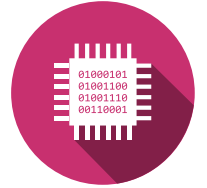
Proposer une technique de codage pour permettre de fixer les priorités des données mises sur le bus.



Contenu



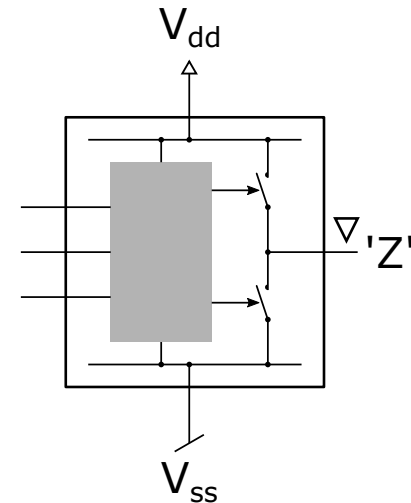
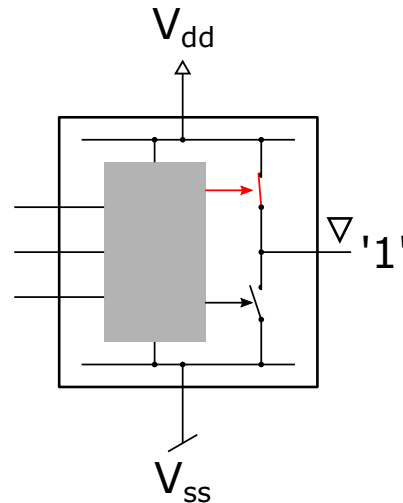
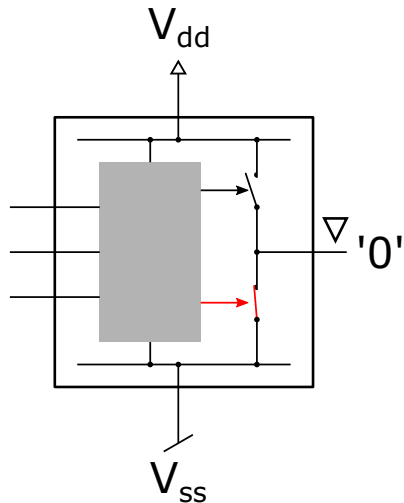
- Etats logiques de base
- Portes logiques ne fournissant qu'un état
- **Portes logiques avec sortie à haute impédance**
 - Sortie à haute impédance (Tri-state)
 - Tampon à haute impédance
- Etats logiques vus du simulateur et synthétiseur

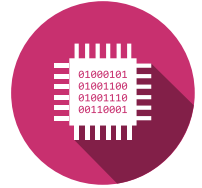


Etats logiques

Sortie à haute impédance (Tri-State)

- Sortie à haute impédance (Tri-state):
- Dans l'état haut impédance 'Z', la porte logique ne tire ni à '0' ni à '1'
- Aussi décrit comme «flottant» (floating)

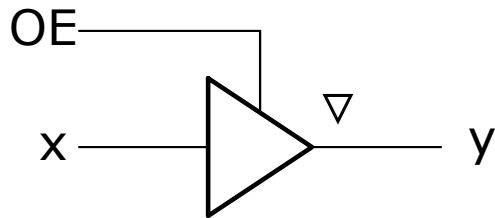




Etats logiques

Buffer Tri-State (3-états)

- Un buffer tri-state est capable de fournir 3 états

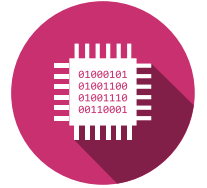


OE	x	y
0	0	Z
0	1	Z
1	0	0
1	1	1

- Une entrée OE (Output Enable) permet de contrôler l'état de la sortie (actif 0/1 ou Z)
- Un maître contrôle les signaux OE de plusieurs buffers situés sur une même ligne afin qu'un seul buffer soit actif à un temps donné.

Etats logiques

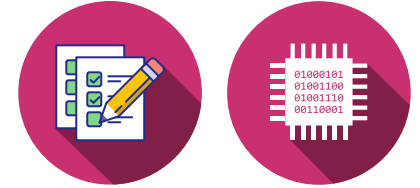
Sortie à haute impédance (Tri-State)



- Circuits à haute impédance:
 - On a besoin d'un maître qui pilote tous les OE
 - Il doit toujours piloter un et un seul OE à '1'
 - Les circuits à haute impédance consomment moins de courant que ceux à drain/source ouvert

Exercice 2.1 *(lst/hiz-01)*

Bus de données

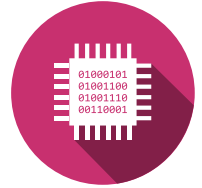


Proposer le schéma de raccordement de composants à un même bus de données.

Le système comporte 3 composants qui fournissent chacun des données de 8 bits. Le maître du système fournit une adresse codée sur 2 bits.

- Si l'adresse vaut 0, aucun composant ne transmet
- Si l'adresse vaut 1, le composant 1 transmet une donnée
- Si l'adresse vaut 2, le composant 2 transmet une donnée
- Si l'adresse vaut 3, le composant 3 transmet une donnée

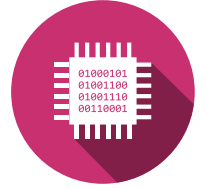
Contenu



- Etats logiques de base
- Portes logiques ne fournissant qu'un état
- Portes logiques avec sortie à haute impédance
- **Etats logiques vus du simulateur et synthétiseur**
 - Etat inconnu
 - Etat non initialisé
 - Etat non spécifié
 - Types VHDL

Etats logiques

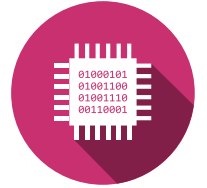
Etat inconnu



- Etat 'X':
 - Le simulateur ne sait pas toujours déterminer la sortie d'une porte logique dont une entrée n'est pas connectée
 - Et il met donc cette sortie à 'X'
- Les court-circuits génèrent aussi un 'X'!
- Un 'X' dans la simulation indique souvent une erreur de conception!

Etats logiques

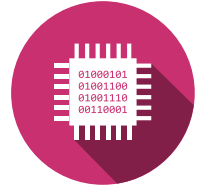
Etat non initialisé



- Etat 'U' (uninitialized):
 - Dans le simulateur, tous les signaux commencent à l'état 'U'
 - L'état 'U' disparaît dès le premier assignement au signal
 - Les portes logiques avec des délais commencent donc aussi à l'état 'U'
 - Des portes avec mémorisation (éléments de mémoire et bascules) restent à 'U' jusqu'à la première écriture (ou jusqu'à la remise à zéro)

Etats logiques

Etat non spécifié

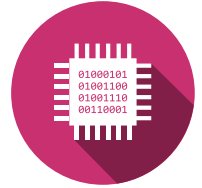


- Etat '-' (don't care):
 - Le simulateur le traite comme un 'X' ou un 'U'
 - Mais l'outil de synthèse peut en profiter pour simplifier le circuit
 - Utiliser l'état '-' autant que faire se peut
 - Ceci permet aussi de vérifier si l'état en question n'est vraiment pas important

Etats logiques

VHDL - Simulateur

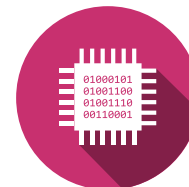
Etats du std_logic et std_ulogic



- '1' Logic 1
- '0' Logic 0
- 'Z' High impedance
- 'W' Weak signal, can't tell if 0 or 1
- 'L' Weak 0, pulldown
- 'H' Weak 1, pullup
- '-' Don't care
- 'U' Uninitialized
- 'X' Unknown, multiple drivers

Etats logiques

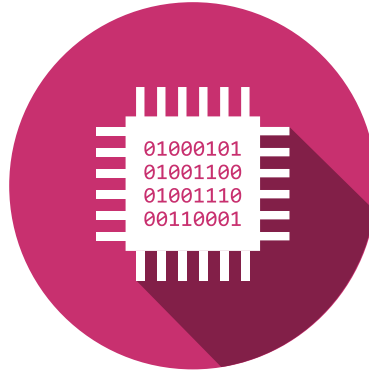
VHDL



- `std_ulogic` – The unresolved type
 - Pour la simulation
 - Crée metavalues warnings dans le simulateur
 - Crée des erreurs pendant le compilation

- `std_logic` – The resolved type
 - Proche au hardware
 - pour Tri-State

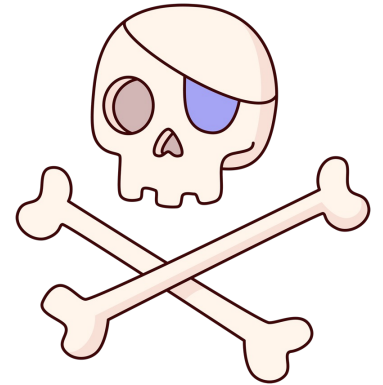
	U	X	0	1	Z	W	L	H	-
U	U	U	U	U	U	U	U	U	U
X	U	X	X	X	X	X	X	X	X
0	U	X	0	X	0	0	0	0	X
1	U	X	X	1	1	1	1	1	X
Z	U	X	0	1	Z	W	W	W	X
W	U	X	0	1	W	W	W	W	X
L	U	X	0	1	L	W	L	W	X
H	U	X	0	1	H	W	W	H	X
-	U	X	X	X	X	X	X	X	X



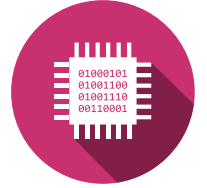
Et nous connaissons 2 dangers de mort:

Entrées non connectées!

Sorties court-circuitées



Références



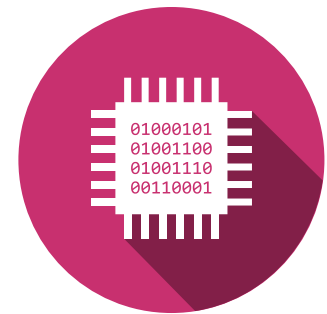
- [Toc92] (français) + différences TTL / CMOS
- [Gin87a] (français) + caractéristiques électroniques
- [Ber90] (français) Open-Collector & Tri-State
- [Com90] (anglais) Open-Collector & Tri-State, valeurs pour R



Hes·so  **VALAIS
WALLIS**



Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften



Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch