



Diviseurs de fréquence (DIV)

Cours Conception Numérique

Hes·so VALAIS
WALLIS



Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften

Orientation : [Systèmes industriels \(SYND\)](#)

Cours : Conception Numérique (Cnum)

Auteur : [Christophe Bianchi](#), [François Corthay](#), [Pierre Pompili](#), [Silvan Zahno](#)

Date : 25 août 2022

Version : v2.1

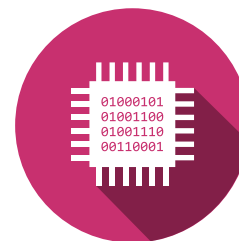


Table des matières

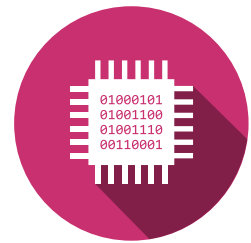
1	Introduction	2
2	Diviseurs de fréquence par une puissance de 2	3
2.1	Diviseur par 2	3
2.2	Diviseur par une puissance de 2	3
2.3	Etats permanents et états transitoires	3
2.3.1	Remarques	3
3	Diviseurs de fréquence par un nombre quelconque	5
3.1	Réalisation	5
3.1.1	Remarque	5
3.1.2	Commentaire	5
3.2	Simplification de la fonction de remise à zéro	5
3.3	Influence des états transitoires	6
3.3.1	Remarques	6
3.4	Etats hors de la boucle de comptage	6
	Références	7



1 Introduction

Les diviseurs de fréquence s'utilisent principalement pour générer un signal d'horloge à partir d'un quartz. Il est aussi possible de les utiliser comme des compteurs asynchrones, mais ils souffrent de l'apparition d'états transitoires à leur sortie.

Les diviseurs de fréquence se réalisent par la mise en cascade de diviseurs de fréquence par 2. La division par un nombre différent d'une puissance de 2, nécessite en plus une logique de remise à zéro.



2 Diviseurs de fréquence par une puissance de 2

2.1 Diviseur par 2

Un diviseur de fréquence par 2 se réalise avec une bascule connectée de manière à avoir (1) :

$$Q^+ = \overline{Q} \quad (1)$$

La figure 1 donne l'exemple d'un diviseur de fréquence par 2 réalisé avec une bascule T.

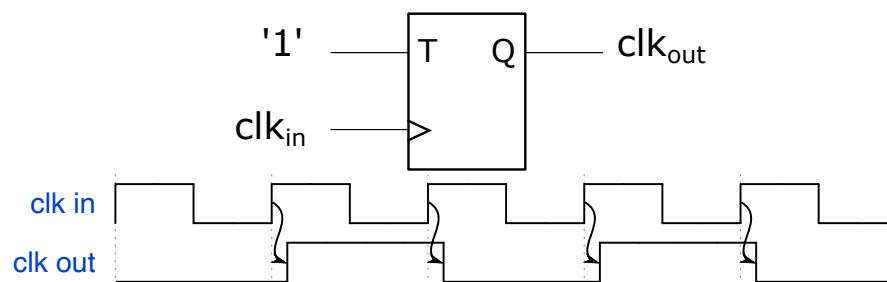


FIGURE 1 – Diviseur de fréquence par 2

2.2 Diviseur par une puissance de 2

Un diviseur de fréquence par une puissance de 2 se réalise par la mise en cascade de diviseurs de fréquence par 2, comme le montre la figure 2.

2.3 Etats permanents et états transitoires

L'inspection du chronogramme de la figure 2 nous donne la séquence d'états $Q = [Q_2, Q_1, Q_0]$ représentée à la figure 3.

Dans ce graphe sont représentés :

- **des états transitoires** qui ne durent que le temps d'un délai de bascule
- **des états permanents** qui durent jusqu'au prochain flanc du signal d'horloge d'entrée

Le graphe de la figure 4 reprend celui de la figure 3 en supprimant les états transitoires.

La séquence des états permanents est celle d'un compteur par 8. Le diviseur de fréquence se comporte donc comme un compteur, avec parfois l'apparition d'états transitoires lors du passage d'un nombre au suivant. On peut donc considérer le diviseur de fréquence comme un compteur asynchrone.

2.3.1 Remarques

En branchant les sorties inversées des bascules à l'entrée d'horloge de la bascule suivante, on obtient un compteur. En branchant les sorties directes, on obtient un décompteur.

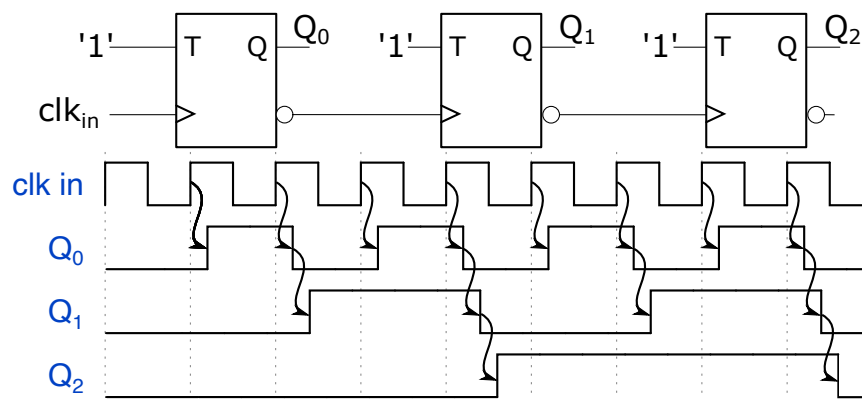
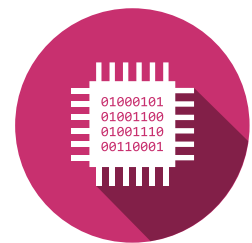


FIGURE 2 – Diviseur de fréquence par 8

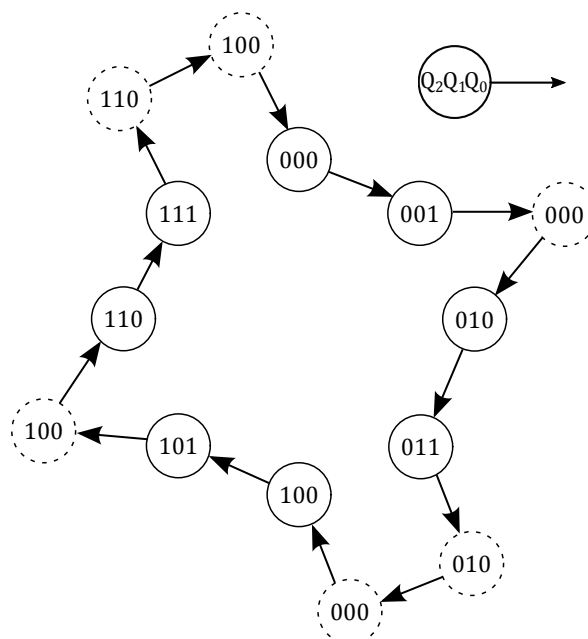


FIGURE 3 – Graphe des états

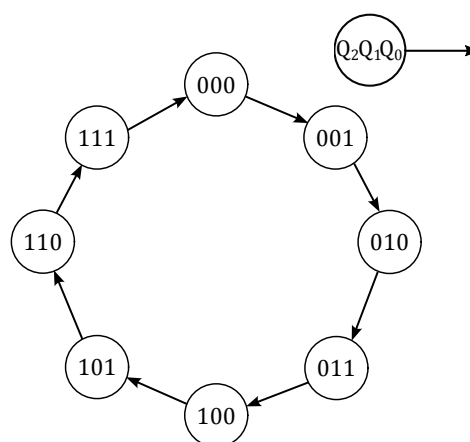


FIGURE 4 – Graphe des états permanents



3 Diviseurs de fréquence par un nombre quelconque

3.1 Réalisation

Pour diviser une fréquence par un nombre qui n'est pas une puissance de 2, il suffit de remettre à zéro les bascules avant la fin de la séquence de comptage.

La figure 5 présente un diviseur de fréquence par 6. La fonction $Y_6 = Q_2 Q_1 \overline{Q_0}$ détecte l'apparition du nombre $110_b = 6_d$. Lorsque le compteur arrive à 6, Y_6 passe à '1' et les bascules sont remises à zéro. Le compteur retombe alors à zéro. La séquence des états permanents est donc $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 0 \rightarrow \dots$.

Le bit de poids fort du compteur sert de signal de sortie du diviseur de fréquence.

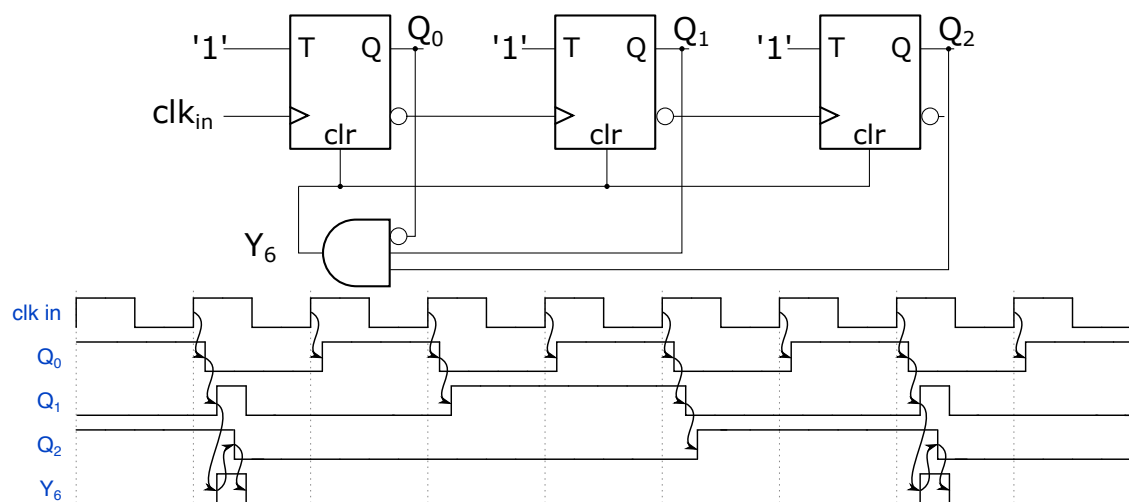


FIGURE 5 – Diviseur de fréquence par 6

3.1.1 Remarque

La durée de l'impulsion de remise à zéro dépend du temps de réaction de la bascule la plus rapide. Si le temps de réaction diffère fortement entre les différentes bascules, il faut prévoir une logique de maintien de l'impulsion de remise à zéro.

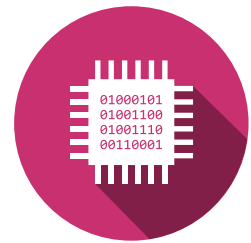
3.1.2 Commentaire

Le signal de sortie du diviseur de fréquence n'a pas de rapport cyclique de 50%. Ceci n'est généralement pas gênant. Pour toutefois pallier à cet effet, on peut soit cascader un premier diviseur de fréquence et un diviseur de fréquence par 2, soit initialiser le compteur à une valeur différente de zéro.

3.2 Simplification de la fonction de remise à zéro

La fonction de remise à zéro peut se simplifier en considérant qu'elle peut être active pour des nombres supérieurs à celui où a lieu la remise à zéro.

Cette simplification peut se faire avec des techniques standard, comme l'utilisation de tables de Karnaugh avec des états \emptyset .



Une autre manière de simplifier cette fonction est de ne prendre en compte que les bits à '1' du code binaire du nombre où a lieu la remise à zéro. En effet, si les bits à '0' changent de valeur, le nouveau nombre est nécessairement supérieur au précédent. Ceci revient à supprimer les entrées inversées de la porte ET qui génère le signal de remise à zéro.

Ainsi, pour un diviseur de fréquence par 6, la fonction $Y_6 = Q_2 Q_1 \overline{Q_0}$ peut se simplifier en $Y_6 = Q_2 Q_1$.

3.3 Influence des états transitoires

La fonction de remise à zéro et sa simplification ont été étudiées à partir des états permanents seulement. Il est important de vérifier que la fonction de remise à zéro ne s'active pas prématurément, à cause d'un état transitoire.

L'inspection du chronogramme de la figure 2 montre que tous les états provisoires correspondent à des nombres inférieurs au nombre précédent, et donc inférieurs au nombre qui déclenche la remise à zéro.

En effet, les états transitoires correspondent tous à une transition de '1' à '0' de la sortie d'une bascule. Ce flanc descendant va activer une transition à la bascule suivante. Pour les états transitoires, la transition de '1' à '0' d'un bit implique que le nouveau nombre est inférieur au précédent.

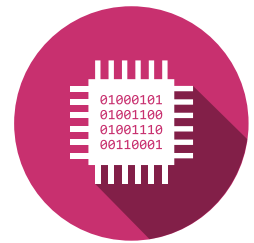
3.3.1 Remarques

Dans le cas particulier du diviseur de fréquence, les états transitoires n'influencent pas le bon fonctionnement du circuit. Il n'en est généralement pas de même dans le cas des autres circuits asynchrones. Les circuits asynchrones nécessitent une étude détaillée de tous les états transitoires pour en vérifier l'influence.

L'utilisation d'un diviseur de fréquence comme compteur peut se révéler dangereuse à cause de l'existence des états transitoires. Ces états transitoires peuvent provoquer un comportement imprévu des circuits pilotés par le compteur.

3.4 Etats hors de la boucle de comptage

Pour les diviseurs de fréquence par un nombre différent d'une puissance de 2, les états hors de la boucle de comptage ne posent pas de problème de boucles parasites : soit le nombre est incrémenté soit il y a une remise à zéro.



Références

- [1] K BEUTH. *Digitaltechnik*. 11. Auflage. Vogel Buchverlag, 2001. ISBN : 3-8023-1755-6.
- [2] Michael D. CILETTI et M. Morris MANO. *Digital Design*. second edition. New-Jersey : Prentice-Hall, 2007.
- [3] Martin V. KÜNZLI et Marcel MELI. *Vom Gatter Zu VHDL : Eine Einführung in Die Digitaltechnik*. vdf Hochschulverlag AG, 2007. ISBN : 3 7281 2472 9.
- [4] Daniel MANGE. *Analyse et synthèse des systèmes logiques*. PPUR presses polytechniques, 1995. 362 p. ISBN : 978-2-88074-045-0. Google Books : [5NSdD4GRl3cC](#).
- [5] Denis ROUX et Marcel GINDRE. *Logique séquentielle : cours et exercices*. Ediscience international, 1992. 244 p. ISBN : 978-2-84074-047-6. Google Books : [t46iGAAACAAJ](#).