



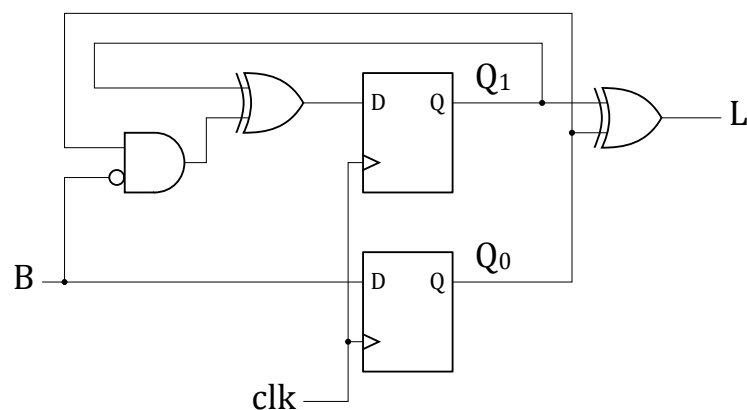
# Machines d'états

## Exercices Conception numérique

### 1 | FSM - Machines de Moore

#### 1.1 Graphe d'une machine d'états

La figure suivante présente le circuit d'une machine d'états.

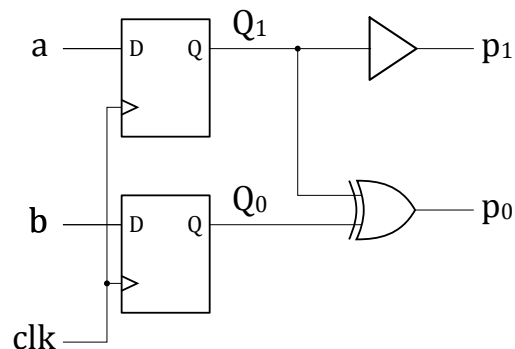


Dessiner le graphe des états de cette machine.

*fsm/moore-01*

#### 1.2 Graphe d'une machine d'états

Dessiner le graphe des états du circuit de la figure suivante.

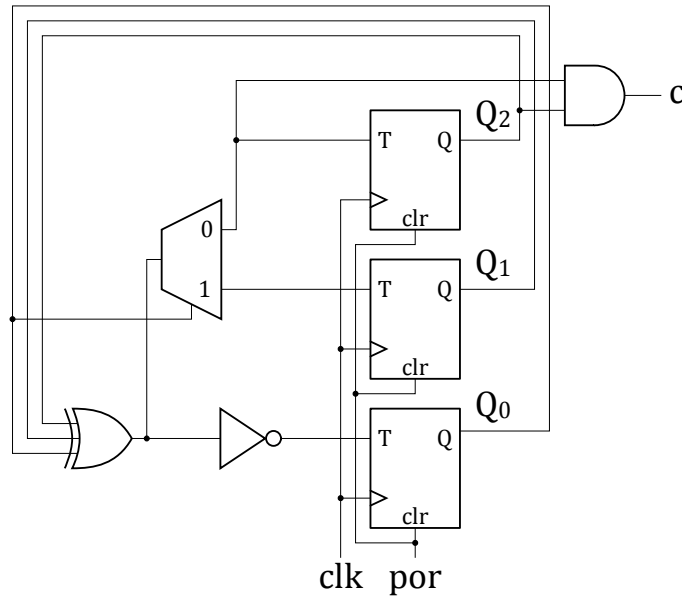




fsm/moore-02

### 1.3 Séquence d'un compteur

La figure suivante présente le circuit d'un compteur.



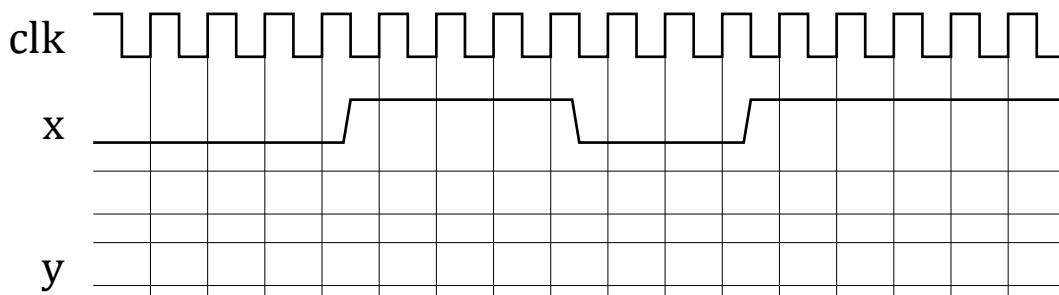
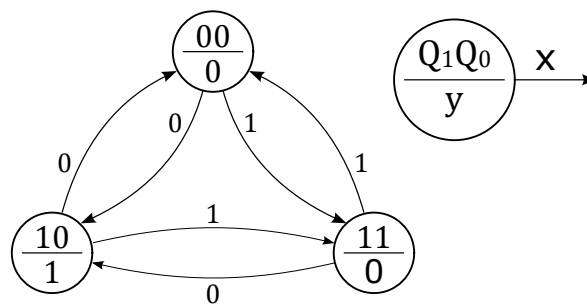
Donner la séquence de comptage de ce circuit.

fsm/moore-03

### 1.4 Comportement temporel d'une machine d'états

Pour le système décrit par le graphe de la figure suivante, donner le comportement temporel des signaux de sortie.

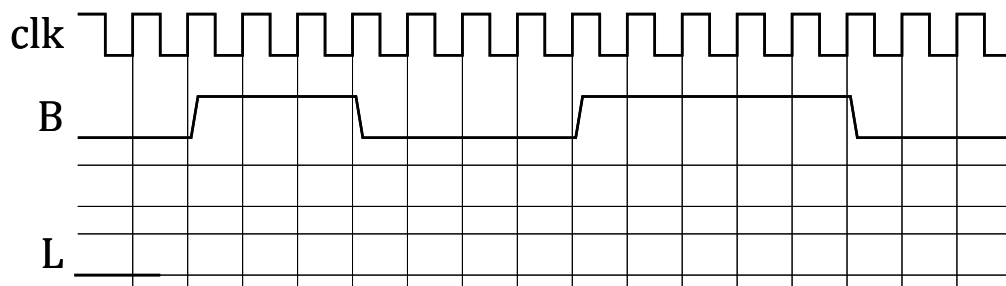
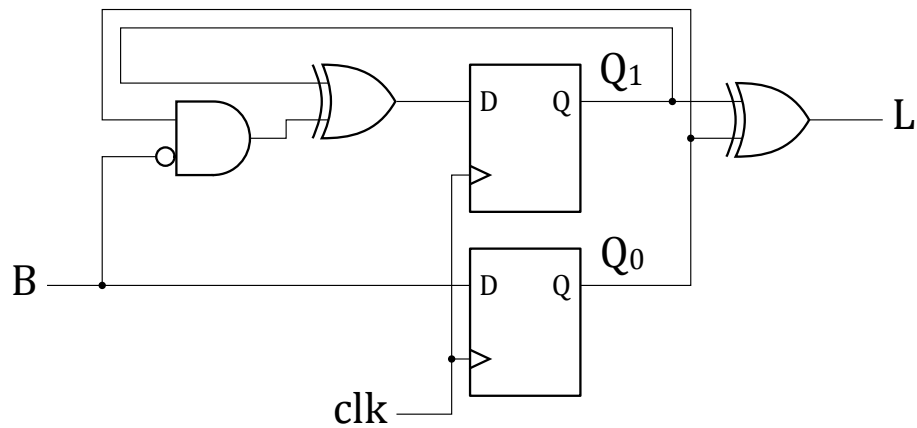
Le circuit démarre dans l'état "00".





## 1.5 Comportement temporel d'une machine d'états

Pour le circuit de la figure suivante, donner le comportement temporel du signal de sortie.

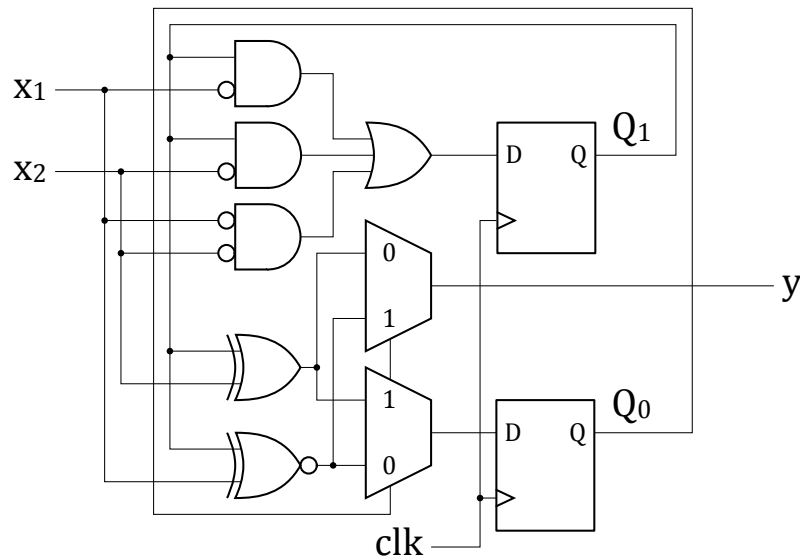




## 2 | FSM - Machines de Mealy

### 2.1 Graphe d'une machine d'états

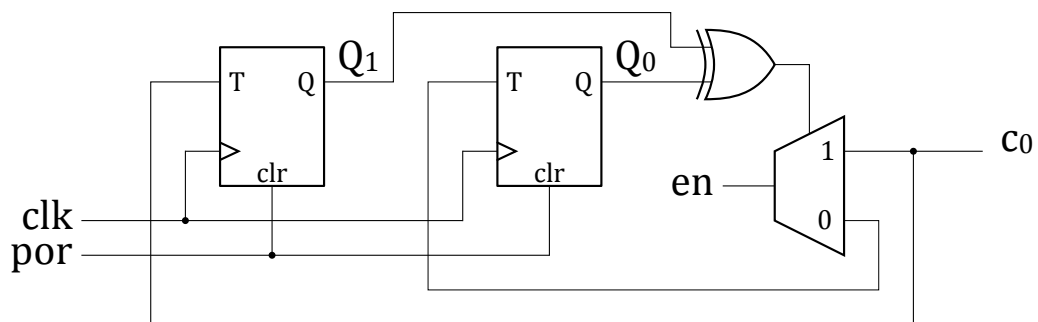
Dessiner le graphe des états du circuit de la figure suivante.



*fsm/mealy-01*

### 2.2 Graphe d'une machine d'états

Dessiner le graphe des états du circuit de la figure suivante.

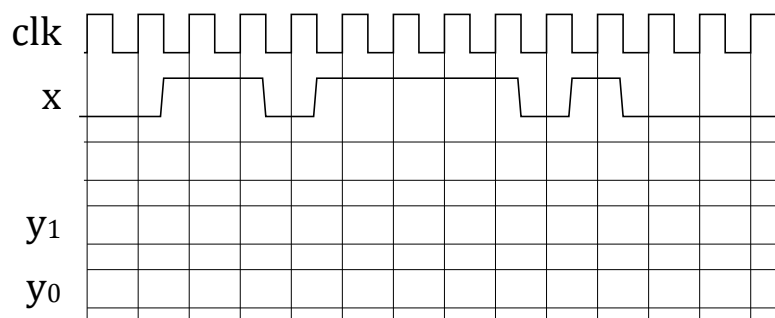
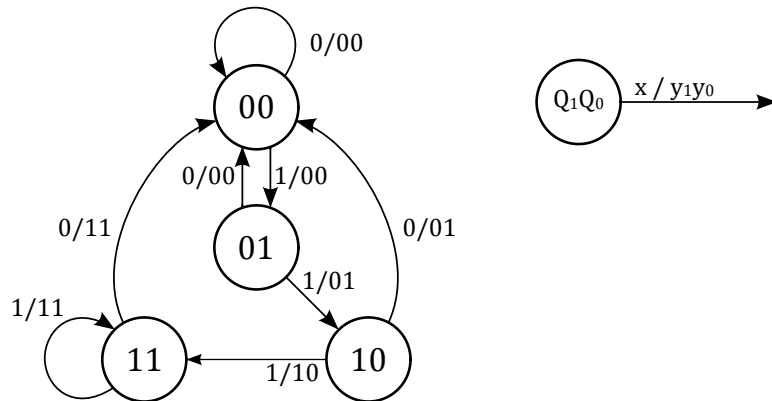


*fsm/mealy-02*



## 2.3 Comportement temporel d'une machine d'états

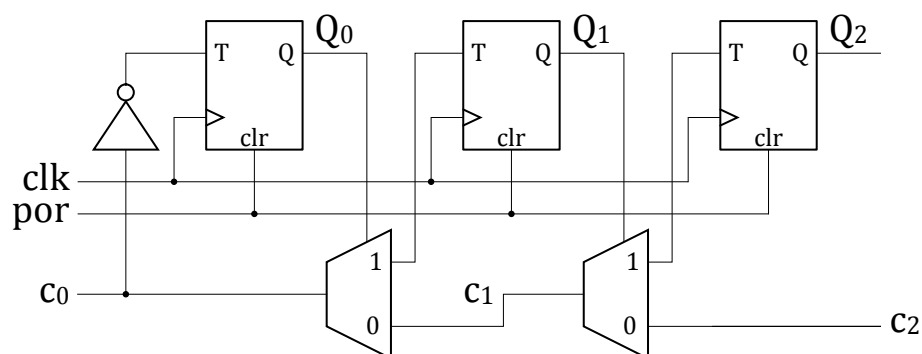
Pour le système déterminé par le graphe de la figure suivante, donner le comportement temporel des signaux de sortie.



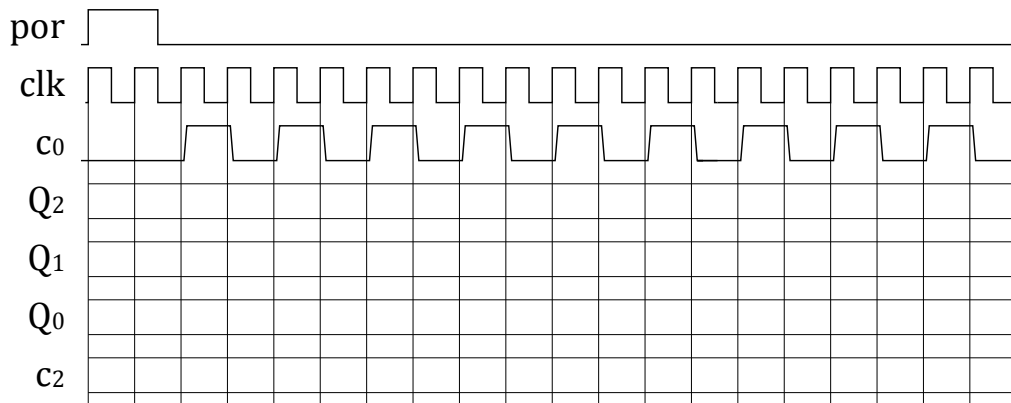
*fsm/mealy-03*

## 2.4 Compteur itératif

La figure suivante présente un compteur itératif.



Dessiner le comportement temporel du signal de sortie,  $c_2$ , dans le chronogramme de la figure suivante.



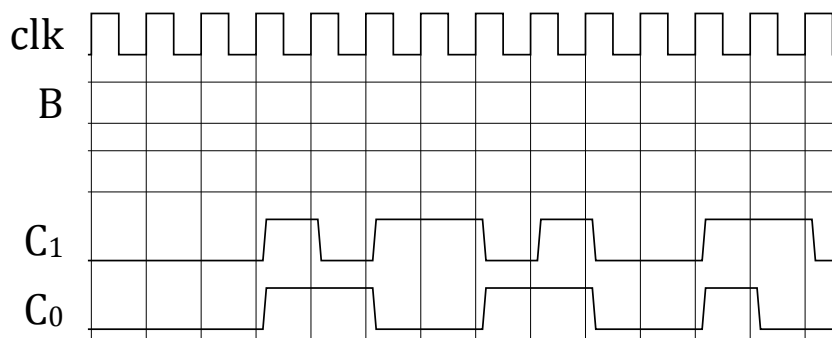
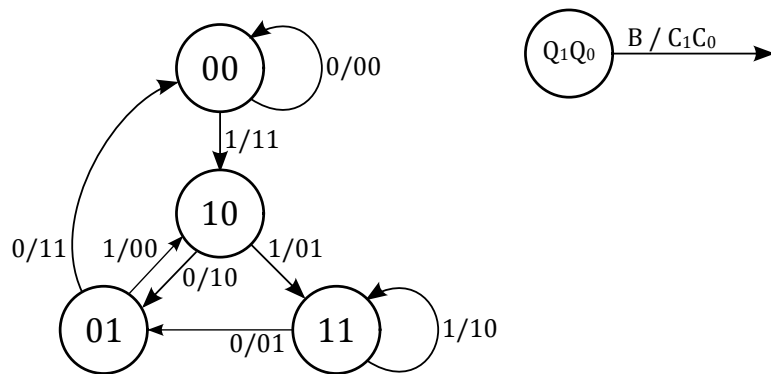
Expliquer s'il s'agit d'une machine de Moore ou de Mealy. Etayer votre explication par un exemple ou une démonstration.

Déterminer le nombre de bits du compteur qui changent à chaque coup d'horloge. Citer le nom attribué à cette séquence.

*fsm/mealy-04*

## 2.5 Comportement temporel d'une machine d'états

Pour le système déterminé par le graphe de la figure suivante, donner le comportement temporel du signal d'entrée.



*fsm/mealy-05*



## 3 | FSM - Établissement du graphe des états

### 3.1 Superviseur de fonctionnement

Un circuit superviseur de fonctionnement (watchdog) vérifie si un microprocesseur est en mode de fonctionnement normal ou bien s'il est perdu dans une boucle de laquelle il ne ressort plus.

Pour cela, le processeur doit envoyer au moins une fois par seconde une impulsion **heartbeat** au superviseur. Si ce n'est pas le cas, le superviseur active une commande de redémarrage du processeur: **resetProc**. Cette commande reste alors enclenchée pendant 1 seconde.

Pour mesurer le temps, le superviseur reçoit une entrée **1hz** sous la forme d'impulsions espacées d'une seconde et qui ne durent qu'une seule période d'horloge. Par contre, l'impulsion heartbeat en provenance du microprocesseur aura une durée de plusieurs périodes d'horloge.

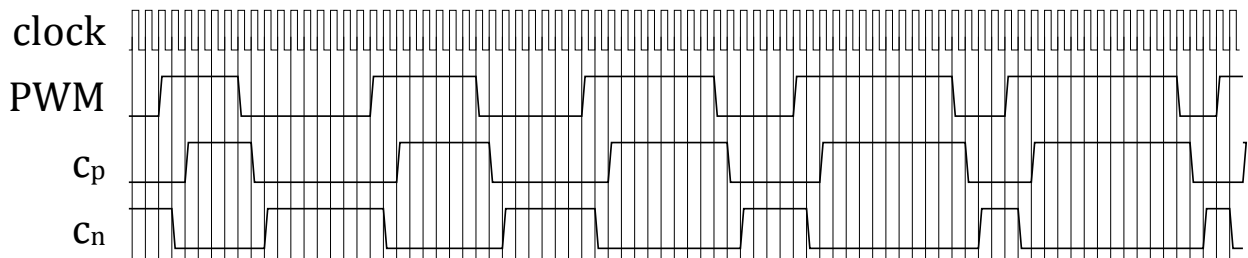
Dessiner le graphe d'états de ce superviseur de fonctionnement de microprocesseur.

*fsm/fsm-01*

### 3.2 Générateur de commandes non-recouvrantes

Un circuit électronique de puissance génère un signal PWM servant à commuter une sortie soit vers un potentiel de +340 V soit vers un potentiel de -340 V. Pour éviter tout court-circuit, il faut générer la commande de chaque commutateur de manière à ce qu'il ne s'enclenche qu'une période d'horloge après que l'autre commutateur ait été déclenché.

Le générateur de commandes non-recouvrantes reçoit le signal **PWM** et fournit les signaux de commande  $c_p$  et  $c_n$  pour les deux commutateurs de puissance.



Dessinez le graphe d'état de ce générateur de signaux de commande non-recouvrantes.

*fsm/fsm-02*

### 3.3 Commande de distributeur automatique

Dessiner le graphe des états d'un circuit de commande de distributeur automatique.

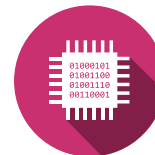
Tous les produits distribués coûtent 3 CHF. Lorsque le client insère une pièce de 1 CHF, l'entrée **coin1** s'active pendant une période d'horloge. Au passage d'une pièce de 2 CHF, c'est au tour de l'entrée **coin2** de recevoir une impulsion d'une période d'horloge. Dès que le montant de 3 CHF est atteint, la sortie **open** passe à '1' pendant une période d'horloge.

L'appareil ne rend pas de monnaie, mais impute le solde non utilisé au prochain achat.



*fsm/fsm-03*





### 3.4 Commande de lumières

Un bouton-poussoir commande l'éclairage d'une salle. Lorsqu'on appuie une fois sur le bouton, on allume les lumières. Lorsqu'on appuie une deuxième fois, on éteint les lumières.

Dessiner le graphe des états du système.

*fsm/fsm-04*

### 3.5 Détecteur de flanc montant

Dessiner le graphe des états du détecteur de flanc montant d'un signal d'entrée dans les 2 cas suivants:

- le circuit délivre une impulsion qui dure exactement une période d'horloge,
- le circuit délivre une impulsion qui commence dès l'apparition du flanc montant du signal d'entrée et dure jusqu'au prochain flanc montant du signal d'horloge.

*fsm/fsm-05*

### 3.6 Détection de chaîne de caractères

Un circuit doit reconnaître dans un texte les mots finissant par la chaîne de caractères "er ". Dans le système d'analyse de texte, il est précédé par un circuit commandé par le même signal d'horloge et qui code les caractères sur 2 bits de la manière suivante:

- "00" pour la lettre 'e',
- "01" pour la lettre 'r',
- "10" pour un caractère de séparation (espace, signe de ponctuation),
- "11" pour tout autre caractère.

A chaque période d'horloge, un nouveau caractère est codé et transmis.

Dessiner le graphe qui indique l'existence d'un mot finissant par la chaîne de caractères "er " dès la transmission du caractère de séparation.

*fsm/fsm-06*

### 3.7 Serrure électronique

Une serrure électronique est commandée par un clavier à 10 touches qui délivre un code binaire de 0 à 9 sur 4 bits. Le clavier délivre le code binaire 1111 lorsqu'aucune touche n'est enfoncée. Au moment où une touche est enfoncée, le circuit délivre une impulsion d'une période d'horloge pour délivrer un signal sonore. Lorsque la séquence  $1 \Rightarrow 9 \Rightarrow 9 \Rightarrow 7$  a été donnée, le circuit active un signal pour l'ouverture de la porte. Ce signal reste actif jusqu'au moment où la porte a été refermée. Un interrupteur signale l'état de la porte: '0' si la porte est fermée et '1' si elle est ouverte.

Dessiner le graphe des états du système.

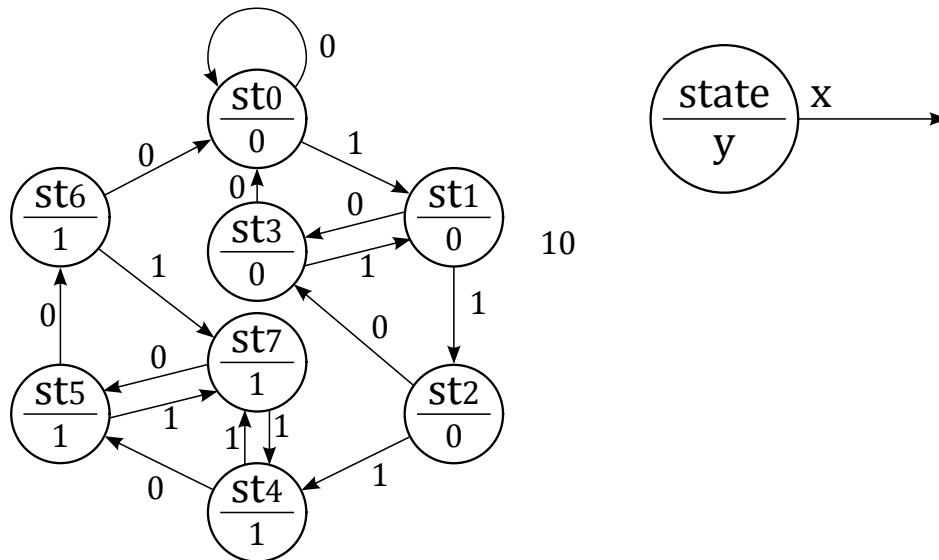
*fsm/fsm-07*



## 4 | FSM - Réduction de graphes

### 4.1 Réduction de graphe

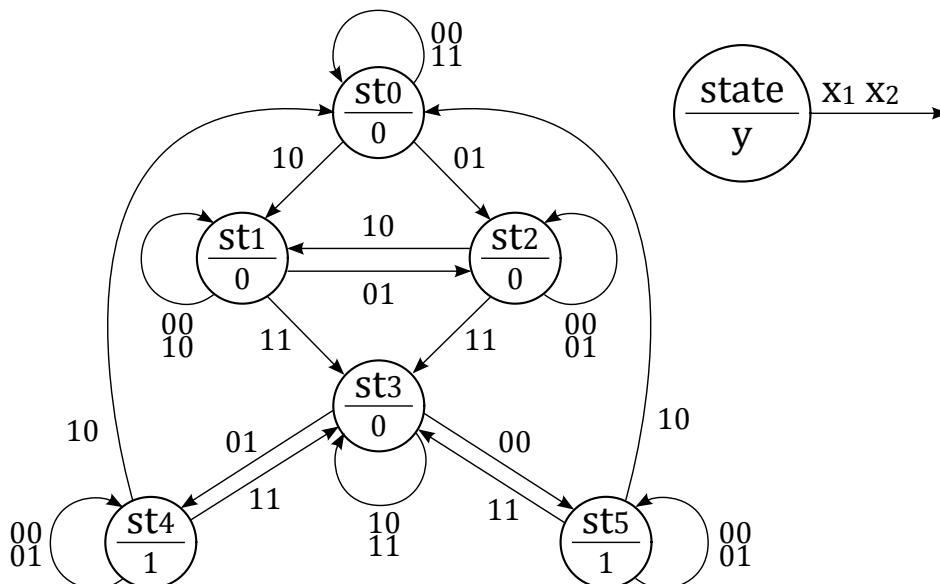
Dessiner un graphe équivalent au graphe de la figure suivante, en minimisant le nombre des états.



*fsm/reduction-01*

### 4.2 Réduction de graphe

Dessiner un graphe équivalent au graphe de la figure suivante, en minimisant le nombre des états.



Déterminer le nombre minimal de bascules nécessaires à la réalisation de ce circuit.

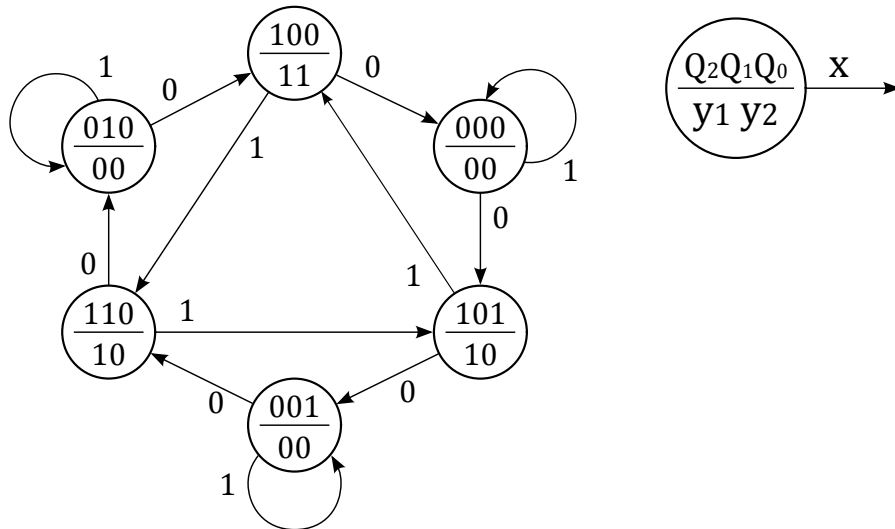
*fsm/reduction-02*



## 5 | FSM - Codage des états

### 5.1 Circuit logique

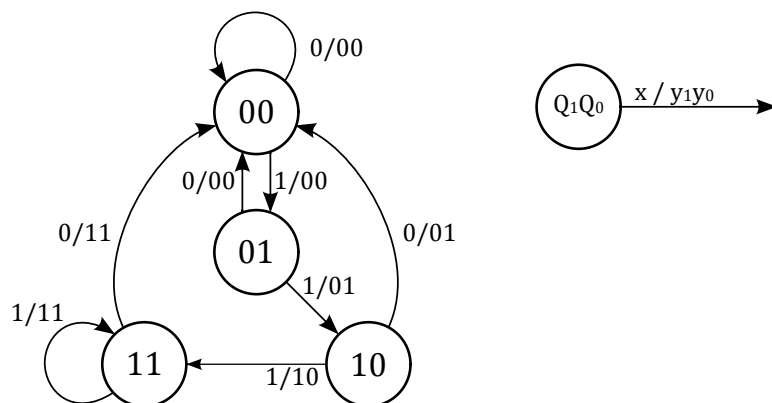
Dessiner le schéma du circuit qui implémente le graphe de la figure suivante.



*fsm/coding-01*

### 5.2 Circuit logique

Dessiner le schéma du circuit qui implémente le graphe de la figure suivante.

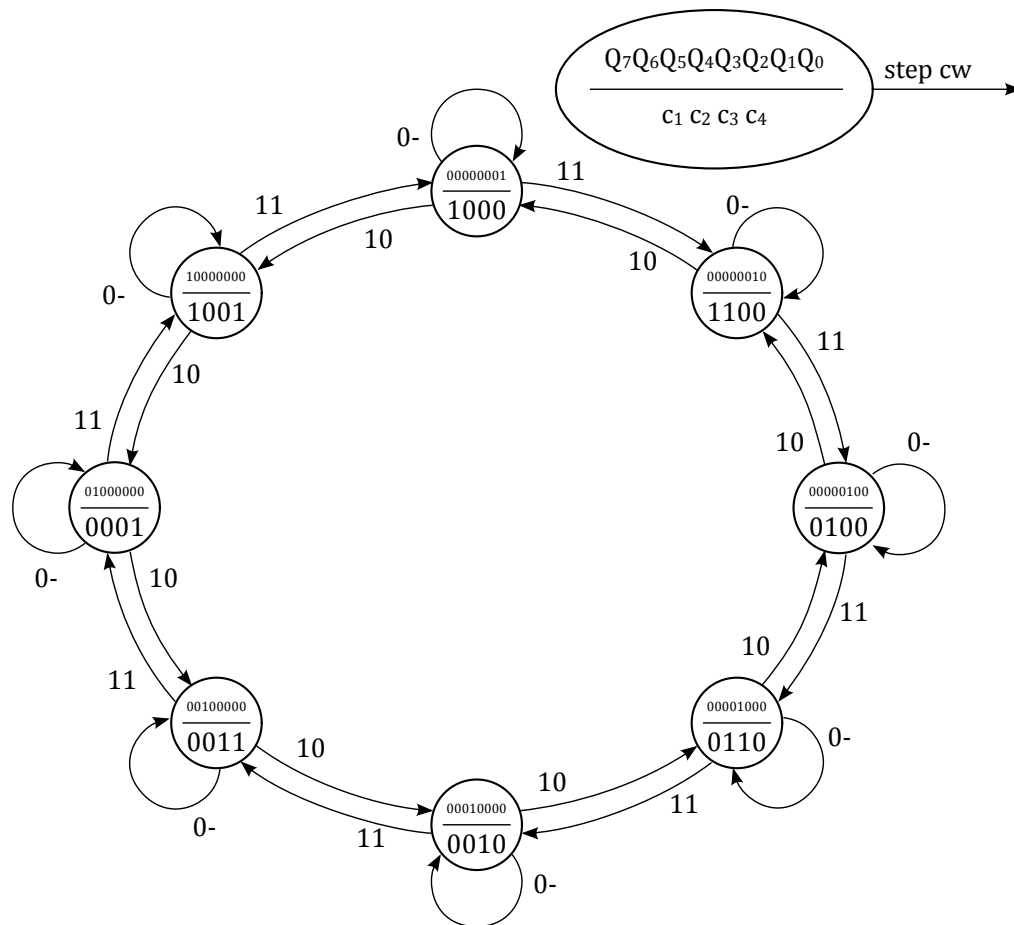


*fsm/coding-02*



### 5.3 Circuit logique

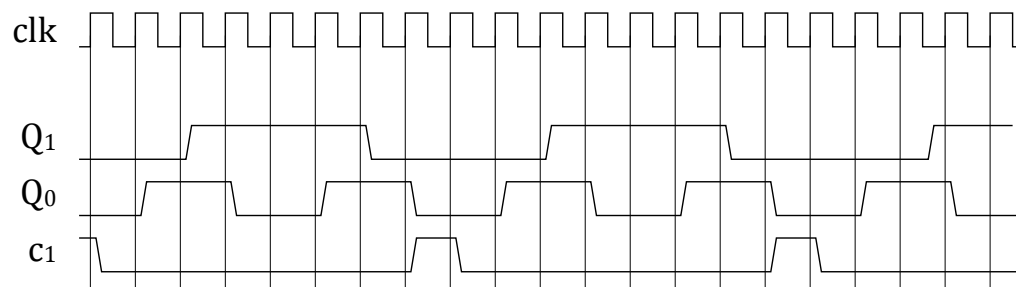
Dessiner le schéma du circuit qui implémente le graphe de la figure suivante.



fsm/coding-03

## 5.4 Circuit logique

Dessiner le schéma du circuit qui génère la séquence suivante.



fsm/coding-04



## 5.5 Détecteur de flanc descendant

Dessiner le schéma d'une machine de Moore qui détecte le flanc descendant d'un signal d'entrée.

Considérer que la durée des impulsions du signal d'entrée peut être aussi courte que la période d'horloge, mais pas inférieure à celle-ci.

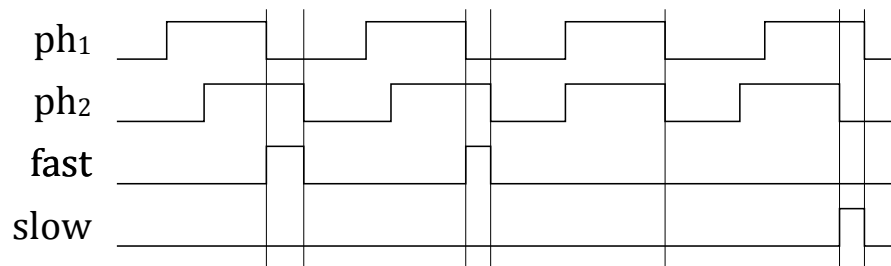
*fsm/coding-05*

## 5.6 Détecteur de phase

Un système de commande de générateur électrique doit se synchroniser sur la phase du réseau électrique à 50 Hz.

Pour cela, il utilise un comparateur de phase. Si la phase du générateur,  $ph_2$ , est en avance sur la phase du réseau,  $ph_1$ , le comparateur active le signal **slow** qui ralentit le générateur. À l'opposé, si  $ph_2$  est en retard sur  $ph_1$ , le comparateur active le signal **fast** qui accélère le générateur.

La figure suivante montre un exemple de fonctionnement du circuit à développer.



Dessiner le graphe des états du système, le réduire si nécessaire, proposer un codage 1 parmi n (One-Hot) et déterminer le schéma du circuit correspondant.

*fsm/coding-06*