

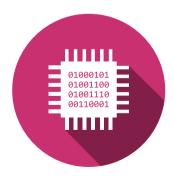


Digitales Design (DiD)

Logische Zustände LST

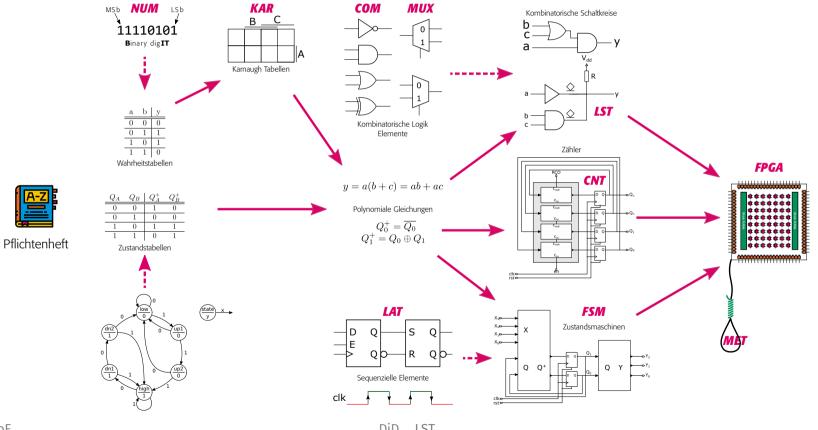
Studiengang Systemtechnik Studiengang Energie und Umwelttechnik Studiengang Informatik und Kommunikationssysteme

Silvan Zahno <u>silvan.zahno@hevs.ch</u> Christophe Bianchi <u>christophe.bianchi@hevs.ch</u> François Corthay <u>francois.corthay@hevs.ch</u>



Aktueller Inhalt des Themas im Kurs





ZaS, BiC, CoF DiD LST

Inhalt



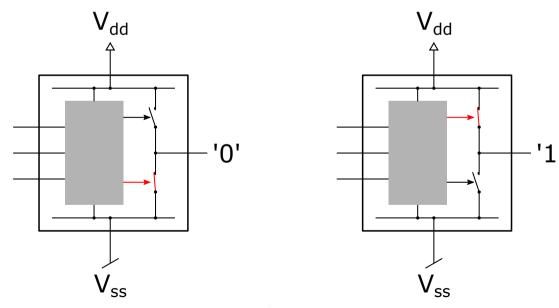
- Logische Basiszustände
 - Logischer Zustand '0'
 - Logischer Zustand '1'
- Logikgatter, die nur einen Zustand hervorbringen
- Logikgatter mit hochohmigem Ausgang
- Logische Zustände vom Simulator und Synthesizer aus gesehen

Logische Basiszustände

0 und 1



- Zustand 0: niedriges Potential der Spannungsversorgung (Vss Masse gnd)
- Zustand 1: hohes Potential der Spannungsversorgung (Vdd Vcc)
- Über die Schalter des Transistors

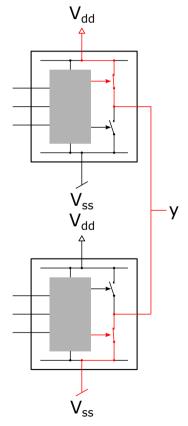


Logische Basiszustände

0 und 1

- Verbindung der Ausgänge
- Vorsicht vor dem Kurzschluss!





Inhalt

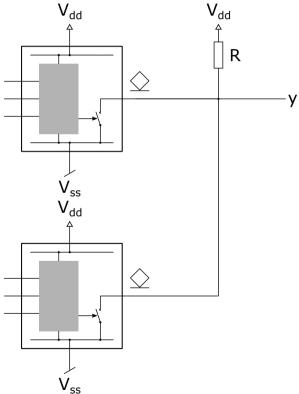


- Logische Basiszustände
- Logikgatter, die nur einen Zustand hervorbringen
 - Open-Drain Gatter
 - Open-Source Gatter
- Logikgatter mit hochohmigem Ausgang
- Logische Zustände vom Simulator und Synthesizer aus gesehen

Open-Drain Gatter

- Open-Drain:
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet



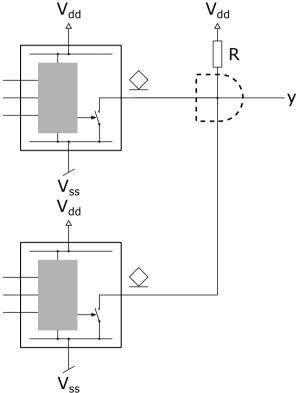


Open-Drain Gatter

- Open-Drain:
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet

 Implizite Funktion: Verkabeltes Und (Cabled-AND)



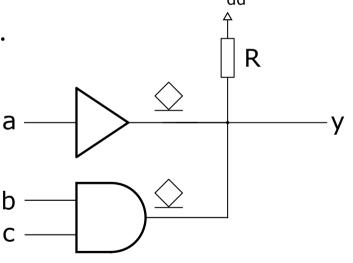


Open-Drain Gatter

- Beispiel für eine Schaltung:
- Beide Gatter können nur eine '0' erzeugen.
- Der Widerstand zieht nur dann auf '1', wenn keiner der Schaltkreise auf '0' zieht.

| a | b | C | У | driver |
|---|---|---|---|----------|
| 0 | 0 | 0 | 0 | Buf, AND |
| 0 | 0 | 1 | 0 | Buf, AND |
| 0 | 1 | 0 | 0 | Buf, AND |
| 0 | 1 | 1 | 0 | Buf |
| 1 | 0 | 0 | 0 | AND |
| 1 | 0 | 1 | 0 | AND |
| 1 | 1 | 0 | 0 | AND |
| 1 | 1 | 1 | 1 | R |

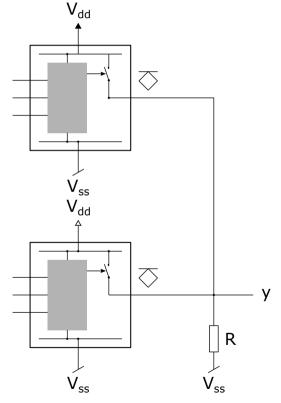




Open-Source Gatter

- Open-Source:
 - Symmetrisch zu Open-Drain
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet



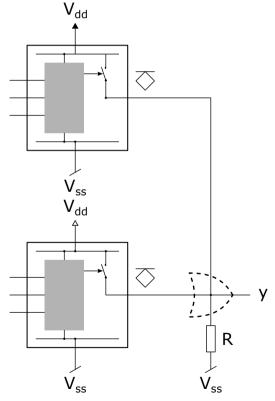


Open-Source Gatter

- Open-Source:
 - Symmetrisch zu Open-Drain
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet

 Implizite Funktion: Verkabeltes Oder (Cabled-OR)





Aufgabe 1.5 (lst/one-state-02-02)

Alarmschaltung





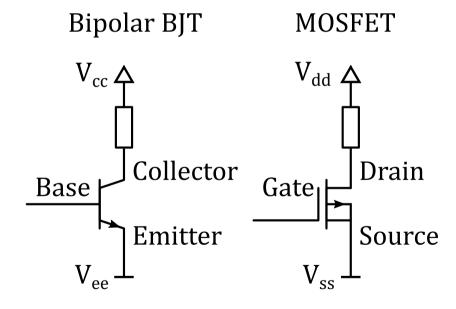
Schlagen Sie das Schema einer Brand-Alarmschaltung in einem Gebäude vor.

Das Gebäude enthält 16 Rauchsensore, welche in verschiedenen Räumen gestellt sind. Diese werden durch einen 3-Draht-Kabel zusammengeknüpft: 2 für die Speisung und 1 für die Informationsübermittlung. Die Aktivierung eines einzelnen Sensores soll eine Sirene heulen lassen.

Ein Sensor liefert eine '1' bei Rauchaufspürung. Die Sirene heult, sobald ihr Steuersignal auf '1' schaltet.

Open-Source & Open-Drain vs. Open-Collector & Open-Emitter





Aufgabe 1.6 (Ist/one-state-02-03)

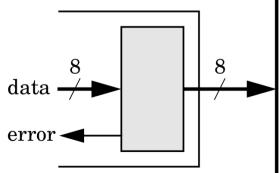
Zusammenstossaufspürung



Zeichnen Sie das Schema eines Bus-Interfaces, wo mehrere Bausteine fähig sind, auf einem gemeinsamen Bus einen 8-Bit Wert zu schreiben und dessen Wert kontrollieren zu können.

Ist der Wert auf der Linie verschieden als den vorgesehenen, so liefert das Bus-Interface dem Baustein ein Irrtumsanzeigesignal, um ihm ein Übertragungsproblem zu signalisieren.

Schlagen Sie eine Methode vor, um den Daten auf dem Bus eine Priorität geben zu können.



ZaS, BiC, CoF DiD LST _______ 15

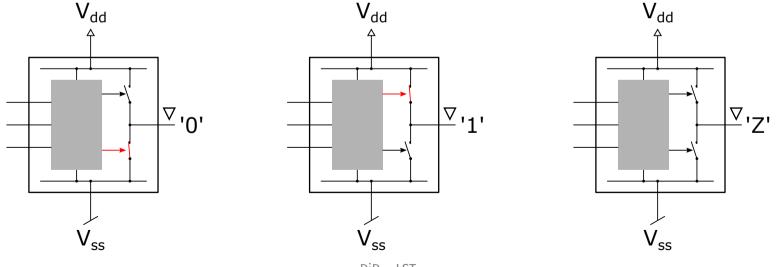
Inhalt



- Logische Basiszustände
- Logikgatter, die nur einen Zustand hervorbringen
- Logikgatter mit hochohmigem Ausgang
 - Gatter mit hochohmigem Ausgang
 - Tri-State-Puffer
- Logische Zustände vom Simulator und Synthesizer aus gesehen

Gatter mit hochohmigem Ausgang (Tri-State)

- Hochohmiger Ausgang (Tri-state):
- Im Zustand hoher Impedanz 'Z', das Logikgatter erzeugt weder eine '0' noch
 '1'
- Dies wird auch als «schwebend» bezeichnet (floating)

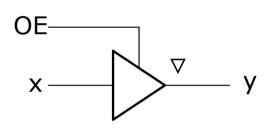


ZaS, BiC, CoF DiD LST 18

Buffer Tri-State (3 Zustände)

• Ein Puffer Tri-State kann 3 Zustände erzeugen





| OE | X | у | | |
|----|---|---|--|--|
| 0 | 0 | Z | | |
| 0 | 1 | Z | | |
| 1 | 0 | 0 | | |
| 1 | 1 | 1 | | |

- Ein OE-Eingang (Output Enable) wird verwendet, um den Status des Ausgangs (aktiv 0/1 oder 'Z') zu steuern.
- Ein Master steuert die OE-Signale von mehreren Puffern auf derselben Leitung, so dass zu einem bestimmten Zeitpunkt nur ein Puffer aktiv ist.

Hochohmiger Ausgang (Tri-State)



- Schaltungen mit hoher Impedanz:
 - Wir brauchen einen Master, der alle OE steuert
 - Er darf immer noch einen einzigen OE auf '1' gelegt werden.
 - Hochohmige Schaltungen verbrauchen weniger Strom als offene Drain/Source-Schaltungen.

Aufgabe 2.1 (lst/hiz-01)

Datenbus





Schlagen Sie ein Schema zur Verknüpfung von Bausteinen zu einem gemeinsamen Datenbus vor.

Das System enthält 3 Komponente, welche je einen 8-Bit Wert liefern. Um einen davon zu wählen erstellt die Systemsteuerung eine auf 2 Bit codierte Adresse. Die Funktionsweise ist die folgende:

- ist die Adresse gleich 0, so übermittelt kein Baustein einen Wert,
- ist die Adresse gleich 1, so übermittelt der Baustein 1 seinen Wert,
- ist die Adresse gleich 2, so übermittelt der Baustein 2 seinen Wert,
- ist die Adresse gleich 3, so übermittelt der Baustein 3 seinen Wert

Inhalt



- Logische Basiszustände
- · Logikgatter, die nur einen Zustand hervorbringen
- Logikgatter mit hochohmigem Ausgang
- Logische Zustände vom Simulator und Synthesizer aus gesehen
 - Unbekannter Zustand
 - Nichtinitialisierter Zustand
 - Nichtspezifizierter Zustand
 - VHDL Typen

Unbekannter Zustand



- Zustand 'X':
 - Der Simulator weiß nicht immer, wie der Ausgang eines Logikgatters mit einem nicht verbundenen Eingang bestimmt werden kann.
 - Und so legt er diesen Ausgang auf 'X'...
 - Auch Kurzschlüsse erzeugen ein 'X'!
 - Ein 'X' in der Simulation deutet oft auf einen Konstruktionsfehler hin!

Nichtinitialisierter Zustand



- Zustand 'U' (uninitialized):
 - Im Simulator beginnen alle Signale beim Zustand 'U'.
 - Der Zustand 'U' verschwindet bei der ersten Zuweisung des Signals.
 - Logische Gatter mit Verzögerungen beginnen daher auch im Zustand 'U'.
 - Gates mit Speicher (Speicherelemente und Flip-Flops) bleiben bis zum ersten Schreiben (oder bis zum Reset) auf 'U'.

Nichtspezifizierter Zustand



- Zustand '-' (don't care):
 - Der Simulator behandelt es wie ein "X" oder ein "U".
 - Aber das Synthesewerkzeug kann sich dies zunutze machen, um die Schaltung zu vereinfachen
 - Verwenden Sie den '-' Status so oft wie möglich.
 - Auf diese Weise lässt sich auch überprüfen, ob die betreffende Bedingung wirklich unwichtig ist.

VHDL - Simulator

Zustand von std_logic und std_ulogic



- '1' Logic 1
- '0' Logic 0
- 'Z' High impedance
- 'W' Weak signal, can't tell if 0 or 1
- 'L' Weak 0, pulldown
- 'H' Weak 1, pullup
- '-' Don't care
- 'U' Uninitialized
- 'X' Unknown, multiple drivers

VHDL

- std_ulogic The unresolved type
 - Für die Simulation
 - Kreiert Metawert Warnungen im Simulator
 - Kreiert Errors in der Kompilation

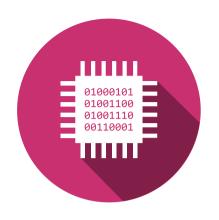


- std_logic The resolved type
 - Näher an der Hardware
 - Für Tri-State

| | U | X | 0 | 1 | Z | W | L | Н | - |
|---|---|---|---|---|---|---|---|---|---|
| U | U | U | U | U | U | U | U | U | U |
| X | U | Χ | Χ | Χ | Χ | Χ | Χ | Χ | Χ |
| 0 | U | Χ | 0 | Χ | 0 | 0 | 0 | 0 | Χ |
| 1 | U | Χ | Χ | 1 | 1 | 1 | 1 | 1 | Χ |
| Z | U | Χ | 0 | 1 | Z | W | W | W | Χ |
| W | U | Χ | 0 | 1 | W | W | W | W | Χ |
| L | U | Χ | 0 | 1 | L | W | L | W | Χ |
| Н | U | Χ | 0 | 1 | Н | W | W | Н | Χ |
| - | U | Χ | Χ | Χ | Χ | Χ | Χ | Χ | Χ |

ZaS, BiC, CoF

DiD LST



Und wir kennen zwei lebensbedrohliche Gefahren:

Nicht angeschlossene Eingänge! Kurzgeschlossene Ausgänge!



Referenzen



- [Toc92] (Französisch) + Differenzen TTL / CMOS
- [Gin87a] (Französisch) + Elektonische Charakterstiken
- [Ber90] (Französisch) Open-Collector & Tri-State
- [Com90] (Englisch) Open-Collector & Tri-State, Werte für R

WHY ARE THERE MIRRORS ABOVE BEDS

WHY DO I SAY WHY IS SEA SALT BETTER IN

WHY IS THERE NOT A POKEMON MMO WHY IS THERE LAUGHING IN TV SHOWS ARE THERE DOORS ON THE FREEWAY ARE THERE SO MANY SVCHOST-EXE RUNNING AREN'T ANY COUNTRIES IN ANTARCTICA WHY ARE THERE SCARY SOUNDS IN MINECRAFT WHY IS THERE KICKING IN MY STOMACH WHY ARE THERE TWO SLASHES AFTER HTTP WHY ARE THERE CELEBRITIES WHY DO SNAKES EXIST WHY DO OYSTERS HAVE PEARLS WHY ARE DUCKS CALLED DUCKS WHY DO THEY CALL IT THE CLAP WHY ARE KYLE AND CARTMAN FRIENDS WHY IS THERE AN ARROW ON AANG'S HEAD 🗷 WHY ARE TEXT MESSAGES BLUE WHY ARE THERE MUSTACHES ON CLOTHES WHY WUBA LUBBA DUB DUB MEANING IS THERE A WHALE AND A POT FALLING WHY ARE THERE SO MANY BIRDS IN SWISS WHY IS THERE SO LITTLE RAIN IN WALLIS WHY IS WALLIS WEATHER FORECAST ALWAYS WRONG

WHY ARE THERE

SQUIRRELS

WHY HAVE DINOSAURS NO FUR WHY ARE SWISS AFRAID RWHY IS THERE A LINE THROUGH HI

WHY AREN'T ECONOMISTS RICH WHY DO AMERICANS CALL IT SOCCER & WHY ARE MY EARS RINGING WHY IS 42 THE ANSWER TO EVERYTHING WHY CAN'T NOBODY ELSE LIFT THORS HAMMER S **SWHY IS THERE ICE IN SPACE** WHY IS MARVIN ALWAYS SO SAD

WHY IS SPACE BLACK WHY IS OUTER SPACE SO COLD WHY ARE THERE PYRAMIDS ON THE MOON WHY IS NASA SHUTTING DOWN A

THERE MALE AND FEMALE BIKES WHY ARE THERE BRIDESMAIDS WHY DO DYING PEOPLE REACH UP HOW FAST IS LIGHTSPEED WHY ARE OLD KLINGONS DIFFERENT E WHY ARE THERE TINY SPIDERS IN MY HOUSE ' DO SPIDERS COME INSIDE

WHY ARE THERE HUGE SPIDERS IN MY HOUSE $_{
m H}$ WHY ARE THERE LOTS OF SPIDERS IN MY HOUSE $\overline{oldsymbol{\lambda}}$ 为WHY ARE THERE SO MANY SPIDERS IN MY ROOM

SPYDER BITES ITCH

WHY ARE THERE **GHOSTS**



WHY IS THERE AN OWL IN MY BACKYARD WHY IS THERE AN OWL OUTSIDE MY WINDOW WHY IS THERE AN OWL ON THE DOLLAR BILL WHY DO OWLS ATTACK PEOPLE WHY ARE FPGA'S EVERYWHERE WHY ARE THERE HELICOPTERS CIRCLING MY HOUSE WHY ARE MY BOOBS ITCHY WHY ARE THERE GODS

WHY ARE THERE TWO SPOCKS 'IS https://xkcd·com/1256/ THEY SAY T-MINUS WHY ARE THERE OBELISKS MWHY ARE WRESTLERS ALWAYS WET

TO WHY IS THERE A RED LINE THROUGH HTTPS ON TWITTER

WHY AREN'T MY ARMS GROWING

WHY ARE THERE SO MANY CROWS IN ROCHESTER &

WHY IS TO BE OR NOT TO BE FUNNY

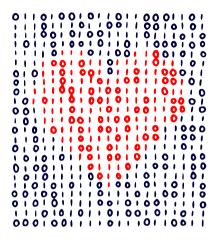
WHY DO CHILDREN GET CANCER 🗢

WHY IS POSEIDON ANGRY WITH ODYSSEUS

WHY DO Q TIPS FEEL GOOD

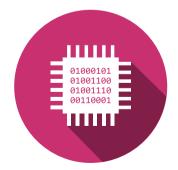
WHY AREN'T

THERE GUNS IN









Silvan Zahno <u>silvan.zahno@hevs.ch</u> Christophe Bianchi <u>christophe.bianchi@hevs.ch</u> François Corthay <u>francois.corthay@hevs.ch</u>