



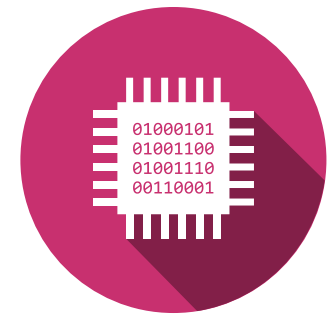
Digitales Design (DiD)

Logische Zustände

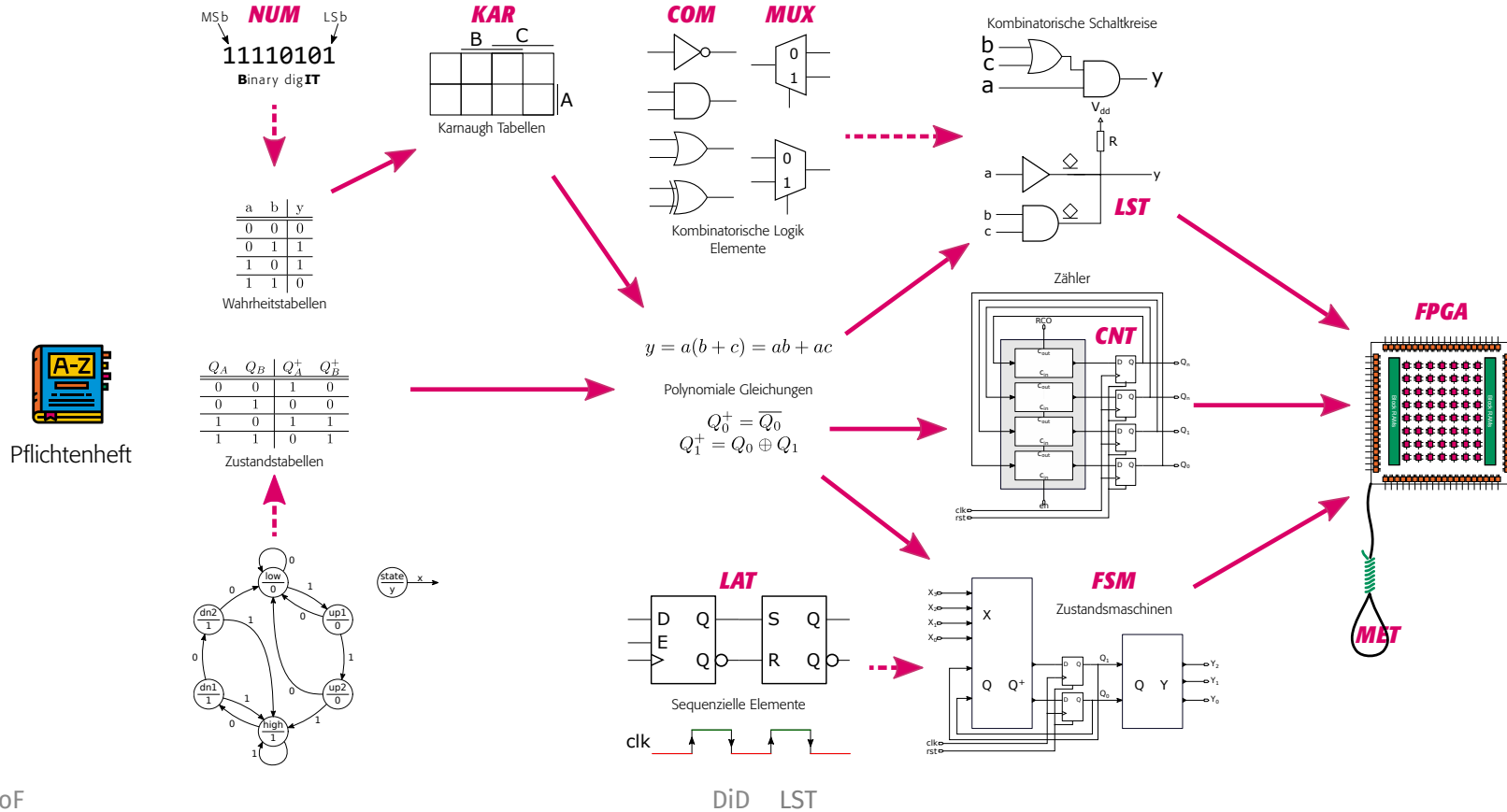
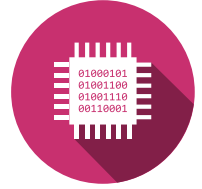
LST

Studiengang Systemtechnik
Studiengang Energie und Umwelttechnik
Studiengang Informatik und Kommunikationssysteme

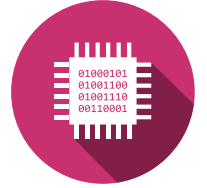
Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch



Aktueller Inhalt des Themas im Kurs



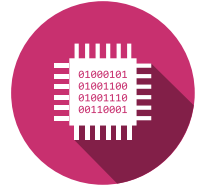
Inhalt



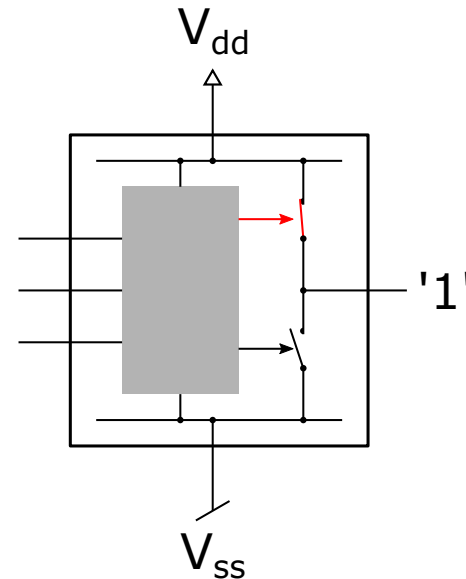
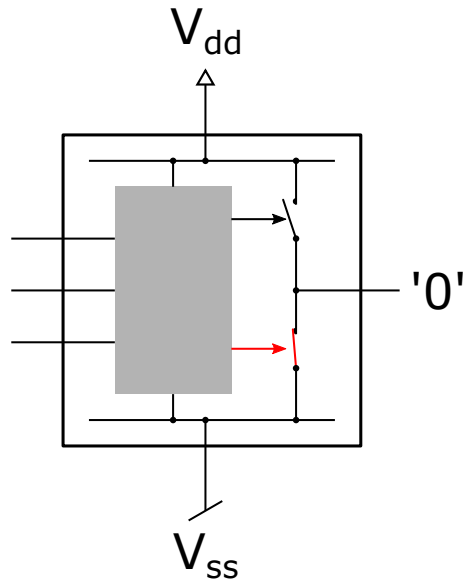
- **Logische Basiszustände**
 - Logischer Zustand '0'
 - Logischer Zustand '1'
- Logikgatter, die nur einen Zustand hervorbringen
- Logikgatter mit hochohmigem Ausgang
- Logische Zustände vom Simulator und Synthesizer aus gesehen

Logische Basiszustände

0 und 1



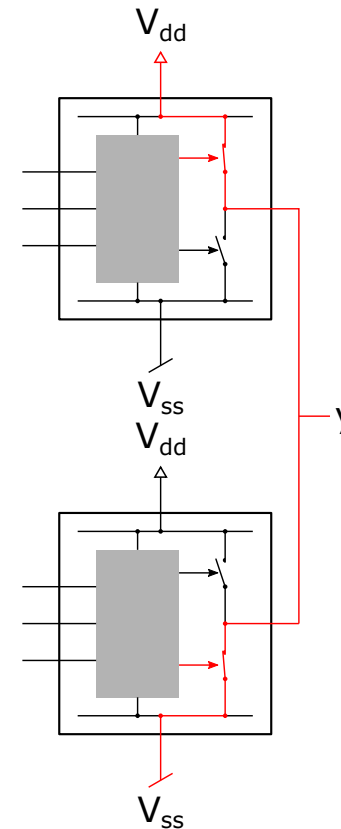
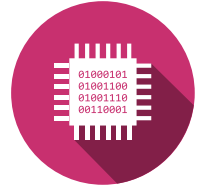
- Zustand 0 : niedriges Potential der Spannungsversorgung (V_{ss} - Masse - gnd)
- Zustand 1: hohes Potential der Spannungsversorgung (V_{dd} - V_{cc})
- Über die Schalter des Transistors



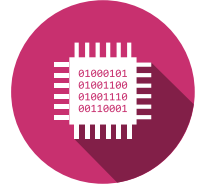
Logische Basiszustände

0 und 1

- Verbindung der Ausgänge
- **Vorsicht vor dem Kurzschluss!**



Inhalt

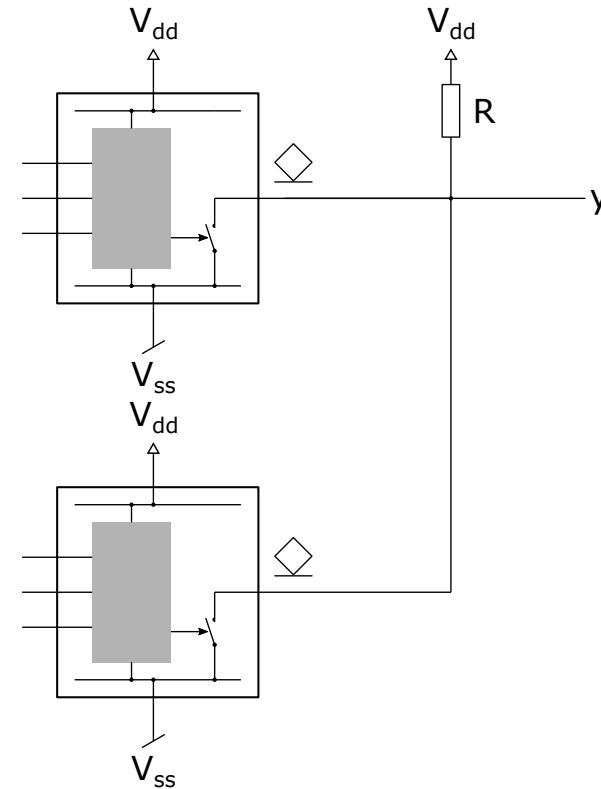


- Logische Basiszustände
- **Logikgatter, die nur einen Zustand hervorbringen**
 - Open-Drain Gatter
 - Open-Source Gatter
- Logikgatter mit hochohmigem Ausgang
- Logische Zustände vom Simulator und Synthesizer aus gesehen

Logische Zustände

Open-Drain Gatter

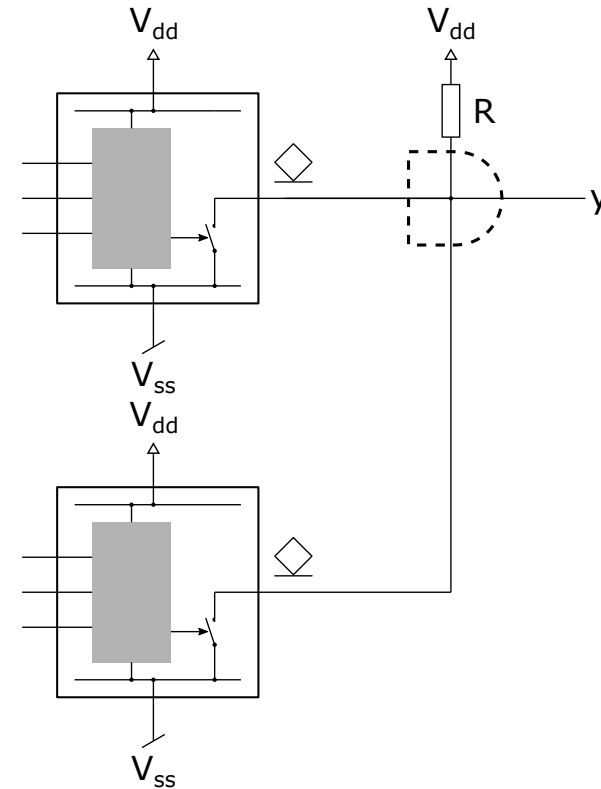
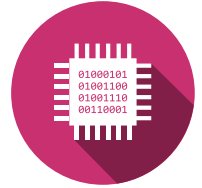
- Open-Drain:
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet

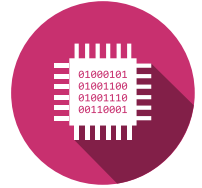


Logische Zustände

Open-Drain Gatter

- Open-Drain:
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet
- **Implizite Funktion: Verkabeltes Und (Cabled-AND)**



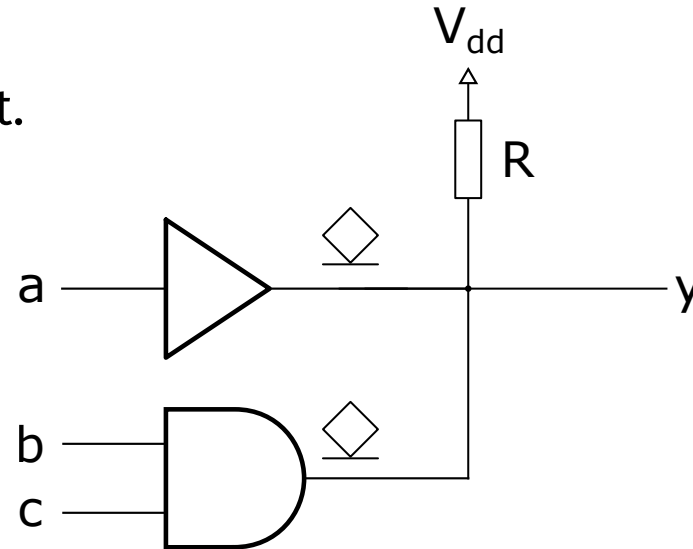


Logische Zustände

Open-Drain Gatter

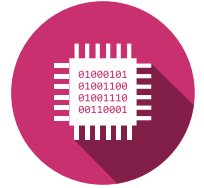
- Beispiel für eine Schaltung:
- Beide Gatter können nur eine '0' erzeugen.
- Der Widerstand zieht nur dann auf '1', wenn keiner der Schaltkreise auf '0' zieht.

| a | b | c | y | driver |
|---|---|---|---|----------|
| 0 | 0 | 0 | 0 | Buf, AND |
| 0 | 0 | 1 | 0 | Buf, AND |
| 0 | 1 | 0 | 0 | Buf, AND |
| 0 | 1 | 1 | 0 | Buf |
| 1 | 0 | 0 | 0 | AND |
| 1 | 0 | 1 | 0 | AND |
| 1 | 1 | 0 | 0 | AND |
| 1 | 1 | 1 | 1 | R |

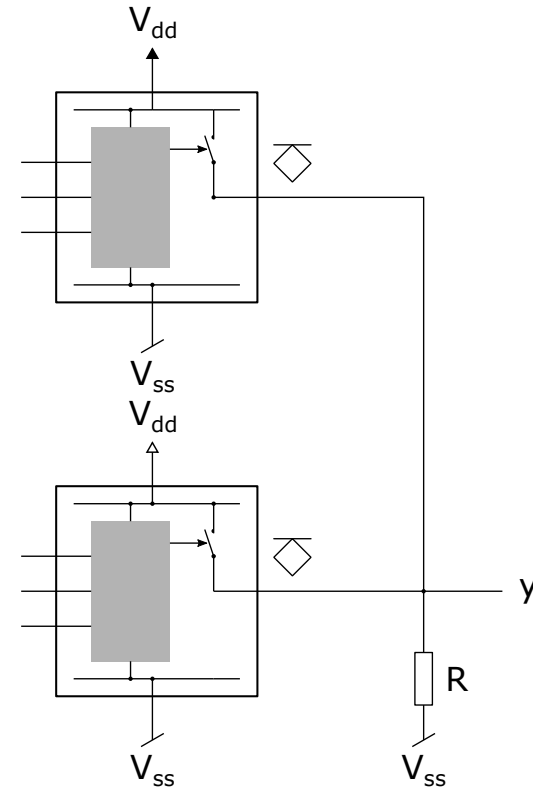


Logische Zustände

Open-Source Gatter

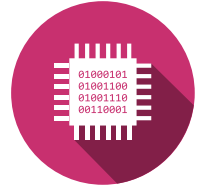


- Open-Source:
 - Symmetrisch zu Open-Drain
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet

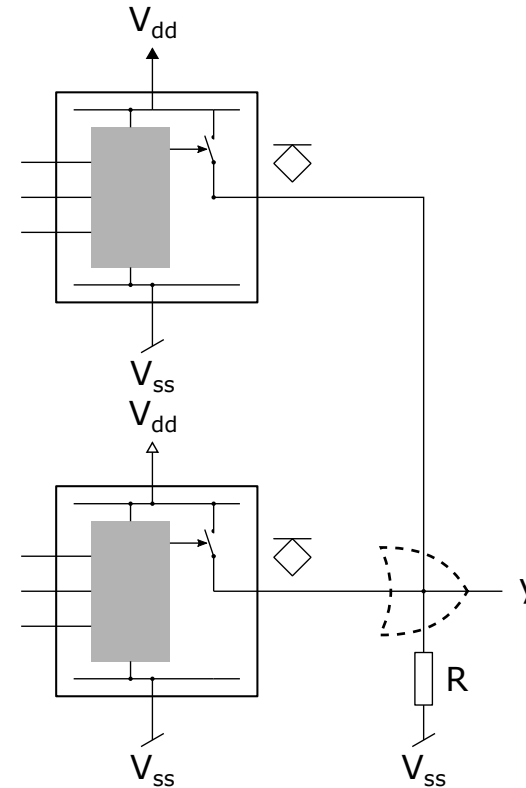


Logische Zustände

Open-Source Gatter

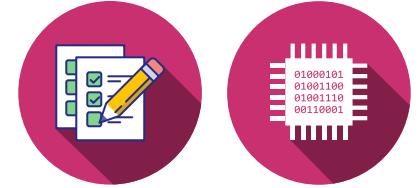


- Open-Source:
 - Symmetrisch zu Open-Drain
 - Kurzschluss ausgeschlossen falls man die Ausgänge verbindet
- **Implizite Funktion:**
Verkabeltes Oder (Cabled-OR)



Aufgabe 1.5 (lst/one-state-02-02)

Alarmschaltung



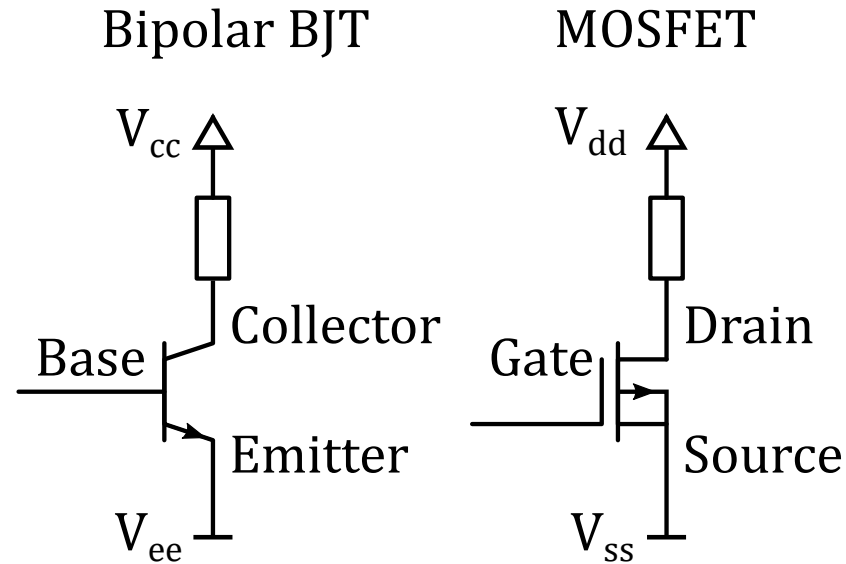
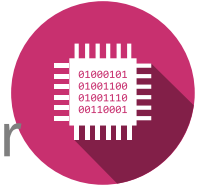
Schlagen Sie das Schema einer Brand-Alarmschaltung in einem Gebäude vor.

Das Gebäude enthält 16 Rauchsensoren, welche in verschiedenen Räumen gestellt sind. Diese werden durch einen 3-Draht-Kabel zusammengeknüpft: 2 für die Speisung und 1 für die Informationsübermittlung. Die Aktivierung eines einzelnen Sensors soll eine Sirene heulen lassen.

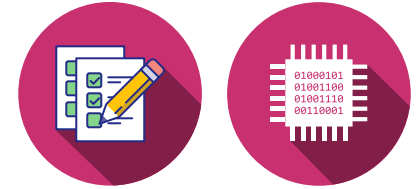
Ein Sensor liefert eine '1' bei Rauchaufspürung. Die Sirene heult, sobald ihr Steuersignal auf '1' schaltet.

Logische Zustände

Open-Source & Open-Drain vs. Open-Collector & Open-Emitter



Aufgabe 1.6 (1st/one-state-02-03)

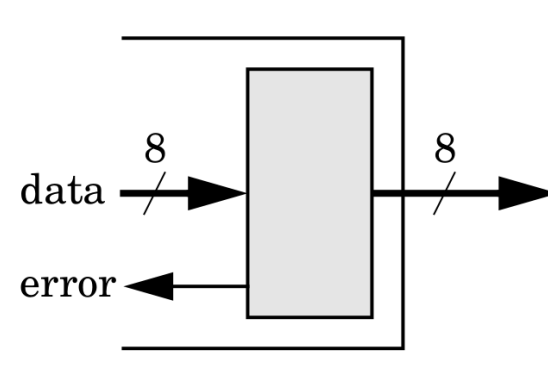


Zusammenstossaufspürung

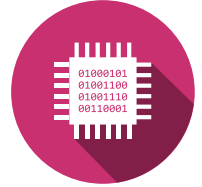
Zeichnen Sie das Schema eines Bus-Interfaces, wo mehrere Bausteine fähig sind, auf einem gemeinsamen Bus einen 8-Bit Wert zu schreiben und dessen Wert kontrollieren zu können.

Ist der Wert auf der Linie verschieden als den vorgesehenen, so liefert das Bus-Interface dem Baustein ein Irrtumsanzeigesignal, um ihm ein Übertragungsproblem zu signalisieren.

Schlagen Sie eine Methode vor, um den Daten auf dem Bus eine Priorität geben zu können.



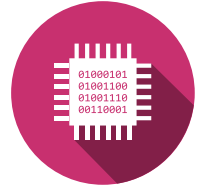
Inhalt



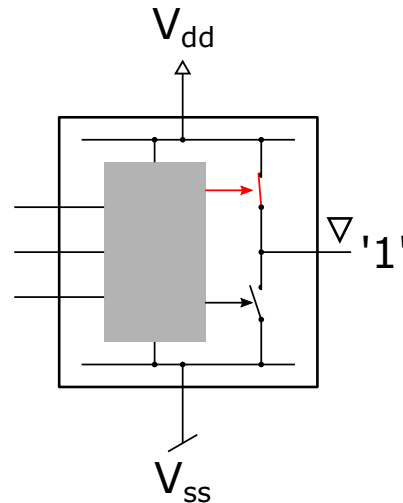
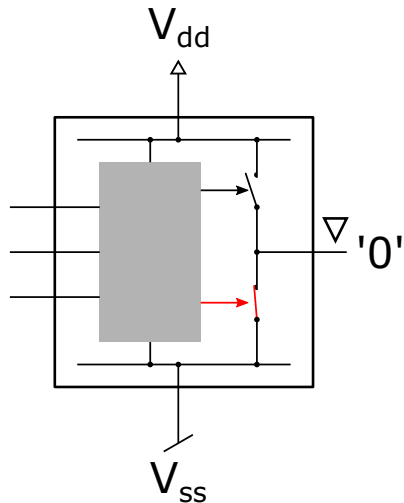
- Logische Basiszustände
- Logikgatter, die nur einen Zustand hervorbringen
- **Logikgatter mit hochohmigem Ausgang**
 - Gatter mit hochohmigem Ausgang
 - Tri-State-Puffer
- Logische Zustände vom Simulator und Synthesizer aus gesehen

Logische Zustände

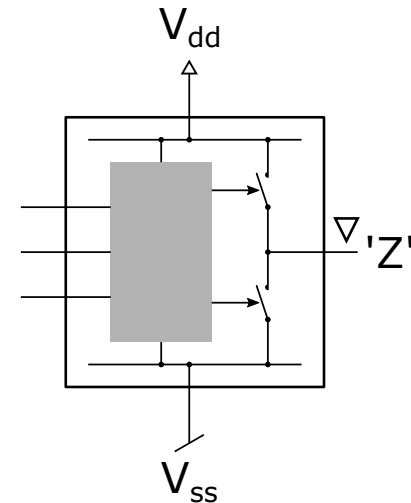
Gatter mit hochohmigem Ausgang (Tri-State)

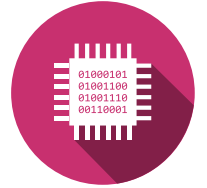


- Hochohmiger Ausgang (Tri-state):
- Im Zustand hoher Impedanz 'Z', das Logikgatter erzeugt weder eine '0' noch '1'
- Dies wird auch als «schwebend» bezeichnet (floating)



DiD LST

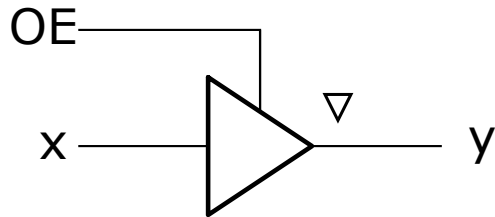




Logische Zustände

Buffer Tri-State (3 Zustände)

- Ein Puffer Tri-State kann 3 Zustände erzeugen

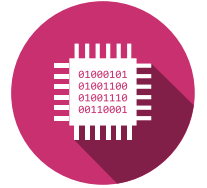


| OE | x | y |
|----|---|---|
| 0 | 0 | Z |
| 0 | 1 | Z |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

- Ein OE-Eingang (Output Enable) wird verwendet, um den Status des Ausgangs (aktiv 0/1 oder 'Z') zu steuern.
- Ein Master steuert die OE-Signale von mehreren Puffern auf derselben Leitung, so dass zu einem bestimmten Zeitpunkt nur ein Puffer aktiv ist.

Logische Zustände

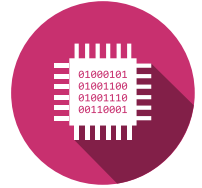
Hochohmiger Ausgang (Tri-State)



- Schaltungen mit hoher Impedanz:
 - Wir brauchen einen Master, der alle OE steuert
 - Er darf immer noch einen einzigen OE auf '1' gelegt werden.
 - Hochohmige Schaltungen verbrauchen weniger Strom als offene Drain/Source-Schaltungen.

Aufgabe 2.1 (lst/hiz-01)

Datenbus

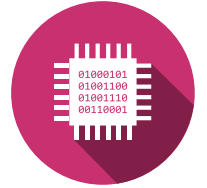


Schlagen Sie ein Schema zur Verknüpfung von Bausteinen zu einem gemeinsamen Datenbus vor.

Das System enthält 3 Komponente, welche je einen 8-Bit Wert liefern. Um einen davon zu wählen erstellt die Systemsteuerung eine auf 2 Bit codierte Adresse. Die Funktionsweise ist die folgende:

- ist die Adresse gleich 0, so übermittelt kein Baustein einen Wert,
- ist die Adresse gleich 1, so übermittelt der Baustein 1 seinen Wert,
- ist die Adresse gleich 2, so übermittelt der Baustein 2 seinen Wert,
- ist die Adresse gleich 3, so übermittelt der Baustein 3 seinen Wert

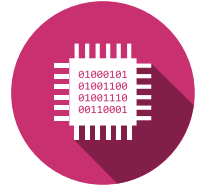
Inhalt



- Logische Basiszustände
- Logikgatter, die nur einen Zustand hervorbringen
- Logikgatter mit hochohmigem Ausgang
- **Logische Zustände vom Simulator und Synthesizer aus gesehen**
 - Unbekannter Zustand
 - Nichtinitialisierter Zustand
 - Nichtspezifizierter Zustand
 - VHDL Typen

Logische Zustände

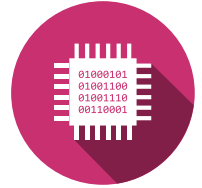
Unbekannter Zustand



- Zustand 'X':
 - Der Simulator weiß nicht immer, wie der Ausgang eines Logikgatters mit einem nicht verbundenen Eingang bestimmt werden kann.
 - Und so legt er diesen Ausgang auf 'X'...
- Auch Kurzschlüsse erzeugen ein 'X'!
- Ein 'X' in der Simulation deutet oft auf einen Konstruktionsfehler hin!

Logische Zustände

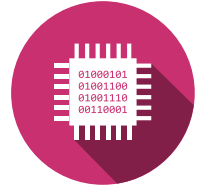
Nichtinitialisierter Zustand



- Zustand 'U' (uninitialized):
 - Im Simulator beginnen alle Signale beim Zustand 'U'.
 - Der Zustand 'U' verschwindet bei der ersten Zuweisung des Signals.
 - Logische Gatter mit Verzögerungen beginnen daher auch im Zustand 'U'.
 - Gates mit Speicher (Speicherelemente und Flip-Flops) bleiben bis zum ersten Schreiben (oder bis zum Reset) auf 'U'.

Logische Zustände

Nichtspezifizierter Zustand

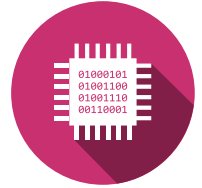


- Zustand '-' (don't care):
 - Der Simulator behandelt es wie ein "X" oder ein "U".
 - Aber das Synthesewerkzeug kann sich dies zunutze machen, um die Schaltung zu vereinfachen
 - Verwenden Sie den '-' Status so oft wie möglich.
 - Auf diese Weise lässt sich auch überprüfen, ob die betreffende Bedingung wirklich unwichtig ist.

Logische Zustände

VHDL - Simulator

Zustand von std_logic und std_ulogic



- '1' Logic 1
- '0' Logic 0
- 'Z' High impedance
- 'W' Weak signal, can't tell if 0 or 1
- 'L' Weak 0, pulldown
- 'H' Weak 1, pullup
- '-' Don't care
- 'U' Uninitialized
- 'X' Unknown, multiple drivers

Logische Zustände

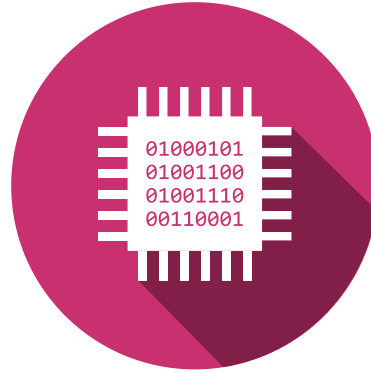
VHDL



- `std_ulogic` – The unresolved type
 - Für die Simulation
 - Kreiert Metawert Warnungen im Simulator
 - Kreiert Errors in der Kompilation

- `std_logic` – The resolved type
 - Näher an der Hardware
 - Für Tri-State

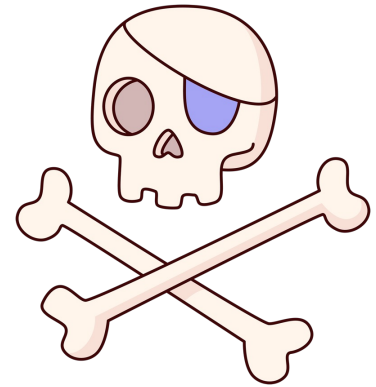
| | U | X | 0 | 1 | Z | W | L | H | - |
|---|---|---|---|---|---|---|---|---|---|
| U | U | U | U | U | U | U | U | U | U |
| X | U | X | X | X | X | X | X | X | X |
| 0 | U | X | 0 | X | 0 | 0 | 0 | 0 | X |
| 1 | U | X | X | 1 | 1 | 1 | 1 | 1 | X |
| Z | U | X | 0 | 1 | Z | W | W | W | X |
| W | U | X | 0 | 1 | W | W | W | W | X |
| L | U | X | 0 | 1 | L | W | L | W | X |
| H | U | X | 0 | 1 | H | W | W | H | X |
| - | U | X | X | X | X | X | X | X | X |



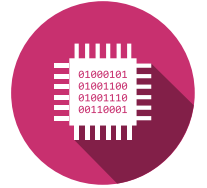
Und wir kennen zwei lebensbedrohliche Gefahren:

Nicht angeschlossene Eingänge!

Kurzgeschlossene Ausgänge!



Referenzen



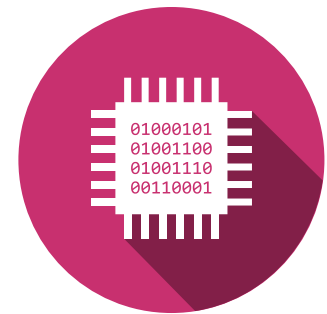
- [Toc92] (Französisch) + Differenzen TTL / CMOS
- [Gin87a] (Französisch) + Elektronische Charakteristiken
- [Ber90] (Französisch) Open-Collector & Tri-State
- [Com90] (Englisch) Open-Collector & Tri-State, Werte für R



Hes·so  **VALAIS
WALLIS**



Haute Ecole d'Ingénierie
Hochschule für Ingenieurwissenschaften



Silvan Zahno silvan.zahno@hevs.ch
Christophe Bianchi christophe.bianchi@hevs.ch
François Corthay francois.corthay@hevs.ch