

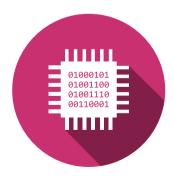


# Conception numérique (DiD)

# Machine d'état FSM

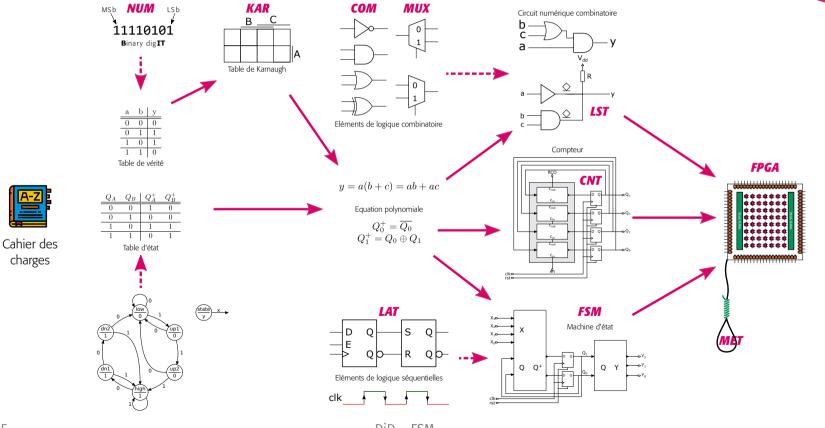
Filière Systèmes industriels Filière Energie et techniques environmentales Filière Informatique et systèmes de communications

Silvan Zahno <u>silvan.zahno@hevs.ch</u> Christophe Bianchi <u>christophe.bianchi@hevs.ch</u> François Corthay <u>francois.corthay@hevs.ch</u>



## Situation du thème dans le cours





ZaS, BiC, CoF DiD FSM

#### Contenu



- Systèmes logiques synchrones
  - Signal d'horloge
  - Remise à zéro à la mise sous tension (Power-on Reset)
- Machines de Moore
- Machines de Mealy
- Etablissement du graphe des états
- Réduction de graphes
- Codage des états

# Système logique synchrone



Dans un système logique synchrone toutes les FlipFlop ont:

Le même signal d'horloge: ck, clk, clock, ...

Le même signal d'initialisation asynchrone: rst, nrst, reset, ...

Ce n'est qu'ainsi que nous préservons nos chances de réussite d'un design fonctionnel!

## Système logigue synchrone



#### **Clock signal**

- Le signal d'horloge provient directement d'un oscillateur
  - Ne pas le bloquer avec des portes logiques, même pour arrêter le circuit (utiliser des E-FlipFlop)
  - A généralement une fréquence bien plus grande que celle des entrées du circuit

#### **Reset signal**

- Le signal de remise à zéro asynchrone provient directement d'un circuit dédié (Power-On-Reset)
  - A la forme d'une impulsion au moment de la mise sous tension du circuit
  - Puis plus jamais
  - Pas à utiliser pour remettre à zéro une partie d'un circuit

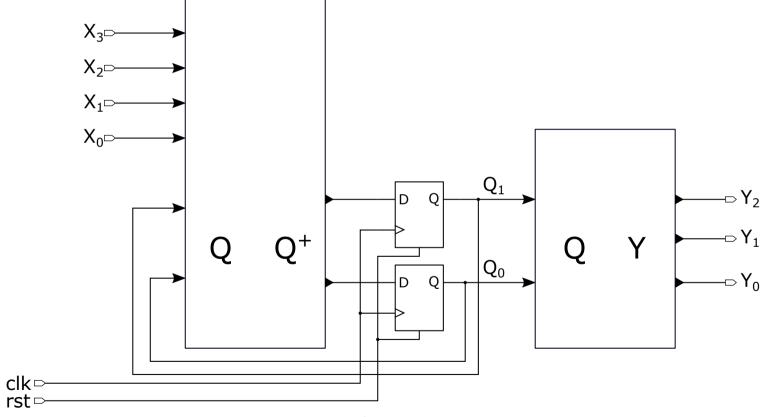
#### Contenu



- Systèmes logiques synchrones
- Machines de Moore
  - Architecture
  - Graphe des états
- Machines de Mealy
- Etablissement du graphe des états
- Réduction de graphes
- Codage des états

## Maschine de Moore

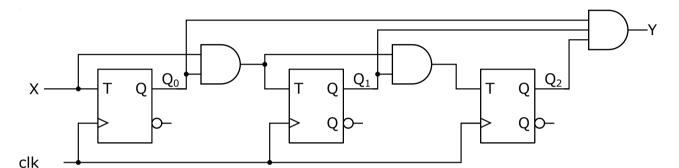




ZaS, BiC, CoF

DiD FSM

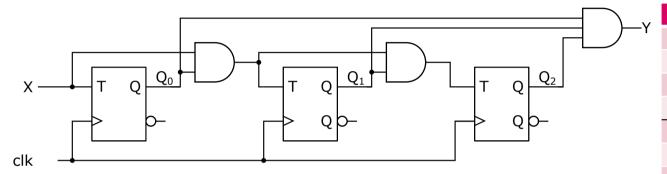
# Maschine de Moore – Graphe des états





# Maschine de Moore – Graphe des états

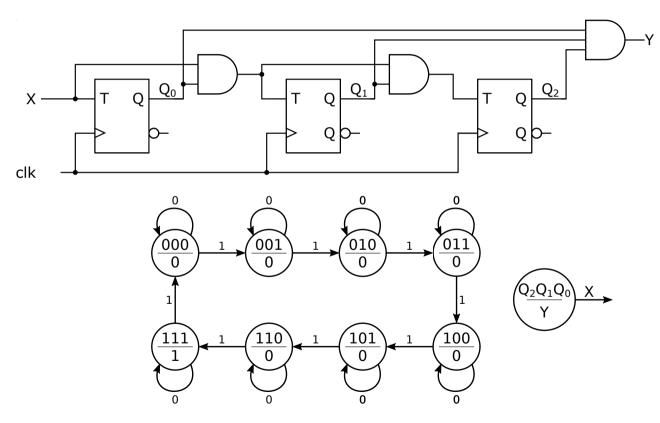




X	Q	T	Q⁺	Υ
0	000	000	000	0
0	001	000	001	0
0	010	000	010	0
0	011	000	011	0
0	100	000	100	0
0	101	000	101	0
0	110	000	110	0
0	111	000	111	1
1	000	001	001	0
1	001	011	010	0
1	010	001	011	0
1	011	111	100	0
1	100	001	101	0
1	101	011	110	0
1	110	001	111	0
1	111	111	000	1

# Maschine de Moore – Graphe des états





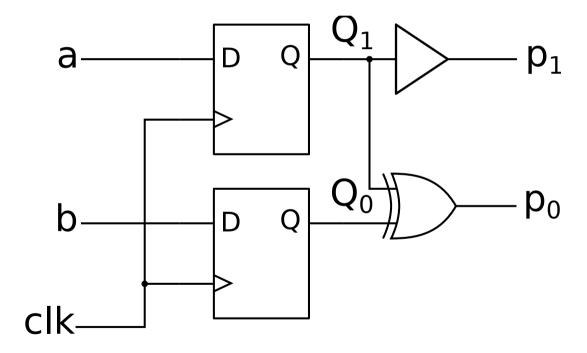
Х	Q	T	Q⁺	Υ
0	000	000	000	0
0	001	000	001	0
0	010	000	010	0
0	011	000	011	0
0	100	000	100	0
0	101	000	101	0
0	110	000	110	0
0	111	000	111	1
1	000	001	001	0
1	001	011	010	0
1	010	001	011	0
1	011	111	100	0
1	100	001	101	0
1	101	011	110	0
1	110	001	111	0
1	111	111	000	1

# Exercice 1.2 (fsm/moore-02)





Dessiner le graphe des états du circuit de la figure suivant



#### Contenu

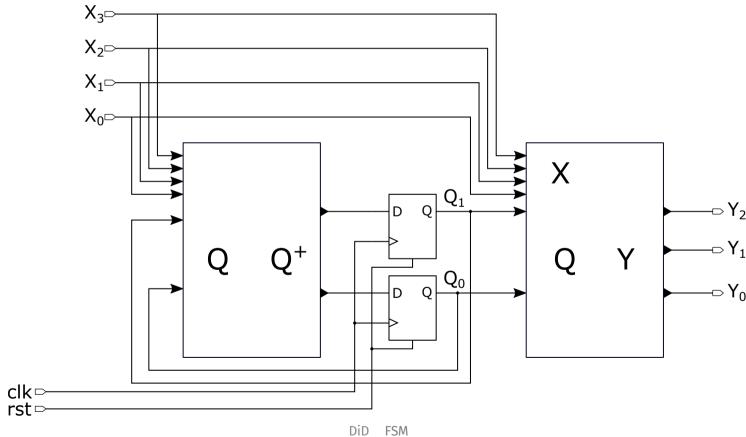


14

- Systèmes logiques synchrones
- Machines de Moore
- Machines de Mealy
  - Architecture
  - Comportement temporel
  - Graphe des états
- Etablissement du graphe des états
- Réduction de graphes
- Codage des états

# Machine de Mealy

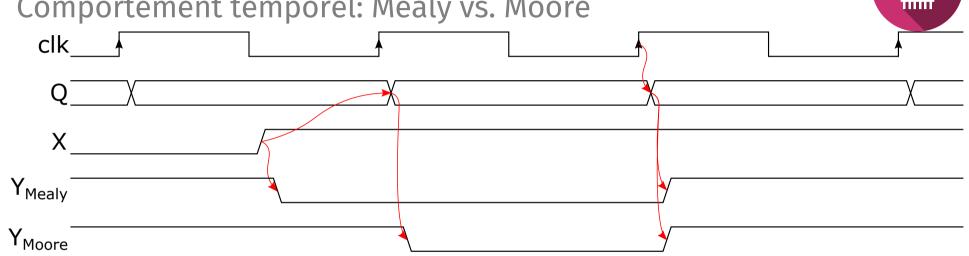




ZaS, BiC, CoF

DiD



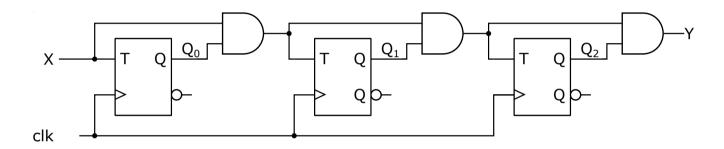


#### Comportement temporel:

- La sortie d'une machine de Mealy peutvent réagir directement au changement d'une entrée (ne doit pas nécessairement)
- Une machine de Moore doit attendre le flanc d'horloge suivant pour faire changer ses sorties

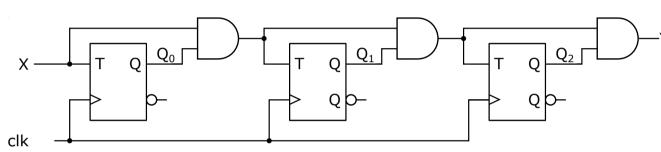
# Machine de Mealy – Graphe des états





# Machine de Mealy – Graphe des états

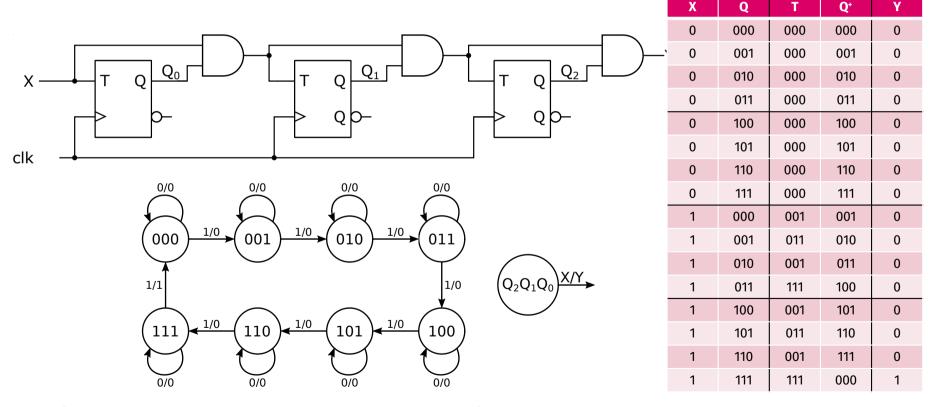




X	Q	T	Q <sup>+</sup>	Υ
0	000	000	000	0
0	001	000	001	0
0	010	000	010	0
0	011	000	011	0
0	100	000	100	0
0	101	000	101	0
0	110	000	110	0
0	111	000	111	0
1	000	001	001	0
1	001	011	010	0
1	010	001	011	0
1	011	111	100	0
1	100	001	101	0
1	101	011	110	0
1	110	001	111	0
1	111	111	000	1

# Machine de Mealy – Graphe des états

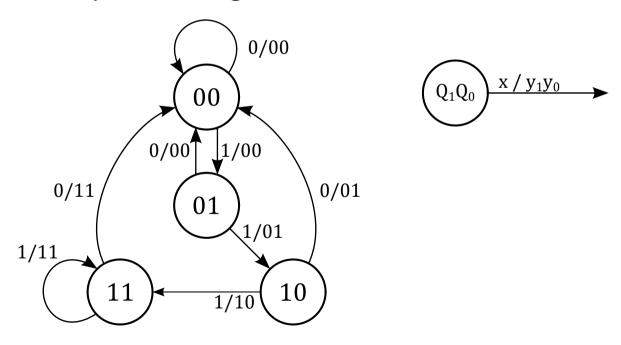




## Exercice 2.3 (fsm/mealy-03)



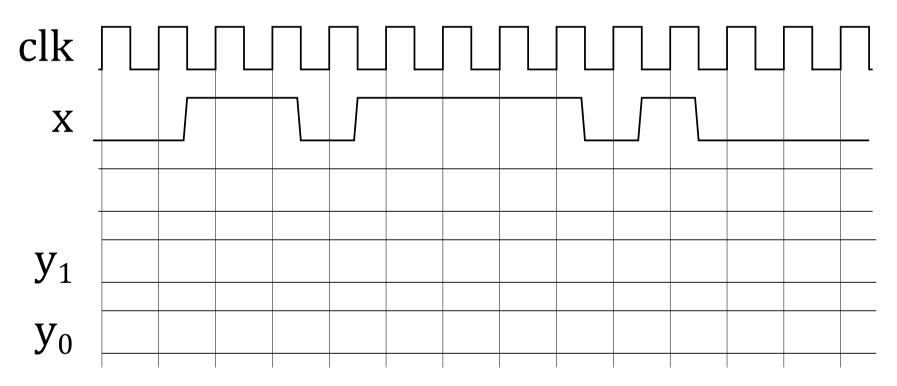
Pour le système déterminé par le graphe de la figure suivante, donner le comportement temporel des signaux de sortie.



# Exercice 2.3 (fsm/mealy-03)







#### Contenu

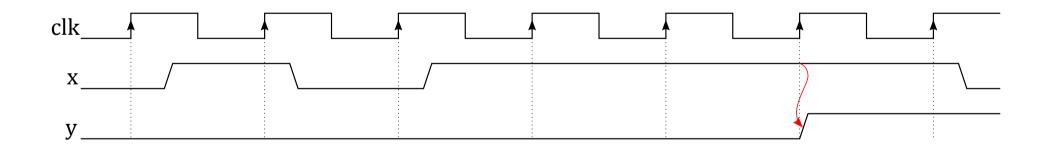


- Systèmes logiques synchrones
- Machines de Moore
- Machines de Mealy
- Etablissement du graphe des états
  - · Développement à partir d'un état quelconque
  - Développement à partir d'un scénario
  - Développement à partir de la liste des états
- Réduction de graphes
- Codage des états

#### 01000101 01001100 01001110 00110001

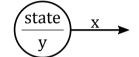
# Développement d'un graphe d'états - Exercice

Créer une machine d'état dans laquelle un signal de sortie ne prend la valeur du signal d'entrée que si le signal d'entrée est stable pendant 3 périodes d'horloge consécutives.

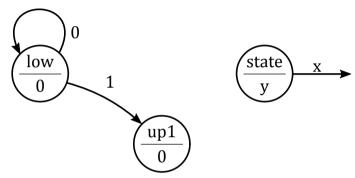




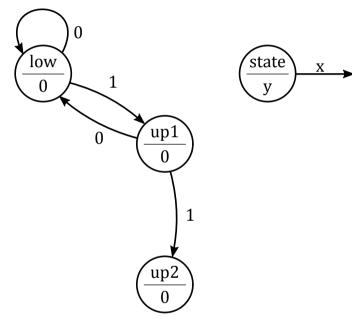




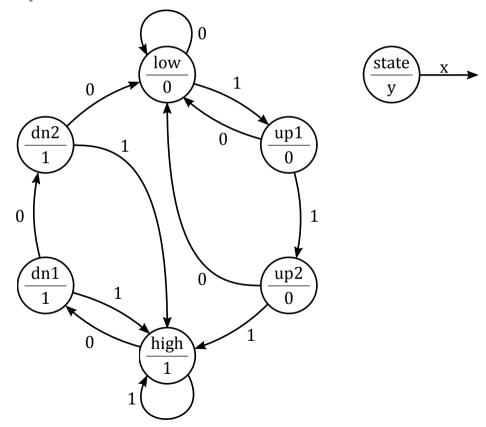












#### Exercice 3.4 (fsm/fsm-04)

# Contrôle de l'éclairage



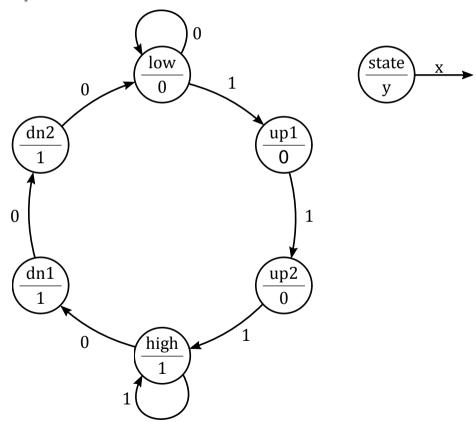


Un bouton-poussoir commande l'éclairage d'une salle. Lorsqu'on appuie une fois sur le bouton, on allume les lumières. Lorsqu'on appuie une deuxième fois, on éteint les lumières.

Dessiner le graphe des états du système.

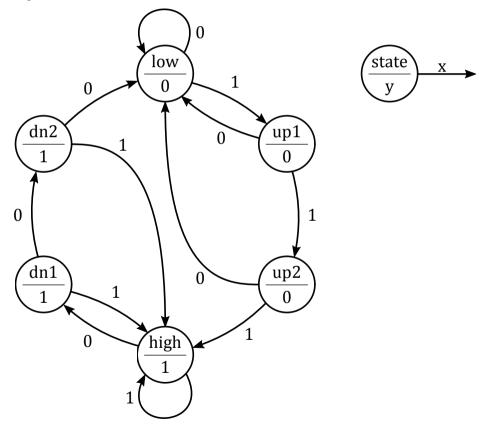
# Développement à partir d'un scénario





# Développement à partir d'un scénario





### Exercice 3.6 (fsm/fsm-06)



### Reconnaissance des chaînes de caractères

Un circuit doit reconnaître dans un texte les mots finissant par la chaîne de caractères "er". Dans le système d'analyse de texte, il est précédé par un circuit commandé par le même signal d'horloge et qui code les caractères sur 2 bits de la manière suivante:

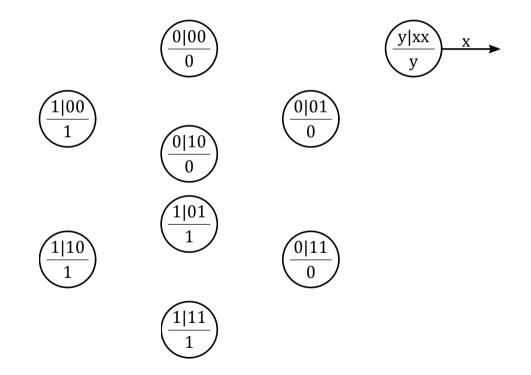
- "00" pour la lettre 'e',
- "01" pour la lettre 'r',
- "10" pour un caractère de séparation (espace, signe de ponctuation),
- "11" pour tout autre caractère.

A chaque période d'horloge, un nouveau caractère est codé et transmis.

Dessiner le graphe qui indique l'existence d'un mot finissant par la chaîne de caractères "er" dès la transmission du caractère de séparation.

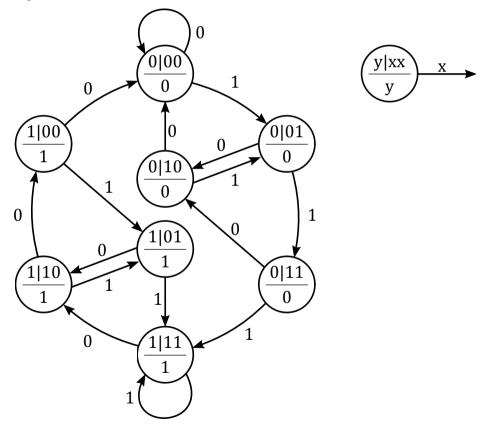
# Développement à partir de la list des états





# Développement à partir de la list des états



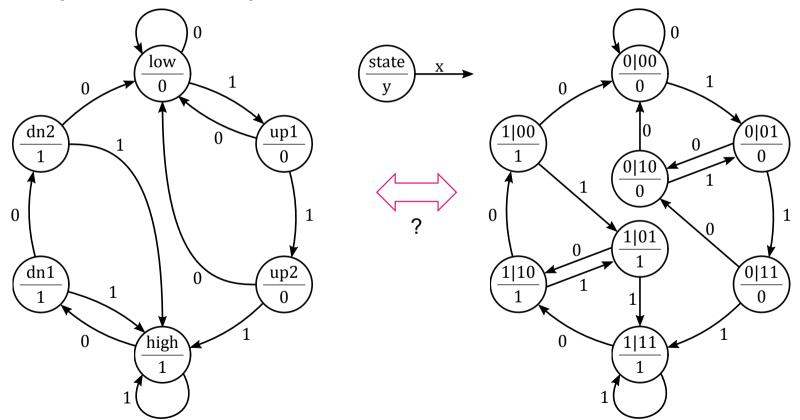


#### Contenu

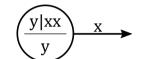


- Systèmes logiques synchrones
- Machines de Moore
- Machines de Mealy
- Etablissement du graphe des états
- Réduction de graphes
  - Graphes d'état équivalents
  - Table d'états
  - Méthode de réduction
- Codage des états

# Graphes d'état équivalents





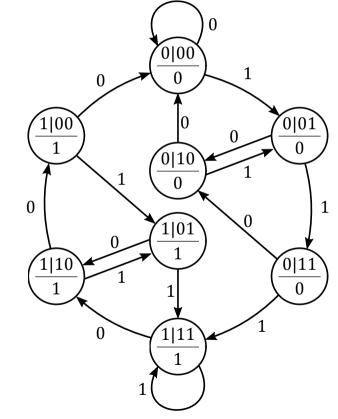


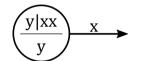
# Graphes d'état équivalents – Table d'états



Q \ X	0	1
0   00	0   00 / 0	0   01 / 0
0   01	0   10 / 0	0   11 / 0
0   10	0   00 / 0	0   01 / 0
0   11	0   10 / 0	1   11 / 0
1   00	0   00 / 1	1   01 / 1
1   01	1   10 / 1	1   11 / 1
1   10	1   00 / 1	1   01 / 1
1   11	1   10 / 1	1   11 / 1







#### 01000101 01001100 01001110 00110001

# Graphes d'état équivalents – Méthode de réduction

On simplifie les états qui ont le même fonctionnement

Q \ X	0	1
0   00	0   00 / 0	0   01 / 0
0   01	0   10 / 0	0   11 / 0
0   10	0   00 / 0	0   01 / 0
0   11	0   10 / 0	1   11 / 0
1   00	0   00 / 1	1   01 / 1
1   01	1   10 / 1	1   11 / 1
1   10	1   00 / 1	1   01 / 1
1   11	1   10 / 1	1   11 / 1

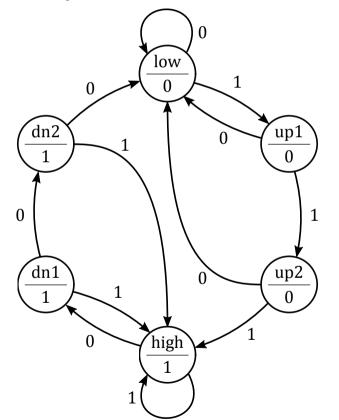
#### 01000101 01001100 01001110 00110001

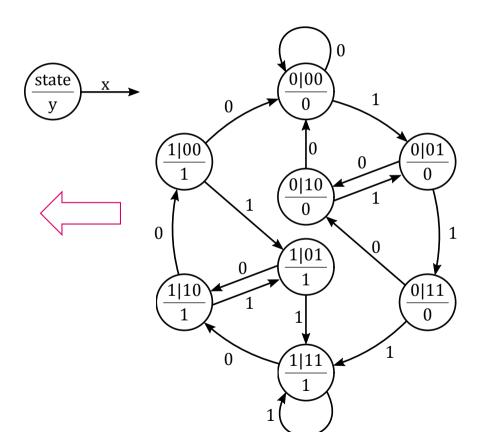
# Graphes d'état équivalents – Méthode de réduction

On simplifie les états qui ont le même fonctionnement

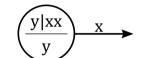
Q \ X	0	1				
0   00	0   00 / 0	0   01 / 0		Q \ X	0	,
0   01	0   10 / 0	0   11 / 0		low	low / 0	up1
0   10	0   00 / 0	0   01 / 0	•	up1	low / 0	up2
0   11	0   10 / 0	1   11 / 0	-	up2	low / 0	high
1   00	0   00 / 1	1   01 / 1		high	dn1 / 1	high
1   01	1   10 / 1	1   11 / 1		dn1	dn2 / 1	high
1   10	1   00 / 1	1   01 / 1		dn2	low / 1	high
1   11	1   10 / 1	1   11 / 1				

# Graphes réduit







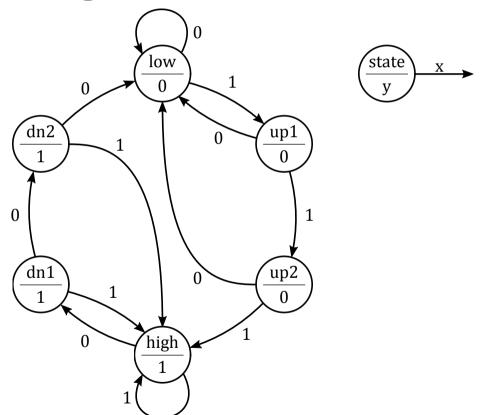


#### Contenu



- Systèmes logiques synchrones
- Machines de Moore
- Machines de Mealy
- Etablissement du graphe des états
- Réduction de graphes
- Codage des états
  - Codage minimal (binaire)
  - Codage 1 parmi m (One-Hot)

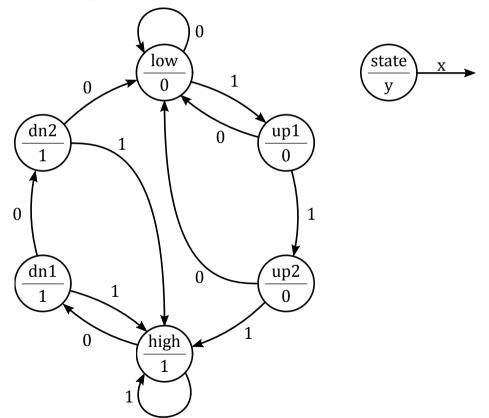
# Codage binaire des états





ZaS, BiC, CoF DiD FSM 45

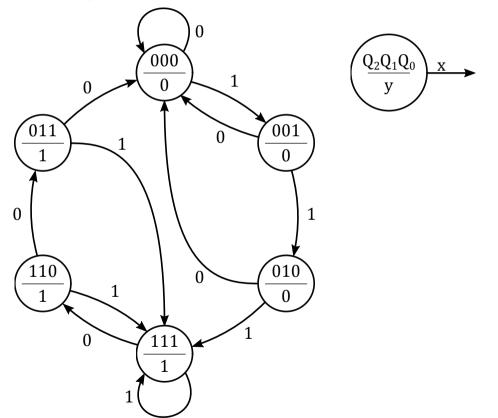
# Codage binaire des états





State	$\mathbf{Q}_2\mathbf{Q}_1\mathbf{Q}_0$
low	000
up1	001
up2	010
high	111
dn1	110
dn2	011

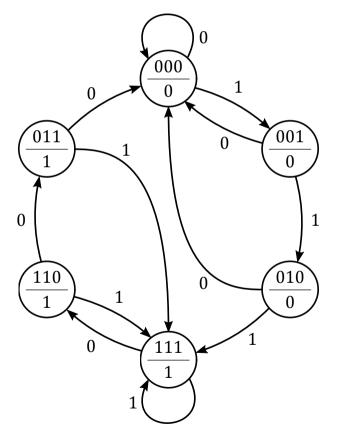
# Codage binaire des états

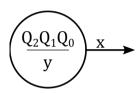




State	$Q_2Q_1Q_0$
low	000
up1	001
up2	010
high	111
dn1	110
dn2	011

# Réalisation du circuit





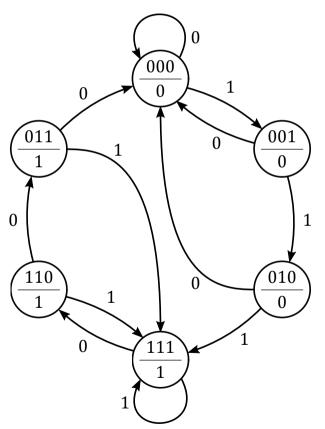
x	$Q_2Q_1Q_0$	$Q_2^+Q_1^+Q_0^+$	У
0	000	000	0
0	001	000	0
0	010	000	0
0	011	000	1
0	100		-
0	101		-
0	110	011	1
0	111	110	1
1	000	001	0
1	001	010	0
1	010	111	0
1	011	111	1
1	100		-
1	101		-
1	110	111	1
1	111	111	1

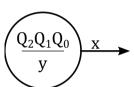
ZaS, BiC, CoF DiD FSM

48

#### Réalisation du circuit







$$D_{2} = xQ_{1} + Q_{2}Q_{0}$$

$$D_{1} = xQ_{1} + xQ_{0} + Q_{2}$$

$$D_{0} = xQ_{1} + xQ_{0} + Q_{2}Q_{0}$$

$$y = Q_2 + Q_1 Q_0$$

#### Exercice 5.5 (fsm/coding-05)

#### Détection d'un flanc descendant

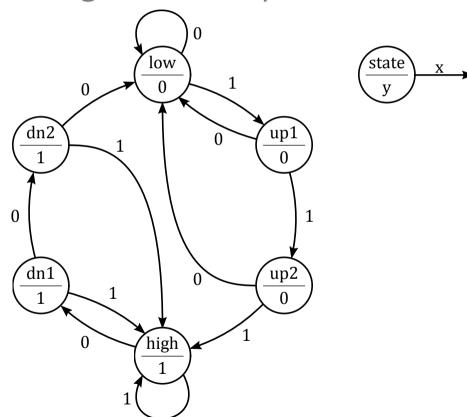




Dessiner le graphe des états d'une machine de Moore qui détecte le flanc descendant d'un signal d'entrée. Considérer que la durée des impulsions du signal d'entrée peut être aussi courte que la période d'horloge, mais pas inférieure à celle-ci.

Proposer un codage et dessiner le schéma du circuit correspondant.

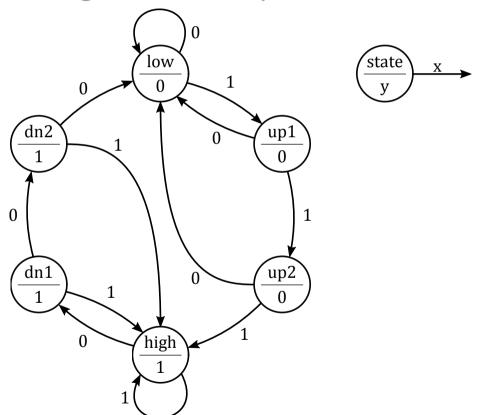
Codage des état 1 parmi m (One-Hot)





ZaS, BiC, CoF DiD FSM 53

Codage des état 1 parmi m (One-Hot)

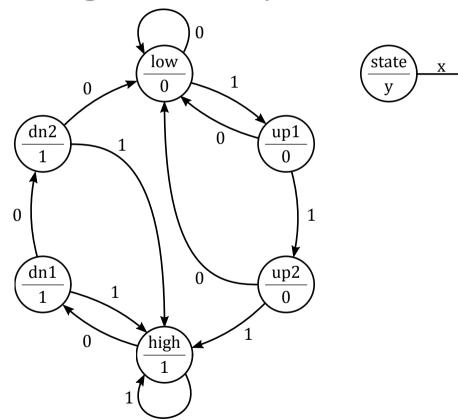




State	$\mathbf{Q_5Q_4Q_3Q_2Q_1Q_0}$
low	000001
up1	000010
up2	000100
high	001000
dn1	010000
dn2	100000

ZaS, BiC, CoF DiD FSM 54

# Codage des état 1 parmi m (One-Hot)





55

State	$\mathbf{Q_5Q_4Q_3Q_2Q_1Q_0}$
low	000001
up1	000010
up2	000100
high	001000
dn1	010000
dn2	100000

$$D_0 = \overline{x}Q_0 + \overline{x}Q_1 + \overline{x}Q_2 + \overline{x}Q_5$$

$$D_1 = xQ_0$$

$$D_2 = xQ_1$$

$$D_3 = xQ_2 + xQ_3 + xQ_4 + xQ_5$$

$$D_4 = \overline{x}Q_3$$

$$D_5 = \overline{x}Q_4$$

$$y = Q_3 + Q_4 + Q_5$$

ZaS, BiC, CoF FSM

## Références



- [Alm89] (anglais) Réduction du nombre d'états
- [Man78] (français) Présentation très complète, exercices corrigés
- [Wak00] (anglais) Présentation très complète, exemples intéressants
- [Lew82] (anglais) Réduction du nombre d'états

WHY ARE THERE MIRRORS ABOVE BEDS

WHY DO I SAY WHY IS SEA SALT BETTER IN

WHY IS THERE NOT A POKEMON MMO WHY IS THERE LAUGHING IN TV SHOWS ARE THERE DOORS ON THE FREEWAY ARE THERE SO MANY SVCHOST-EXE RUNNING AREN'T ANY COUNTRIES IN ANTARCTICA WHY ARE THERE SCARY SOUNDS IN MINECRAFT WHY IS THERE KICKING IN MY STOMACH WHY ARE THERE TWO SLASHES AFTER HTTP WHY ARE THERE CELEBRITIES WHY DO SNAKES EXIST WHY DO OYSTERS HAVE PEARLS WHY ARE DUCKS CALLED DUCKS WHY DO THEY CALL IT THE CLAP WHY ARE KYLE AND CARTMAN FRIENDS WHY IS THERE AN ARROW ON AANG'S HEAD 🗷 WHY ARE TEXT MESSAGES BLUE WHY ARE THERE MUSTACHES ON CLOTHES WHY WUBA LUBBA DUB DUB MEANING IS THERE A WHALE AND A POT FALLING WHY ARE THERE SO MANY BIRDS IN SWISS WHY IS THERE SO LITTLE RAIN IN WALLIS WHY IS WALLIS WEATHER FORECAST ALWAYS WRONG

WHY ARE THERE

SQUIRRELS

WHY HAVE DINOSAURS NO FUR WHY ARE SWISS AFRAID RWHY IS THERE A LINE THROUGH HI

WHY AREN'T ECONOMISTS RICH WHY DO AMERICANS CALL IT SOCCER & WHY ARE MY EARS RINGING WHY IS 42 THE ANSWER TO EVERYTHING WHY CAN'T NOBODY ELSE LIFT THORS HAMMER S **SWHY IS THERE ICE IN SPACE** WHY IS MARVIN ALWAYS SO SAD

WHY IS SPACE BLACK WHY IS OUTER SPACE SO COLD WHY ARE THERE PYRAMIDS ON THE MOON WHY IS NASA SHUTTING DOWN A

THERE MALE AND FEMALE BIKES WHY ARE THERE BRIDESMAIDS WHY DO DYING PEOPLE REACH UP HOW FAST IS LIGHTSPEED WHY ARE OLD KLINGONS DIFFERENT E WHY ARE THERE TINY SPIDERS IN MY HOUSE ' DO SPIDERS COME INSIDE

WHY ARE THERE HUGE SPIDERS IN MY HOUSE  $_{
m H}$  WHY ARE THERE LOTS OF SPIDERS IN MY HOUSE  $\overline{oldsymbol{\lambda}}$ 为WHY ARE THERE SO MANY SPIDERS IN MY ROOM

SPYDER BITES ITCH

WHY ARE THERE **GHOSTS** 



WHY IS THERE AN OWL IN MY BACKYARD WHY IS THERE AN OWL OUTSIDE MY WINDOW WHY IS THERE AN OWL ON THE DOLLAR BILL WHY DO OWLS ATTACK PEOPLE WHY ARE FPGA'S EVERYWHERE WHY ARE THERE HELICOPTERS CIRCLING MY HOUSE WHY ARE MY BOOBS ITCHY WHY ARE THERE GODS

WHY ARE THERE TWO SPOCKS 'IS https://xkcd·com/1256/ THEY SAY T-MINUS WHY ARE THERE OBELISKS MWHY ARE WRESTLERS ALWAYS WET

TO WHY IS THERE A RED LINE THROUGH HTTPS ON TWITTER

WHY AREN'T MY ARMS GROWING

WHY ARE THERE SO MANY CROWS IN ROCHESTER &

WHY IS TO BE OR NOT TO BE FUNNY

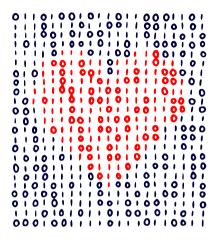
WHY DO CHILDREN GET CANCER 🗢

WHY IS POSEIDON ANGRY WITH ODYSSEUS

WHY DO Q TIPS FEEL GOOD

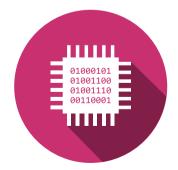
WHY AREN'T

THERE GUNS IN









Silvan Zahno <u>silvan.zahno@hevs.ch</u> Christophe Bianchi <u>christophe.bianchi@hevs.ch</u> François Corthay <u>francois.corthay@hevs.ch</u>