



Programmierbare Logikschaltungen (üb. PLD)

Übungen zu eingebetteten Systemen

1 Programmable Logic Device (PLD)

1.1 Exklusiv-ODER Funktion in einem PAL

Zeichnen Sie die Sicherungen im Schema der folgenden Abbildung, um die Funktionen $out1 \leftarrow in1 \text{ xor } in2$; und $out2 \leftarrow in2 \text{ xor } in3 \text{ xor } in4$; zu erzeugen.

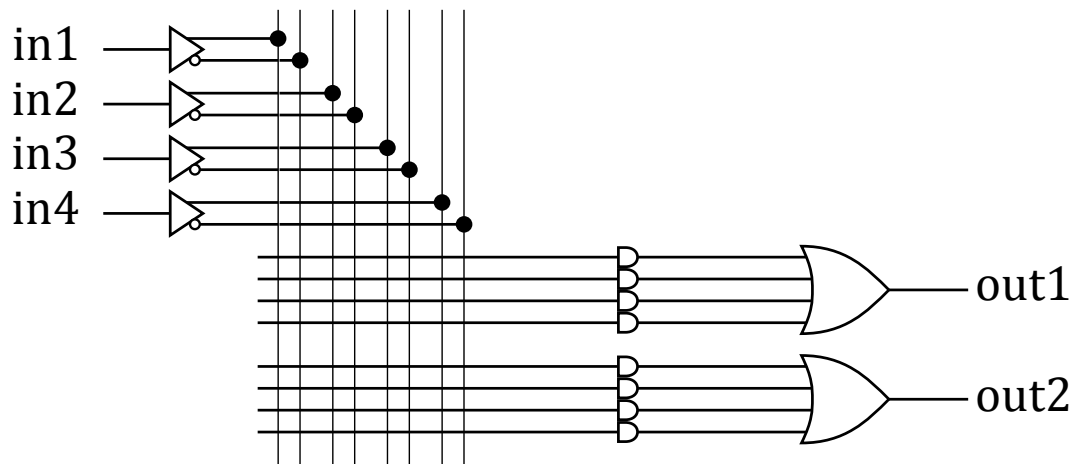


Abbildung 1: PAL4H2

Bestimmen Sie die Anzahl nötigen Eingängen des ODER-Gatters zur Berechnung der Parität für ein 8-Bit Wort.

1.2 Zähler in einem PAL

Zeichnen Sie die Sicherungen im Schema der folgenden Abbildung, um einen 2-Bit Zähler zu erstellen. Der Eingang in1 dient als Enable/Steuerung: wenn $in1 = '0'$ ist der Zähler gestoppt und wenn $in1 = '1'$ dann zählt er.

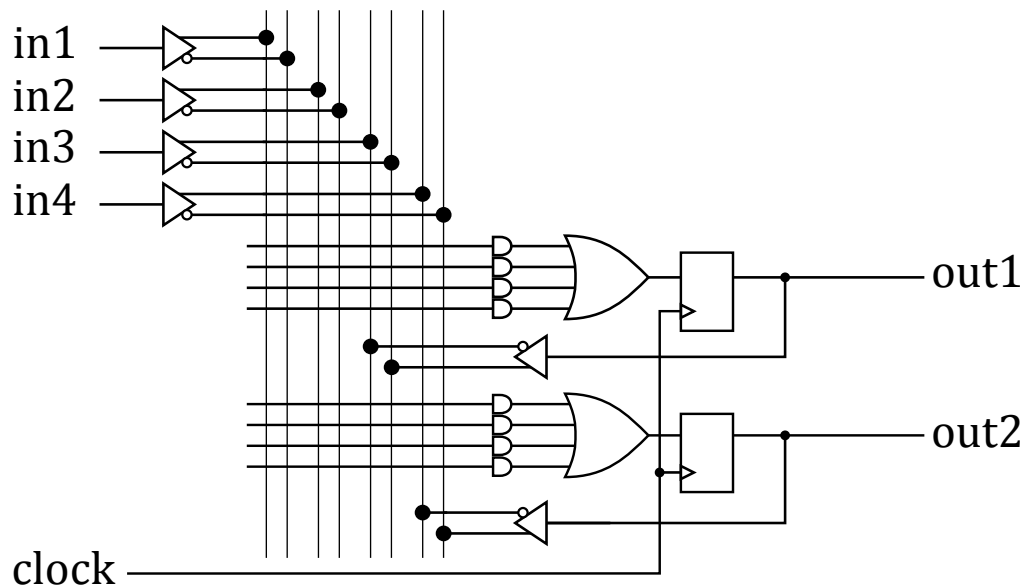


Abbildung 2: PAL4R2

Bestimmen Sie die Anzahl nötigen Eingängen des ODER-Gatters zur Erstellung eines 8-Bit Zählers.

2 Complex Programmable Logic Device (CPLD)

2.1 Zahlenvergleich

Für zwei auf 8 Bits codierte Zahlen, bestimmen Sie die Anzahl nötigen Eingängen des ODER-Gatters in einer CPLD, um die folgende Vergleiche zu machen:

In einer Schaltung muss man bestimmen, ob ein regelmässig zählender Zähler, einen in einem Register gespeicherten Wert, überläuft. Finden Sie eine Methode, um diese Schaltung so klein wie möglich zu erstellen.

3 Field Programmable Gate Array (FPGA)

3.1 Multiplexer

Schätzen Sie die Anzahl an ODER-Gatter mit 8 Eingängen, welche gebraucht werden, um einen Multiplexer von 16 auf 1 zu erstellen.

Schätzen Sie die Anzahl an Logikblöcken mit 4 Eingängen, welche gebraucht werden, um denselben Multiplexer zu erstellen.

3.2 Zähler

Basierend auf der Basisschaltung eines FPGAs, wie in der folgenden Abbildung dargestellt, zeichnen Sie das Schema eines 6-Bit Zählers, welches fortlaufend zählt (ohne Enable/Steuerung).

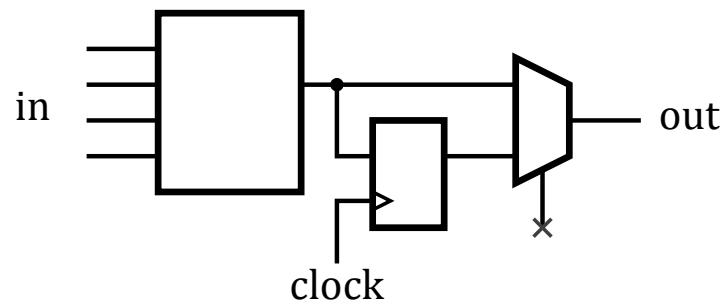
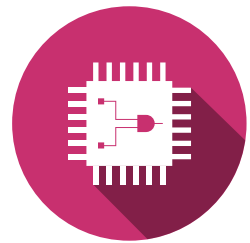


Abbildung 3: Basis Logikblock eines **FPGA**

Bestimmen Sie anhand dieses Schemas die Anzahl der Basisblöcke, die zur Implementierung eines 16-Bit-Zählers verwendet werden.

Akronyme

CPLD Complex Programmable Logic Device. [2](#)

FPGA Field Programmable Gate Array. [2](#), [3](#)

PLD Programmable Logic Device. [1–3](#)