



Synthèse automatique

Table des matières

1	Introduction	1
2	Lancement	2
3	Objectifs	3
3.1	Circuit	3
3.1.1	Todo	3
3.2	Synthèse (EBS3)	4
3.2.1	Configuration et tests	4
3.3	Synthèse (EBS2)	5
3.3.1	Placement et routage	5
3.3.2	Configuration et tests	5
	Acronymes	5

1 Introduction

Ce laboratoire présente la synthèse automatique de circuits à partir du code VHDL. Il se base sur l'exemple du générateur de fonctions. La combinaison de deux sinusoides à des fréquences différentes permet de dessiner des courbes de Lissajous.

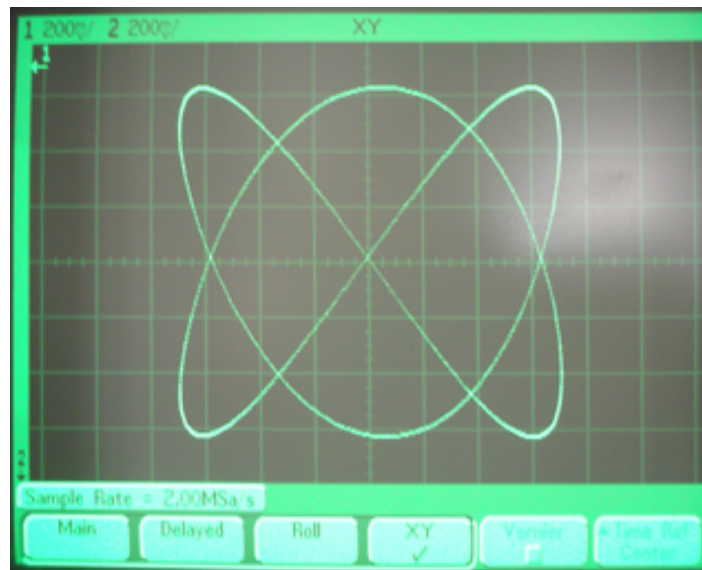


FIGURE 1 – Synthèse automatique

2 Lancement

Le circuit se trouve dans la librairie **Lissajous**.

*Rappel : le programme de modélisation doit être lancé à travers le fichier **lissajous.bat**.*

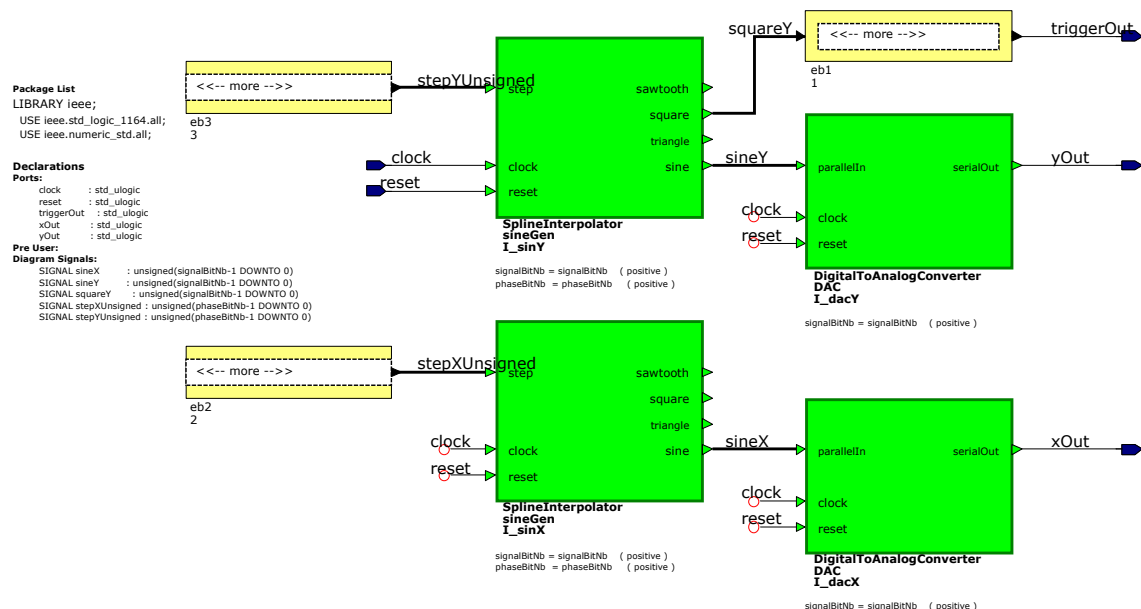


FIGURE 2 – Circuit

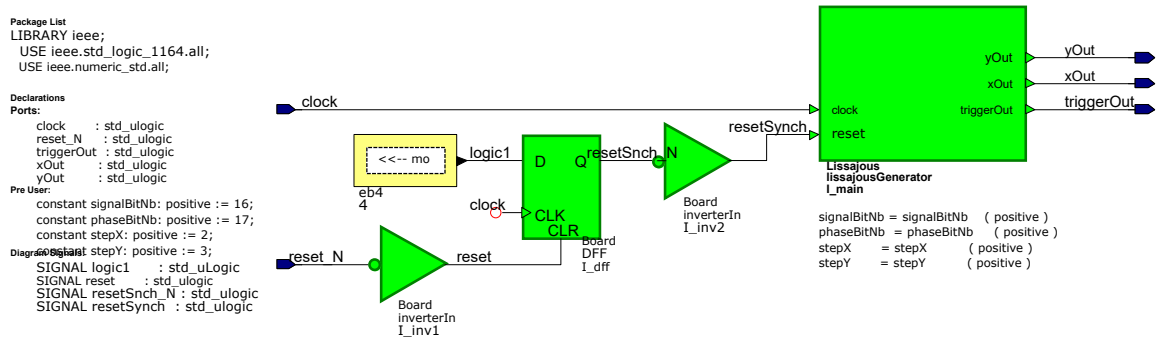


FIGURE 3 – Async. reset

3 Objectifs

3.1 Circuit

Au niveau supérieur du circuit à synthétiser, il faut prévoir la circuiterie d'entrée/sortie. C'est à ce niveau que se mettent les adaptateurs de polarité des signaux, les "buffers" haute impédance, la logique de synchronisation, ... Dans notre exemple, nous placerons deux générateurs de sinus, deux modulateurs sigma-delta et une logique de synchronisation pour le signal de remise à zéro au démarrage.

Nous profiterons du signal carré de l'un des générateurs pour fournir un signal de synchronisation pour l'oscilloscope. Le circuit se trouve dans la librairie **Board**, le banc de test dans la librairie **Lissajous_test**.

3.1.1 Todo

- Ouvrir le bloc **lissajousGenerator_circuit_EBS2** ou **lissajousGenerator_circuit_EBS3** (selon la board utilisée) de la librairie **Board**, le compiler et vérifier que le schéma est fonctionnel.

Une simulation du circuit à ce niveau permet de s'assurer de la bonne fonctionnalité du système. Vos coefficients peuvent être vérifiés par le chronogramme suivant :

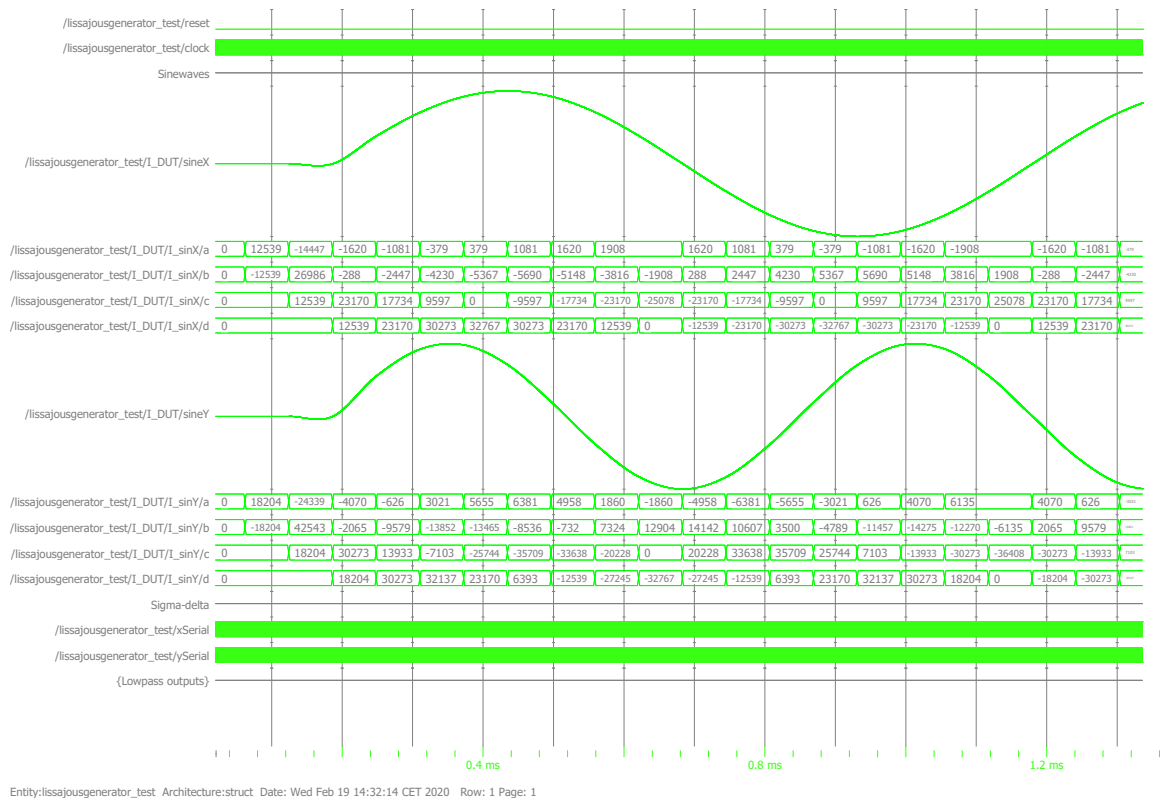


FIGURE 4 – Coefficients

3.2 Synthèse (EBS3)

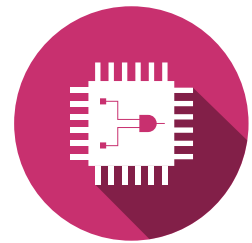


Référez-vous au fichier [doc/Labs_LFE5U-25F.pdf](#) pour une explication complète et imagée du processus de synthèse. Les étapes importantes sont résumées ici.

- Lancer la commande **Prepare for synthesis**.
- Lancer la commande **Diamond Project Navigator**.
- Vérifier que la structure du projet possède pour top-level le bloc **lissajousGenerator_circuit_EBS3**.
- Lancer la commande **Bitstream File**.
- Vérifier tous les avertissements ("**warning**") et s'assurer que le circuit ne pose aucun problème de réalisation. Contrôler que seule la clock principale et la clock PLL soient trouvées.
- Examiner les informations de résultat de synthèse quant à la taille du circuit résultant.
- Vérifier la fréquence maximale prévue pour ce circuit.

3.2.1 Configuration et tests

- Alimenter le circuit par l'USB-C de la daughterboard.
- Lancer **Diamond Programmer**.
- Régler le programmeur sur le mode JTAG (mémoire temporaire), sélectionner le bitfile et programmer la [FPGA](#).



- Brancher les filtres passe-bas à la sortie des modulateurs. Vérifier la forme des signaux sur l'oscilloscope. Mettre l'oscilloscope en mode X-Y : une courbe de Lissajous devrait s'afficher.

3.3 Synthèse (EBS2)

- Lancer la commande **Prepare for synthesis**.
- Lancer la commande **Xilinx Project Navigator**.
- Spécifier le type de circuit utilisé, **xc3s500E**, et ses paramètres **FG320-5**.
- Ajouter le fichier VHDL généré **lissajous.vhd** au projet. Vérifier que le circuit choisi pour la synthèse est bien **lissajousGenerator_circuit_struct**.
- Ajouter le fichier **lissajous.ucf** au projet.
- Lancer la commande **Synthesize - XST**.
- Vérifier tous les avertissements ("**warning**") et s'assurer que le circuit ne pose aucun problème de réalisation.
- Examiner les informations de résultat de synthèse quant à la taille du circuit résultant.
- Vérifier la fréquence maximale prévue pour ce circuit.

3.3.1 Placement et routage

- Lancer la commande **Implement Design**.

3.3.2 Configuration et tests

- Alimenter le circuit **FPGA** et le connecter au câble de téléchargement JTAG.
- Lancer les commandes **Generate Programming File** et **Configure Target Device**.
- Télécharger le fichier de configuration dans la **FPGA**.
- Brancher les filtres passe-bas à la sortie des modulateurs. Vérifier la forme des signaux sur l'oscilloscope. Mettre l'oscilloscope en mode X-Y : ceci donne une courbe de Lissajous.

Acronymes

FPGA Field ProGrammable Array. 4, 5