



Circuits logiques programmables (ex. PLD)

Exercices systèmes embarqués

1 Programmable Logic Device (PLD)

1.1 Fonction OU exclusif dans un PAL

Dessinez les fusibles dans le schéma de la figure ci-dessous pour créer les fonctions $out1 \leftarrow in1 \text{ xor } in2$; et $out2 \leftarrow in2 \text{ xor } in3 \text{ xor } in4$.

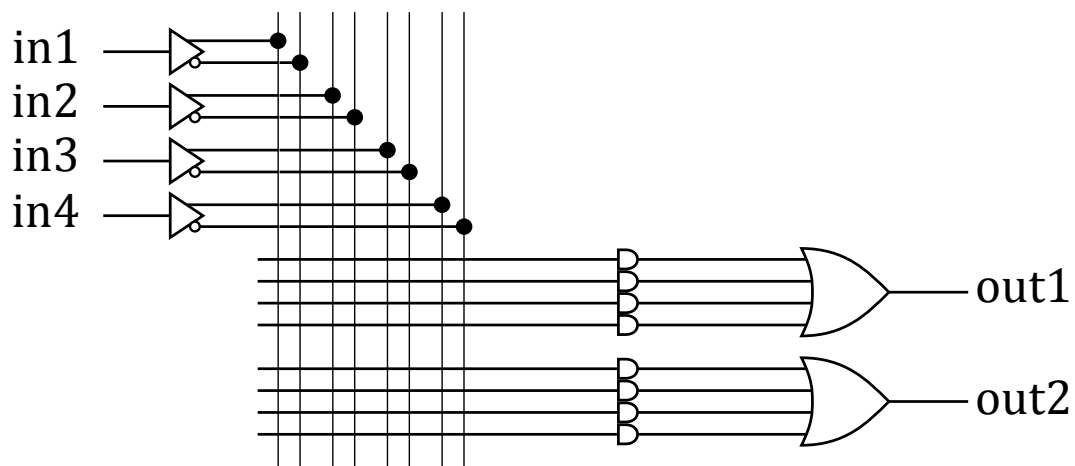


FIGURE 1 – PAL4H2

Déterminez le nombre d'entrées nécessaires de la porte OU pour le calcul de la parité pour un mot de 8 bits.

1.2 Compteur dans un PAL

Dessiner les fusibles dans le schéma de la figure suivante pour créer un compteur 2 bits. L'entrée $in1$ sert de commande "Enable" : si $in1 = '0'$ le compteur est arrêté et si $in1 = '1'$ alors il compte.

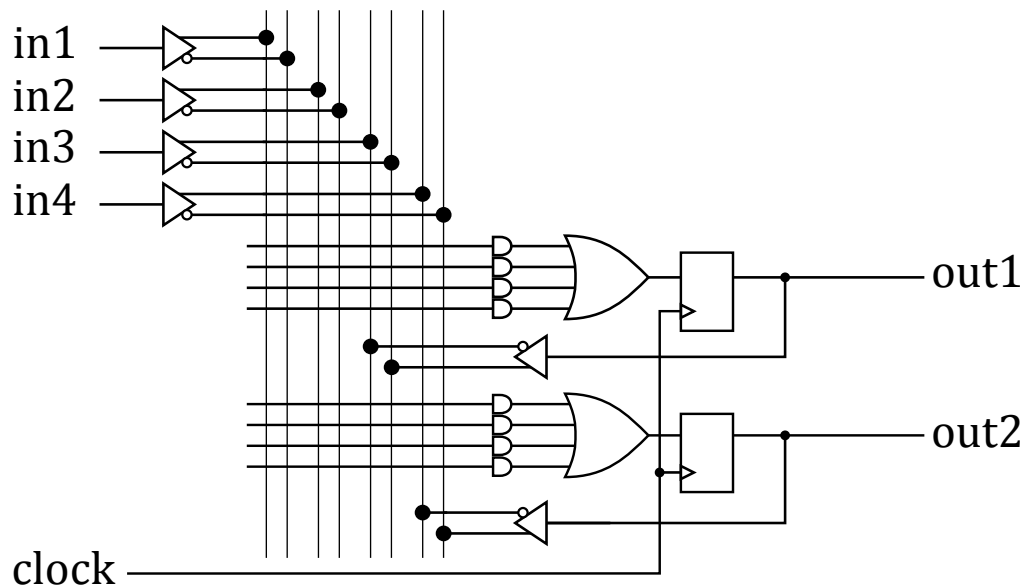


FIGURE 2 – PAL4R2

Déterminez le nombre d'entrées nécessaires de la porte OU pour créer un compteur 8 bits.

2 Complex Programmable Logic Device (CPLD)

2.1 Comparaison des chiffres

Pour deux nombres codés sur 8 bits, déterminer le nombre d'entrées nécessaires de la porte OU dans un CPLD pour faire les comparaisons suivantes :

Dans un circuit, il faut déterminer si un compteur à comptage régulier dépasse une valeur stockée dans un registre. Trouvez une méthode pour créer ce circuit le plus petit possible.

3 Field Programmable Gate Array (FPGA)

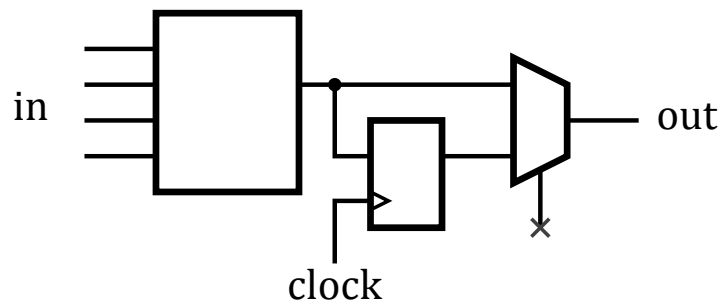
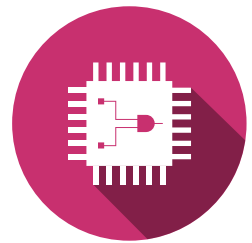
3.1 Multiplexeur

Estimez le nombre de portes OU à 8 entrées nécessaires pour créer un multiplexeur de 16 à 1.

Estimez le nombre de blocs logiques à 4 entrées nécessaires pour créer le même multiplexeur.

3.2 Compteur

En se basant sur le circuit de base d'un FPGA, comme montré dans la figure suivante, dessinez le schéma d'un compteur 6 bits qui compte en continu (sans commande "Enable").

FIGURE 3 – Bloc logique de base d'un [FPGA](#)

A partir de ce schéma, déterminer le nombre de blocs de base utilisés pour implémenter un compteur à 16 bits.

Acronymes

CPLD Complex Programmable Logic Device. [2](#)

FPGA Field Programmable Gate Array. [2](#), [3](#)

PLD Programmable Logic Device. [1–3](#)