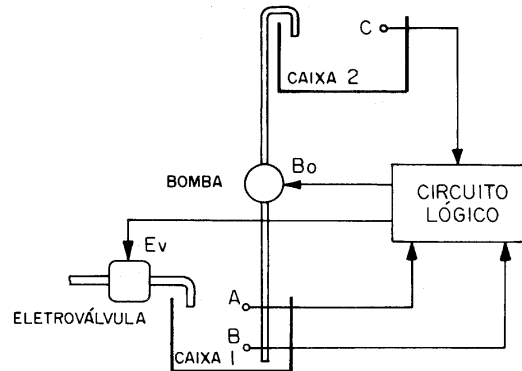


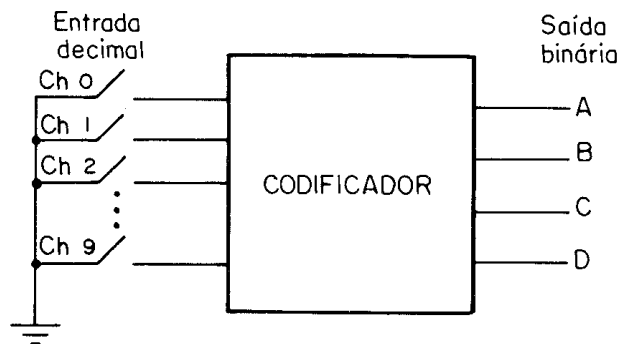
### Exercícios propostos

#### **Circuitos Combinacionais , Codificadores e Decodificadores:**

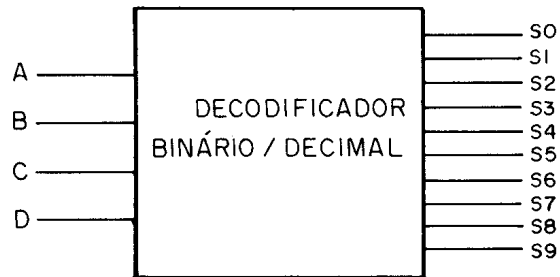
- 1- *Elabore um circuito lógico que permita controlar uma bomba para encher uma caixa d'água no alto de um edifício a partir de outra, como reservatório, colocada no térreo. O circuito, através da informação de eletrodos, convenientemente dispostos nas caixas, deve atuar na bomba e numa eletro-válvula ligada à canalização de entrada.*



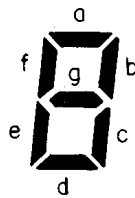
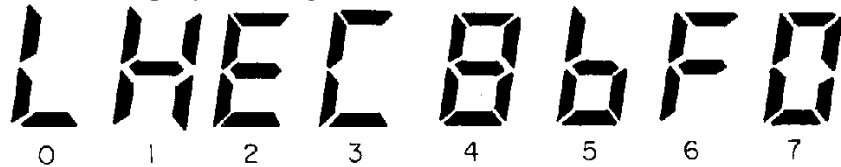
- 2 - *Esquematize um codificador Decimal/Binário para, a partir de um teclado com chaves numeradas de 0 a 9, fornecer nas saídas o código binário correspondente. Considere que, neste teclado, só fique acionada uma chave de cada vez.*



- 3 - *Desenvolva o decodificador Binário/Decimal representado na figura abaixo. O circuito deve ativar (nível 1 ) uma única saída correspondente a cada combinação binária de entrada.*



4 - Projete um decodificador para, a partir de um código binário, escrever a seqüência da figura abaixo em um display de 7 segmentos catodo comum.

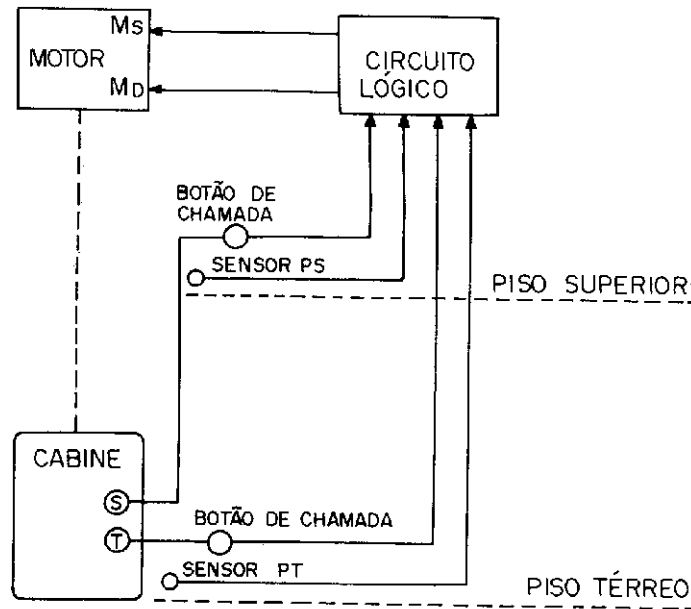


5 - Uma indústria possui 4 máquinas de alta potência, podendo ser ligadas, no máximo, 2 delas simultaneamente. Elabore um circuito lógico para efetuar este controle, respeitando a prioridade de funcionamento da máquina 1 sobre a 2, da 2 sobre a 3 e da 3 sobre a 4.

6 - Elabore o circuito lógico para controlar o elevador representado esquematicamente na figura abaixo:

As variáveis de saída  $M_S$  e  $M_D$  deverão comandar o motor para fazer o elevador subir ( $M_S = 1$  e  $M_D = 0$ ), descer ( $M_S = 0$  e  $M_D = 1$ ), parar ( $M_S = M_D = 0$ ) e ainda continuar um movimento iniciado ( $M_S = M_D = 1$ ).

As variáveis de entrada serão os interruptores memorizadores dentro da cabine (T interligado com o botão de chamada no piso térreo e S interligado com o do piso superior) e os sensores ( $P_T$  e  $P_S$ ) colocados nos pisos, para indicar a presença correta do compartimento na andar. Considere o não funcionamento do motor com qualquer das portas aberta, o desativamento da chamada na chegada ao piso de destino e a devida temporização antes do início de um novo ciclo de operação.

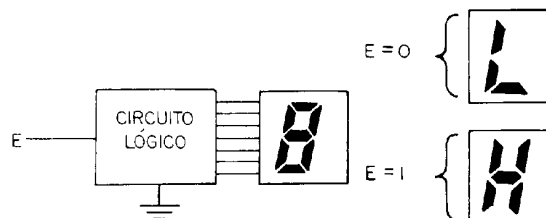


7 - Desenhe um circuito para, em um conjunto de 5 chaves, detectar um número par destas ligadas.

8 - Esquematize um codificador Hexadecimal/Binário para, a partir de um teclado com chaves numeradas de 0 a F, fornecer nas saídas o código binário correspondente. Considere, neste teclado, só fique acionada uma chave de cada vez.

9 - Elabore um decodificador 2 para 4, onde, conforme as combinações entre os 2 fios de entrada, 1 entre os 4 fios de saída é ativado.

10 - Utilizando um display de 7 segmentos anodo comum, elabore a ponta de prova lógica representada na figura abaixo:



11 - Projete um decodificador para, a partir de um código binário, escrever a seqüência do sistema hexadecimal em um display de 7 segmentos catodo comum. Determine apenas as expressões simplificadas.

12 - Elabore um circuito lógico, o qual, a partir de um teclado com chaves numeradas de 0 a 9, acione um display de 7 segmentos catodo comum, acendendo o respectivo número.

Considere que, neste teclado, só fique acionada uma chave de cada vez e que as portas lógicas pertencem à família TTL.

## Flip-Flops, Registradores de Deslocamento e Contadores:

Cada *flip-flop* armazena um único bit como dado, o qual será emitido através da saída  $Q$  na face leste. Normalmente, o valor poderá ser controlado pelas entradas do lado oeste. Em particular, o valor irá mudar quando houver variação da entrada de *clock*, marcada por um triângulo em cada *flip-flop*, quando essa passar de 0 para 1 (ou o contrário se assim configurado); ao ocorrer, portanto, uma borda de subida, o valor mudará de acordo com a tabela abaixo.

### Flip-Flop D Flip-Flop T Flip-Flop J-K Flip-Flop S-R

$D \ Q$	$T \ Q$	$J \ K \ Q$	$S \ R \ Q$
0 0	0 $Q$	0 0 $Q$	0 0 $Q$
1 1	1 $Q'$	0 1 0	0 1 0
		1 0 1	1 0 1
		1 1 $Q'$	1 1 ??

Outra maneira de descrever os diferentes comportamentos dos *flip-flops* está no texto original em inglês.

- **Flip-Flop D:** Quando houver variação do *clock*, o valor guardado no *flip-flop* será o valor na entrada  $D$  (*Data*) naquele instante.
- **Flip-Flop T:** Quando houver variação do *clock*, o valor guardado no *flip-flop* será alternado ou mantido dependendo se o valor na entrada  $T$  (*Toggle*) for 1 ou 0.
- **Flip-Flop J-K:** Quando houver variação do *clock*, o valor guardado no *flip-flop* será alternado se as entradas  $J$  e  $K$  forem ambas iguais a 1 e será mantido se ambas forem iguais a zero; se forem diferentes, então o valor se tornará 1 se a entrada  $J$  (*Jump*) for 1 e será 0 se a entrada  $K$  (*Kill*) for 1.
- **Flip-Flop S-R:** Quando houver variação do *clock*, o valor guardado no *flip-flop* será mantido se  $R$  e  $S$  forem ambos iguais a 0; irá mudar para 0, se a entrada  $R$  (*Reset*) for 1, e se tornará 1 se a entrada  $S$  (*Set*) for 1. O comportamento não será especificado se as duas entradas forem iguais a 1. Por padrão, o *clock* irá variar na borda de subida — ou seja, quando a entrada de *clock* variar de 0 para 1. Contudo, o atributo Gatilho permitirá que essa mudança ocorra na borda de descida (quando a entrada de *clock* variar de 1 para 0), ou em nível baixo (enquanto a entrada de *clock* permanecer em 0). As opções de disparo dependentes do nível não estão disponíveis para os *flip-flops* T e J-K, porque esses se comportam de forma imprevisível quando forçados a alternar por tempo indeterminado.

## Referências:

<http://www.dcc.ufrj.br/~gabriel/circlog/FlipFlop.pdf>

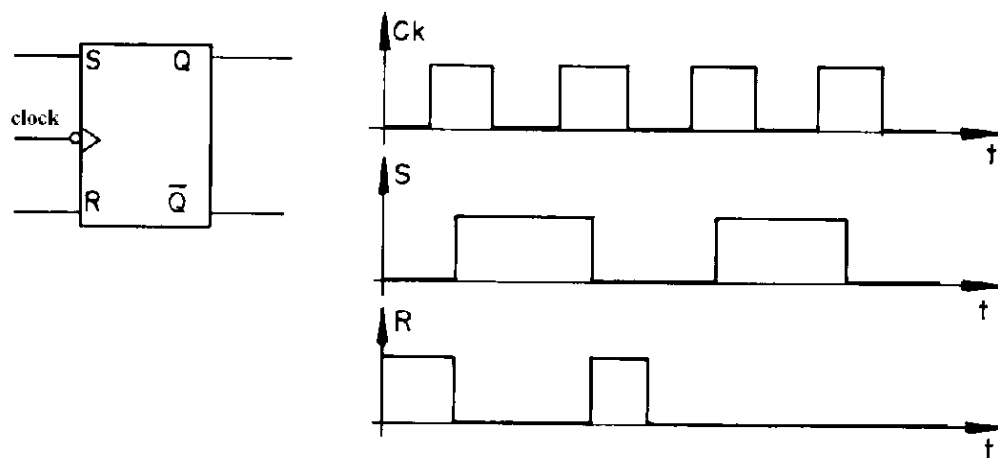
<http://www.newtoncbraga.com.br/index.php/electronica-digital/96-licao-7-os-flip-flops-e-funcoes-logicas-em-circuitos-integrados>

<http://www.joinville.ifsc.edu.br/~mtaques/Digital/flip-flop.pdf>

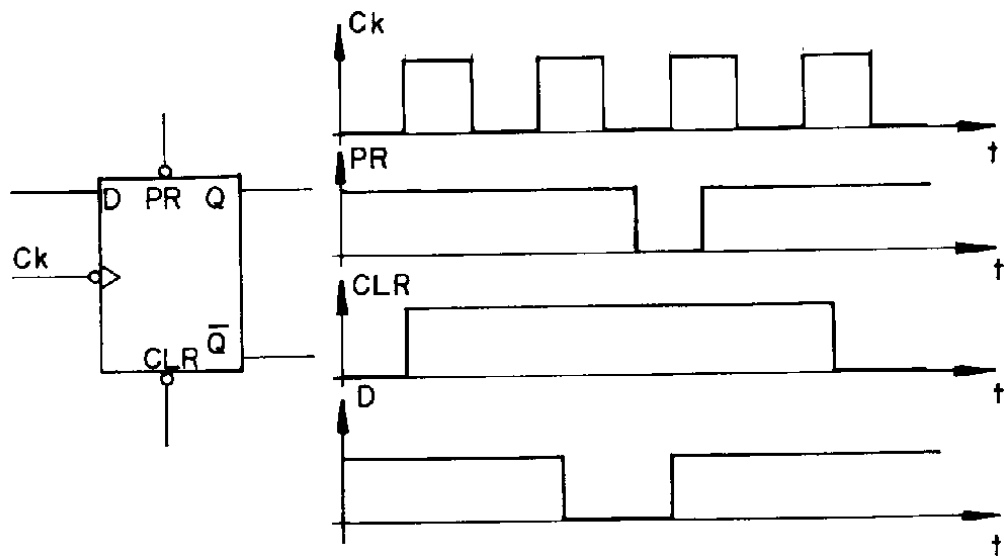
A tabela do flip-flop J-K :

$J$	$K$	$Q^{n+1}$	$\overline{Q}^{n+1}$		$Q^n \rightarrow Q^{n+1}$	$J$	$K$
0	0	$Q^n$	$\overline{Q}^n$		$0 \rightarrow 0$	0	X
0	1	0	1		$0 \rightarrow 1$	1	X
1	0	1	0		$1 \rightarrow 0$	X	1
1	1	$\overline{Q}^n$	$Q^n$		$1 \rightarrow 1$	X	0

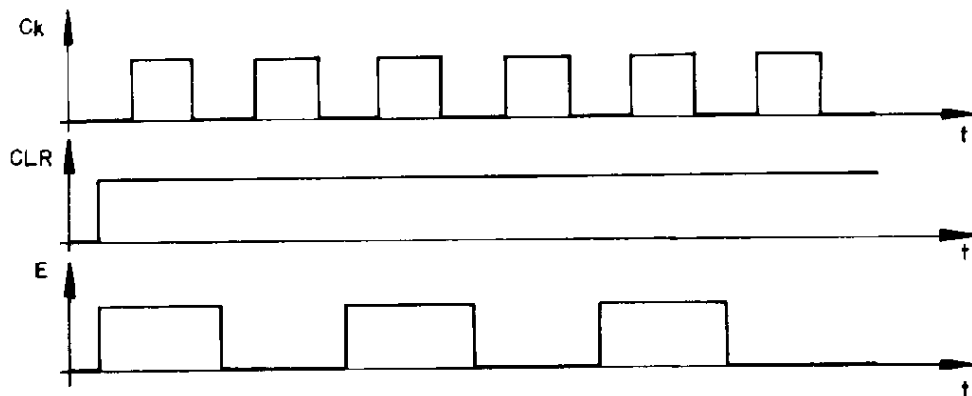
13 - A figura abaixo apresenta um flip-flop RS e as respectivas formas de onda das entradas. Determine a forma de onda da saída  $Q$ .



14 - Determine as formas de onda das saídas  $Q$  e  $\overline{Q}$  do flip-flop tipo D, visto na figura abaixo:



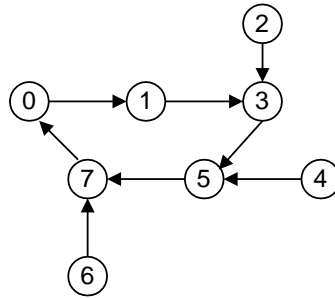
15 - Desenhe o esquema de um registrador de deslocamento de 4 bits, utilizando flip-flop do tipo D. Esboce as formas de onda das saídas para os sinais de entrada vistos na figura abaixo:



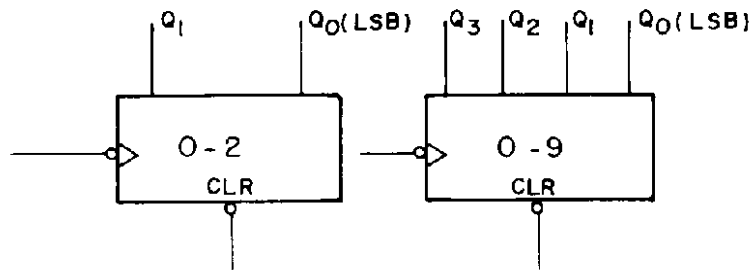
16 - Projete e desenhe o circuito de um contador síncrono para gerar a seqüência da tabela abaixo:

$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
0	0	0	1
0	0	1	1
0	1	1	1
1	1	1	1

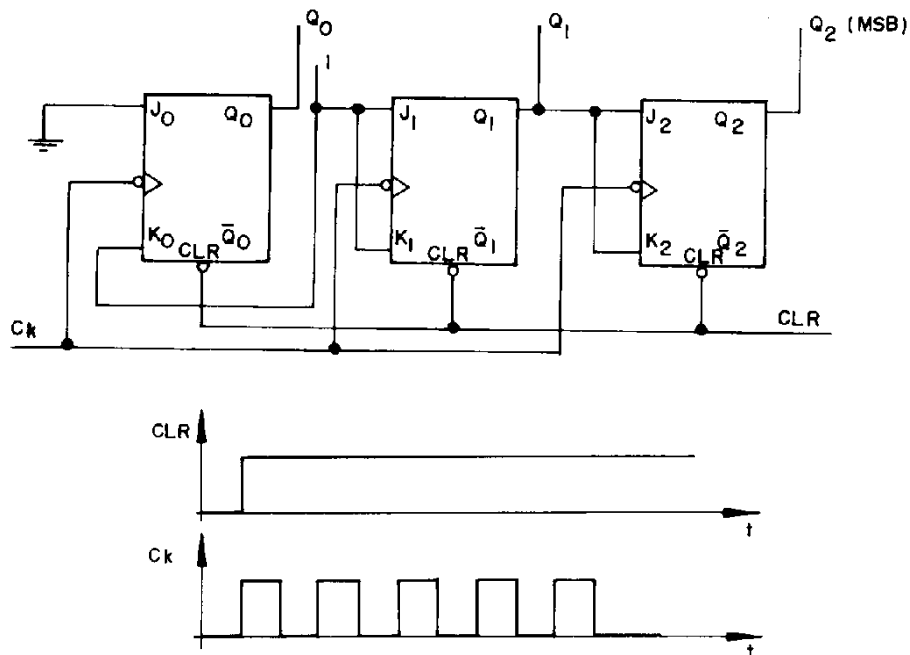
17 - Projete o contador síncrono para gerar a seqüência do diagrama de estados visto na figura abaixo:



18 - Interligue os contadores da figura abaixo de maneira a formar um de 0-23.

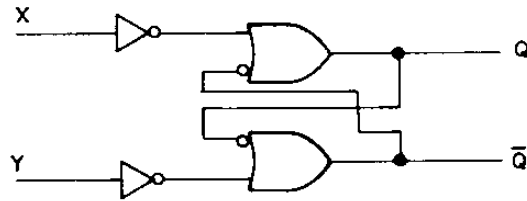


19 - Determine as formas de onda de  $Q_2$ ,  $Q_1$  e  $Q_0$  para o contador da figura abaixo, em função dos sinais de clock e clear aplicados.

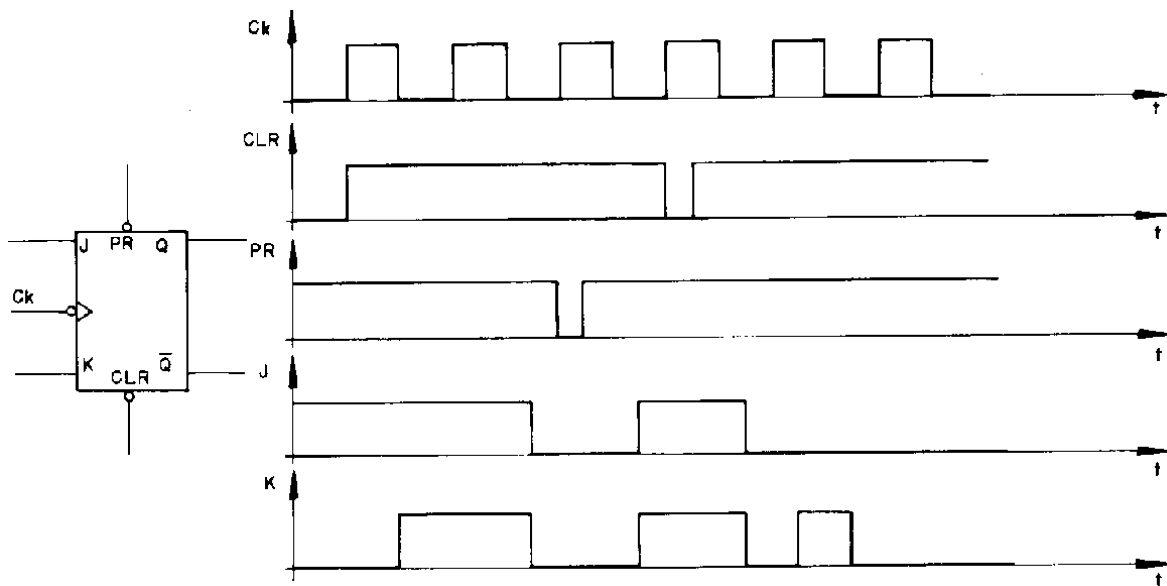


20 - Para o exercício anterior, desenhe o diagrama de estados.

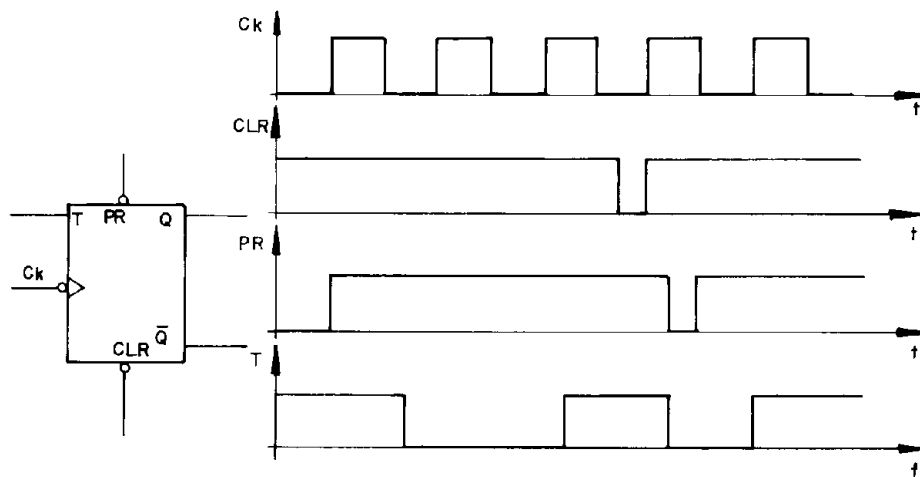
21 - Levante a tabela da verdade do flip-flop da figura abaixo e identifique as entradas S e R.



22 - A figura abaixo apresenta um flip-flop do tipo JK Mestre/Escravo e as respectivas formas de ondas das entradas. Determine a forma de onda da saída  $Q$ .

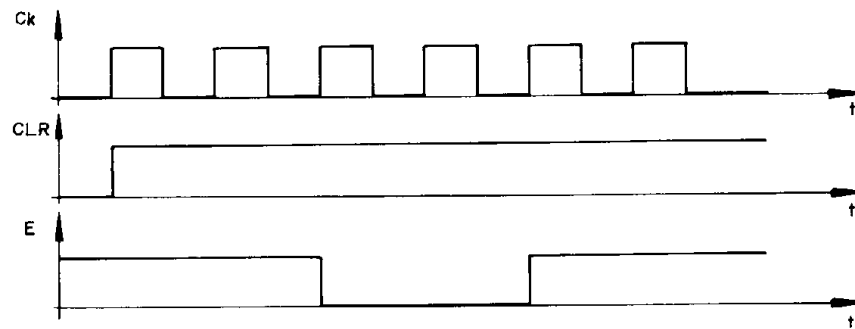
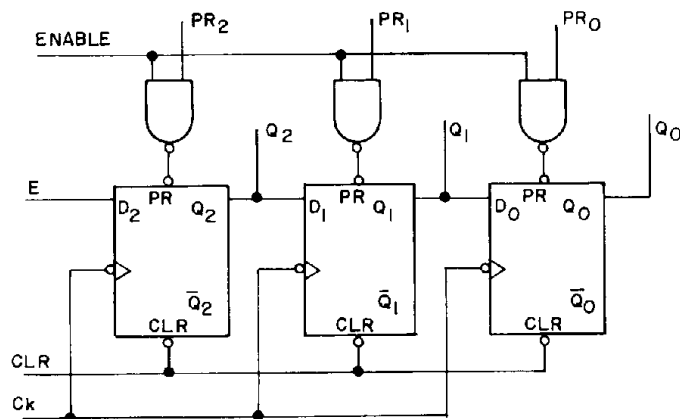


23 - Determine as formas de onda das saídas  $Q$  e  $\bar{Q}$  do flip-flop tipo T, visto na figura abaixo:



24 - Esboce as formas de onda, para o registrador de deslocamento da figura abaixo, em função dos sinais aplicados vistos nos gráficos e com a entrada enable igual a zero.





25 - Determine a situação das saídas  $Q_2$ ,  $Q_1$  e  $Q_0$  para o circuito do exercício anterior, após 2 descidas de clock, sabendo-se que  $PR_2 = 1$ ,  $PR_1 = 0$ ,  $PR_0 = 1$  e  $E = 0$ , que inicialmente houve a passagem do clear de 0 para 1, que o enable passou de 0 para 1 e logo após de 1 para 0.

26 - Elabore um contador assíncrono de 0 a 59, com uma entrada clear geral para utilização externa.

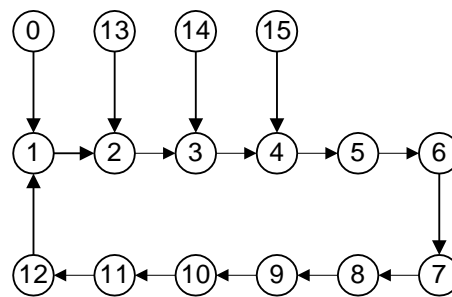
27 - Desenhe o circuito de um contador assíncrono de 0 a 7 para operar de forma crescente/decrescente, conforme nível aplicado a uma entrada X de controle ( $X = 1 \Rightarrow$  crescente e  $X = 0 \Rightarrow$  decrescente).

28 - Elabore um contador assíncrono de 29 a 0. O circuito deve possuir um terminal que, quando aterrado, estabelece o caso inicial (29).

29 - Projete e desenhe o circuito de um contador síncrono para gerar a seqüência da tabela abaixo:

$Q_2$	$Q_1$	$Q_0$
1	1	1
0	1	0
1	0	1
0	0	1

30 - Projete o contador síncrono para gerar a seqüência do diagrama de estados visto na figura abaixo:

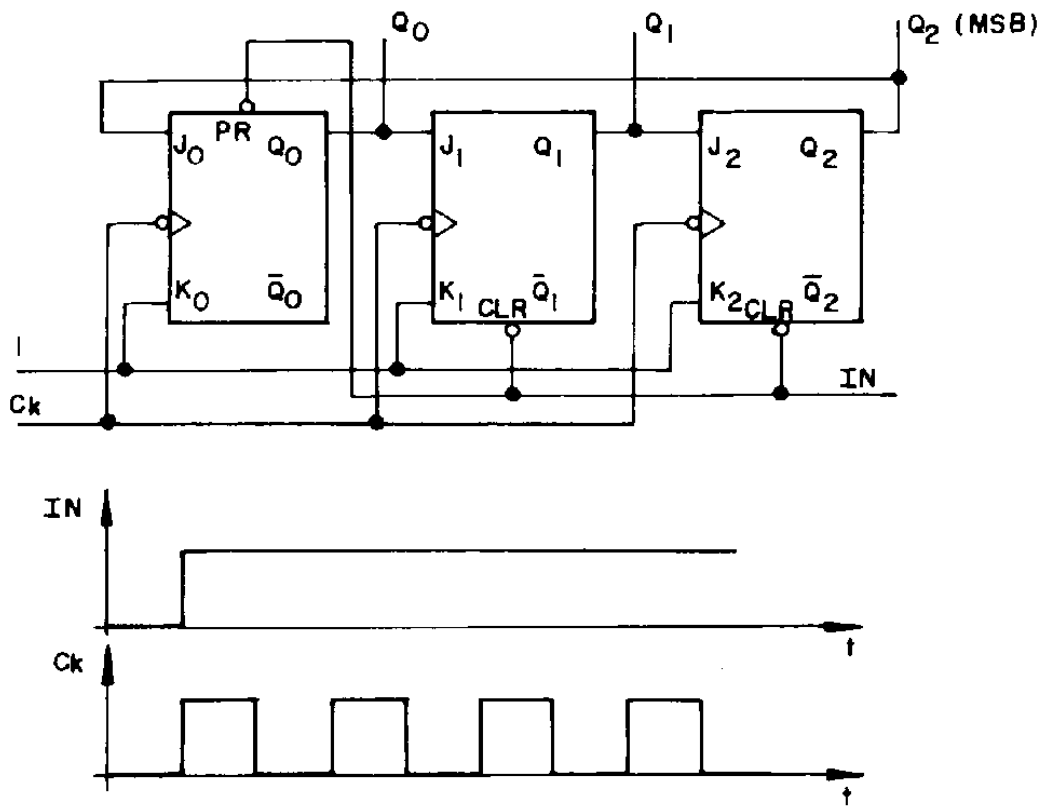


31 - Escolha 2 blocos contadores e interligue-os de maneira a formar um sistema contador de 0 a 45. Desenhe o esquema de ligação.

32 - Esquematize um contador para trabalhar como divisor de freqüência por 4. Esboce as formas de onda da entrada e saída para tal finalidade.

33 - Idem ao anterior, para dividir a freqüência por 10.

34 - Determine as formas de onda de  $Q_2$ ,  $Q_1$  e  $Q_0$  para o contador da figura abaixo, em função dos sinais de clock e início aplicados.



35 - A partir das formas de onda do contador do exercício anterior, determine o diagrama de estados.