



# PROCESSADOR MULTI-CORE SIMULADO EM SESC

APRESENTAÇÃO PARTE 2

BRUNO RODRIGUES

MATHEUS FELIPE

RITHIE NATAN

# PROCESSADOR E SISTEMA OPERACIONAL

- Intel(R) Core(TM) i5-3317U CPU @ 1.70GHz
- size: 2370MHz
- capacity: 2600MHz
- width: 64 bits
- clock: 100MHz
- Usado arquitetura de x64 bits
- configuration: cores=2 enabledcores=2 threads=4
- Linux – Version: 16.04 LTS

# CONFIGURAÇÃO NO SESC E EXEMPLOS

- Arquivo utilizado: fft.mips
- Usados 8, 16 e 32 núcleos
- 108 testes
- Modificados a quantidade de processadores, tamanho da cache line e tamanho do espaço amostral

# COMANDOS UTILIZADOS

1. -p

2. -l

3. -m

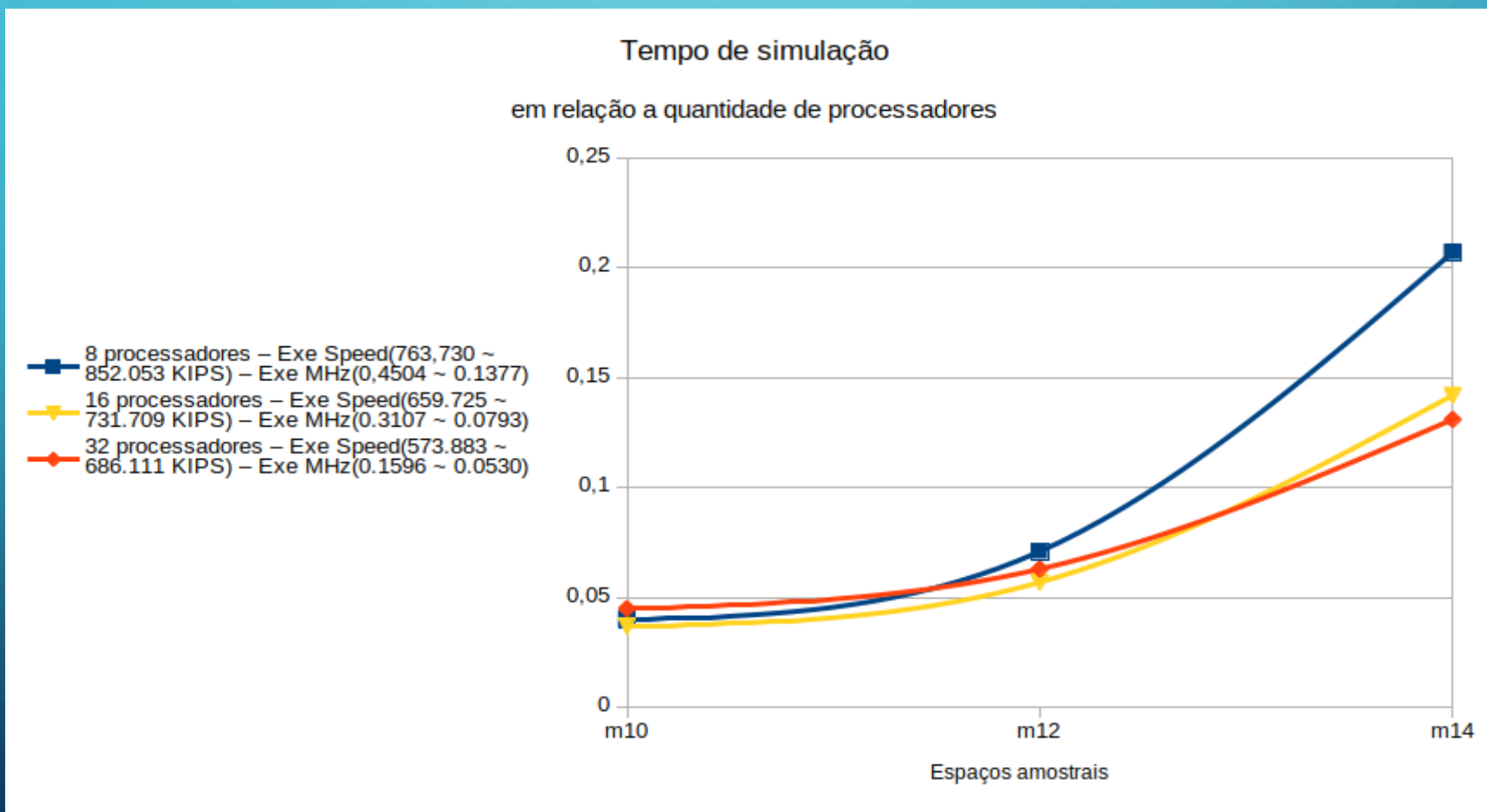
- Obs.: Os comandos também foram alterados nesta ordem



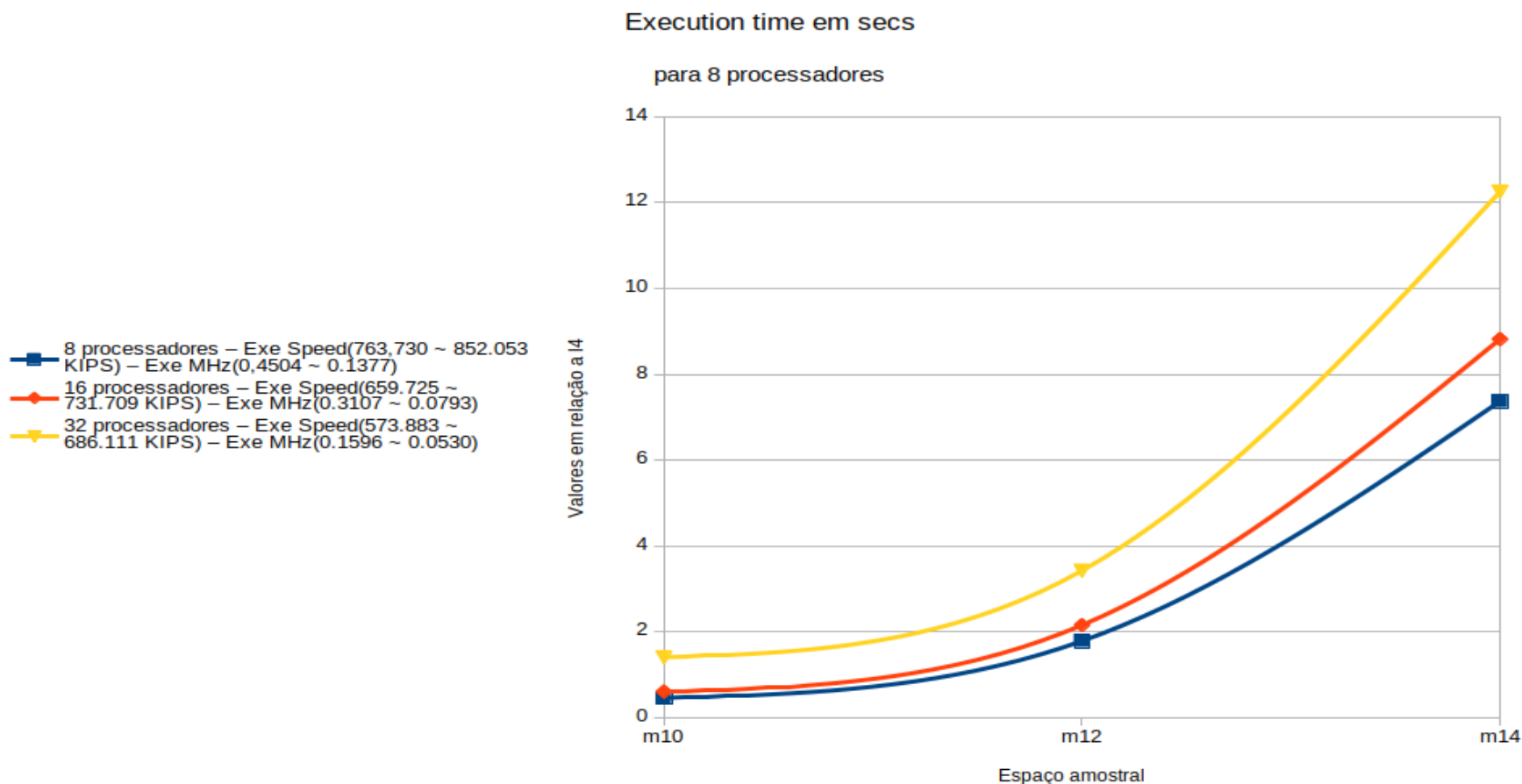
# TEMPO DE SIMULAÇÃO + EXECUÇÃO

8 processadores – Exe Speed(763,730 ~ 852.053 KIPS) – Exe MHz(0,4504 ~ 0.1377)										
Execution Time em secs		Espaço Amostral				Tempo de Simulação(5000MHz) em msec		Espaço Amostral		
		m10	m12	m14				m10	m12	m14
Tamanho da linha da cache	14	0,45	1,78	7,37		Tamanho da linha da cache	14	0,04	0,071	0,207
	15	0,45	1,75	7,43			15	0,04	0,071	0,207
	16	0,44	1,84	7,34			16	0,04	0,071	0,207
	17	0,44	1,77	7,39			17	0,04	0,071	0,207
	18	0,46	1,77	7,53			18	0,04	0,071	0,207
	19	0,45	1,83	7,47			19	0,04	0,071	0,207
16 processadores – Exe Speed(659.725 ~ 731.709 KIPS) – Exe MHz(0.3107 ~ 0.0793)										
Execution Time em secs		Espaço Amostral				Tempo de Simulação(5000MHz) em msec		Espaço Amostral		
		m10	m12	m14				m10	m12	m14
Tamanho da linha da cache	14	0,6	2,15	8,82		Tamanho da linha da cache	14	0,037	0,057	0,142
	15	0,64	2,12	8,79			15	0,037	0,057	0,142
	16	0,6	2,22	8,78			16	0,037	0,057	0,142
	17	0,59	2,12	8,73			17	0,037	0,057	0,142
	18	0,59	2,12	8,77			18	0,037	0,057	0,142
	19	0,59	2,13	8,96			19	0,037	0,057	0,142
32 processadores – Exe Speed(573.883 ~ 686.111 KIPS) – Exe MHz(0.1596 ~ 0.0530)										
Execution Time em secs		Espaço Amostral				Tempo de Simulação(5000MHz) em msec		Espaço Amostral		
		m10	m12	m14				m10	m12	m14
Tamanho da linha da cache	14	1,4	3,42	12,26		Tamanho da linha da cache	14	0,045	0,063	0,131
	15	1,4	3,58	12,22			15	0,045	0,063	0,131
	16	1,43	3,51	12,3			16	0,045	0,063	0,131
	17	1,4	3,68	12,33			17	0,045	0,063	0,131
	18	1,45	3,4	12,33			18	0,045	0,063	0,131
	19	1,42	3,53	12			19	0,045	0,063	0,131

# GRÁFICO DO TEMPO DE SIMULAÇÃO



# GRÁFICO DO TEMPO DE EXECUÇÃO





# MISS RATE PARA 8 PROCESSADORES

8 Processadores																			
Miss Rate para a cache DL1																			
Data cache L1 em %		Instrução executada																	
		I4m10	I5m10	I6m10	I7m10	I8m10	I9m10	I4m12	I5m12	I6m12	I7m12	I8m12	I9m12	I4m14	I5m14	I6m14	I7m14	I8m14	I9m14
Processador	0	4,48	4,48	4,48	4,48	4,48	4,48	3,9	3,9	3,9	3,9	3,9	3,9	4,66	4,66	4,66	4,66	4,66	4,49
	1	4,36	4,36	4,36	4,36	4,36	4,36	3,88	3,88	3,88	3,88	3,88	3,88	4,65	4,65	4,65	4,65	4,65	4,47
	2	4,37	4,37	4,37	4,37	4,37	4,37	3,9	3,9	3,9	3,9	3,9	3,9	4,62	4,62	4,62	4,62	4,62	4,46
	3	4,47	4,47	4,47	4,47	4,47	4,47	3,86	3,86	3,86	3,86	3,86	3,86	4,64	4,64	4,64	4,64	4,64	4,46
	4	4,39	4,39	4,39	4,39	4,39	4,39	3,85	3,85	3,85	3,85	3,85	3,85	4,65	4,65	4,65	4,65	4,65	4,46
	5	4,42	4,42	4,42	4,42	4,42	4,42	3,83	3,83	3,83	3,83	3,83	3,83	4,65	4,65	4,65	4,65	4,65	4,47
	6	4,34	4,34	4,34	4,34	4,34	4,34	3,89	3,89	3,89	3,89	3,89	3,89	4,65	4,65	4,65	4,65	4,65	4,43
	7	4,41	4,41	4,41	4,41	4,41	4,41	3,88	3,88	3,88	3,88	3,88	3,88	4,62	4,62	4,62	4,62	4,62	4,45
Miss Rate para a cache IL1																			
Instruções cache L1 em %		Instrução executada																	
		I4m10	I5m10	I6m10	I7m10	I8m10	I9m10	I4m12	I5m12	I6m12	I7m12	I8m12	I9m12	I4m14	I5m14	I6m14	I7m14	I8m14	I9m14
Processador	0	-	2,81	2,81	2,81	2,81	2,81	0,75	0,75	0,75	0,75	0,75	0,75	0,18	0,18	0,18	0,18	0,18	0,18
	1	-	1,35	1,35	1,35	1,35	1,35	0,35	0,35	0,35	0,35	0,35	0,35	0,08	0,08	0,08	0,08	0,08	0,08
	2	-	1,3	1,3	1,3	1,3	1,3	0,35	0,35	0,35	0,35	0,35	0,35	0,08	0,08	0,08	0,08	0,08	0,08
	3	-	1,34	1,34	1,34	1,34	1,34	0,36	0,36	0,36	0,36	0,36	0,36	0,08	0,08	0,08	0,08	0,08	0,08
	4	-	1,33	1,33	1,33	1,33	1,33	0,36	0,36	0,36	0,36	0,36	0,36	0,08	0,08	0,08	0,08	0,08	0,08
	5	-	1,31	1,31	1,31	1,31	1,31	0,36	0,36	0,36	0,36	0,36	0,36	0,08	0,08	0,08	0,08	0,08	0,08
	6	-	1,3	1,3	1,3	1,3	1,3	0,36	0,36	0,36	0,36	0,36	0,36	0,08	0,08	0,08	0,08	0,08	0,08
	7	-	1,31	1,31	1,31	1,31	1,31	0,36	0,36	0,36	0,36	0,36	0,36	0,08	0,08	0,08	0,08	0,08	0,08

# MISS RATE PARA 16 PROCESSADORES

16 Processadores																			
Miss Rate para a cache DL1																			
Data cache L1 em %		Instrução executada																	
		I4m10	I5m10	I6m10	I7m10	I8m10	I9m10	I4m12	I5m12	I6m12	I7m12	I8m12	I9m12	I4m14	I5m14	I6m14	I7m14	I8m14	I9m14
Processador	0	4,82	4,82	4,82	4,82	4,82	4,82	3,93	3,93	3,93	3,93	3,93	3,93	3,95	3,95	3,95	3,95	3,95	3,95
	1	4,68	4,68	4,68	4,68	4,68	4,68	3,84	3,84	3,84	3,84	3,84	3,84	3,95	3,95	3,95	3,95	3,95	3,95
	2	4,63	4,63	4,63	4,63	4,63	4,63	3,84	3,84	3,84	3,84	3,84	3,84	3,94	3,94	3,94	3,94	3,94	3,94
	3	4,66	4,66	4,66	4,66	4,66	4,66	3,86	3,86	3,86	3,86	3,86	3,86	3,88	3,88	3,88	3,88	3,88	3,88
	4	4,63	4,63	4,63	4,63	4,63	4,63	3,83	3,83	3,83	3,83	3,83	3,83	3,86	3,86	3,86	3,86	3,86	3,86
	5	4,67	4,67	4,67	4,67	4,67	4,67	3,84	3,84	3,84	3,84	3,84	3,84	3,86	3,86	3,86	3,86	3,86	3,86
	6	4,77	4,77	4,77	4,77	4,77	4,77	3,86	3,86	3,86	3,86	3,86	3,86	3,88	3,88	3,88	3,88	3,88	3,88
	7	4,6	4,6	4,6	4,6	4,6	4,6	3,83	3,83	3,83	3,83	3,83	3,83	3,92	3,92	3,92	3,92	3,92	3,92
	8	4,82	4,82	4,82	4,82	4,82	4,82	3,86	3,86	3,86	3,86	3,86	3,86	3,91	3,91	3,91	3,91	3,91	3,91
	9	4,61	4,61	4,61	4,61	4,61	4,61	3,87	3,87	3,87	3,87	3,87	3,87	3,95	3,95	3,95	3,95	3,95	3,95
	10	4,74	4,74	4,74	4,74	4,74	4,74	3,87	3,87	3,87	3,87	3,87	3,87	3,94	3,94	3,94	3,94	3,94	3,94
	11	4,74	4,74	4,74	4,74	4,74	4,74	3,88	3,88	3,88	3,88	3,88	3,88	3,93	3,93	3,93	3,93	3,93	3,93
	12	4,77	4,77	4,77	4,77	4,77	4,77	3,86	3,86	3,86	3,86	3,86	3,86	3,96	3,96	3,96	3,96	3,96	3,96
	13	4,78	4,78	4,78	4,78	4,78	4,78	3,86	3,86	3,86	3,86	3,86	3,86	3,9	3,9	3,9	3,9	3,9	3,9
	14	4,78	4,78	4,78	4,78	4,78	4,78	3,87	3,87	3,87	3,87	3,87	3,87	3,87	3,87	3,87	3,87	3,87	3,87
15	4,79	4,79	4,79	4,79	4,79	4,79	3,88	3,88	3,88	3,88	3,88	3,88	3,93	3,93	3,93	3,93	3,93	3,93	
Miss Rate para a cache IL1																			
Instruções cache L1 em %		Instrução executada																	
		I4m10	I5m10	I6m10	I7m10	I8m10	I9m10	I4m12	I5m12	I6m12	I7m12	I8m12	I9m12	I4m14	I5m14	I6m14	I7m14	I8m14	I9m14
Processador	0	4,4	4,4	4,4	4,4	4,4	4,4	1,39	1,39	1,39	1,39	1,39	1,39	0,36	0,36	0,36	0,36	0,36	0,36
	1	2,16	2,16	2,16	2,16	2,16	2,16	0,62	0,62	0,62	0,62	0,62	0,62	0,16	0,16	0,16	0,16	0,16	0,16
	2	2,01	2,01	2,01	2,01	2,01	2,01	0,6	0,6	0,6	0,6	0,6	0,6	0,16	0,16	0,16	0,16	0,16	0,16
	3	2,09	2,09	2,09	2,09	2,09	2,09	0,61	0,61	0,61	0,61	0,61	0,61	0,16	0,16	0,16	0,16	0,16	0,16
	4	2	2	2	2	2	2	0,59	0,59	0,59	0,59	0,59	0,59	0,16	0,16	0,16	0,16	0,16	0,16
	5	2,1	2,1	2,1	2,1	2,1	2,1	0,61	0,61	0,61	0,61	0,61	0,61	0,16	0,16	0,16	0,16	0,16	0,16
	6	2,11	2,11	2,11	2,11	2,11	2,11	0,61	0,61	0,61	0,61	0,61	0,61	0,16	0,16	0,16	0,16	0,16	0,16
	7	1,98	1,98	1,98	1,98	1,98	1,98	0,6	0,6	0,6	0,6	0,6	0,6	0,16	0,16	0,16	0,16	0,16	0,16
	8	2,1	2,1	2,1	2,1	2,1	2,1	0,6	0,6	0,6	0,6	0,6	0,6	0,16	0,16	0,16	0,16	0,16	0,16
	9	1,94	1,94	1,94	1,94	1,94	1,94	0,6	0,6	0,6	0,6	0,6	0,6	0,16	0,16	0,16	0,16	0,16	0,16
	10	2,02	2,02	2,02	2,02	2,02	2,02	0,6	0,6	0,6	0,6	0,6	0,6	0,16	0,16	0,16	0,16	0,16	0,16
	11	2,06	2,06	2,06	2,06	2,06	2,06	0,61	0,61	0,61	0,61	0,61	0,61	0,16	0,16	0,16	0,16	0,16	0,16
	12	1,96	1,96	1,96	1,96	1,96	1,96	0,57	0,57	0,57	0,57	0,57	0,57	0,15	0,15	0,15	0,15	0,15	0,15
	13	2,15	2,15	2,15	2,15	2,15	2,15	0,6	0,6	0,6	0,6	0,6	0,6	0,16	0,16	0,16	0,16	0,16	0,16
	14	2,15	2,15	2,15	2,15	2,15	2,15	0,61	0,61	0,61	0,61	0,61	0,61	0,16	0,16	0,16	0,16	0,16	0,16
15	2,17	2,17	2,17	2,17	2,17	2,17	0,61	0,61	0,61	0,61	0,61	0,61	0,16	0,16	0,16	0,16	0,16	0,16	

# MISS RATE PARA 32 PROCESSADORES

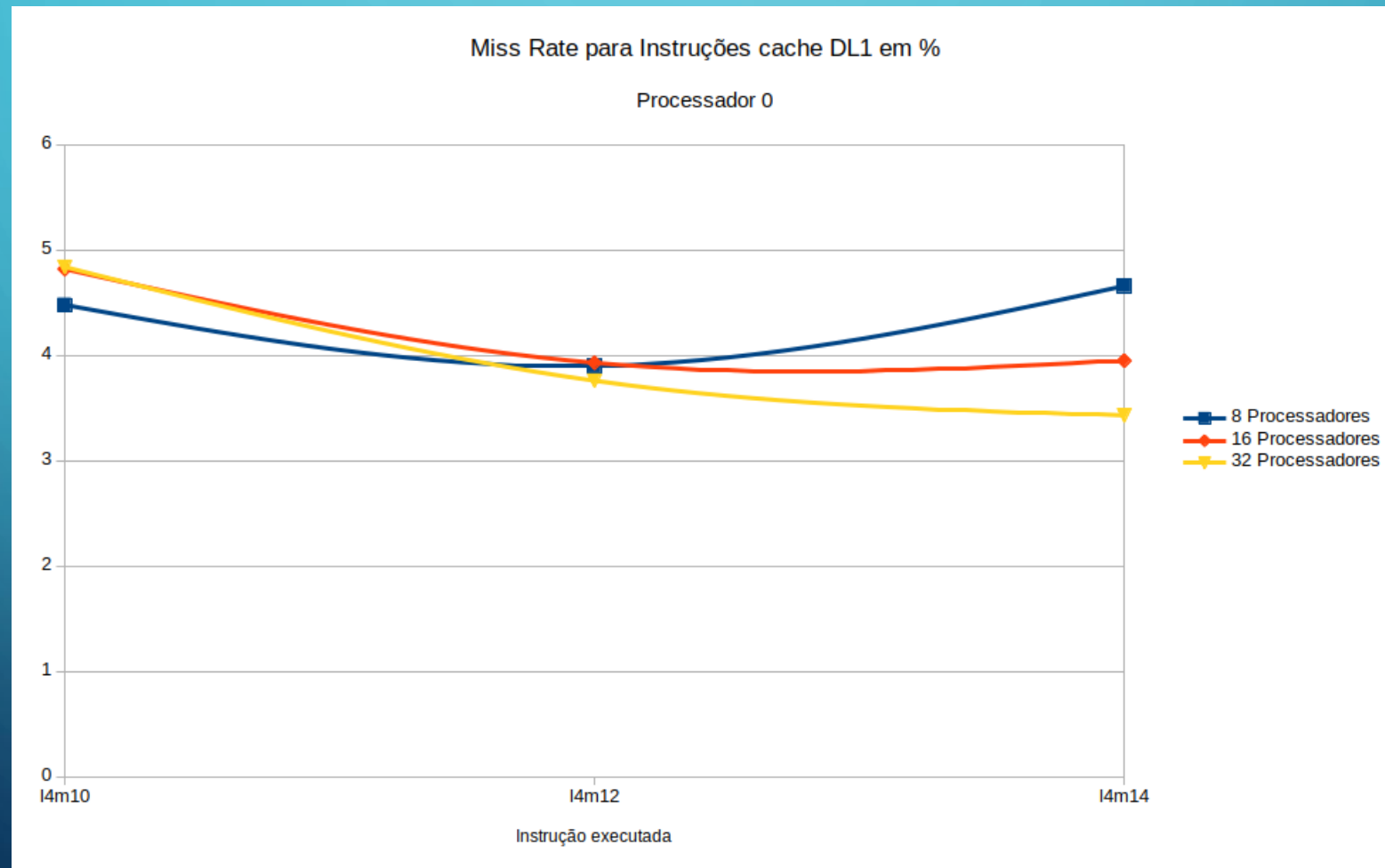
32 Processadores																			
Miss Rate para a cache DL1																			
Data cache L1 em %		Instrução executada																	
		I4m10	I5m10	I6m10	I7m10	I8m10	I9m10	I4m12	I5m12	I6m12	I7m12	I8m12	I9m12	I4m14	I5m14	I6m14	I7m14	I8m14	I9m14
Processador	0	4,84	4,84	4,84	4,84	4,84	4,84	3,76	3,76	3,76	3,76	3,76	3,76	3,43	3,43	3,43	3,43	3,43	3,43
	1	4,55	4,55	4,55	4,55	4,55	4,55	3,63	3,63	3,63	3,63	3,63	3,63	3,39	3,39	3,39	3,39	3,39	3,39
	2	4,29	4,29	4,29	4,29	4,29	4,29	3,62	3,62	3,62	3,62	3,62	3,62	3,39	3,39	3,39	3,39	3,39	3,39
	3	4,39	4,39	4,39	4,39	4,39	4,39	3,59	3,59	3,59	3,59	3,59	3,59	3,36	3,36	3,36	3,36	3,36	3,36
	4	5,23	5,23	5,23	5,23	5,23	5,23	3,83	3,83	3,83	3,83	3,83	3,83	3,45	3,45	3,45	3,45	3,45	3,45
	5	4,27	4,27	4,27	4,27	4,27	4,27	3,68	3,68	3,68	3,68	3,68	3,68	3,37	3,37	3,37	3,37	3,37	3,37
	6	5,23	5,23	5,23	5,23	5,23	5,23	3,81	3,81	3,81	3,81	3,81	3,81	3,44	3,44	3,44	3,44	3,44	3,44
	7	4,28	4,28	4,28	4,28	4,28	4,28	3,61	3,61	3,61	3,61	3,61	3,61	3,36	3,36	3,36	3,36	3,36	3,36
	8	5,06	5,06	5,06	5,06	5,06	5,06	3,67	3,67	3,67	3,67	3,67	3,67	3,43	3,43	3,43	3,43	3,43	3,43
	9	4,53	4,53	4,53	4,53	4,53	4,53	3,76	3,76	3,76	3,76	3,76	3,76	3,38	3,38	3,38	3,38	3,38	3,38
	10	5,26	5,26	5,26	5,26	5,26	5,26	3,82	3,82	3,82	3,82	3,82	3,82	3,46	3,46	3,46	3,46	3,46	3,46
	11	5,28	5,28	5,28	5,28	5,28	5,28	3,89	3,89	3,89	3,89	3,89	3,89	3,42	3,42	3,42	3,42	3,42	3,42
	12	5,41	5,41	5,41	5,41	5,41	5,41	3,82	3,82	3,82	3,82	3,82	3,82	3,44	3,44	3,44	3,44	3,44	3,44
	13	5,18	5,18	5,18	5,18	5,18	5,18	3,9	3,9	3,9	3,9	3,9	3,9	3,47	3,47	3,47	3,47	3,47	3,47
	14	4,49	4,49	4,49	4,49	4,49	4,49	3,77	3,77	3,77	3,77	3,77	3,77	3,41	3,41	3,41	3,41	3,41	3,41
	15	5,19	5,19	5,19	5,19	5,19	5,19	3,82	3,82	3,82	3,82	3,82	3,82	3,45	3,45	3,45	3,45	3,45	3,45
	16	4,47	4,47	4,47	4,47	4,47	4,47	3,66	3,66	3,66	3,66	3,66	3,66	3,37	3,37	3,37	3,37	3,37	3,37
	17	4,52	4,52	4,52	4,52	4,52	4,52	3,67	3,67	3,67	3,67	3,67	3,67	3,42	3,42	3,42	3,42	3,42	3,42
	18	5,37	5,37	5,37	5,37	5,37	5,37	3,87	3,87	3,87	3,87	3,87	3,87	3,46	3,46	3,46	3,46	3,46	3,46
	19	3,96	3,96	3,96	3,96	3,96	3,96	3,51	3,51	3,51	3,51	3,51	3,51	3,35	3,35	3,35	3,35	3,35	3,35
	20	4,56	4,56	4,56	4,56	4,56	4,56	3,61	3,61	3,61	3,61	3,61	3,61	3,39	3,39	3,39	3,39	3,39	3,39
	21	4,45	4,45	4,45	4,45	4,45	4,45	3,58	3,58	3,58	3,58	3,58	3,58	3,39	3,39	3,39	3,39	3,39	3,39
	22	5,02	5,02	5,02	5,02	5,02	5,02	3,81	3,81	3,81	3,81	3,81	3,81	3,43	3,43	3,43	3,43	3,43	3,43
	23	5,03	5,03	5,03	5,03	5,03	5,03	3,67	3,67	3,67	3,67	3,67	3,67	3,39	3,39	3,39	3,39	3,39	3,39
	24	4,13	4,13	4,13	4,13	4,13	4,13	3,65	3,65	3,65	3,65	3,65	3,65	3,37	3,37	3,37	3,37	3,37	3,37
	25	5,14	5,14	5,14	5,14	5,14	5,14	3,8	3,8	3,8	3,8	3,8	3,8	3,44	3,44	3,44	3,44	3,44	3,44
	26	6,06	6,06	6,06	6,06	6,06	6,06	3,86	3,86	3,86	3,86	3,86	3,86	3,48	3,48	3,48	3,48	3,48	3,48
	27	4,35	4,35	4,35	4,35	4,35	4,35	3,61	3,61	3,61	3,61	3,61	3,61	3,38	3,38	3,38	3,38	3,38	3,38
	28	4,42	4,42	4,42	4,42	4,42	4,42	3,67	3,67	3,67	3,67	3,67	3,67	3,39	3,39	3,39	3,39	3,39	3,39
	29	4,63	4,63	4,63	4,63	4,63	4,63	3,7	3,7	3,7	3,7	3,7	3,7	3,42	3,42	3,42	3,42	3,42	3,42
	30	4,28	4,28	4,28	4,28	4,28	4,28	3,56	3,56	3,56	3,56	3,56	3,56	3,4	3,4	3,4	3,4	3,4	3,4
	31	4,51	4,51	4,51	4,51	4,51	4,51	3,71	3,71	3,71	3,71	3,71	3,71	3,41	3,41	3,41	3,41	3,41	3,41



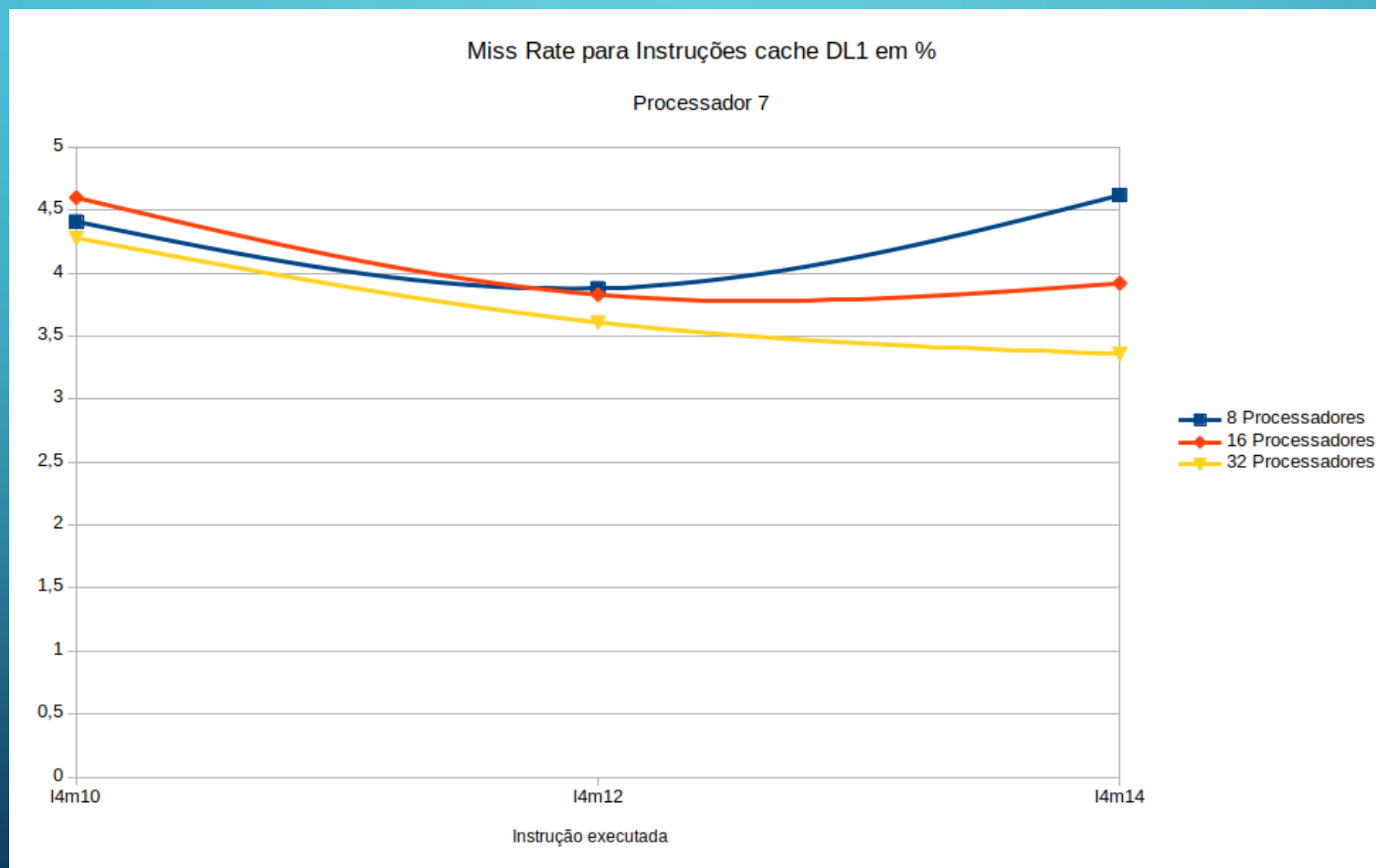
# MISS RATE PARA 32 PROCESSADORES

		Miss Rate para a cache IL1																	
Instruções cache L1 em %		Instrução executada																	
		I4m10	I5m10	I6m10	I7m10	I8m10	I9m10	I4m12	I5m12	I6m12	I7m12	I8m12	I9m12	I4m14	I5m14	I6m14	I7m14	I8m14	I9m14
Processador	0	3,96	3,96	3,96	3,96	3,96	3,96	1,85	1,85	1,85	1,85	1,85	1,85	0,61	0,61	0,61	0,61	0,61	0,61
	1	1,78	1,78	1,78	1,78	1,78	1,78	0,84	0,84	0,84	0,84	0,84	0,84	0,27	0,27	0,27	0,27	0,27	0,27
	2	1,56	1,56	1,56	1,56	1,56	1,56	0,8	0,8	0,8	0,8	0,8	0,8	0,26	0,26	0,26	0,26	0,26	0,26
	3	1,62	1,62	1,62	1,62	1,62	1,62	0,79	0,79	0,79	0,79	0,79	0,79	0,26	0,26	0,26	0,26	0,26	0,26
	4	1,72	1,72	1,72	1,72	1,72	1,72	0,83	0,83	0,83	0,83	0,83	0,83	0,27	0,27	0,27	0,27	0,27	0,27
	5	1,46	1,46	1,46	1,46	1,46	1,46	0,81	0,81	0,81	0,81	0,81	0,81	0,26	0,26	0,26	0,26	0,26	0,26
	6	1,66	1,66	1,66	1,66	1,66	1,66	0,81	0,81	0,81	0,81	0,81	0,81	0,26	0,26	0,26	0,26	0,26	0,26
	7	1,51	1,51	1,51	1,51	1,51	1,51	0,79	0,79	0,79	0,79	0,79	0,79	0,26	0,26	0,26	0,26	0,26	0,26
	8	1,66	1,66	1,66	1,66	1,66	1,66	0,74	0,74	0,74	0,74	0,74	0,74	0,25	0,25	0,25	0,25	0,25	0,25
	9	1,6	1,6	1,6	1,6	1,6	1,6	0,84	0,84	0,84	0,84	0,84	0,84	0,26	0,26	0,26	0,26	0,26	0,26
	10	1,86	1,86	1,86	1,86	1,86	1,86	0,84	0,84	0,84	0,84	0,84	0,84	0,27	0,27	0,27	0,27	0,27	0,27
	11	1,82	1,82	1,82	1,82	1,82	1,82	0,87	0,87	0,87	0,87	0,87	0,87	0,27	0,27	0,27	0,27	0,27	0,27
	12	1,86	1,86	1,86	1,86	1,86	1,86	0,84	0,84	0,84	0,84	0,84	0,84	0,27	0,27	0,27	0,27	0,27	0,27
	13	1,89	1,89	1,89	1,89	1,89	1,89	0,89	0,89	0,89	0,89	0,89	0,89	0,27	0,27	0,27	0,27	0,27	0,27
	14	1,57	1,57	1,57	1,57	1,57	1,57	0,84	0,84	0,84	0,84	0,84	0,84	0,26	0,26	0,26	0,26	0,26	0,26
	15	1,81	1,81	1,81	1,81	1,81	1,81	0,84	0,84	0,84	0,84	0,84	0,84	0,27	0,27	0,27	0,27	0,27	0,27
	16	1,61	1,61	1,61	1,61	1,61	1,61	0,8	0,8	0,8	0,8	0,8	0,8	0,26	0,26	0,26	0,26	0,26	0,26
	17	1,59	1,59	1,59	1,59	1,59	1,59	0,8	0,8	0,8	0,8	0,8	0,8	0,27	0,27	0,27	0,27	0,27	0,27
	18	1,96	1,96	1,96	1,96	1,96	1,96	0,89	0,89	0,89	0,89	0,89	0,89	0,27	0,27	0,27	0,27	0,27	0,27
	19	1,43	1,43	1,43	1,43	1,43	1,43	0,77	0,77	0,77	0,77	0,77	0,77	0,26	0,26	0,26	0,26	0,26	0,26
	20	1,63	1,63	1,63	1,63	1,63	1,63	0,79	0,79	0,79	0,79	0,79	0,79	0,26	0,26	0,26	0,26	0,26	0,26
	21	1,64	1,64	1,64	1,64	1,64	1,64	0,78	0,78	0,78	0,78	0,78	0,78	0,26	0,26	0,26	0,26	0,26	0,26
	22	1,73	1,73	1,73	1,73	1,73	1,73	0,85	0,85	0,85	0,85	0,85	0,85	0,26	0,26	0,26	0,26	0,26	0,26
	23	1,72	1,72	1,72	1,72	1,72	1,72	0,79	0,79	0,79	0,79	0,79	0,79	0,26	0,26	0,26	0,26	0,26	0,26
	24	1,43	1,43	1,43	1,43	1,43	1,43	0,81	0,81	0,81	0,81	0,81	0,81	0,26	0,26	0,26	0,26	0,26	0,26
	25	1,82	1,82	1,82	1,82	1,82	1,82	0,84	0,84	0,84	0,84	0,84	0,84	0,27	0,27	0,27	0,27	0,27	0,27
	26	2,06	2,06	2,06	2,06	2,06	2,06	0,83	0,83	0,83	0,83	0,83	0,83	0,27	0,27	0,27	0,27	0,27	0,27
	27	1,56	1,56	1,56	1,56	1,56	1,56	0,79	0,79	0,79	0,79	0,79	0,79	0,26	0,26	0,26	0,26	0,26	0,26
	28	1,52	1,52	1,52	1,52	1,52	1,52	0,79	0,79	0,79	0,79	0,79	0,79	0,26	0,26	0,26	0,26	0,26	0,26
	29	1,68	1,68	1,68	1,68	1,68	1,68	0,82	0,82	0,82	0,82	0,82	0,82	0,27	0,27	0,27	0,27	0,27	0,27
	30	1,57	1,57	1,57	1,57	1,57	1,57	0,79	0,79	0,79	0,79	0,79	0,79	0,26	0,26	0,26	0,26	0,26	0,26
	31	1,53	1,53	1,53	1,53	1,53	1,53	0,8	0,8	0,8	0,8	0,8	0,8	0,26	0,26	0,26	0,26	0,26	0,26

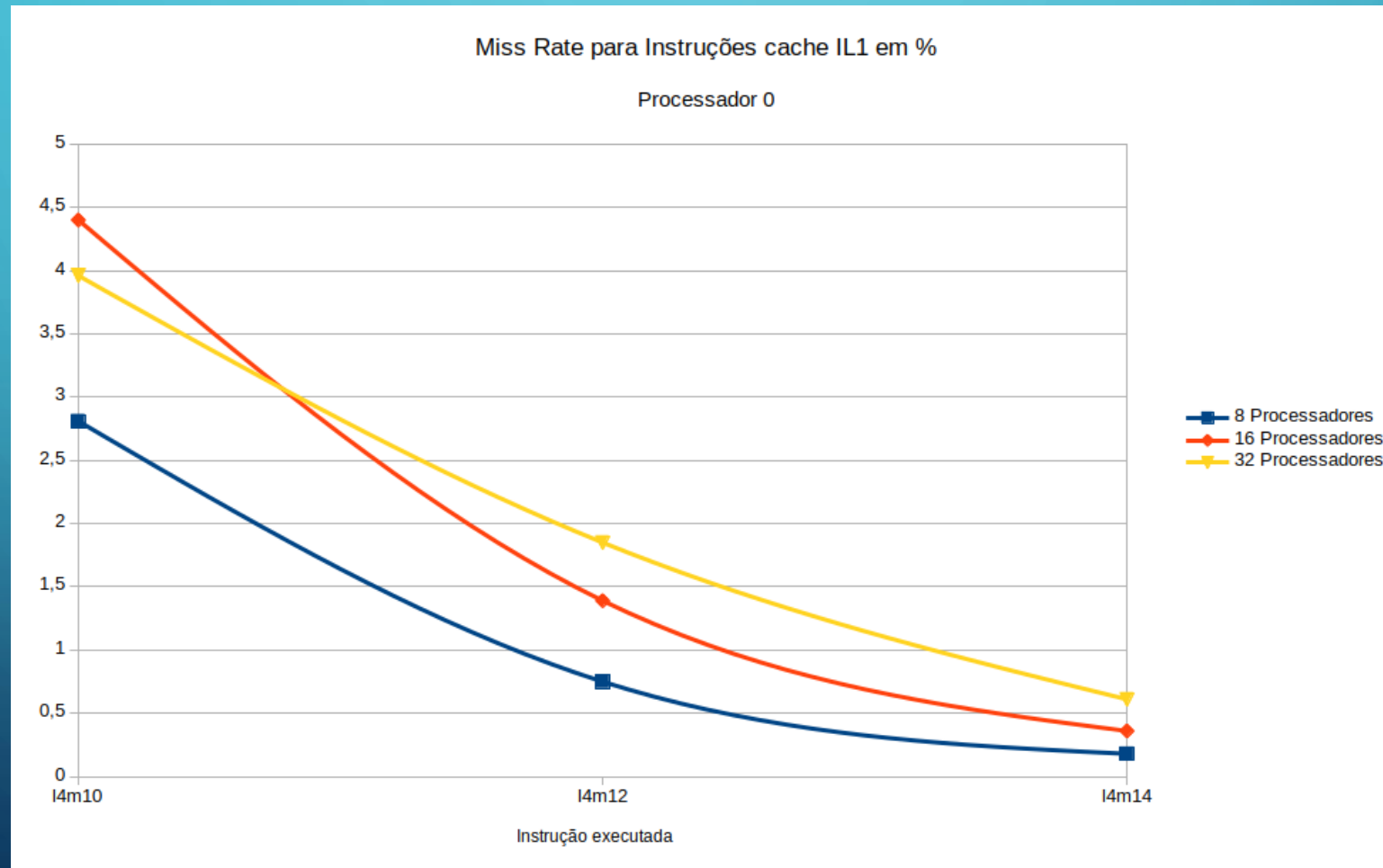
# GRÁFICOS DE MISS RATE PARA PROCESSADORES NA CACHE DL1



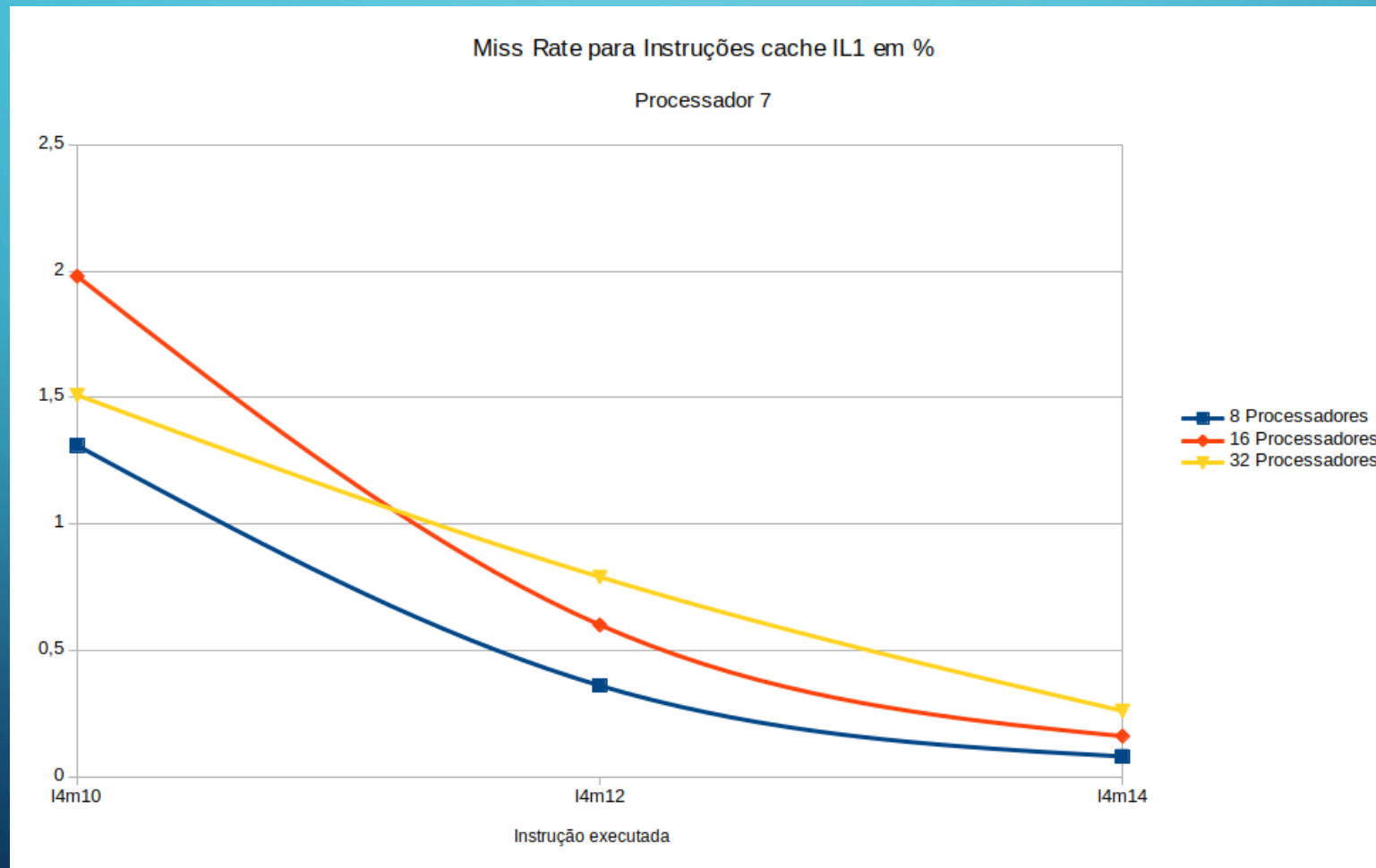
# GRÁFICOS DE MISS RATE PARA PROCESSADORES NA CACHE DL1



# GRÁFICOS DE MISS RATE PARA PROCESSADORES NA CACHE IL1



# GRÁFICOS DE MISS RATE PARA PROCESSADORES NA CACHE IL1





# CONCLUSÕES

- Pela quantidade de processadores:
  - - custo de energia
  - - tempo execução
  - - tempo de simulação
  - + miss rate
  - - velocidade de acesso à memória
  - + velocidade de L1/L2

# CONCLUSÕES

- Pelo tamanho de linha da cache:
  - + custo de energia
  - + tempo execução
  - - tempo de simulação
  - + miss rate
  - - velocidade de acesso à memória

# CONCLUSÕES

- Pelo espaço amostral:
  - + velocidade de acesso L1/L2
  - + tempo execução
  - + tempo de simulação
  - + miss rate
  - + velocidade de acesso à memória