

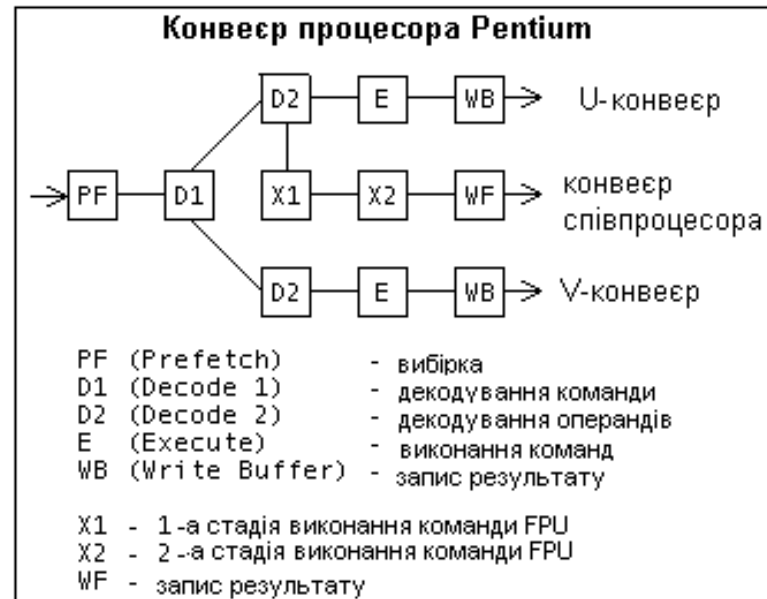
Тема 6. Особливості архітектури МП Intel 586 (Pentium)

6.1. Архітектура МП intel 80586

Процесори Pentium фірми Intel належать до п'ятого покоління процесорів x86. Вони сумісні з попередніми 32-розрядними МП, однак мають 64-бітову шину даних. Однією з головних відмінностей є його суперскалярна архітектура.

Скалярним називають процесор з єдиним конвеєром виконання команд (усі процесори Intel до 80486 включно).

Суперскалярний процесор має більше одного конвеєра (Pentium має 2, Pentium Pro – 3), які здатні опрацьовувати інструкції паралельно.



Роки виробництва: 1993

Розробник: Lexicon Brandingd

Макс. частота CPU: 60 МГц – 300 МГц

Частота FSB: 50 МГц – 66 МГц

Техпроцес: 800 – 250 нм

Інші відмінності цього процесора такі:

- застосування технології динамічного передбачення розгалужень у програмах разом з виділеним внутрішнім кешом команд обсягом 8Кбайт, що забезпечує максимальне завантаження конвеєрів;
- внутрішній (рівень 1) кеш даних обсягом 8 Кбайт, на відміну від 486-го, працює з відкладеним (до вивільнення зовнішньої шини) записом і налаштовується на режим наскрізного чи зворотного записування, підтримуючи протокол забезпечення когерентності пам'яті MESI (Modified-Exclusive-Shared-Invalid);
- зовнішня шина даних для підвищення продуктивності має розрядність 64 біти, що потребує відповідної організації пам'яті;
- вмонтований співпроцесор за рахунок архітектурних поліпшень (конвеєризації) у 2-10 разів перевершує продуктивність FPU-486;
- застосовано виявлення помилок внутрішніх пристроїв (внутрішній контроль паритету) і зовнішнього інтерфейсу шини, контролюється паритет шини адреси;
- уведена можливість побудови функціонально надлишкової двопроцесорної системи;
- реалізовано інтерфейс побудови двопроцесорних систем з симетричною архітектурою (починаючи з другого покоління Pentium);
- введені засоби керування енергопостачанням;
- застосована конвеєрна адресація шинних циклів;
- скорочений час (кількість тактів) виконання інструкцій;
- уведено трасування інструкцій і моніторинг продуктивності;
- розширені можливості віртуального режиму – уведено віртуалізацію ознаки переривань;
- уведена можливість оперування сторінками розміром 4 Мбайт у режимі переадресування (Paging).

Структурна схема процесора зображена на рис. 6.1.

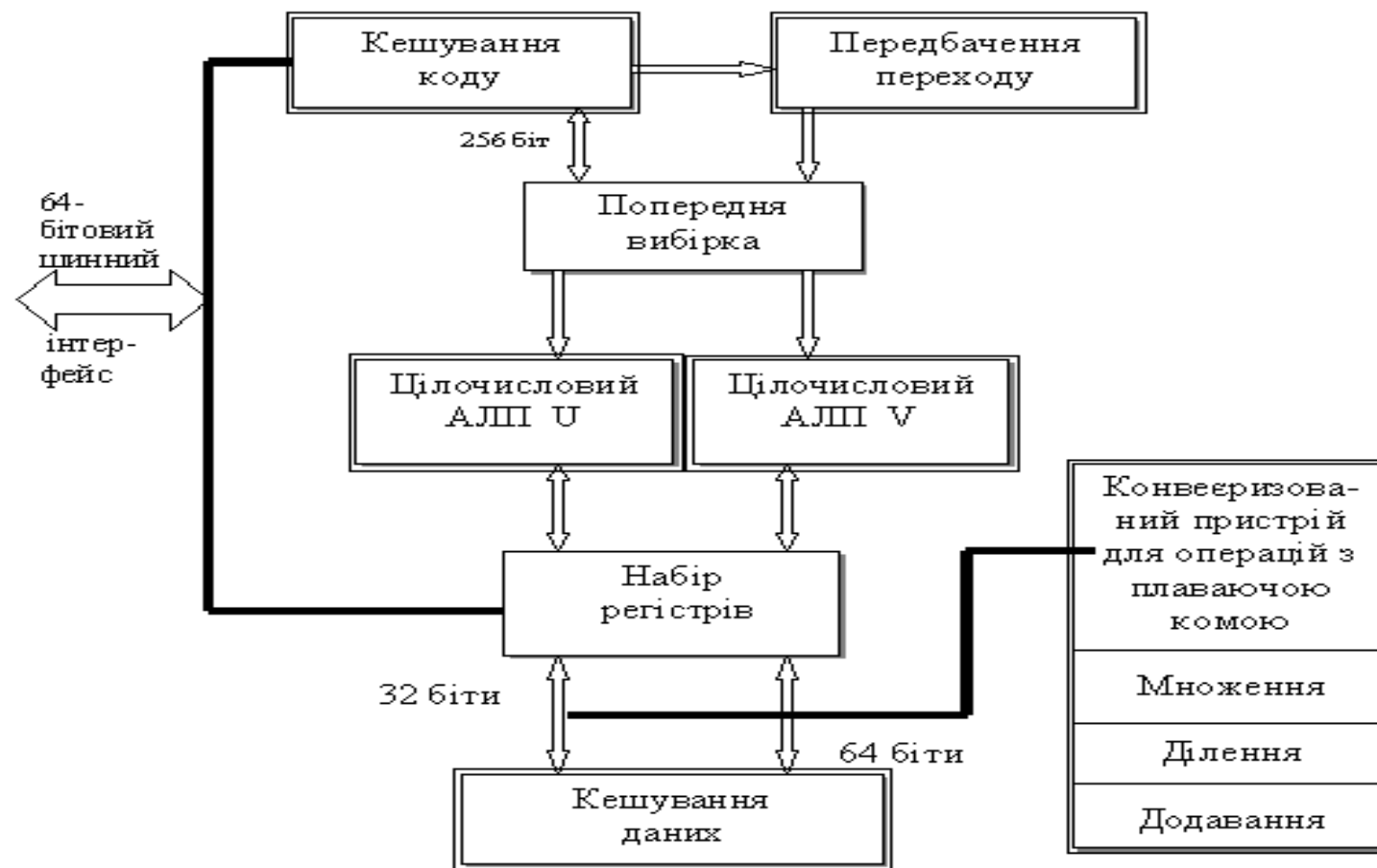


Рис. 6.1. Структурна схема процесора Pentium.

Усі процесори Pentium мають засоби системного керування SMM, можливості яких розширювались з появою нових моделей. Засоби тестування охоплюють можливість виконання вбудованого тесту BIST (Built-In Self Test), який забезпечує виявлення помилок мікроконтролера, програмованих логічних матриць, тестування командою кеш-пам'яті, кеш-пам'яті зберігання даних, буфера швидкого переадресування і ROM (охоплює близько 70% внутрішніх блоків процесора). Усі мікропроцесори мають стандартний тестовий порт IEEE 1149.1, який дає змогу тестувати процесор за допомогою інтерфейсу JTAG.

У процесорах реалізовані нові додаткові засоби налагоджування:

- зондовий режим (Probe Mode), який забезпечує доступ до внутрішніх регістрів і сфер уведення-виведення системної пам'яті процесора Pentium. Цей режим дає змогу перевіряти і змінювати стан CPU, забезпечуючи засоби для налагоджування програм з можливостями, які подібні до можливостей внутрішньосистемних емуляторів;
- розширення налагоджування DE (Debug Extensions), які дозволяють ставити контрольні точки за адресами уведення-виведення;
- внутрішні лічильники, які використовують для поточного контролю продуктивності й урахування кількості подій;
- покрокове виконання за допомогою команди CPUID.

Трохи інформації про технічні можливості та особливості процесорів родини Pentium. Процесори Pentium першого покоління (P5) з тактовою частотою 60 і 66 МГц живилися від джерела напруги 5 В, що призводило до великого тепловиділення (за частоти 66 МГц – 16 Вт). Їх випускали в корпусах PGA-273 (матриця 21х21), для встановлення цих процесорів призначене спеціальне роз'язтття (сокет 4).

Перші моделі процесорів мали помилку в FPU (floating point flaw), яка виявлялася у втраті точності під час виконання ділення з деякими поєднаннями операндів. Помилка могла з'являтися від 4-го до 19-го розряду після десяткової коми. З початку 1995 р. процесори почали випускати вже без помилок.

Pentium Overdrive 120 і 133 МГц – варіант процесора Pentium другого покоління (зі зниженою енергоємністю і подвоєнням частоти) – призначені для заміни процесорів Pentium першого покоління. Вони мають той самий корпус PGA-273. Ці процесори трохи дорожчі від звичайних Pentium 120 чи 133 і їхнє застосування доцільне лише тоді, коли з яких-небудь причин немає змоги замінити стару системну плату, а продуктивності Pentium 60 чи 66 МГц – недостатньо.

Процесори Pentium другого покоління (P54) живляться від джерела напруги 3,3 В і менше, що суттєво знижує розсіювану потужність. Їхні вхідні і вихідні сигнали зіставні з ТТЛ-логікою, однак для входу допустимий рівень сигналу обмежений значенням 3,3 В (крім тактових входів CLC і PICCLC, які допускають рівень 5 В). Сучасніші моделі використовують технологію зниження напруги VRT (Voltage Reduction Technology). Напруга VCC для інтерфейсних схем і надалі дорівнює 3,3 В, а для живлення ядра, яке потребує близько 90% потужності, VCC знижено до 2,9 В, що знижує розсіювану потужність.

Процесори виготовляють у корпусах SPGA-296 з шаховим розташуванням виводів, для їхнього встановлення передбачені сокети 5 і 7. Сокет 7 має дві шини живлення: VCC2 для живлення ядра процесора і VCC3 для живлення інтерфейсних схем.

У процесорах другого покоління застосовано внутрішнє помноження частоти: інтерфейсні схеми зовнішньої системної шини працюють на частотах 50, 60 або 66,66 МГц, а ядро процесора – на вищій частоті (75, 90, 100, 120, 133, 150, 166, 180 і 200 МГц). Поділ частот дає змогу реалізувати досягнення технології виготовлення процесорів, які суттєво випереджають можливості підвищення продуктивності пам'яті та інших традиційних компонентів комп'ютера. Коефіцієнт множення (1,5, 2,0, 2,5 чи 3,0) задано комбінацією рівнів сигналів на входах BF0, BF1 у межах, які дозволені специфікацією тактової частоти процесора. Незалежність задання зовнішньої частоти і коефіцієнта множення дає змогу одну і ту ж внутрішню частоту задавати різними способами. Наприклад, 100 МГц можна отримати як 50×2 і як $66,66 \times 1,5$. У загальному випадку ліпше застосовувати останній варіант, оскільки при цьому шина PCI (Peripheral Component Interconnect bus) буде працювати на частоті 33, а не 25 МГц.

Шина даних процесора 64-бітова, зорієнтована на збільшення продуктивності порівняно з аналогічною шиною 486 процесора. Знято динамічне керування шиною, проте відновлено (як у 286-го і 386-го) конвеєрне адресування на шині, що дає змогу одночасного обслуговування на шині двох запитів.

Конвеєр команд — компонент центрального процесора, призначений для прискорення виконання машинних команд шляхом суміщення певних стадій їх виконання в часі.

В класичному п'ятирівневому конвеєрі п'ять команд одночасно проходять різні стадії виконання команди:

- читання [вибірка] команди з буфера;
- дешифрування команди;
- читання операндів;
- виконання команди;
- запис результатів виконання команди.



Виконання фрагменту програми мікропроцесором із конвеєром виглядає таким чином:

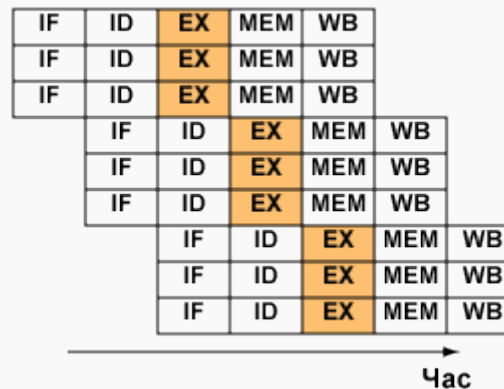
Такт	Читання команди	Дешифрування команди	Читання операндів	Виконання команди	Запис результатів виконання команди
1	Інструкція 1				
2	Інструкція 2	Інструкція 1			
3	Інструкція 3	Інструкція 2	Інструкція 1		
4	Інструкція 4	Інструкція 3	Інструкція 2	Інструкція 1	
5	Інструкція 5	Інструкція 4	Інструкція 3	Інструкція 2	Інструкція 1
6	Інструкція 6	Інструкція 5	Інструкція 4	Інструкція 3	Інструкція 2
7	Інструкція 7	Інструкція 6	Інструкція 5	Інструкція 4	Інструкція 3
8	Інструкція 8	Інструкція 7	Інструкція 6	Інструкція 5	Інструкція 4
9	Інструкція 9	Інструкція 8	Інструкція 7	Інструкція 6	Інструкція 5

Виконання п'яти команд на процесорі без конвеєра тривало би 5 тактів процесора, виконання цих же п'яти команд на процесорі з конвеєром триває один такт (після завантаження усіх сходинок конвеєра – у цьому прикладі на п'ятому такті і далі. В сучасних мікропроцесорах кількість „сходинок” конвеєра значно більша (операції читання команди з буфера, дешифрування команди, виконання команди, запису результатів виконання команди розділені на більш дрібні етапи).

• Класифікація

- 1 Найпростіший (класичний) конвеєр
- 2 Суперскалярний конвеєр
- 3 VLIW-конвеєр
- 4 Суперконвеєр
- 5 Суперскалярний суперконвеєр

Суперскалярний конвеєр

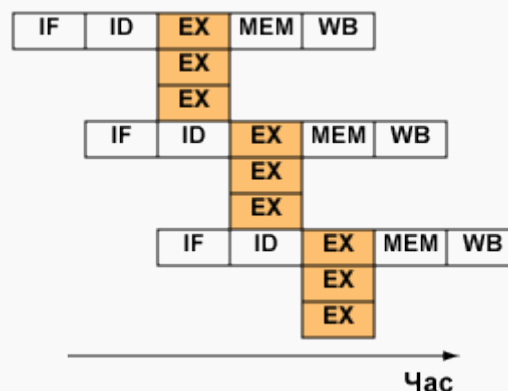


Характеристики пристрою:

- Пропускна здатність = n IPC (=3 IPC на малюнку)
- Тривалість стадії = 1 цикл
- Необхідний (максимальний) ступінь паралелізму = n команд (=3 на малюнку)

Як бачимо, в тому випадку, коли тривалість всіх стадій є однаковою, пропускна здатність суперскалярного конвеєра в n разів вища за звичайний. Однак для повного завантаження та максимальної ефективності необхідно, щоби на кожному циклі роботи він був завантажений n командами, які можуть виконуватись незалежно одна від одної. Така вимога істотно обмежує ефективність суперскалярного конвеєра, адже ступінь схованого паралелізму звичайних послідовних програм, зазвичай, є не дуже високою і в середньому обмежена числами близько 2.5-3 IPC, хоча на окремих класах задач може бути істотно вищою. Подальше збільшення рівня паралелізму потребує вже зміни самої парадигми програмування. (instructions per cycle, IPC)

VLIW-конвеєр



- Пропускна здатність = n IPC (=3 IPC на малюнку)
- Тривалість стадії = 1 цикл
- Необхідний (максимальний) ступінь паралелізму = n команд (=3 на малюнку)

З малюнку легко бачити, що базові параметри VLIW-конвеєра повністю збігаються з такими для суперскалярного конвеєра (хоча що стосується реальних, а не теоретичних, показників IPC, то вважається що спеціальні інструменти VLIW-процесорів для виявлення схованого паралелізму послідовних програм є оптимістичнішими, ніж суперскалярний підхід). VLIW-процесори апаратурно є набагато простішими, ніж суперскалярними, і це можна бачити з конфігурації конвеєра. Тут підготовка до виконання цілого комплексу команд, упакованих в довге командне слово, на стадії EX відбувається одночасно (пакування відбувається ще на етапі компіляції програми), тоді як в звичайному суперскалярному процесорі кожна команда проходить усі стадії окремо.

6.2. Архітектура МП Pentium Pro і Pentium II

Процесор Pentium Pro прийнято вважати за **початок процесорів шостого покоління**. З погляду виконання команд це покоління вирізняє наявність динамічного виконання, що передбачає виконання інструкцій всередині процесора не у тому порядку, як визначено у програмі. Фактично це поєднання методів передбачення розгалужень, аналізу проходження даних та віртуального виконання. Таке вирішення збільшує продуктивність не за рахунок збільшення тактової частоти, а внаслідок поліпшення архітектури процесора. Окрім цього, запроваджено ще низку вдосконалень:

- безпосередньо у корпус процесора заінтегровано синхронний кеш другого рівня (L2-кеш), який має обсяг 256-512 Кбайт (є і 1Мбайт) і приєднаний до внутрішньої шини;
- застосовано архітектуру подвійної незалежної шини. Системна шина призначена для спілкування ядра з основною пам'яттю та інтерфейсними пристроями, а інша – для обміну з вторинним кешом;
- система команд розширена інструкціями пересилання даних, що дає змогу зменшити кількість умовних переходів;
- поліпшено контроль за роботою шини та кешу;
- архітектура процесора та інтерфейс системної шини дають змогу об'єднати до чотирьох процесорів на одній шині у симетричну мультипроцесорну систему.

Наступна архітектурна реалізація фірми Intel – процесор Pentium II. Це поєднання архітектури процесора Pentium Pro та технології MMX. Однак Pentium II має і свої особливості. Зокрема, для його виготовлення застосовано нову технологію корпусів (картридж з друкованим крайовим роз'ємом), куди виведено системну шину. На цьому картриджі змонтовано власне ядро процесора і вторинний кеш ємністю 512 Кбайт. Первинний кеш порівняно з Pentium Pro подвоєно і він становить 16 Кбайт даних і 16 Кбайт команд.

Системна шина забезпечує приєднання двох процесорів. Шина фізичної адреси розширена до 36 біт, що дає змогу заадресувати 64 Гбайти фізичної пам'яті.

6.3. Архітектура МП Pentium III та Pentium IV

У грудні 1999 року Intel Corp. оголосила про випуск Pentium III 800 МГц. Невдовзі інші фірми почали виготовляти клонові процесори AMD-K6-III-400 МГц та Athlon 800. **Уперше у архітектурі запропоновано трирівневий кеш.** У процесорі AMD-K6-III кеш організовано як двопортову з оберненим записом розділену кеш-пам'ять першого рівня L1 ємністю 64 Кбайт (по 32 Кбайти на команди і дані), другого рівня L2 ємністю 256 Кбайт, яка заінтегрована у одному кристалі з ядром, і L3, яка розташована на материнській платі. Процесор містить 21,3 млн транзисторів на кристалі площею 118 мм² і споживає струм 12,4 А з напругою живлення 2,4 В.

Можна вважати, що новий процесор Pentium III є не що інше, як Pentium II з новими 70 командами (головно MMX). До нових команд належать так звані команди Streaming SIMD Extensios (SSE), призначення яких – це прискорення операцій у програмах опрацювання 3D графіки. Швидше опрацьовується 2D графіка. Фірма Intel Corp. Дала змогу програмістові керувати кешом. Тепер, якщо потрібно залишити у кеші навіть маловживані дані, вони не будуть автоматично заміщені новими.

Новинкою також є те, що кожний чіп повідомляє свій унікальний номер.

У серпні 2000 р. оголошено про випуск процесора Pentium IV. Розробники намагались якнайліпше наблизити процесор до його застосування у сфері Інтернету, опрацювання зображень, розпізнавання мови, відеопотоків, 3D графіки, мультимедіа та багатозадачних обчислювальних середовищ. Застосовано нову мікроархітектуру **NetBurst**, яка повинна забезпечити зростання продуктивності й тактової частоти на перспективу.

Суть нової мікроархітектури NetBurst:

- застосовано технологію Hyper Pipelined (гіперконвеєр), тобто подвоєно до 20 етапів довжину конвеєра;
- подвоєно, порівняно з ядром процесора, тактову частоту роботи арифметико-логічних блоків. Це дозволяє процесору виконувати деякі команди за половину такту, а цілочислові операції виконувати з подвоєною швидкістю;
- вдосконалено системну шину (400 МГц), яка втричі швидша від шини процесора Pentium III. Швидкість передавання даних між процесором Pentium IV і контролером пам'яті досягає 3,2 Гбайти/с;
- кеш-пам'ять процесора має 64-байтовий доступ (попередні процесори мали 32-байтовий доступ). У кеші першого рівня зберігають декодовані команди (приблизно 12000 мікрокоманд), що помітно поліпшує швидкодію кешу й збільшує ефективність його використання. Pentium IV містить кеш другого рівня ємністю 256 Кбайт та швидкістю передавання даних 48 Гбіт/с;
- вдосконалено систему динамічного виконання команд та покращено схеми передбачення розгалужень у програмі;
- додано 144 нових SIMD команди (128-розрядних), які дозволяють суттєво пришвидшити роботу різних програм.

Про Pentium IV та можливості інших процесорів фірми Intel Corp. та суміжних з нею див., наприклад, на серверах: <http://www.intel.com>, <http://www.amd.com>.

Структурна схема процесора Pentium IV зображена на рис.6.2.

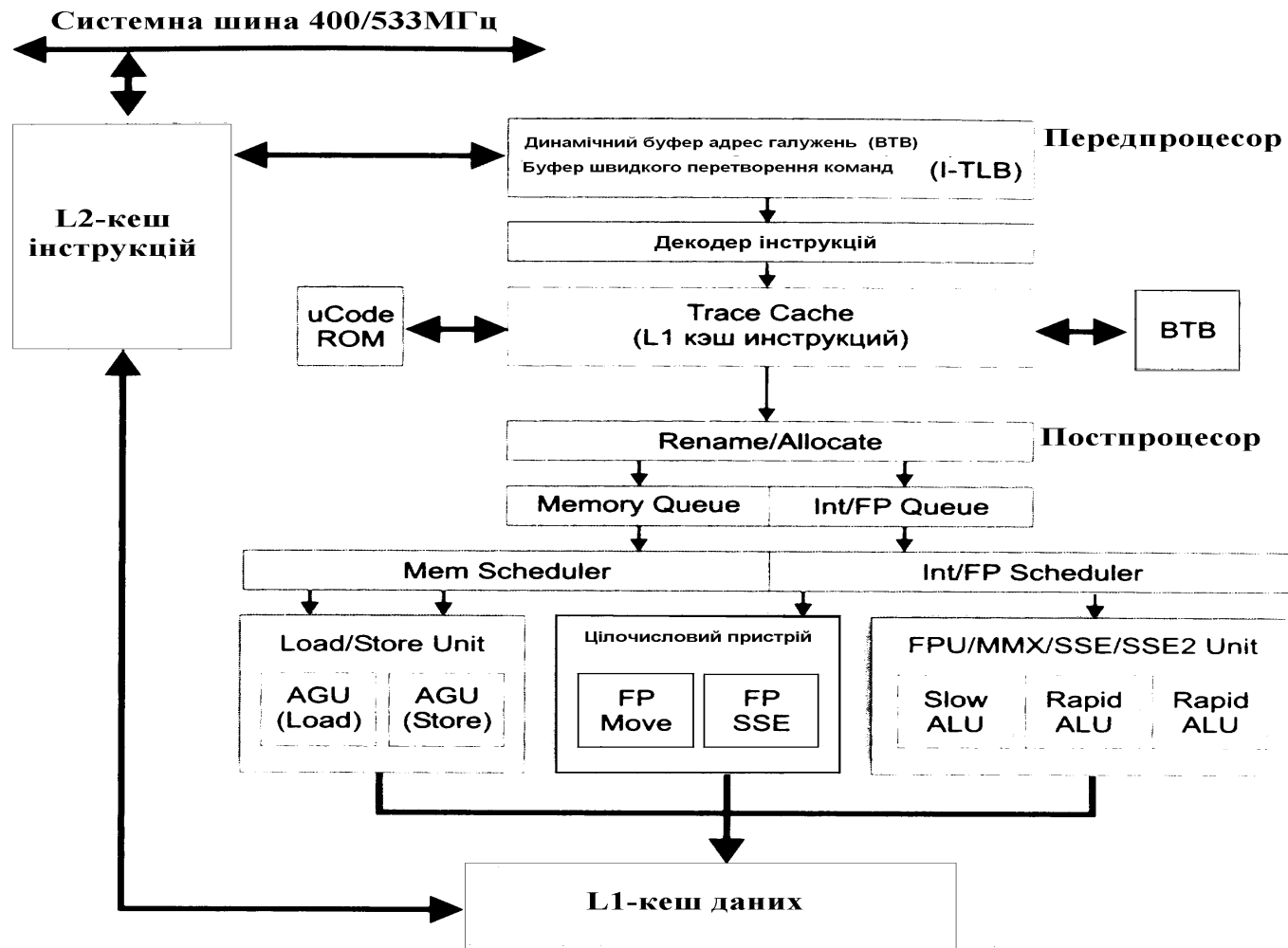


Рис.6.2. Структурна схема процесора Pentium IV.

Список літератури до теми

1. Гук М. Процессоры Intel: от 8086 до PentiumII.– СПб, 1997.
2. i486™ Processor programmer's reference manual. Intel Corporation, 1990.
3. Вишнер Ш. Что принес Pentium III? //ЧИП.– 1999.– №5.– С.60-62.
4. Колодницький М.М. Технічне та програмне забезпечення комп'ютерних інформаційних технологій.– Житомир, 1995.
5. <http://www.intel.com>.
6. <http://www.amd.com>.

Контрольні запитання до теми

1. Які головні відмінності між процесорами Pentium та PentiumPro?
2. Яка відмінність між скалярним і суперскалярним процесором?
3. Який може бути розмір сторінки у процесорі Pentium?
4. Чи підтримує процесор одночасну роботу зі сторінками і сегментами?
5. Що означає термін зондовий режим?
6. Яка розрядність зовнішньої шини даних?
7. З якого процесора розпочинається шосте покоління процесорів?
8. У чому полягає суть архітектури процесора Pentium II?
9. Як реалізовано трирівневий кеш у процесорі Pentium III?
10. Для чого застосовано внутрішнє помноження частоти у процесорі Pentium III?
11. У чому полягає суть мікроархітектури NetBurst?