

Перелік питань до Контрольної роботи №2 з курсу «Архітектура комп'ютерних систем»

1. Що називаємо виконавчою адресою?

Виконавчою адресою (ВА) операнда називають адресу всередині сегмента, яку процесор обчислює за певними правилами. ВА є переміщуваним 16-розрядним числом без знака, що забезпечує доступ до кожного байта сегмента.

2. Скільки і які компоненти використовують для формування виконавчої адреси у 16-розрядних процесорах?

3 компоненти. Поле Mod (від Mode – режим), поле Reg (від Register/Memory – регістр/пам'ять), поле Rm (від Register/Memory – регістр/пам'ять)

3. Скільки і які компоненти використовують для формування виконавчої адреси у 32-розрядних процесорах?

- Зміщення, База, Індекс, Масштаб
- 4

4. Назвіть компоненти логічної адреси?

Логічна адреса має дві складові: *базу сегмента* і *значення зміщення всередині сегмента*.

5. Назвіть режими адресування 16-розрядного процесора фірми Intel.

Процесор Intel 80286. Випущений у 1982 р., друге покоління 16-розрядних процесорів. Розширена

система команд. МП працює у двох режимах:

8086 Real Address Mode – режим реального адресування, повністю сумісний з 8086 (1 Мбайт);

Protected Virtual Address Mode – захищений режим віртуального адресування (16 Мбайт). Використання сторінкового механізму адресування дає змогу заадресувати 1 Гбайт віртуальної пам'яті кожної задачі.

6. Назвіть режими адресування 32-розрядного процесора фірми Intel.

У 1985 Intel випустила 32-бітний процесор 80386. З появою 32-розрядних процесорів 80386 фірми Intel процесори можуть працювати у трьох режимах: реальному, захищеному та віртуальному (емуляція режиму реальної адреси). (з нету)

Процесори можуть працювати у двох режимах: реального та захищеного віртуального адресування.

У реальному режимі процесор працює як дуже швидкий 8086, проте з 32-розрядним розширенням. Реальний режим також використовують для підготовки мікропроцесора до роботи в захищеному режимі. Віртуальний режим забезпечує доступ до дуже складного, сучасного способу керування

пам'яттю, а також для підкачування сторінок та інших можливостей мікропроцесора. (з його лекцій)

7. З яких компонент складається пристрій опрацювання 16-розрядного процесора і які функції він виконує?

Пристрій опрацювання (ПО) призначений для виконання операцій з опрацювання даних, і, він складається з

- МПК (мікропроцесорний пристрій керування);
- 16-розрядного арифметико-логічного пристрою (АЛП);
- восьми 16-розрядних регістрів загального призначення;
- регістра ознак.

Команди, вибрані пристроєм спряження з пам'яті через РЧК, надходять у МПК. Цей пристрій містить пам'ять мікрокоманд, декодує команди і виробляє послідовність мікрокоманд, що керує процесом опрацювання.

8. У який спосіб процесор опрацьовує рядки даних?

Рядкові команди, такі як MOVS (переслати рядок), CMPS (порівняти рядок), LODS (завантажити рядок), STOS (записати рядок) і SCAS (сканувати рядок) не використовують жодного з розглянутих типів адресації для вибору своїх операндів. Вміст індексних регістрів (SI і/або DI) використовують для безпосереднього визначення потрібної ділянки пам'яті. Регістр SI завжди використовують як вказівник першого байта чи слова рядка-джерела.

Регістр DI застосовують як вказівник першого байта чи слова рядка-отримувача.

Команда LODS пропонує використання регістра SI як вказівника джерела. Команди STOS і SCAS використовують регістр DI як вказівник отримувача. Команди MOVS і CMPS застосовують обидва регістри. Перемішувана адреса, яка є в регістрі DI, завжди стосується поточного додаткового сегмента. Для команд робіт з рядками даних можна визначити і префіксні команди, які дають змогу переприсвоювати сегмент даних (для команд LODS, MOVS і CMPS) чи додатковий сегмент (для команди SCAS) іншому сегменту, який міститься в будь-якій частині пам'яті 8086(88):

Під час виконання рядкової команди збільшення або зменшення вмісту регістрів SI чи DI визначене станом (нульовий чи одиничний) ознаки напряму. Залежно від того, з чим працює команда – з байтом чи з словом, – вміст індексних регістрів збільшується/зменшується, відповідно, на 1 чи 2.

9. Скільки є типів сегментів оперативної пам'яті і яких?

- 4
- МП має чотири регістри сегментів. Отже, одночасно виділяють чотири:
 - командний CS;
 - даних DS;
 - додатковий ES;
 - стековий SS.

10. Максимальний розмір сегмента? І в якому режимі?

У захищеному режимі кожний сегмент може мати розміри від одного

байта до всього лінійного і фізичного простору машини (до 4Гбайт). У режимі реального адресування максимальний розмір сегмента обмежений 64 Кбайтами.

11. Які мінімальні та максимальні розміри сторінки і сегмента 32-розрядного процесора?

Пам'ять може бути розбита на один або декілька сегментів різної довжини, які можуть бути перенесені на диск або розподілені між програмами, або ж організована в одну чи більше 4 Кбайтових сторінок.

Для використання системи віртуальної пам'яті 80386 підтримує повну відновлюваність для всіх помилок на сторінці і сегменті. Пам'ять може бути організована в один або більше сегментів різної довжини до 4 Гбайт.

12. Скільки рівнів захисту має 32-розрядний процесор?

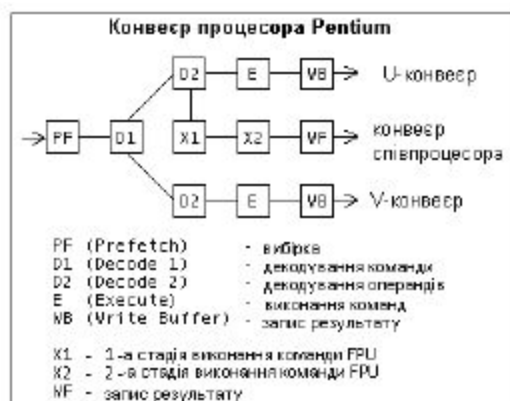
Серію 32-розрядних процесорів фірми Intel започаткував мікропроцесор Intel 80386. Ці процесори увібрали в себе всі властивості попередників, тобто 16-розрядних процесорів і забезпечили програмну сумісність з значним доробком програмного забезпечення, написаного для них. Процесори забезпечують чотирирівневу систему захисту пам'яті і введення/виведення, перемикання задач.

13. Яка відмінність між скалярним і суперскалярним процесором?

Скалярним називають процесор з єдиним конвеєром виконання команд (усі процесори Intel до 80486 включно).

Суперскалярний процесор має більше одного конвеєра (Pentium має 2, Pentium Pro – 3), які здатні опрацьовувати інструкції паралельно.

14. Назвіть головні стадії конвеєрів U та V мікропроцесора типу Pentium.



15. Який розмір віртуальної пам'яті можливий для використання програмістом у 32-розрядному процесорі?

Будь-яке завдання на 80386 може мати 16 381 сегмент, довжиною до 4 Гбайт

кожний, тобто забезпечує 64 Тбайти віртуальної пам'яті для кожної задачі.

16. Який розмір віртуальної пам'яті підтримують сучасні операційні системи у 32-розрядному та 64-розрядному процесорах?

Розмір віртуального адресного простору залежить від конкретної апаратної платформи. На 32-розрядних x86-системах теоретичний максимум для загального віртуального адресного простору складає 4 Гб. 64-розрядна надає процесам набагато більший адресний простір 8192 Гб на x64-системах.

17. Що таке дескриптор?

Дескриптори – це структури даних, які використовують для означення властивостей програмних елементів (сегментів, вентилів і таблиць). Дескриптор визначає положення елемента у пам'яті, розмір області, яку він займає (тобто межу), його призначення і характеристику захисту. Дескриптори 16- і 32-розрядних процесорів відрізняються розрядністю поля базової адреси (24 і 32 біти), а також трактуванням поля межі.

18. Для чого слугують біти D і P дескриптора?

Біт P (присутність) дорівнює 1, якщо сегмент завантажується у фізичну пам'ять. Якщо P=0, то будь-які спроби отримати доступ до сегмента викликають виняток неприсутності (виняток 2).

Біт D (Default Operation Size) визначає довжину замовчування для операндів і виконавчих адрес. Якщо D=1, то використовують 32-бітові операнди і 32-бітові режими адресування. Якщо D=0, то застосовуються 16-бітові операнди і 16-бітові режими адресування.

19. Який сегментний регістр за замовчанням використовується при посиланнях на дані, що знаходяться в стеці?

Посилання на дані в стеку застосовують регістр SS і регістр SP як зміщення, а вибирання команд – регістр CS.

20. Де зберігається селектор і що це таке?

Тридцятидворозрядний процесор має три різні адресні простори: логічний, лінійний і фізичний. Логічна адреса (її також називають віртуальною адресою) складається із селектора сегмента і зміщення. Селектор – це вміст сегментного регістра. Зміщення формується шляхом сумування всіх адресних компонентів (Бази, Індекса, Зміщення) у виконавчу адресу (тобто виконавча адреса визначена у будь-якому режимі адресування). У реальному режимі блок сегментації зсуває селектор ліворуч на 4 біти і додає сформовану в будь-якому режимі адресування ефективну адресу до зсуву для утворення лінійної адреси. В захищеному режимі кожний селектор має співвіднесену з ним лінійну базову адресу і зберігається в одній або двох таблицях операційної системи (тобто локальній таблиці дескриптора або глобальній таблиці дескриптора). Лінійну базову адресу селектора додають до зміщення для утворення кінцевої лінійної

адреси.

21. Який біт дескриптора і у який стан (0 чи 1) його потрібно задати, щоб сегмент був системним?

Біт S дескриптора сегмента визначає, чи є заданий сегмент системним сегментом коду, чи сегментом даних. Якщо S=1, то сегмент є або сегментом коду, або сегментом даних. Якщо S=0, то сегмент є системним.

22. Які головні відмінності між процесорами Pentium та PentiumPro?

Процесор Pentium Pro прийнято вважати за початок процесорів шостого покоління. З погляду виконання команд це покоління вирізняє наявність динамічного виконання, що передбачає виконання інструкцій всередині процесора не у тому порядку, як визначено у програмі. Фактично це поєднання методів передбачення розгалужень, аналізу проходження даних та віртуального виконання. Таке вирішення збільшує продуктивність не за рахунок збільшення тактової частоти, а внаслідок поліпшення архітектури процесора. Окрім цього, запроваджено ще низку вдосконалень:

- безпосередньо у корпус процесора заінтегровано синхронний кеш другого рівня (L2-кеш), який має обсяг 256-512 Кбайт (є і 1Мбайт) і приєднаний до внутрішньої шини;
- застосовано архітектуру подвійної незалежної шини. Системна шина призначена для спілкування ядра з основною пам'яттю та інтерфейсними пристроями, а інша – для обміну з вторинним кешом;
- система команд розширена інструкціями пересилання даних, що дає змогу зменшити кількість умовних переходів;
- поліпшено контроль за роботою шини та кешу;
- архітектура процесора та інтерфейс системної шини дають змогу об'єднати до чотирьох процесорів на одній шині у симетричну мультипроцесорну систему.

23. У чому полягає суть терміну «арифметика з насиченням» ?

Суть такої арифметики полягає у тому, що замість переповнення чи антипереповнення фіксується максимально чи мінімально можливе значення величини.

24. З якою метою у процесорі запроваджено розширення MMX?

Розширення MMX застосовують для організації мультимедійної роботи та опрацювання 2D і 3D-графічних файлів. Головна його ідея полягає у використанні технології ОКБД (див. тему 2).

У систему команд уведено 57 нових команд для одночасного опрацювання кількох одиниць даних. Для роботи застосовано нові типи упаковок 64-бітових даних, а саме: упаковані байти (вісім байт); упаковані слова (чотири слова); упаковані подвійні слова (два подвійних слова); почотверенне слово (одне слово).

Додаткові команди можна розділити на такі групи: арифметичні (+, -, x, +x); логічні (I, I-NE, АБО, АБО-НЕ); порівняння; перетворення форматів; зсуви; пересилання даних; очищення MMX (у слові тегів).

25. З якою метою у процесорі запроваджено розширення SSE?

Оригінальна архітектура AMD64 прийняла від Intel SSE і SSE2 в якості основних інструкцій. Ці набори інструкцій забезпечують векторний додаток до скалярних x87 FPU, для одинарної точності і типів даних з подвійною точністю. SSE2 також пропонує цілий набір операцій для типів даних, починаючи від 8bit до 64bit. Це робить векторні можливості архітектури на одному рівні з передовими свого часу процесорами x86. Ці інструкції можуть бути також використані в 32бітному режимі, що дозволяє покращення стандартів 32бітних додатків 32розрядної версії Windows 8. SSE3 інструкції та останні Streaming SIMD Extensions набори інструкцій не є стандартними особливостями архітектури.

26. Яка відмінність між перериваннями внутрішніми і зовнішніми?

зовнішні (апаратні) — події, які створені зовнішніми джерелами (наприклад, периферійними пристроями) та можуть відбутися в довільний момент

внутрішні — події в самому процесорі як результат порушення якихось умов при виконанні машинного коду

27. Які типи адресних просторів Ви знаєте?

великий віртуальний, великий фізичний, великий фізичний адресний простір в стандартному режимі,

28. Що означає віртуальний 8086-режим роботи 32-розрядного процесора?

Віртуальний режим забезпечує доступ до дуже складного, сучасного способу керування пам'яттю, а також для підкачування сторінок та інших можливостей мікропроцесора. У віртуальному режимі програмне забезпечення процесора може розв'язувати задачі за ступенем складності такі ж, як у 8086 і 80286. Цей режим дає змогу виконувати програмне забезпечення та прикладні програми 8086 одночасно з операційною системою та прикладним забезпеченням 32-розрядного процесора.

Віртуальні задачі 32-розрядних МП можуть бути захищені одна від іншої та операційної системи шляхом використання заміщення сторінок, емуляції команд уведення-виведення.

29. Які біти і у яких регістрах відповідають за вмикання сторінкового режиму доступу до пам'яті? Механізм вмикають заданням біта PG=1 у регістрі CR0. Базовий регістр дескриптора підкачування CR2 є регістром лінійної адреси помилки підкачування. Він містить 32-бітову лінійну адресу, яка викликає визначення помилки в останній сторінці.

30. Як працює механізм посторінкової організації пам'яті? На відміну від сегментації, яка організовує програми і дані у модулі різного розміру, підкачування ділить програмні модулі на численні сторінки одного і того ж розміру. Підкачування

прямо не стосується логічної структури програми чи даних, водночас селектори сегмента можна розглядати як логічні імена модулів програми або структури даних. Сторінка звичайно відповідає частині модуля або структури даних. З огляду на переваги локальності коду і посилання на дані в оперативній пам'яті у кожний певний момент часу необхідно тримати лише невелику кількість сторінок з кожної активної задачі

31. Чи підтримує 32-розрядний процесор одночасну роботу зі сторінками і сегментами? Так

32. Як обчислюється фізична адреса при наявності сторінкового поділу?

Кожна таблиця сторінки має розмір 4 Кбайти і містить до 1 Кбайта елементів. Елементи таблиці сторінки містять базову фізичну адресу й атрибути самих сторінок. Індексом пошуку у таблиці одного з елементів використовують біти лінійної адреси A12-A21. Фізична адреса формується з адреси сторінки, яку беруть з таблиці, й молодших 12 бітів лінійної адреси (див. рис. 5.19).

33. Якого розміру сторінка може бути у процесорі Pentium? 4 мбайт

34. Для чого потрібен біт позначки "сторінка знаходиться в пам'яті"? Якщо $P=1$ в елементі таблиці сторінки, то сторінка міститься в пам'яті, і процесор поновить біти доступу A і D. Якщо $P=0$, то незалежно від того, де він дорівнює нулю, чи в елементі таблиці сторінки чи в елементі вказівника сторінки, мікропроцесор генеруватиме помилку сторінки (Виняток 14), опрацювання якого спричинить завантаження сторінки у пам'ять.

35. Розмір операнда в реальному режимі? 16 біт

36. Що означає термін «зондовий режим»?

Реалізовано нові додаткові засоби налагодження: зондовий режим (*Probe Mode*), що забезпечує доступ до внутрішніх регістрів, ПВВ і системної пам'яті процесора. Цей режим дає змогу перевіряти і змінювати стан процесора за допомогою засобів налагодження програм з можливостями, подібними до можливостей внутрішньосхемних емуляторів;

37. За якими адресами (молодшими чи старшими) зберігається байт молодшого порядку у подвійному слові? Адреса деякої ділянки пам'яті яка розглядається як слова рівна адресі молодшого байту.

38. Що означає увімкнення 14-го біта регістра ознак (вкладення задач) в «1»?

NT - ознака вкладеності задача. Увімкнення 14-го біта регістра ознак означає, що дана задача є вкладеною відносно іншої

NT — этот флаг устанавливается, когда текущая задача «вложена» в другую, прерванную задачу, и сегмент состояния TSS текущей задачи обеспечивает обратную связь с TSS предыдущей задачи. Флаг NT проверяется инструкцией IRET для определения типа

возврата — межзадачного или внутризадачного

39. Які головні відмінності між 32 та 16-розрядними мікропроцесорами ?

32-розрядні мають розширену систему команд. найціннішим є те, що у цих процесорах значно відсунуто верхню межу адресування оперативної пам'яті. Процесори можуть працювати у двох режимах:

реального та захищеного віртуального адресування. Він складається з центрального процесора, блока керування пам'яттю та шини інтерфейсу.

Характерною рисою 16 розр процесорів є те, що вони зорієнтовані на паралельне виконання команд і вибирання з пам'яті. Тобто є дві

частини, що працюють асинхронно: спряження з магістраллю і опрацювання даних чи команд. складається Пристрою спряження з магістраллю, пристрою опрацювання, регістрів загального призначення, сегментних регістри, адреси команд і ознак.

40. Які категорії регістрів доступні програмісту у 32-розрядному процесорі?

- 1) регістри загального призначення; 2) регістри сегментування;
- 3) регістр ознак; 4) регістри керування; 5) регістри системної адреси;
- 6) регістр тестів; 7) регістр відлагоджування.

41. Для чого потрібен регістр TR?

Для звертання до сегмента стану задачі TSS.

42. Скільки 8-бітових портів може мати 32-розрядний процесор? 64К

43. Скільки 16-бітових портів може мати 32-розрядний процесор? 32К

44. Яка відмінність між перериванням і винятком?

Відмінності між перериванням і винятком полягає в тому, що переривання опрацьовують асинхронні зовнішні умови, тоді як винятки - помилки команд. Хоч переривання n програма може виконати через прогрма INT n, однак процесор розглядає програмне переривання, як виняток

45. З якою метою переривання поділяють за пріоритетами? Оскільки переривання розпізнають тільки на межах команд (тобто тоді, коли одна

команда закінчується, а інша починається), то можливо, що активними одночасно можуть бути кілька переривань. У випадку одночасних переривань вони опрацьовуватимуться згідно з таким пріоритетом...

46. Які регістри зберігаються у стеку перед опрацюванням переривання? регістр ознак, регістр команд, сегментний регістр коду

47. Що являє собою таблиця векторів переривань в захищеному режимі?

Як вона називається? таблиця дескрипторів переривань(IDT); містить дескриптори переривань, які відображ. адреси 256 векторів переривань.Вказівники на їх поточні знач. збережені у реєстрі IDTP

48. Для чого потрібні GDT і LDT? Де зберігаються покажчики на їх поточні значення? Таблиця глобального дескриптора (GDT) містить дескриптори, доступні для всіх задач у системі. У GDT може бути будь-який тип дескриптора сегмента, крім дескрипторів, які використовують для обслуговування переривань (тобто дескриптори переривання і пастки). GDT є в кожній системі. Звичайно GDT містить код і сегменти даних, які використовують операційні системи, сегменти стану задач і дескриптори для LDT в системі. Перше гніздо GDT відповідає нульовому селектору, його не застосовують.

Таблиця локального дескриптора (LDT) містить дескриптори, які асоціюються (співвідносяться) з заданою задачею. Звичайно, операційні системи створені так, щоб кожне завдання мало окрему LDT. LDT може містити тільки код, дані, стек, вентиль (логічний елемент) задач і дескриптори вентиля виклику. Таблиці LDT забезпечують механізм для ізоляції коду і сегмента даних заданої задачі від решти операційної системи, тоді як GDT містить дескриптори, загальні для всіх задач. Завдання не може отримати доступу до сегмента, якщо його дескриптора сегмента нема в одній з поточних LDT або GDT. Це забезпечує ізоляцію і захист для сегмента задачі, даючи змогу водночас розділяти глобальні дані між завданнями. На відміну від 6-байтових реєстрів GDT або IDT, які містять базові адреси і межі, видима частина реєстра LDT містить тільки 16-бітовий селектор, по якому з GDT автоматично завантажуються програмно недоступні поля базової адреси та сегмента.Таблиці LDT створюються за необхідності.

49. Як можна змінити рівень привілеїв?

Зміна рівня привілеїв виконується тільки внаслідок передавання керування з використанням вентилів включення задачі і переривання або вентилів пасток.

50. Скільки і які компоненти використовують для формування логічної адреси у 32-розрядному процесорі?

Логічна адреса (її також називають віртуальною адресою) складається із селектора сегмента і зміщення. Селектор – це вміст сегментного реєстра. Зміщення формується шляхом сумування всіх адресних компонентів (Бази, Індекса, Зміщення) у виконавчу адресу (тобто виконавча адреса визначена у будь-якому режимі адресування).

Оскільки кожне завдання 32-розрядного процесора має максимально 16К (2¹⁴ - 1) селекторів, а зміщення можуть бути 4 Гбайти (2³² біт), то це дає повністю 2⁴⁶ біт або 64 Тбайти логічного адресного простору на задачу.

51. У який спосіб 32-розрядний процесор забезпечує 64 Тбайти пам'яті на

задачу? Будь-яке завдання на мікропроцесорі Intel80386 може мати 16 381 сегмент, довжиною до 4 Гбайт кожний, тобто забезпечує 64 Тбайти віртуальної пам'яті для кожної задачі.

52. Як влаштована кеш-пам'ять процесора?

Система кеш-пам'яті процесора складається з двох блоків - контролера кеш-пам'яті і власне самої кеш-пам'яті.

Контролер кеш-пам'яті - цей пристрій, який керує вмістом кеша, отриманням необхідної інформації з оперативної пам'яті, передачею її процесору, а також поверненням в оперативну пам'ять результатів обчислень.

Коли ядро процесора звертається до контролера за якимиись даними, той перевіряє, чи є ці дані в кеш-пам'яті. Якщо це так, ядру вмиль віддається інформація з кеша (відбувається так зване *кеш-попадання*).

Інакше ядру доводиться чекати надходження даних з повільної оперативної пам'яті. Ситуація, коли в кеші не виявляється потрібних даних, називається *кеш-промахом*.

Завдання контролера - зробити так, щоб кеш-промахи відбувалися якомога рідше, а в ідеалі - щоб їх не було взагалі.

Розмір кеша процесора у порівнянні з розміром оперативної пам'яті дуже малий. У ньому може знаходитися лише копія крихітної частини даних, які зберігаються в оперативній пам'яті. Але, не дивлячись на це, контролер допускає кеш-промахи не часто.

53. Як реалізовано трирівневий кеш у процесорах Intel ?

У процесорі кеш організовано як двопортову з оберненим записом розділену кеш-пам'ять першого рівня L1 ємністю 64 Кбайт (по 32 Кбайти на команди і дані), другого рівня L2 ємністю 256 Кбайт, яка заінтегрована у одному кристалі з ядром, і L3, яка розташована на материнській платі. Процесор містить 21,3 млн транзисторів на кристалі площею 118 мм² і споживає струм 12,4 А з напругою живлення 2,4 В.

54. Яка відмінність між прямим та асоціативним типами КЕШ-пам'яті? Кеш прямого відображення передбачає, що адреса пам'яті, за якою відбувається звернення до кеша, однозначно визначає рядок кеша, де може знаходитись відповідний блок. Кеш цього типу застосовується у вторинному кеші більшості системних плат сучасних ПЕОМ. У цьому типі архітектури легко обчислити ємність кешованої основної пам'яті $M_{\text{кеш}}$

$$M_{\text{кеш}} = V_c * 2^n,$$

де V_c – ємність кеш-пам'яті, n – розрядність пам'яті тегів.

У повністю асоціативному кеші будь-який його рядок може відображати будь-який блок основної пам'яті. Зреалізований для обмеженого числа кешів першого рівня.

55. Як реалізовано набірно-асоціативний тип КЕШ-пам'яті?

Набірно-асоціативний кеш містить кілька паралельних і погоджено працюючих каналів прямого відображення. Ця архітектура широко застосовується для первинного кешу сучасних ПЕОМ. Ємність кешованої пам'яті визначається так само, як і у випадку прямого відображення, однак тут розрахунок ведеться для одного блоку а не всього кешу.

56. Який тип адреси визначає положення даних у кеш-пам'яті?

Дескриптори – це структури даних, які використовують для означення властивостей програмних елементів (сегментів, вентилів і таблиць). Дескриптор визначає положення елемента у пам'яті, розмір області, яку він займає (тобто межу), його призначення і характеристику захисту.

57. Як працює механізм LRU?

LRU (Least Recently Used – той, що використовувався найдавніше).

Алгоритм псевдо LRU: біти LRU оновлюються під час кожного "потрапляння" в КП або заповнення рядка. Біти достовірності в разі очищення КП дорівнюють нулю. Якщо у циклі виявиться "промах" в КП і потрібно передати з пам'яті певний рядок, то для заповнення буде вибрано один з чотирьох рядків множини. Якщо у множині є недостовірний рядок, то власне він і заповниться. Якщо ж усі рядки достовірні, то замінюваний рядок буде вибрано за допомогою бітів з LRU.

Схема вибору заміни рядка. Якщо всі рядки в множині достовірні, то вибір рядка для заміни відбувається за такою схемою:

B0 B1 B2

0 0 x змінюється рядок L0

0 1 x змінюється рядок L1

1 x 0 змінюється рядок L2

1 x 1 змінюється рядок L3

Модифікація бітів LRU відбувається так:

якщо останнє звертання в множині було до рядка L0 або L1, то біт B0 =1, а в разі звернення до рядка L2 або L3 біт B0=0;

якщо останнє звернення в парі L0-L1 було до рядка L0, то B1=1, а в разі звернення до L1 – B1=0;

якщо останнє звернення в парі L2-L3 було до рядка L2, то B2=1, а в разі звернення до L3 – B2=0.

58. З якого процесора розпочинається шосте покоління процесорів?

Від процесора Pentium Pro.

59. Для чого застосовано внутрішнє помноження частоти у процесорі Pentium III?

У процесорах другого покоління застосовано внутрішнє помноження частоти: інтерфейсні схеми зовнішньої системної шини працюють на частотах 50, 60 або 66,66 МГц, а ядро процесора – на вищій частоті (75, 90, 100, 120, 133, 150, 166, 180 і 200 МГц). Поділ частот дає змогу реалізувати досягнення технології виготовлення процесорів, які суттєво випереджають можливості підвищення продуктивності пам'яті та інших традиційних компонентів комп'ютера. Коефіцієнт множення (1,5, 2,0, 2,5 чи 3,0) задано комбінацією рівнів сигналів на входах BF0, BF1 у межах, які дозволені специфікацією тактової частоти процесора. Незалежність задання зовнішньої частоти і коефіцієнта множення дає змогу одну і ту ж внутрішню частоту задавати різними способами. Наприклад, 100 МГц можна отримати як 502 і як 66,661,5. У загальному випадку ліпше застосовувати останній варіант, оскільки при цьому шина PCI (Peripheral Component Interconnect bus) буде працювати на частоті 33, а не 25 МГц.

60. У чому полягає суть мікроархітектури NetBurst?

- застосовано технологію Hyper Pipelined (гіперконвеєр), тобто подвоєно до 20 етапів довжину конвеєра;
- подвоєно, порівняно з ядром процесора, тактову частоту роботи арифметико-логічних блоків. Це дозволяє процесору виконувати деякі команди за половину такту, а цілочислові операції виконувати з подвоєною швидкістю;
- вдосконалено системну шину (400 МГц), яка втричі швидша від шини процесора Pentium III. Швидкість передавання даних між процесором Pentium IV і контролером пам'яті досягає 3,2 Гбайт/с;
- кеш-пам'ять процесора має 64-байтовий доступ (попередні процесори мали 32-байтовий доступ). У кеші першого рівня зберігають декодовані команди (приблизно 12000 мікрокоманд), що помітно поліпшує швидкодію кешу й збільшує ефективність його використання. Pentium IV містить кеш другого рівня ємністю 256 Кбайт та швидкістю передавання даних 48 Гбіт/с;
- вдосконалено систему динамічного виконання команд та покращено схеми передбачення розгалужень у програмі;
- додано 144 нових SIMD команди (128-розрядних), які дозволяють суттєво пришвидшити роботу різних програм.

61. Які мінімальні та максимальні розміри сторінки і сегмента 32-розрядного процесора? **65536 байт**

62. Який розмір пам'яті введення/виведення і за допомогою яких команд реалізовано ввід/вивід у процесорах Intel? **IN і OUT, розмір 64 КБ**

63. Який біт дескриптора і у який стан (0 чи 1) його потрібно задати, щоб

дескриптор був системним? Старший біт(C) є системним(C=0) і користувацьким(C=1).

64. Якого розміру сторінка може бути у процесорі Pentium? 4 мб

65. Які головні відмінності між 32 та 64-розрядними мікропроцесорами ?

Суть 64-розрядної архітектури одна і та ж: розрядність основних внутрішніх регістрів 64-бітових процесорів подвоїлася (з 32 до 64 біт), а 32-бітові команди x86-кода отримали 64-бітові аналоги. Крім того, за рахунок розширення розрядності шини адрес обсяг пам'яті, що адресується процесором, істотно збільшився.

x86-64 (також відомий як **x64**, **x86_64** та **amd64**) є 64-бітний варіант набору інструкцій x86. Він підтримує значно більшу кількість (теоретично, 2^{64} байт або 16 exbibytes) віртуальної пам'яті і фізичної пам'яті, порівняно з 32-розрядними попередниками. x86-64 має також 64-бітові регістри загального призначення і інші численні удосконалення.

Основною визначальною характеристикою AMD64 є наявність 64-бітових регістрів загального призначення (наприклад, RAX і RBX), арифметичних і логічних операцій над 64-бітними числами, а також 64-бітових віртуальних адрес.

66. У чому полягає суть архітектури процесора POWER?

Мікропроцесорна RISC-архітектура, створена в 1991 році альянсом компаній Apple-IBM-Motorola, відомим як *AIM*. Архітектура визнана найуспішнішою при застосуванні в персональних комп'ютерах Apple Macintosh з 1994 до 2006, коли Apple перейшла на процесори Intel. Новітній двоядерний серверний процесор IBM Power6 містить 790 млн. транзисторів і працює на частоті 4,7 ГГц - найвищий в галузі. Велика кількість транзисторів Tukwila призначена для зберігання інформації, тобто відіграє роль кеш-пам'яті.

67. Які процесори використовують для побудови комп'ютерних комплексів на базі Apple Macintosh? Xeon E5 v2, Core i3 (2-core), Core i7 CULV (2-core)

68. Назвіть головні характеристики архітектури AMD64.

Основною визначальною характеристикою AMD64 є наявність 64-бітових регістрів загального призначення (наприклад, RAX і RBX), арифметичних і логічних операцій над 64-бітними числами, а також 64-бітових віртуальних адрес.

69. Назвіть головні відмінності між архітектурами AMD64 та Intel 64.

Intel 64 в BSF і BSR інструкціях (Bit Scan Forward) діє по-іншому, ніж AMD64-х, коли джерела дорівнюють нулю, і розмір операнда дорівнює 32 біт. Процесор встановлює ознаку нуля і залишає верхні 32 бітів призначення не визначеними.

AMD64 має інший формат оновлення мікрокоду та контролю MSR (модель-специфічних регістрів), тоді як Intel 64 знаряддя поновлення мікрокоду змінив тільки порівняно з

32-бітними процесорами.

Intel 64 не вистачає деяких MSRs, які вважаються архітектурними в AMD64. Вони включають в себе SYSCFG, TOP_MEM і TOP_MEM2.

Intel 64 дозволяє SYSCALL / SYSRET тільки в 64-бітному режимі (не в режимі сумісності), і дозволяє SYSENTER / SYSEXIT в обох режимах. AMD64 не вистачає SYSENTER / SYSEXIT в обох підрежимах тривалого режиму .

У 64-бітному режимі префікс 66h (префікс розміру операнда) веде себе по-різному. Intel 64 ігнорує цей префікс, а AMD64 використовує 16-бітовий зсув поля в інструкції, і очищає верхні 48 біт вказівника інструкцій.

Процесори AMD мають кращі можливості виконання команд з плаваючою комою. Невірний виняток

при виконанні FLD або FSTP з 80-бітами сигналізує NaN, в той час як процесори Intel цього не мають.

У Intel 64 відсутня можливість збереження і відновлення режиму з плаваючою комою (залучення

FXSAVE і FXRSTOR інструкцій).

Останні процесори AMD64 знову мають обмежену підтримку сегментації, через довгий режим (LMSLE

70. Назвіть як повно підтримують архітектуру x86-64 різні операційні системи та релізи.

BSD

DragonFly

Попередня робота з інфраструктурою була розпочата в лютому 2004 року на x8664 порту. Цей розвиток пізніше зайшов у глухий кут. Розвиток продовжено знову протягом липня 2007 [50] і тривав протягом 2008 і 2009 року. Перший офіційний реліз, що містить x8664 підтримку, була версія 2.4.

FreeBSD

вперше додав x8664 підтримку під назвою "amd64" в якості експериментальної архітектури в 5.1 релізі, в червні 2003 року був включений в якості стандартної архітектури розподілу, 5.2 реліз, в січні 2004 року. З тих пір, FreeBSD призначив його в якості Рівня 1 платформи. В даний час ведеться робота по включенню більш повно x86 бінарного інтерфейсу додатків (ABI).

NetBSD

Вперше зроблено спробу підтримки x8664 архітектури до NetBSD дерева вихідних текстів 19 червня 2001. NetBSD 2.0, випущена 9 грудня 2004, NetBSD / amd64 це повністю інтегрована і підтримується порт. 32бітний код і раніше підтримувався в 64бітному режимі, а з NetBSD 32розрядні ядра сумісні для 32бітних системних викликів. NX біт використовується для забезпечення не виконуваних стека і купи з кожної сторінки деталізації (сегмент деталізації використовується в 32бітній x86).

OpenBSD

OpenBSD підтримує AMD64 з OpenBSD 3.5, що вийшла 1 травня 2004. Розробники OpenBSD взяли до платформи підтримку біта NX , що дозволило легко здійснити W ^ X функції. Код для порту AMD64 в OpenBSD також працює на Intel 64 процесорах, які містять клоноване використання розширень AMD64; У Intel 64 Процесорах додано NX під назвою "XD біт". Симетрична багатопроцесорна обробка (SMP) працює на порту AMD64 OpenBSD, починаючи з випуску 3.6 (2004).

DOS

Можна ввести довгий режим під DOS без подовжувача DOS, але користувач повинен повернутися в реальний режим для того, щоб викликати BIOS або DOS переривання. Він також може бути можливим у довгому режимі з подовжувачем DOS , аналогічно DOS / 4GW , але більш складний, тому що x8664 не вистачає віртуального режиму 8086

Linux

Linux був першим ядром операційної системи для запуску архітектури x8664 в тривалому режимі , починаючи з версії 2.4 у 2001 році

OS X

Mac OS X 10.4.7 і більшість нових версій Mac OS X v10.4 запускають 64бітові утиліти командного рядка, використовуючи POSIX (Portable Operating System Interface for uniX) і математичні бібліотеки на 64розрядних машинах на базі Intel, як і всі версії Mac OS X v10.4 і 10,5 запускали їх на 64бітних PowerPC машинах. Ніякі інші бібліотеки або рамки не працюють з 64бітними додатками на Mac OS X v10.4. Mac OS X v10.5 підтримує 64розрядні додатки з графічним інтерфейсом при використанні Cocoa, Quartz , OpenGL і X11 на 64розрядних машинах на базі Intel, а також на 64бітних PowerPC машин. Всі бібліотеки неGUI також підтримують 64розрядні додатки на цих платформах. Ядро і всі розширення ядра, 32розрядна Версія. Mac OS X 10.6 є перший варіант OS X, який підтримує 64бітне ядро. Однак, не всі 64бітові комп'ютери можуть запускати 64бітне ядро, і не всі 64бітові комп'ютери, які можуть запустити 64бітне ядро будуть робити це за замовчуванням. 64бітне ядро, як 32 бітне ядро, підтримує 32розрядні додатки; обидва ядра підтримують 64розрядні додатки. 32розрядні додатки мають обмеження віртуального адресного простору в 4 ГБ під будь ядром. OS X v10.8 включає в себе тільки 64бітне ядро, але як і раніше підтримує 32розрядні додатки. OS X використовує універсальний бінарний формат для упаковки 32 і 64розрядних версій додатків і бібліотек в одному файлі; найбільш підходящий варіант вибирається автоматично під час завантаження. У Mac OS X 10.6, універсальний двійковий формат також використовується для ядра і для тих розширень ядра, які підтримують як 32розрядні, так і 64бітові ядра.

Solaris

Solaris 10 і пізніших версій підтримує архітектуру x8664. Для ОС Solaris 10, так само, як у SPARC архітектурі, є тільки образ системи з експлуатації, в якому міститься 32розрядне ядро і 64розрядне ядро; це помічені як "64 / x86" DVDROM зображення. За замовчуванням завантажується 64бітне ядро, що дозволяє для запуску як 64розрядні і існуючі або нові 32бітові виконувані файли. 32бітне ядро також може бути обране вручну, і в цьому випадку будуть працювати тільки 32бітові виконувані файли. ISAInfo команда може бути використана для визначення, якщо система працює в 64бітовому ядрі. Для ОС Solaris 11 надається тільки 64бітне ядро . Тим не менш, 64бітне ядро підтримує як 32, так і 64розрядні виконувані файли, бібліотеки та системні виклики.

Windows

64розрядні випуски клієнта Microsoft Windows і server Windows XP Professional x64 Edition і Windows Server 2003 x64 Edition випущені в березні 2005 року. Windows Vista , яка також має багато різних видань, була випущена в січні 2007 року. Windows 7 була випущена в липні 2009 року . Windows Server 2008 R2 і пізніші версії доступна в якості тільки. x64 версії .

1. Симетричні багатоядерні системи.

SMP-системи (Symmetrical Multi Processor systems). Всі процесори мають цілком рівноправний доступом до загальної оперативної пам'яті

2. Неоднорідні багатоядерні системи.

NUMA-системи (Non-Uniform Memory Access systems). Пам'ять стає «неоднорідною»: одна її частина працює «швидше», інша — «повільніше». У системі утворюються своєрідні «острівці» зі своєю, швидкою «локальною» оперативною пам'яттю, з'єднані повільними лініями зв'язку. Звернення до «своїєї» пам'яті відбуваються швидко, до «чужої» - повільніше, причому, чим «далі» чужа пам'ять розташована, то повільніший до неї доступ

3. Кластерні вирішення проблем багатопроцесорності.

Багатопроцесорні системи з гнучким зв'язком (Loosely-coupled multiprocessor systems), часто звані кластерами, засновані на множинних автономних одиночних або подвійних комп'ютерах, зв'язаних через високошвидкісну систему зв'язку (наприклад, Gigabit Ethernet). Кластер Беовульфа під управлінням Linux — приклад гнучко зв'язаної системи.

4. У чому полягає головна відмінність між процесорами Intel Core і Intel

Core 2?

На відміну від Intel Core в Intel Core 2 є EM64T (підтримка архітектури AMD64), технологія підтримки віртуальних x86 машин (en), NX-біт і набір інструкцій SSE3. Крім того, вперше реалізовані такі технології: LaGrande Technology, вдосконалена технологія SpeedStep і Active Management Technology (iAMT2).

5. У чому суть архітектури Nehalem?

Мікропроцесори на основі Nehalem використовують більш високі тактові частоти і є більш енергоефективними, ніж Penryn мікропроцесори. Знову вводиться Hyper-threading, поряд зі зниженням обсягу кеш-пам'яті L2, а також збільшенням кеш-пам'яті L3, що є загальним для всіх ядер.

6. Що головне вирізняє процесорні мікроархітектури Sandy Bridge, Ivy Bridge, Haswell, Broadwell, Skylake? техпроцес(32-22-22-14-14), енергоефективність, чіпсет.

Sandy Bridge: техпроцес 32nm, енергоефективність <130Вт

Ivy Bridge: техпроцес 22nm, енергоефективність <77Вт, чіпсет Panther Point.

Haswell: техпроцес 22nm, енергоефективність <90Вт, чіпсет Intel 8.

Broadwell: техпроцес 14nm, енергоефективність <65Вт, чіпсет Intel 9.

Skylake: техпроцес 14nm, енергоефективність <65Вт, Lynx Point, Widcat Point.