

Projeto MIPS Multiciclo

Hélio Santana da Silva Júnior - 140142959

December 2018

1 Introdução

O *MIPS* é um arquitetura *RISC* (*Reduced Instruction Set Computer*) que significa em inglês, *Microprocessor without Interlocked Pipelines* (Microprocessador sem Estágios Interligados de Pipeline) desenvolvida pela *MIPS Computer Systems*. A arquitetura tem um barramento de 32 *bits* tendo uma expansão recente para 64 *bits*. Existem três principais formas de implementar um processador MIPS: Uniciclo, Multiciclo e *Pipeline*. Na implementação uniciclo todas as instruções são executadas em apenas um ciclo de *clock*, a duração do ciclo será o valor mínimo de duração da instrução mais lenta. Deste modo algumas instruções que poderiam ser executadas em períodos mais curtos de *clock* acabam esperando ociosamente, atrasando a execução. Para melhorar essa implementação foi desenvolvido o *MIPS* multiciclo, que executa as instruções em mais de um ciclo de *clock*. Desta forma, instruções que precisam de menos ciclos de *clock* não perdem tempo de execução como na arquitetura uniciclo.

1.1 MIPS Multiciclo

Na implementação multiciclo cada instrução levará uma quantidade de ciclos de *clock*, onde a duração mínima do período do *clock* é calculada em relação a etapa mais lenta. Neste caso é o *Load Word*. Deste modo não existe tempo ocioso entre as instruções o que é uma grande vantagem do multiciclo. A quantidade de *hardware* é reduzida em relação a outras implementações. O caminho de dados foi baseado no livro do *Patterson* (1).

1.2 Objetivos

O Objetivo do trabalho é implementar as seguintes instruções na implementação disponibilizada:

- *ORi* (Operação Lógica OR com Imediato);
- *ANDi* (Operação Lógica AND com Imediato);
- *SLL* (Deslocamento lógico à esquerda);

- ## 2 Implementação

The diagram illustrates the data path of the ARMv8-M architecture. It shows the flow of data from input registers (byte, half, word) through the memory (Mem) and the ALU. The ALU performs operations on the data from the registers. The output of the ALU is then sent to the output registers (byte, half, word).

Em relação as operações lógicas adicionadas, foram realizadas as implementações no controle do projeto, e dentro da ULA foram adicionadas as novas funções, fazedo o tratamento necessario das flags de controle. Multiplexadores e Demultiplexadores foram adicionados ao projeto para implementação das novas funções de acesso a memória.

3 Conclusão

2

References

- [1] Paterson, D., *Computer Organization and Design*, 1995, 978-0124077263, Elsevier