
第8章 割り込みコントローラ

8.1 概要

FIQ, IRQ の双方をサポートし、IRQ 割り込みでは割り込みアドレス・レジスタ (HVA) により、ARM CPU にベクタ・アドレスを提供します。専用のベクタ割り込み端子を利用したインタフェースも可能で、HVA レジスタを介するよりも高速な割り込み応答が可能です。

16 レベルの優先レベル制御、割り込み検出タイプの選択をサポートしています。

割り込み要因本数
64 本

補足 JL-086A では FIQ を使用しないこととします。詳細は、3.2.1 TCM の使用に関する注意点をご参照ください。

8.1.1 特徴

本割り込みコントローラの特徴を表 8-1 に示します。

削除: 表 8-1

削除: 表 8-1

表 8-1 本割り込みコントローラの特徴

項 目	機 能
搭載マクロ名	NBPFAHB32VIC64
割り込み要因数	64
IRQ 割り込み	FIQ 以外すべての割り込みを IRQ 割り込みに割り当て可能 ベクタ・アドレスを ARM CPU コアへ供給 優先レベルに従った、多重割り込みに対応
マスク機能	あり
ソフトウェア割り込み	あり
特権モード	あり
レジスタ・アクセス	AHB バス・アクセス
割り込み検出	・ レベル (ハイ・レベル／ロー・レベル) ・ エッジ (立ち上がり／立ち下がり／両エッジ)
割り込み優先レベル	16 段階
割り込み優先レベル・マスク	16 段階
割り込み優先レベル制御	割り込み優先レベルと割り込み優先レベル・マスク・レジスタ (PRLM) により選択可 割り込み優先レベルが同じ場合、ベクタ番号の小さい方が優先
スタンバイ対応	CPU の Wait for interrupt に対応させるため、スタンバイ時も本割り込みコントローラにはクロック (HCLK) を供給してください。
ベクタ割り込み端子	あり
カスケード接続	なし

備考 HCLK : AHB バス・クロック入力

8.1.2 サポートしている AHB 転送

AHB バス・アクセスに対する、本割り込みコントローラの動作を以下に示します。

(a) AHB バス・アクセスのレスポンス

本割り込みコントローラのレジスタ・アクセスを行ったときの、AHB バス・アクセスに対するレスポンスを表 8-2 に示します。

削除: 表 8-2

削除: 表 8-2

表8-2 AHB バス・アクセスに対するレスポンス

HTRANS[1:0]	HSIZE[2:0]	HPROT1	応答	説 明
IDLE (00)	—	—	OKAY	
BUSY (01)	—	—	OKAY	
NONSEQ (10)	010	0 (ユーザ)	OKAY /ERROR	特権モードでのアクセスのみ許可されている場合 (UEN レジスタの UE = 0 の場合)、ERROR で応答します。 特権モード/ユーザ・モードでのアクセスが許可されている場合 (UEN レジスタの UE = 1 の場合)、OKAY で応答し、32 ビットのリード/ライトは正常に行えます。
		1 (特権)	OKAY	32 ビットのリード/ライトは正常に行えます。
	010 以外	—	ERROR	HSIZE が 32 ビット以外を示す場合、ERROR で応答します。
SEQ (11)	010	0 (ユーザ)	OKAY /ERROR	特権モードでのアクセスのみ許可されている場合 (UEN レジスタの UE = 0 の場合)、ERROR で応答します。 特権モード/ユーザ・モードでのアクセスが許可されている場合 (UEN レジスタの UE = 1 の場合)、OKAY で応答し、32 ビットのリード/ライトは正常に行えます。
		1 (特権)	OKAY	32 ビットのリード/ライトは正常に行えます。
	010 以外	—	ERROR	HSIZE が 32 ビット以外を示す場合、ERROR で応答します。

(b) レスポンスの種類

本割り込みコントローラのレジスタ・アクセスを行ったときの、AHB バス・アクセスに対するレスポンスの種類を表 8-3 に示します。

削除: 表 8-3

削除: 表 8-3

表8-3 レスポンスの種類

種 類	発 行	備 考
SPLIT	しない	SPLIT は発行しません。
ERROR	する	対応しない転送方式でアクセスされた場合、およびアクセス・モード (特権モード/ユーザ・モード) 違反発生時に ERROR で応答します。
RETRY	しない	RETRY は発行しません。

書式変更: タブ位置: 5.67 字, リスト
タブ

8.2 割り込み端子一覧

JL-086A では、以下の割り込み信号を割り込みコントローラに接続いたします。
※JL-086A では FIQ 機能を使用しません。

表 8-4 割り込み端子一覧(1/3)

信号名	発生源	INTC 接続 No.	Default 優先順位	同期 クロック	備考
INTUDL0	UDL	0	0	PCLK	
INTUDL1	UDL	1	1	PCLK	
INTUDL2	UDL	2	2	PCLK	
INTUDL3	UDL	3	3	PCLK	
INTUDL4	UDL	4	4	PCLK	
INTUDL5	UDL	5	5	PCLK	
INTUDL6	UDL	6	6	PCLK	
INTUDL7	UDL	7	7	PCLK	
INTPZ0	外部端子	10	30	PCLK	同期化、NF 必要
INTPZ1	外部端子	11	31	PCLK	同期化、NF 必要
INTPZ2	外部端子	12	32	PCLK	同期化、NF 必要
INTPZ3	外部端子	13	33	PCLK	同期化、NF 必要
INTTAUJ210	TAUJ2 チャンネル 0	14	34	PCLK	
INTTAUJ211	TAUJ2 チャンネル 1	15	35	PCLK	
INTTAUJ212	TAUJ2 チャンネル 2	16	36	PCLK	
INTTAUJ213	TAUJ2 チャンネル 3	17	37	PCLK	
INTTM0	APB-SS タイマ 0	18	38	TIM_CLK	
INTTM1	APB-SS タイマ 1	19	39	TIM_CLK	
INTTM2	APB-SS タイマ 2	20	40	TIM_CLK	
INTTM3	APB-SS タイマ 3	21	41	TIM_CLK	
INTDMAERR	DMA-SS TYPE-AXI	22	25	ACLK	
INTDMA0	DMA-SS TYPE-AXI	23	26	ACLK	
INTDMA1	DMA-SS TYPE-AXI	24	27	ACLK	
INTDMA2	DMA-SS TYPE-AXI	25	28	ACLK	
INTDMA3	DMA-SS TYPE-AXI	26	29	ACLK	

表 8-5 割り込み端子一覧(2/3)

信号名	発生源	INTC 接続 No.	Default 優先順位	同期 クロック	備考
CSI_INT	APB-SS CSIQ	27	42	PCLK	
UART_INT	APB-SS UART	28	43	PCLK	
IIC_INT	APB-SS I2C	29	44	IIC_CLK	
BUS_ERRINT0	BUS-SS	30	45	ACLK	
BUS_ERRINT1	BUS-SS	31	46	ACLK	
INTETH	GbEther-SS	32	24	ACLK	
INTAD	APB-SS ADC	33	47	PCLK	
INTU2H	USB ホスト BRIDGE	34	17	HCLK	
INTU2HOHCI	USB ホスト OHCI	35	18	HCLK	
INTU2EHCI	USB ホスト EHCI	36	19	HCLK	
INTU2HPME	USB ホスト PME	37	20	HCLK	
INTU2F	USB ファンクション BRIDGE	38	21	HCLK	
INTU2FEPC	USB ファンクション EPC	39	22	HCLK	
PCle_INTA_RC	PCle INTA	40	8	HCLK	
PCle_INTB_RC	PCle INTB	41	9	HCLK	
PCle_INTC_RC	PCle INTC	42	10	HCLK	
PCle_INTD_RC	PCle INTD	43	11	HCLK	
PCle_INTMSI_RC	PCle MSI	44	12	HCLK	
PCle_MSG_INT	PCle メッセージ	45	13	HCLK	
PCle_PCIE_ERR_INT	PCle PCIE Error	46	14	HCLK	
PCle_AXI_ERR_INT	PCle AXI Error	47	15	HCLK	
PCle_INTALL	PCle PCIE 割り込み 論理和	48	16	HCLK	
SFMEMC_INT	MEM-SS TYPE-SROM	49	23	HCLK	

削除: .
.
.
.

表の書式変更

削除: DMAC .
接続

削除: CSIO

削除: ○

削除: UART

削除: —

削除: I2C

削除: —

削除: —

削除: —

削除: —

削除: ADC

削除: ○

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: —

削除: .

削除: Serial Flash .
メモリ・コントローラ

削除: —

表 8-6 割り込み端子一覧(3/3)

信号名	発生源	INTC 接続 No.	Default 優先順位	同期 クロック	備考
BUS_ERRINT2	BUS-SS (AXIIC2 と APBBUS 間の AXIAHB)	50	48	HCLK	
BUS_ERRINT3	BUS-SS (AHBIC と AXIIC1 間の AHBAXI)	51	49	HCLK	
BUS_ERRINT4	BUS-SS (CoreSight と AXIIC1 間の AHBAXI)	52	50	HCLK	
INTETH_AXI	GbEther-SS (AXI 割り込み)	53	51	HCLK	
CPUSS_FPIXC	CPU-SS FPU 不正確例外	54	52	CPUCK	
CPUSS_FPOFC	CPU-SS FPU オーバーフロー例外	55	53	CPUCK	
CPUSS_FPUFC	CPU-SS FPU アンダーフロー例外	56	54	CPUCK	
CPUSS_FPIOC	CPU-SS FPU 無効演算例外	57	55	CPUCK	
CPUSS_FPDZC	CPU-SS FPU ゼロ除算例外	58	56	CPUCK	
CPUSS_FPIDC	CPU-SS FPU 入力非正規例外	59	57	CPUCK	
CPUSS_TRIGINT	CPU-SS CTI からの クロストリガ割り込み出力	60	58	CPUCK	
PCISS_GPO[0]	PCle-SS General purpose Output レジスタ出力	61	59	ACLK	

削除: .

.
. .
. .
. .
. .
. .

削除: .

.
.

書式変更: 中央揃え

削除: DMAC .

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

書式変更: フォント : 太字, 組み文字

書式変更: 中央揃え

削除: -

8.3 レジスタ

8.3.1 レジスタ一覧

本割り込みコントローラのレジスタ一覧を表 8-7 に示します。

配置アドレスは、本割り込みコントローラが配置されているベース・アドレスからのオフセット・アドレスで表現しています。

表 8-7 レジスタ一覧 (1/2)

アドレス	レジスタ名称	略 号	R/W	初期値
EFFD_F000H- EFFD_F004H	IRQ ステータス・レジスタ 0-1 _↓ (irq status register)	IRQS0-IRQS1 _↓	R	0000_0000H
EFFD_F008H- EFFD_F01FH	Reserved 注 1	—	—	—
EFFD_F020H- EFFD_F024H	FIQ ステータス・レジスタ 0-1 _↓ (fiq status register) 注 2	FIQS0-FIQS1 _↓	R	0000_0000H
EFFD_F028H- EFFD_F03FH	Reserved 注 1	—	—	—
EFFD_F040F- EFFD_F044H	割り込み入力ステータス・レジスタ 0-1 _↓ (raw interrupt status register)	RAIS0-RAIS1 _↓	R	0000_0000H
EFFD_F048H- EFFD_F05FH	Reserved 注 1	—	—	—
EFFD_F060H- EFFD_F064H	IRQ/FIQ 割り込み選択レジスタ 0-1 _↓ (interrupt select register)	ISL0-ISL1 _↓	R/W	0000_0000H
EFFD_F064H- EFFD_F07FH	Reserved 注 1	—	—	—
EFFD_F080H- EFFD_F084H	割り込みイネーブル・レジスタ 0-1 _↓ (interrupt enable register)	IEN0-IEN1 _↓	R/W	0000_0000H
EFFD_F088H- EFFD_F09FH	Reserved 注 1	—	—	—
EFFD_F0A0H- EFFD_F0A4H	割り込みイネーブル・クリア・レジスタ 0-1 _↓ (interrupt enable clear register)	IEC0-IEC1 _↓	W	0000_0000H
EFFD_F0A8H- EFFD_F0BFH	Reserved 注 1	—	—	—
EFFD_F0C0H- EFFD_F0C4H	ソフトウェア割り込みレジスタ 0-1 _↓ (software interrupt register)	SWI0-SWI1 _↓	R/W	0000_0000H
EFFD_F0C8H- EFFD_F0DFH	Reserved 注 1	—	—	—
EFFD_F0E0H- EFFD_F0E4H	ソフトウェア割り込みクリア・レジスタ 0-1 _↓ (software interrupt clear register)	SWC0-SWC1 _↓	W	0000_0000H
EFFD_F0E8H- EFFD_F0FFH	Reserved 注 1	—	—	—
EFFD_F100H- EFFD_F104H	割り込み検出タイプ選択レジスタ 0-1 _↓ (pulse select register)	PLS0-PLS1 _↓	R/W	0000_0000H
EFFD_F118H- EFFD_F11FH	Reserved 注 1	—	—	—
EFFD_F120H- EFFD_F124H	エッジ検出ビット・クリア・レジスタ 0-1 _↓ (pulse interrupt clear register)	PIC0-PIC1 _↓	W	0000_0000H
EFFD_F128H- EFFD_F13FH	Reserved 注 1	—	—	—
EFFD_F140H- EFFD_F14CH	割り込みエッジ・コントロール・レジスタ 0-3 _↓ (edge control register)	EDGC0-EDGC3 _↓	R/W	5555_5555H
EFFD_F150H- EFFD_F17FH	Reserved 注 1	—	—	—
EFFD_F180H- EFFD_F18CH	割り込みレベル・コントロール・レジスタ 0-3 _↓ (level control register)	LVLC0-LVLC3 _↓	R/W	5555_5555H
EFFD_F190H- EFFD_F1BFH	Reserved 注 1	—	—	—

注 1. ライトは無視され、リードは 0000_0000H が読み出されます。

削除: 表 8-7

削除: 表 8-7 表 8-7

書式変更

削除: 8-7

削除: 3

削除: 3

削除: C

削除: 10

削除: 3

削除: 3

削除: C

削除: 30

削除:

削除: 3

削除: 3

削除: ...44C

削除: 50

削除:

削除: 3

削除: 3

削除: C

削除: 70

削除:

削除: 3

削除: 3

削除: ...8C

削除: 90

削除: 3

削除: 3

削除: C

削除: B0

削除: 3

削除: 3

削除: C

削除: D0

削除: 3

削除: 3

削除: C

削除: F0

削除: 3

削除: 3

削除: C

削除: 0

削除: 3

削除: 3

削除: C

削除: 30

削除: 7

削除: 7

削除: 5

削除: 6

表 8-8 レジスタ一覧 (2/2)

アドレス	レジスタ名称	略 号	R/W	初期値
EFFD_F1C0H	割り込み優先レベル・マスク・レジスタ (priority level mask register)	PRLM	R/W	0000_0000H
EFFD_F1C4H	割り込み優先レベル・マスク・クリア・レジスタ (priority level mask clear register)	PRLC	W	0000_0000H
EFFD_F1C8H	ユーザ・モード・イネーブル・レジスタ (usermode enable register)	UEN	R/W	0000_0001H
EFFD_F1CCH- EFFD_F1FFH	Reserved 注1	—	—	—
EFFD_F200H	割り込みアドレス・レジスタ (high priority vector address register)	HVA	R/W	0000_0000H
EFFD_F204H- EFFD_F20FH	Reserved 注1	—	—	—
EFFD_F210H- EFFD_F214H	割り込みサービス・ステータス・レジスタ 0-1 (interrupt service status register)	ISS0-ISS1	R	0000_0000H
EFFD_F218H- EFFD_F22FH	Reserved 注1	—	—	—
EFFD_F230H- EFFD_F234H	割り込みサービス・カレント・レジスタ 0-1 (interrupt service current register)	ISC0-ISC1	R	0000_0000H
EFFD_F238H- EFFD_F3FFH	Reserved 注1	—	—	—
EFFD_F400H- EFFD_F4FCH	割り込みアドレス格納レジスタ 0-63 (vector address register)	VAD0-VAD63	R/W	0000_0000H
EFFD_F500H- EFFD_F7FFH	Reserved 注1	—	—	—
EFFD_F800H- EFFD_F8FCH	割り込み優先レベル格納レジスタ 0-63 (priority level register)	PRL0-PRL63	R/W	0000_0000H
EFFD_F900H- EFFD_FBFFH	Reserved 注1	—	—	—
EFFD_FC00H	テスト・モード選択レジスタ (test mode control register)	TCR	R/W	0000_0000H
EFFD_FC04H	テスト・モード割り込み入力制御レジスタ (test mode interrupt input control register)	TICR	R/W	0000_0000H
EFFD_FC08H	テスト・モード割り込みアドレス制御レジスタ (test mode address input control register)	TACR	R/W	0000_0000H
EFFD_FC0CH	割り込み要求ステータス・レジスタ (interrupt output status register)	IOS	R	0000_0000H
EFFD_FC10H	割り込みアドレス・ステータス・レジスタ (vector address output status register)	VAOS	R	0000_0000H

注 1. ライトは無視され、リードは 0000_0000H が読み出されます。

2. JL-086A では、FIQ 機能を使用しません。

削除: 3

削除: 3

削除: C

削除: 20

削除: 3

削除: 3

削除: C

削除: 40

削除: 127

削除: 127

削除: 5

削除: 6

削除: 127

削除: 127

削除: 9

削除: A

削除: 注 2

削除: 注 3

削除: 初期値は、nIRQIN, FIQIN 端子の設定で決まります。

削除: 3.

削除: 初期値は、VADIN[31:0]端子の設定で決まります。

削除: 改ページ

削除: 表8-9. 本割り込みコントローラの追加 Reserved 領域。
NBPFAHB32VIC64

8.3.2 レジスタ相關図

本割り込みコントローラのレジスタ相關図を 図 8-1 に示します。

削除: 図 8-1

削除: 図 8-2

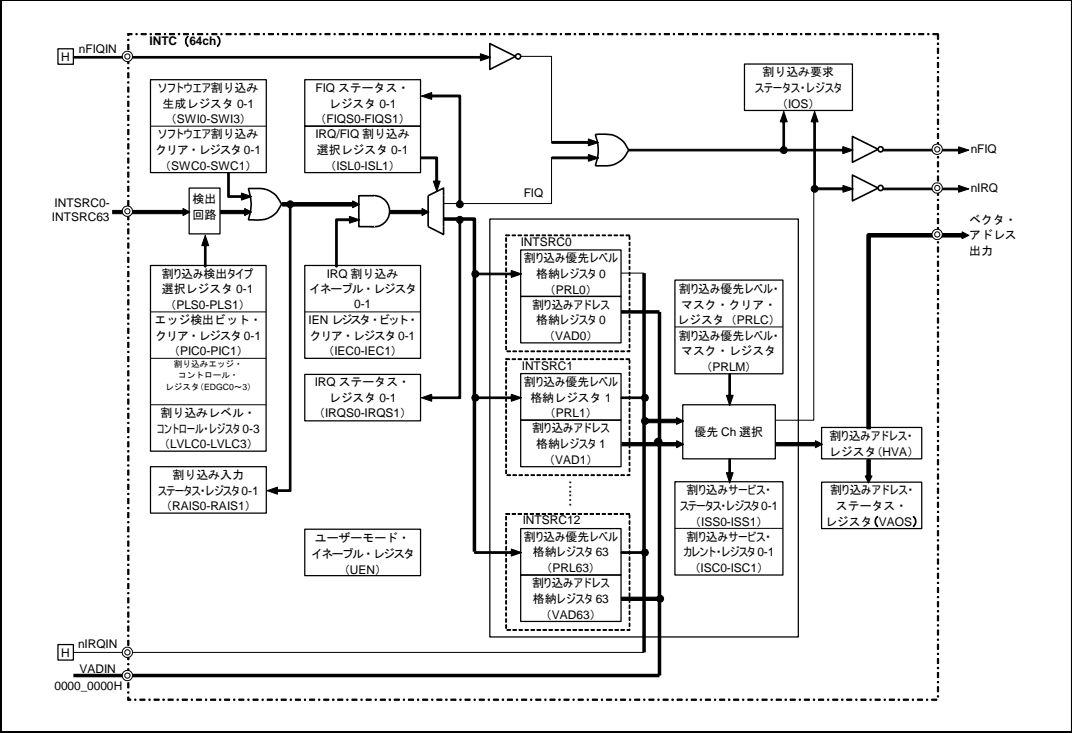


図 8-1 レジスタ相關図

削除: 12

8.3.3 レジスタ機能説明

本割り込みコントローラのレジスタを操作するときには、以下の点に注意してください。

(1) 初期化について

リセット解除の時点では、本割り込みコントローラは割り込み優先レベルの設定などのレジスタが動作可能な状態になっていません。必ず「8.4.1レジスタ初期化手順」に従い、初期化してください。

以下のレジスタをライトする際には、必ず「8.4.1レジスタ初期化手順」または、「8.4.2レジスタ書き換え手順」に従ってください。

- ISL (IRQ／FIQ 割り込み選択レジスタ)
- IEC (割り込みイネーブル・クリア・レジスタ)
- PLS (割り込み検出タイプ選択レジスタ)
- EDGC (割り込みエッジ・コントロール・レジスタ)
- LVLC (割り込みレベル・コントロール・レジスタ)
- PRLM (割り込み優先レベル・マスク・レジスタ)
- VAD (割り込みアドレス格納レジスタ)
- PRL (割り込み優先レベル格納レジスタ)
- TCR (テスト・モード選択レジスタ)

(2) Reserved 領域等へのリード／ライト

Reserved 領域へのライトは無視され、リードは 0 が読み出されます。
ライトのみ可能なレジスタへのリードは 0 が読み出されます。

書式変更: フォント : 太字

削除: 8.5.1レジスタ初期化手順レジスタ初期化手順

書式変更: フォント : MS ゴシック

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント : (英) MS ゴシック, (日) MS ゴシック

削除: 8.5.1レジスタ初期化手順レジスタ初期化手順

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント : 太字

書式変更: フォント : MS ゴシック

削除: 8.5.2レジスタ書き換え手順レジスタ書き換え手順

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

削除: 3

削除: 3

削除: 3

削除: 3

8.3.3.1 IRQ ステータス・レジスタ 0-1 (IRQS0-IRQS1)

IRQS0-IRQS1レジスタは、IRQ マスク後の割り込みステータスを示します。

IRQS0-IRQS1レジスタは、32 ビット単位でリードのみ可能です。

IRQS0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	000H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	0000_0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
IRQS1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	004H
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	IRQ	0000_0000H
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット位置	ビット名		意 味														
各 31-0	IRQ63-IRQ0		IEN レジスタと ISL レジスタによるマスク後の割り込みのステータスを示します。														
			0 : IRQ 割り込み要求なし														
			1 : IRQ 割り込み要求あり														

削除: .

31

削除: 127

備考 1. 関連レジスタ ... IEN レジスタ : 8.3.3.5, ISL レジスタ : 8.3.3.4 参照

削除: 8.3.3.58.4.3.5

削除: 8.3.3.48.4.3.4

削除: 上記は NBPFAHB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。 .

NBPFAHB32VIC96 : IRQS0-IRQS2,

NBPFAHB32VIC64 : IRQS0, IRQS1,

NBPFAHB32VIC32 : IRQS0 .

JL-086A では、NBPFAHB32VIC64 を搭載しています。

削除: 2.

削除: 関連レジスタ ... IEN レジスタ : 8.4.3.58.4.3.5, ISL レジスタ : 8.4.3.48.4.3.4 参照

8.3.3.2 FIQ ステータス・レジスタ 0-1 (FIQS0-FIQS1)

FIQS0-FIQS1レジスタは、FIQ マスク後の割り込みステータスを示します。
FIQS0-FIQS1レジスタは、32 ビット単位でリードのみ可能です。

FIQS0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	FIQ 31	FIQ 30	FIQ 29	FIQ 28	FIQ 27	FIQ 26	FIQ 25	FIQ 24	FIQ 23	FIQ 22	FIQ 21	FIQ 20	FIQ 19	FIQ 18	FIQ 17	FIQ 16	020H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	FIQ 15	FIQ 14	FIQ 13	FIQ 12	FIQ 11	FIQ 10	FIQ 9	FIQ 8	FIQ 7	FIQ 6	FIQ 5	FIQ 4	FIQ 3	FIQ 2	FIQ 1	FIQ 0	0000_0000H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
FIQS1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	FIQ 63	FIQ 62	FIQ 61	FIQ 60	FIQ 59	FIQ 58	FIQ 57	FIQ 56	FIQ 55	FIQ 54	FIQ 53	FIQ 52	FIQ 51	FIQ 50	FIQ 49	FIQ 48	024H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	FIQ 47	FIQ 46	FIQ 45	FIQ 44	FIQ 43	FIQ 42	FIQ 41	FIQ 40	FIQ 39	FIQ 38	FIQ 37	FIQ 36	FIQ 35	FIQ 34	FIQ 33	FIQ 32	0000_0000H
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット位置	ビット名	意 味															
各 31-0	FIQ63 FIQ0	IEN レジスタと ISL レジスタによるマスク後の割り込みのステータスを示します。 0 : FIQ 割り込み要求なし 1 : FIQ 割り込み要求あり															

備考 1. 関連レジスタ ... IEN レジスタ : 8.3.3.5, ISL レジスタ : 8.3.3.4 参照
2. JL-086A では、FIQ 機能を使用しません。

削除: 3
削除: 3
削除: 3
削除: IRQ
削除: 3

削除: .
31
削除: 127

削除: .
備考 1.
削除: 8.3.3.58.4.3.5
削除: 8.3.3.48.4.3.4

削除: 3

削除: 3

削除: 3

削除: 3

8.3.3.3 割り込み入力ステータス・レジスタ 0-1 (RAIS0-RAIS1)

RAIS0-RAIS1レジスタは、マスク前の INTSRC 入力、ソフトウェア割り込み入力のステータスを示します。
RAIS0-RAIS1レジスタは、32 ビット単位でリードのみ可能です。

RAIS0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	040H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	0000_0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
RAIS1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	044H
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	RAI	0000_0000H
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット位置		ビット名		意 味													
各 31-0		RAI63 RAIO		マスク前の割り込み要求の入力およびソフトウェア割り込み入力のステータスを示します。 0 : 割り込み要求なし 1 : 割り込み要求あり													

削除: -
31

削除: 127

備考 1. 関連レジスタ ... IEN レジスタ : 8.3.3.5, ISS レジスタ : 8.3.3.17, 参照

削除: 8.3.3.58.4.3.5

削除: 8.3.3.178.4.3.17

削除: 上記は NBPFAHB32VIC128 の場合で
す。その他のマクロは以下のレジスタを内
蔵しています。・
NBPFAHB32VIC96 : RAIS0-RAIS2,
NBPFAHB32VIC64 : RAIS0, RAIS1,
NBPFAHB32VIC32 : RAIS0 .
JL-086A では、NBPFAHB32VIC64 を搭載
しています。

削除: 2.

書式変更: フォント : (英) Times New
Roman, (日) MS 明朝

8.3.3.4 IRQ／FIQ 割り込み選択レジスタ 0-1 (ISL0-ISL1)

ISL0-ISL1レジスタは、対応する割り込み要因がFIQ割り込みを発生するか、IRQ割り込みを発生するかを選択します。FIQ割り込みは、ISL0-ISL1のうち1ビットのみを割り当ててください。

ISL0-ISL1レジスタは、32ビット単位でリード／ライト可能です。

削除: 3

削除: 3

削除: 3

削除: 3

削除: 3

ISL0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	060H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	0000_0000H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ISL1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	064H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	ISL	0000_0000H
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット位置	ビット名	意 味															
各 31-0	ISL63 ISL0	割り込みソースをFIQ割り込みとIRQ割り込みから選択します。▼ 1 : FIQ 割り込み(設定禁止) 0 : IRQ 割り込み															

削除: -

31

削除: 127

削除: (設定禁止)

備考 1. 関連レジスタ ... EDGC レジスタ : 8.3.3.11, LVLC レジスタ : 8.3.3.12 参照
2. JL-086A では、FIQ 機能を使用しません。

削除: 8.3.3.118.4.3.11

削除: 8.3.3.128.4.3.12

削除: 上記は NBPFAHB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。
NBPFAHB32VIC96 : ISL0-ISL2,
NBPFAHB32VIC64 : ISL0, ISL1,
NBPFAHB32VIC32 : ISL0 .
JL-086A では、NBPFAHB32VIC64 を搭載しています。

削除: 関連レジスタ ... EDGC レジスタ : 8.4.3.11, LVLC レジスタ : 8.4.3.12 参照

8.3.3.5 割り込みイネーブル・レジスタ 0-1 (IEN0-IEN1)

IEN0-IEN1レジスタは、FIQ および IRQ 割り込みの許可／マスクを選択します。リセット時は、すべての割り込み要求はマスクされています。

このレジスタは、ビットをセット（1）すると、クリア（0）はできません。クリアは割り込みイネーブル・クリア・レジスタ 0-1 (IEC0-IEC1) で行ってください。

IEN0-IEN1レジスタは、32 ビット単位でリード／ライト可能です。

IEN0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	080H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	0000_0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
IEN1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	084H
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	IEN	0000_0000H
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット位置	ビット名		意 味														
各 31-0	IEN63 IEN0		割り込み要求の許可設定を行います。一度許可に設定すると IEN0-IEN1レジスタではマスクすることはできません。マスクは、IEC0-IEC1レジスタで行ってください。 0 : 割り込みマスク（ディスエーブル）状態 1 : 割り込み許可（イネーブル）状態														

備考 1. 関連レジスタ ... IEC レジスタ : 8.3.3.6, ISS レジスタ : 8.3.3.17, 参照
2. JL-086A では、FIQ 機能を使用しません。

削除: 3

削除: 3

削除: 3

削除: 3

削除: 3

削除: 3

削除: .
31

削除: 127

削除: 3

削除: 3

削除: 8.3.3.68.4.3.6

削除: 8.3.3.178.4.3.17

削除: .
備考 1.

8.3.3.6 割り込みイネーブル・クリア・レジスタ 0-1 (IEC0-IEC1)

IEC0-IEC1レジスタは、IEN0-IEN1レジスタのビットをクリアし、該当する割り込み要求をマスク（ディスエーブル）状態に設定します。

IEC0-IEC1レジスタは、32 ビット単位でライトのみ可能です。

IEC0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	IEC 31	IEC 30	IEC 29	IEC 28	IEC 27	IEC 26	IEC 25	IEC 24	IEC 23	IEC 22	IEC 21	IEC 20	IEC 19	IEC 18	IEC 17	IEC 16	0A0H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEC 15	IEC 14	IEC 13	IEC 12	IEC 11	IEC 10	IEC 9	IEC 8	IEC 7	IEC 6	IEC 5	IEC 4	IEC 3	IEC 2	IEC 1	IEC 0	0000_0000H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
IEC1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	IEC 63	IEC 62	IEC 61	IEC 60	IEC 59	IEC 58	IEC 57	IEC 56	IEC 55	IEC 54	IEC 53	IEC 52	IEC 51	IEC 50	IEC 49	IEC 48	0A4H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEC 47	IEC 46	IEC 45	IEC 44	IEC 43	IEC 42	IEC 41	IEC 40	IEC 39	IEC 38	IEC 37	IEC 36	IEC 35	IEC 34	IEC 33	IEC 32	0000_0000H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
ビット位置	ビット名		意 味														
各 31-0	IEC63-IEC0		割り込み要求のマスク（ディスエーブル）設定を行います。あるビットをセット（1）すると、IENレジスタの同ビットがクリア（0）され、その割り込み要求はマスク（ディスエーブル）状態になります。 0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IEN レジスタの該当ビットをクリア（0）														

備考 1. 関連レジスタ ... IEN レジスタ : 8.3.3.5 参照

削除: 3

削除: 3

削除: 3

削除: 3

削除: 3

削除: -
31

削除: 127

削除: 8.3.3.58.4.3.5

削除: 上記は NBPFAHB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。
NBPFAHB32VIC96 : IEC0-IEC2,
NBPFAHB32VIC64 : IEC0, IEC1,
NBPFAHB32VIC32 : IEC0 .
JL-086A では、NBPFAHB32VIC64 を搭載しています。

削除: 2.

8.3.3.7 ソフトウェア割り込みレジスタ 0-1 (SWIO-SWI1)

SWIO-SWI1レジスタは、ソフトウェア割り込みの生成に使用します。
SWIO-SWI1レジスタは、32 ビット単位でリード／ライト可能です。

SWIO	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	0C0H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	0000_0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
SWI1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	0C4H
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	SWI	0000_0000H
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット位置	ビット名	意 味															
各 31-0	SWI63 SWIO	ビットをセット（1）することで、ソフトウェア割り込みを生成します。割り込みをマスクした場合は、割り込みは発生しません。一度セット（1）すると、SWIO-SWI1レジスタではクリア（0）できません。SWC0-SWC1の同ビットをセット（1）するとSWIO-SWI1の該当ビットがクリア（0）されます。 クリア（0）した場合は、何も変わりません。 セット（1）した場合は、対応するソフトウェア割り込みが生成されます。															

備考 1. 関連レジスタ ... SWC レジスタ : 8.3.3.8 参照

削除: 3
削除: 3
削除: 3
削除: 3

削除: .
31
削除: 127
削除: 2
削除: クリアする場合は、
削除: 2
削除: 2
削除: を

削除: 8.3.3.88.4.3.8
削除: 上記は NBPFAHB32VIC128 の場合で
す。その他のマクロは以下のレジスタを内
蔵しています。 .
NBPFAHB32VIC96 : SWIO-SWI2,
NBPFAHB32VIC64 : SWIO, SWI1,
NBPFAHB32VIC32 : SWIO .
JL-086A では、NBPFAHB32VIC64 を搭載
しています。
削除: 2.

8.3.3.8 ソフトウェア割り込みクリア・レジスタ 0-1 (SWC0-SWC1)

SWC0-SWC1レジスタは、SWI0-SWI1レジスタのビットをクリア (0) します。
SWC0-SWC1レジスタは、32 ビット単位でライトのみ可能です。

SWC0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	0E0H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	0000_0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
SWC1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	0E4H
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	SWC	0000_0000H
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意 味
各 31-0	SWC63- SWC0	ソフトウェア割り込み要求のクリア (0) を行います。あるビットをセット (1) すると、SWI レジスタの同ビットがクリア (0) され、そのソフトウェア割り込み要求はクリア (0) されます。 0 : 何も変わりません。 1 : ソフトウェア割り込みをクリア (SWI0-SWI1レジスタの該当ビットをクリア (0)) 。

備考 1. 関連レジスタ ... SWI レジスタ : 8.3.3.7, 参照

削除: 3
削除: 3
削除: 3
削除: 3
削除: 3

削除: .
31
削除: 127
削除: ★
削除: 3

削除: 8.3.3.78.4.3.7
削除: 上記は NBPFAHB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。
NBPFAHB32VIC96 : SWC0-SWC2,
NBPFAHB32VIC64 : SWC0, SWC1,
NBPFAHB32VIC32 : SWC0 .
JL-086A では、NBPFAHB32VIC64 を搭載しています。
削除: 2.

8.3.3.9 割り込み検出タイプ選択レジスタ 0-1 (PLS0-PLS1)

PLS0-PLS1レジスタは、割り込み入力ごとのエッジ検出／レベル検出を選択するレジスタです。

PLS0-PLS1レジスタは、32ビット単位でリード／ライト可能です。

削除: 3

削除: 3

削除: 3

削除: 3

PLS0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	100H
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	0000_0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PLS1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	104H
	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	PLS	0000_0000H
	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット位置		ビット名		意 味													
各 31-0		PLS63		割り込み入力の検出タイプを選択します。													
		PLS0		PLS63-PLS0 に INTSRC63-INTSRC0 が対応します。													
				0 : レベル検出を行います 1 : エッジ検出を行います													

削除: .
31

削除: 122

削除: 127

削除: 127

備考 1. 関連レジスタ ... EDGC レジスタ : 8.3.3.11, LVLC レジスタ : 8.3.3.12, 参照

削除: 8.3.3.118.4.3.11

削除: 8.3.3.128.4.3.12

削除: 上記は NBPFAHB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。 .
NBPFAHB32VIC96 : PLS0-PLS2,
NBPFAHB32VIC64 : PLS0, PLS1,
NBPFAHB32VIC32 : PLS0 .
JL-086A では、NBPFAHB32VIC64 を搭載しています。

削除: 2.

削除: 3

削除: 3

削除: 3

削除: 3

8.3.3.10 エッジ検出ビット・クリア・レジスタ 0-1 (PIC0-PIC1)

本割り込みコントローラでエッジ検出を行った場合、割り込み入力ビットごとの割り込みを保持します。
PIC0-PIC1レジスタは、エッジ検出を行った割り込み入力ビットのエッジ検出をクリア (0) します。
PIC0-PIC1レジスタは、32 ビット単位でライトのみ可能です。

PIC0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	PIC 31	PIC 30	PIC 29	PIC 28	PIC 27	PIC 26	PIC 25	PIC 24	PIC 23	PIC 22	PIC 21	PIC 20	PIC 19	PIC 18	PIC 17	PIC 16	120H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PIC 15	PIC 14	PIC 13	PIC 12	PIC 11	PIC 10	PIC 9	PIC 8	PIC 7	PIC 6	PIC 5	PIC 4	PIC 3	PIC 2	PIC 1	PIC 0	0000_0000H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
PIC1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	PIC 63	PIC 62	PIC 61	PIC 60	PIC 59	PIC 58	PIC 57	PIC 56	PIC 55	PIC 54	PIC 53	PIC 52	PIC 51	PIC 50	PIC 49	PIC 48	124H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PIC 47	PIC 46	PIC 45	PIC 44	PIC 43	PIC 42	PIC 41	PIC 40	PIC 39	PIC 38	PIC 37	PIC 36	PIC 35	PIC 34	PIC 33	PIC 32	0000_0000H
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
ビット位置	ビット名		意 味														
各 31-0	PIC63 PIC0		エッジ検出を行った割り込み要求を、割り込み要求ごとにエッジ検出回路のクリアを行います。 該当ビットをセット (1) することで、エッジ検出をクリアします。 クリア (0) した場合は何の影響も与えません。														

削除: -
31

削除: 122

備考 1. 関連レジスタ ... EDGC レジスタ : 8.3.3.11, PLS レジスタ : 8.3.3.9参照

削除: 8.3.3.118.4.3.11

削除: 8.3.3.98.4.3.9

削除: 上記は NBPFAB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。
NBPFAB32VIC96 : PIC0-PIC2,
NBPFAB32VIC64 : PIC0, PIC1,
NBPFAB32VIC32 : PIC0 .
JL-086A では、NBPFAB32VIC64 を搭載しています。

削除: 2.

削除: 7

削除: 7

削除: 7

削除: 7

削除: 8

8.3.3.11 割り込みエッジ・コントロール・レジスタ 0-3 (EDGC0-EDGC3)

EDGC0-EDGE3レジスタは、INTSRC 割り込み入力ごとに有効エッジを指定します。各 INTSRC ごとに 2 ビットずつ割り当てられています。指定できる有効エッジは、立ち上がり／立ち下がり／両エッジです。

EDGC0-EDGE3レジスタは、32 ビット単位でリード／ライト可能です。

備考 関連レジスタ ... PLS レジスタ : 8.4.3.9 参照

(1/4)

EDGC0																オフセット・アドレス	
31		30		29		28		27		26		25		24		23	
EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG	
151		150		141		140		131		130		121		120		111	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
19		18		17		16		初期値								5555_5555H	
EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG	
71		70		61		60		51		50		41		40		31	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
15		14		13		12		11		10		9		8		7	
EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG	
71		70		61		60		51		50		41		40		31	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
6		5		4		3		2		1		0					
EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG		EDG	
21		20		11		10		11		10		11		10		01	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
21		20		21		20		21		20		21		20		21	
R/W		R/W		R/W		R/W		R/W		R/W		R					

(2/4)

削除: 8

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
EDGC1	EDG 311	EDG 310	EDG 301	EDG 300	EDG 291	EDG 290	EDG 281	EDG 280	EDG 271	EDG 270	EDG 261	EDG 260	EDG 251	EDG 250	EDG 241	EDG 240	144H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	EDG 231	EDG 230	EDG 221	EDG 220	EDG 211	EDG 210	EDG 201	EDG 200	EDG 191	EDG 190	EDG 181	EDG 180	EDG 171	EDG 170	EDG 161	EDG 160	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意 味															
31, 30	EDG311, EDG310	INTSRC31 の有効エッジを指定します。															
29, 28	EDG301, EDG300	INTSRC30 の有効エッジを指定します。															
27, 26	EDG291, EDG290	INTSRC29 の有効エッジを指定します。															
25, 24	EDG281, EDG280	INTSRC28 の有効エッジを指定します。															
23, 22	EDG271, EDG270	INTSRC27 の有効エッジを指定します。															
21, 20	EDG261, EDG260	INTSRC26 の有効エッジを指定します。															
19, 18	EDG251, EDG250	INTSRC25 の有効エッジを指定します。															
17, 16	EDG241, EDG240	INTSRC24 の有効エッジを指定します。															
15, 14	EDG231, EDG230	INTSRC23 の有効エッジを指定します。															
13, 12	EDG221, EDG220	INTSRC22 の有効エッジを指定します。															
11, 10	EDG211, EDG210	INTSRC21 の有効エッジを指定します。															
9, 8	EDG201, EDG200	INTSRC20 の有効エッジを指定します。															
7, 6	EDG191, EDG190	INTSRC19 の有効エッジを指定します。															
5, 4	EDG181, EDG180	INTSRC18 の有効エッジを指定します。															
3, 2	EDG171, EDG170	INTSRC17 の有効エッジを指定します。															
1, 0	EDG161, EDG160	INTSRC16 の有効エッジを指定します。															
		<table> <tr> <th>EDGm1</th><th>EDGm0</th><th>有効エッジの指定</th></tr> <tr> <td>0</td><td>0</td><td>検出なし</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がり</td></tr> <tr> <td>1</td><td>0</td><td>立ち下がり</td></tr> <tr> <td>1</td><td>1</td><td>両エッジ</td></tr> </table>	EDGm1	EDGm0	有効エッジの指定	0	0	検出なし	0	1	立ち上がり	1	0	立ち下がり	1	1	両エッジ
EDGm1	EDGm0	有効エッジの指定															
0	0	検出なし															
0	1	立ち上がり															
1	0	立ち下がり															
1	1	両エッジ															

備考 m = 16-31

(3/4)

削除: 8

																オフセット・アドレス																																																																						
EDGC2	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	148H																																																																					
	EDG 471	EDG 470	EDG 461	EDG 460	EDG 451	EDG 450	EDG 441	EDG 440	EDG 431	EDG 430	EDG 421	EDG 420	EDG 411	EDG 410	EDG 401	EDG 400																																																																						
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																						
																初期値																																																																						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	5555_5555H																																																																					
	EDG 391	EDG 390	EDG 381	EDG 380	EDG 371	EDG 370	EDG 361	EDG 360	EDG 351	EDG 350	EDG 341	EDG 340	EDG 331	EDG 330	EDG 321	EDG 320																																																																						
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																						
<table><tr><th>ビット位置</th><th>ビット名</th><th>意 味</th></tr><tr><td>31, 30</td><td>EDG471, EDG470</td><td>INTSRC47 の有効エッジを指定します。</td></tr><tr><td>29, 28</td><td>EDG461, EDG460</td><td>INTSRC46 の有効エッジを指定します。</td></tr><tr><td>27, 26</td><td>EDG451, EDG450</td><td>INTSRC45 の有効エッジを指定します。</td></tr><tr><td>25, 24</td><td>EDG441, EDG440</td><td>INTSRC44 の有効エッジを指定します。</td></tr><tr><td>23, 22</td><td>EDG431, EDG430</td><td>INTSRC43 の有効エッジを指定します。</td></tr><tr><td>21, 20</td><td>EDG421, EDG420</td><td>INTSRC42 の有効エッジを指定します。</td></tr><tr><td>19, 18</td><td>EDG411, EDG410</td><td>INTSRC41 の有効エッジを指定します。</td></tr><tr><td>17, 16</td><td>EDG401, EDG400</td><td>INTSRC40 の有効エッジを指定します。</td></tr><tr><td>15, 14</td><td>EDG391, EDG390</td><td>INTSRC39 の有効エッジを指定します。</td></tr><tr><td>13, 12</td><td>EDG381, EDG380</td><td>INTSRC38 の有効エッジを指定します。</td></tr><tr><td>11, 10</td><td>EDG371, EDG370</td><td>INTSRC37 の有効エッジを指定します。</td></tr><tr><td>9, 8</td><td>EDG361, EDG360</td><td>INTSRC36 の有効エッジを指定します。</td></tr><tr><td>7, 6</td><td>EDG351, EDG350</td><td>INTSRC35 の有効エッジを指定します。</td></tr><tr><td>5, 4</td><td>EDG341, EDG340</td><td>INTSRC34 の有効エッジを指定します。</td></tr><tr><td>3, 2</td><td>EDG331, EDG330</td><td>INTSRC33 の有効エッジを指定します。</td></tr><tr><td>1, 0</td><td>EDG321, EDG320</td><td>INTSRC32 の有効エッジを指定します。</td></tr><tr><td></td><td></td><td><table><tr><th>EDGm1</th><th>EDGm0</th><th>有効エッジの指定</th></tr><tr><td>0</td><td>0</td><td>検出なし</td></tr><tr><td>0</td><td>1</td><td>立ち上がり</td></tr><tr><td>1</td><td>0</td><td>立ち下がり</td></tr><tr><td>1</td><td>1</td><td>両エッジ</td></tr></table></td></tr></table>																		ビット位置	ビット名	意 味	31, 30	EDG471, EDG470	INTSRC47 の有効エッジを指定します。	29, 28	EDG461, EDG460	INTSRC46 の有効エッジを指定します。	27, 26	EDG451, EDG450	INTSRC45 の有効エッジを指定します。	25, 24	EDG441, EDG440	INTSRC44 の有効エッジを指定します。	23, 22	EDG431, EDG430	INTSRC43 の有効エッジを指定します。	21, 20	EDG421, EDG420	INTSRC42 の有効エッジを指定します。	19, 18	EDG411, EDG410	INTSRC41 の有効エッジを指定します。	17, 16	EDG401, EDG400	INTSRC40 の有効エッジを指定します。	15, 14	EDG391, EDG390	INTSRC39 の有効エッジを指定します。	13, 12	EDG381, EDG380	INTSRC38 の有効エッジを指定します。	11, 10	EDG371, EDG370	INTSRC37 の有効エッジを指定します。	9, 8	EDG361, EDG360	INTSRC36 の有効エッジを指定します。	7, 6	EDG351, EDG350	INTSRC35 の有効エッジを指定します。	5, 4	EDG341, EDG340	INTSRC34 の有効エッジを指定します。	3, 2	EDG331, EDG330	INTSRC33 の有効エッジを指定します。	1, 0	EDG321, EDG320	INTSRC32 の有効エッジを指定します。			<table><tr><th>EDGm1</th><th>EDGm0</th><th>有効エッジの指定</th></tr><tr><td>0</td><td>0</td><td>検出なし</td></tr><tr><td>0</td><td>1</td><td>立ち上がり</td></tr><tr><td>1</td><td>0</td><td>立ち下がり</td></tr><tr><td>1</td><td>1</td><td>両エッジ</td></tr></table>	EDGm1	EDGm0	有効エッジの指定	0	0	検出なし	0	1	立ち上がり	1	0	立ち下がり	1	1	両エッジ
ビット位置	ビット名	意 味																																																																																				
31, 30	EDG471, EDG470	INTSRC47 の有効エッジを指定します。																																																																																				
29, 28	EDG461, EDG460	INTSRC46 の有効エッジを指定します。																																																																																				
27, 26	EDG451, EDG450	INTSRC45 の有効エッジを指定します。																																																																																				
25, 24	EDG441, EDG440	INTSRC44 の有効エッジを指定します。																																																																																				
23, 22	EDG431, EDG430	INTSRC43 の有効エッジを指定します。																																																																																				
21, 20	EDG421, EDG420	INTSRC42 の有効エッジを指定します。																																																																																				
19, 18	EDG411, EDG410	INTSRC41 の有効エッジを指定します。																																																																																				
17, 16	EDG401, EDG400	INTSRC40 の有効エッジを指定します。																																																																																				
15, 14	EDG391, EDG390	INTSRC39 の有効エッジを指定します。																																																																																				
13, 12	EDG381, EDG380	INTSRC38 の有効エッジを指定します。																																																																																				
11, 10	EDG371, EDG370	INTSRC37 の有効エッジを指定します。																																																																																				
9, 8	EDG361, EDG360	INTSRC36 の有効エッジを指定します。																																																																																				
7, 6	EDG351, EDG350	INTSRC35 の有効エッジを指定します。																																																																																				
5, 4	EDG341, EDG340	INTSRC34 の有効エッジを指定します。																																																																																				
3, 2	EDG331, EDG330	INTSRC33 の有効エッジを指定します。																																																																																				
1, 0	EDG321, EDG320	INTSRC32 の有効エッジを指定します。																																																																																				
		<table><tr><th>EDGm1</th><th>EDGm0</th><th>有効エッジの指定</th></tr><tr><td>0</td><td>0</td><td>検出なし</td></tr><tr><td>0</td><td>1</td><td>立ち上がり</td></tr><tr><td>1</td><td>0</td><td>立ち下がり</td></tr><tr><td>1</td><td>1</td><td>両エッジ</td></tr></table>	EDGm1	EDGm0	有効エッジの指定	0	0	検出なし	0	1	立ち上がり	1	0	立ち下がり	1	1	両エッジ																																																																					
EDGm1	EDGm0	有効エッジの指定																																																																																				
0	0	検出なし																																																																																				
0	1	立ち上がり																																																																																				
1	0	立ち下がり																																																																																				
1	1	両エッジ																																																																																				

備考 1. m = 32-47

削除: 2.

...

(4/4)

削除: 8

オフセット・アドレス															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EDG631	EDG630	EDG621	EDG620	EDG611	EDG610	EDG601	EDG600	EDG591	EDG590	EDG581	EDG580	EDG571	EDG570	EDG561	EDG560
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EDG551	EDG550	EDG541	EDG540	EDG531	EDG530	EDG521	EDG520	EDG511	EDG510	EDG501	EDG500	EDG491	EDG490	EDG481	EDG480
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	意 味
31, 30	EDG631, EDG630	INTSRC63の有効エッジを指定します。
29, 28	EDG621, EDG620	INTSRC62の有効エッジを指定します。
27, 26	EDG611, EDG610	INTSRC61の有効エッジを指定します。
25, 24	EDG601, EDG600	INTSRC60の有効エッジを指定します。
23, 22	EDG591, EDG590	INTSRC59の有効エッジを指定します。
21, 20	EDG581, EDG580	INTSRC58の有効エッジを指定します。
19, 18	EDG571, EDG570	INTSRC57の有効エッジを指定します。
17, 16	EDG561, EDG560	INTSRC56の有効エッジを指定します。
15, 14	EDG551, EDG550	INTSRC55の有効エッジを指定します。
13, 12	EDG541, EDG540	INTSRC54の有効エッジを指定します。
11, 10	EDG531, EDG530	INTSRC53の有効エッジを指定します。
9, 8	EDG521, EDG520	INTSRC52の有効エッジを指定します。
7, 6	EDG511, EDG510	INTSRC51の有効エッジを指定します。
5, 4	EDG501, EDG500	INTSRC50の有効エッジを指定します。
3, 2	EDG491, EDG490	INTSRC49の有効エッジを指定します。
1, 0	EDG481, EDG480	INTSRC48の有効エッジを指定します。

EDGm1	EDGm0	有効エッジの指定
0	0	検出なし
0	1	立ち上がり
1	0	立ち下がり
1	1	両エッジ

備考 1. m = 48-63

削除: 2.

削除: 改ページ

(5/8)

書式変更: 左揃え

削除: . 31

削除: . 31

削除: 備考 1.

削除: 改ページ

(7/8)

書式変更: 左揃え

削除: . 31

削除: . 31

削除: 備考 1.

削除: 7

削除: 7

削除: 7

削除: 7

削除: 8

8.3.3.12 割り込みレベル・コントロール・レジスタ 0-3 (LVLV0-LVLC3)

LVLC0-LVLC3レジスタは、INTSRC 割り込み入力ごとに有効レベルを指定します。各 INTSRC ごとに 2 ビットずつ割り当てられています。検出なし／ハイ・レベル検出／ロー・レベル検出を指定できます。

LVLC0-LVLC 3 レジスタは、32 ビット単位でリード／ライト可能です。

備考 関連レジスタ ... PLS レジスタ : 8.4.3.9 参照

(1/4)

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス															
LVLCO	LVC151	LVC150	LVC141	LVC140	LVC131	LVC130	LVC121	LVC120	LVC111	LVC110	LVC101	LVC100	LVC91	LVC90	LVC81	LVC80	180H															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値															
	LVC71	LVC70	LVC61	LVC60	LVC51	LVC50	LVC41	LVC40	LVC31	LVC30	LVC21	LVC20	LVC11	LVC10	LVC01	LVC00	5555_5555H															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																
ビット位置	ビット名		意 味																													
31, 30	LVC151, LVC150		INTSRC15 の有効レベルを指定します。																													
29, 28	LVC141, LVC140		INTSRC14 の有効レベルを指定します。																													
27, 26	LVC131, LVC130		INTSRC13 の有効レベルを指定します。																													
25, 24	LVC121, LVC120		INTSRC12 の有効レベルを指定します。																													
23, 22	LVC111, LVC110		INTSRC11 の有効レベルを指定します。																													
21, 20	LVC101, LVC100		INTSRC10 の有効レベルを指定します。																													
19, 18	LVC91, LVC90		INTSRC9 の有効レベルを指定します。																													
17, 16	LVC81, LVC80		INTSRC8 の有効レベルを指定します。																													
15, 14	LVC71, LVC70		INTSRC7 の有効レベルを指定します。																													
13, 12	LVC61, LVC60		INTSRC6 の有効レベルを指定します。																													
11, 10	LVC51, LVC50		INTSRC5 の有効レベルを指定します。																													
9, 8	LVC41, LVC40		INTSRC4 の有効レベルを指定します。																													
7, 6	LVC31, LVC30		INTSRC3 の有効レベルを指定します。																													
5, 4	LVC21, LVC20		INTSRC2 の有効レベルを指定します。																													
3, 2	LVC11, LVC10		INTSRC1 の有効レベルを指定します。																													
1, 0	LVC01, LVC00		INTSRC0 の有効レベルを指定します。																													
			<table><tr><td>LVCm1</td><td>LVCm0</td><td>有効レベルの指定</td></tr><tr><td>0</td><td>0</td><td>検出なし</td></tr><tr><td>0</td><td>1</td><td>ハイ・レベル</td></tr><tr><td>1</td><td>0</td><td>ロー・レベル</td></tr><tr><td>1</td><td>1</td><td>検出なし</td></tr></table>															LVCm1	LVCm0	有効レベルの指定	0	0	検出なし	0	1	ハイ・レベル	1	0	ロー・レベル	1	1	検出なし
LVCm1	LVCm0	有効レベルの指定																														
0	0	検出なし																														
0	1	ハイ・レベル																														
1	0	ロー・レベル																														
1	1	検出なし																														

備考 m = 00-15

(2/4)

削除: 8

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス															
LVL1	LVC 311	LVC 310	LVC 301	LVC 300	LVC 291	LVC 290	LVC 281	LVC 280	LVC 271	LVC 270	LVC 261	LVC 260	LVC 251	LVC 250	LVC 241	LVC 240	184H															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値															
	LVC 231	LVC 230	LVC 221	LVC 220	LVC 211	LVC 210	LVC 201	LVC 200	LVC 191	LVC 190	LVC 181	LVC 180	LVC 171	LVC 170	LVC 161	LVC 160	5555_5555H															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																
ビット位置	ビット名		意 味																													
31, 30	LVC311, LVC310		INTSRC31 の有効レベルを指定します。																													
29, 28	LVC301, LVC300		INTSRC30 の有効レベルを指定します。																													
27, 26	LVC291, LVC290		INTSRC29 の有効レベルを指定します。																													
25, 24	LVC281, LVC280		INTSRC28 の有効レベルを指定します。																													
23, 22	LVC271, LVC270		INTSRC27 の有効レベルを指定します。																													
21, 20	LVC261, LVC260		INTSRC26 の有効レベルを指定します。																													
19, 18	LVC251, LVC250		INTSRC25 の有効レベルを指定します。																													
17, 16	LVC241, LVC240		INTSRC24 の有効レベルを指定します。																													
15, 14	LVC231, LVC230		INTSRC23 の有効レベルを指定します。																													
13, 12	LVC221, LVC220		INTSRC22 の有効レベルを指定します。																													
11, 10	LVC211, LVC210		INTSRC21 の有効レベルを指定します。																													
9, 8	LVC201, LVC200		INTSRC20 の有効レベルを指定します。																													
7, 6	LVC191, LVC190		INTSRC19 の有効レベルを指定します。																													
5, 4	LVC181, LVC180		INTSRC18 の有効レベルを指定します。																													
3, 2	LVC171, LVC170		INTSRC17 の有効レベルを指定します。																													
1, 0	LVC161, LVC160		INTSRC16 の有効レベルを指定します。																													
			<table><tr><td>LVCm1</td><td>LVCm0</td><td>有効レベルの指定</td></tr><tr><td>0</td><td>0</td><td>検出なし</td></tr><tr><td>0</td><td>1</td><td>ハイ・レベル</td></tr><tr><td>1</td><td>0</td><td>ロー・レベル</td></tr><tr><td>1</td><td>1</td><td>検出なし</td></tr></table>															LVCm1	LVCm0	有効レベルの指定	0	0	検出なし	0	1	ハイ・レベル	1	0	ロー・レベル	1	1	検出なし
LVCm1	LVCm0	有効レベルの指定																														
0	0	検出なし																														
0	1	ハイ・レベル																														
1	0	ロー・レベル																														
1	1	検出なし																														

備考 m = 16-31

削除: 8

Page 98

消除: 2.

削除: 8

備考 1. $m = 48-63$

削除:改ページ.....

書式變更：左揃え

31

削除:改ページ.....

書式変更: 左揃え

31

削除:改ページ”.....

削除: .

删除: 備考 1. ...

8.3.3.13 割り込み優先レベル・マスク・レジスタ (PRLM)

PRLM レジスタは、割り込み優先レベルに対するマスク制御をします。
このレジスタは、ビットをセット (1) すると、クリア (0) はできません。クリアは割り込み優先レベル・マスク・クリア・レジスタ (PRLC) で行ってください。
PRLM レジスタは、32 ビット単位でリード/ライト可能です。

31302928272625242322212019181716

オフセット・アドレス

PRLM

0

1C0H

R/W

0

1514131211109876543210

初期値

PRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLMPRLM

0000_0000H

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

ビット位置	ビット名	意 味
31-16	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
15-0	PRLM15-PRLM0	割り込み優先レベルに対するマスクを設定します。 レジスタのビット位置は、それぞれの優先レベル数に等しいです。セット (1) すると、対応するビット番号と同じ優先レベルをマスクします。 0 : 何も変わりません。 1 : 書き込みで対応するビット番号と同じ優先レベルをマスクします。

削除: .
備考 1.
削除:改ページ.....
割り込み優先レベル・マスク・レジスタ (PRLM) .

備考 関連レジスタ ... PRL レジスタ : 8.3.3.20, PRLC レジスタ : 8.3.3.14, 参照

削除: 8.4.3.20
削除: 8.4.3.14

8.3.3.14 割り込み優先レベル・マスク・クリア・レジスタ (PRLC)

PRLC レジスタは、PRLM レジスタのビットをクリアします。
PRLC レジスタは、32 ビット単位でライトのみ可能です。

31302928272625242322212019181716

オフセット・アドレス

PRLC

0

1C4H

R/W

0

1514131211109876543210

初期値

PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC PRLC

0000_0000H

R/W

W W W W W W W W W W W W W W W W

ビット位置	ビット名	意 味
31-16	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
15-0	PRLC15-PRLC0	割り込み優先レベル・マスク・レジスタ (PRLM) のクリアを行います。 セット (1) すると、そのセットしたビットの番号に対応するビットがクリア (0) されます。 0 : 何も変わりません。 1 : 書き込みで、ビットの番号に対応するビットがクリア (0) されます。

備考 関連レジスタ ... PRLM レジスタ : [8.3.3.13](#)参照

削除: 0

削除: 8.4.3.13

8.3.3.15 ユーザ・モード・イネーブル・レジスタ (UEN)

UEN レジスタは、バス・マスタが出力する特権モードを示す HPROT1 による、割り込み制御レジスタ・アクセスの許可／禁止を選択します。

バス・マスタが正確にプロテクション情報を生成できない場合は UE ビットをセット (1) し、ユーザ・モードによる割り込み制御レジスタ・アクセスを許可してください。UE ビットの初期値は 1 で、ユーザ・モードによる割り込み制御レジスタ・アクセスが許可されています。

UEN レジスタは、32 ビット単位でリード可能です。
UEN レジスタは他のレジスタと異なり、特権モード時のみ 32 ビット単位でライト可能です。

31302928272625242322212019181716

UEN

0

1C8H

R/W

0

1514131211109876543210

初期値

0

UE

0000_0001H

R/W

0

R/W

ビット位置	ビット名	意 味
31-1	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
0	UE	割り込み制御レジスタへのアクセスの許可／禁止を設定します。 0 : ユーザ・モードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1 : ユーザ・モードによるアクセスを許可します。ユーザ・モードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。 (初期値) <div>注意 本レジスタへのライト・アクセスは、特権モードのみ可能です。</div>

- 備考 1. UE = 1 の場合、UEN レジスタにユーザ・モードでライトすると OKAY レスポンスを返しますが、実際の値の書き込みは行われません。
2. UE ビットへの書き込みが実際に反映されるには、HCLK×1 が必要です。UEN レジスタへの書き込み後、IDLE サイクルをはさまずに割り込み制御レジスタへのアクセスを行った場合、UE ビットは書き込み前の値となります。

8.3.3.16 割り込みアドレス・レジスタ (HVA)

HVA レジスタは、優先レベルの最も高い割り込み処理 (Interrupt Service Routine (ISR)) のベクタ・アドレスが格納されます。割り込み処理 (ISR) を実行しているときには、割り込み処理 (ISR) 中のベクタ・アドレスが格納されています。

HVA レジスタは、32 ビット単位でリード／ライト可能です。

31		0 オフセット・アドレス		初期値
HVA		HVA31-HVA0		200H 0000_0000H
R/W		R/W		
ビット位置	ビット名	意 味		
31-0	HVA31-HVA0	優先レベルが最も高いベクタ・アドレス、または現在割り込みサービス・ルーチン (ISR) が行われているベクタ・アドレスが格納されます。		
		本割り込みコントローラを 1 個で使用する場合		
		要因の優先レベルに該当する VADm レジスタの値が反映されます。		

注意 1. 割り込み処理開始時のリード、および割り込み処理完了時のライト以外でこのレジスタをアクセスしないでください。割り込み処理開始時のリード、および割り込み処理完了時のライト以外でこのレジスタをアクセスすると不適当な割り込み動作を引き起こす可能性があります。

2. ベクタ割り込みインタフェースを利用している場合は、HVA レジスタをリードしないでください。

ベクタ割り込み端子を使用しない場合、割り込みが受け付けられると ARM CPU コアは 0000_0018H 番地に分岐します。割り込みサービス・ルーチン (ISR) では 0000_0018H 番地で HVA レジスタをリードしてベクタ・アドレスに分岐してください。本割り込みコントローラは ARM CPU コアが HVA レジスタをリードすることで、割り込み処理の開始を認識します。

ベクタ割り込み端子を使用する場合は、ベクタ割り込み端子のハンドシェイクにより割り込み処理の開始を認識します。

本割り込みコントローラは、受け付けた割り込みの優先レベルを記憶します。これにより、受け付けられた割り込み優先レベルより低い割り込み要求は保留されます。

割り込み処理 (ISR) の最後で、HVA レジスタへ任意の値をライトする必要があります。HVA レジスタへのライトにより、割り込みコントローラは割り込み処理が終了することを認識して、記憶していた割り込みの優先レベルをクリアします。これにより今完了した割り込み処理の、次の優先レベルの割り込み処理の割り込みが処理されます。なお、HVA レジスタへライトしたデータは反映されません。

備考 1. 関連レジスタ ... VADm レジスタ : 8.3.3.19 参照

削除: .

書式変更: 間隔 段落後 : 6 pt

削除: 本割り込みコントローラをカスケード接続している場合、最上位割り込みコントローラの割り込みが処理される場合は、その要因の優先レベルに該当する VADm レジスタの値が反映されます。カスケード接続された割り込みコントローラからの要求のみが有効の場合、VADIN[31:0]の値 (=カスケード接続された割り込みコントローラの HVA レジスタの値) が反映されます。

削除: NBPFAHB32VIC128 : m = 0-3 . NBPFAHB32VIC96 : m = 0-2 . NBPFAHB32VIC64 : m = 0-1 . NBPFAHB32VIC32 : m = 0 . JL-086A では、NBPFAHB32VIC64 を搭載しています。

削除: 2. . 3. ...

表の書式変更

削除: 3

削除: 3

削除: 3

削除: 3

8.3.3.17 割り込みサービス・ステータス・レジスタ 0-1 (ISS0-ISS1)

ISS0-ISS1レジスタは、IRQ 割り込みのサービス状態を示します。

CPU が割り込みサービス・ルーチン（ISR）を実行中、または保留中であるかどうかの情報が格納されています。

ISS0-ISS1レジスタは、32 ビット単位でリードのみ可能です。

(1/2)

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISS0	ISS	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	210H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISS	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISS1	ISS	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	214H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISS	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

削除: -

31

...

ビット位置	ビット名	意 味
各 31-0	ISS 63	INTSRC0-INTSRC 63 からの IRQ 割り込み要求のサービス状態を示します。
	ISS0	0 : サービスされていない割り込み 1 : 割り込みサービス・ルーチン (ISR) が実行中、または、保留中の割り込みビット

削除: 122

削除: 122

例えば、割り込みコントローラに複数の割り込み要求があった場合、ISS0-ISS1 レジスタの状態は以下のようになります。

削除: ISS3

ビット	<u>31</u>	24	23	16	15	8	7	0																						
ISSn	1H		2H		FH		1H																							
バイナリ	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	0	0	0	0	0	0	1

削除: 32

現在、INRSRC24, 17, 15-8, 0 から割り込み要求があることを示しています。割り込みサービス・ルーチン (ISR) は PRLm レジスタで設定された優先レベルが高い順にから順にサービスされます。PRLm レジスタの値が同じ場合は、ベクタ番号の小さい割り込み要求の優先レベルが高くなります。ISR が終了すると、ISS0-ISS1 レジスタの該当ビットはクリアされ、次に優先レベルの高い ISR を開始します。また、ISR 中に他の割り込み要求があると、それも本レジスタに反映されます。

削除: 3

備考 1. 関連レジスタ ... IRQS レジスタ : 8.3.3.1.

削除: 8.3.3.18.4.3.1

RAIS レジスタ : 8.3.3.3.

削除: 8.3.3.38.4.3.3

IEN レジスタ : 8.3.3.5.

削除: 8.3.3.58.4.3.5

PRLM レジスタ : 8.3.3.13.

削除: 08.4.3.13

PRL レジスタ : 8.3.3.20. 参照

削除: 8.3.3.208.4.3.20

削除: 上記は NBPFAHB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。
NBPFAHB32VIC96 : ISS0-ISS2,
NBPFAHB32VIC64 : ISS0, ISS1,
NBPFAHB32VIC32 : ISS0

削除: 2.

削除: 3

削除: 3

削除: 3

削除: 3

削除: 3

削除: 3

削除: -

31

削除: 127

削除: 3

削除: 3

削除: 8.3.3.178.4.3.17

削除: 上記は NBPFAB32VIC128 の場合で
す。その他のマクロは以下のレジスタを内
蔵しています。・
NBPFAB32VIC96 : ISC0-ISC2,
NBPFAB32VIC64 : ISC0, ISC1,
NBPFAB32VIC32 : ISC0・
JL-086A では、NBPFAB32VIC64 を搭載
しています。

削除: 2.

8.3.3.18 割り込みサービス・カレント・レジスタ 0-1 (ISC0-ISC1)

ISC0-ISC1レジスタは、割り込みサービス・ステータス・レジスタ 0-1 (ISS0-ISS1) で、セット (1) されて
いる IRQ 割り込みの中で、最も優先レベルの高い IRQ 割り込みを示します。

ISC0-ISC1レジスタは、32 ビット単位でリードのみ可能です。

ISC0	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	ISC 31	ISC 30	ISC 29	ISC 28	ISC 27	ISC 26	ISC 25	ISC 24	ISC 23	ISC 22	ISC 21	ISC 20	ISC 19	ISC 18	ISC 17	ISC 16	230H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISC 15	ISC 14	ISC 13	ISC 12	ISC 11	ISC 10	ISC 9	ISC 8	ISC 7	ISC 6	ISC 5	ISC 4	ISC 3	ISC 2	ISC 1	ISC 0	0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ISC1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
	ISC 63	ISC 62	ISC 61	ISC 60	ISC 59	ISC 58	ISC 57	ISC 56	ISC 55	ISC 54	ISC 53	ISC 52	ISC 51	ISC 50	ISC 49	ISC 48	234H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISC 47	ISC 46	ISC 45	ISC 44	ISC 43	ISC 42	ISC 41	ISC 40	ISC 39	ISC 38	ISC 37	ISC 36	ISC 35	ISC 34	ISC 33	ISC 32	0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意 味
各 31-0	ISC63 ISC0	割り込みサービス・ステータス・レジスタ 0-1 (ISS0-ISS1) の IRQ 割り込み要求のサービス状態を示します。 0 : 優先レベルが高くないか、割り込みサービス・ルーチン (ISR) が実行されていない 1 : 最も優先レベルの高い割り込みビット

備考 1. 関連レジスタ ... ISS レジスタ : 8.3.3.17, 参照

8.3.3.19 割り込みアドレス格納レジスタ 0-63 (VAD0-VAD63)

VAD0-VAD63レジスタは、各割り込み入力に対応したベクタ・アドレスを格納します。
VAD0-VAD63レジスタは、32 ビット単位でリード／ライト可能です。

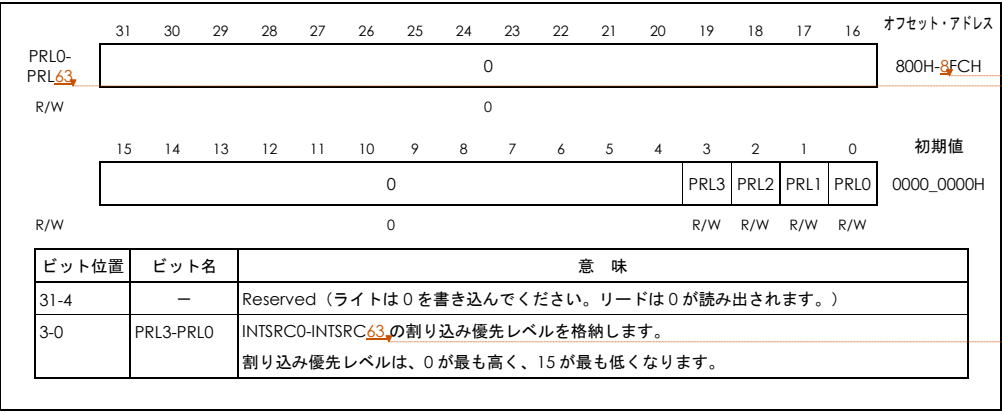
31		0		オフセット・アドレス	初期値
VAD0-VAD63		VADm31-VADm0		400H-4FCH	0000_0000H
R/W		R/W			
ビット位置	ビット名	意 味			
31-0	VADm31-VADm0	各割り込み入力に対応したベクタ・アドレスを格納します。 VAD0-VAD63と INTSRC0-INTSRC63の各ビットがペアで対応しています。			

備考 1. 関連レジスタ ... PRL レジスタ : 8.3.3.20 参照
2. m = 0, 1

- 削除: 127
- 削除: 127
- 削除: 127
- 削除: 127
- 削除: 5
- 削除: 127
- 削除: 127
- 削除: 127
- 削除: 8.3.3.208.4.3.20
- 削除: NBPFAHB32VIC128 : m = 0-3 , NBPFAHB32VIC96 : m = 0-2 , NBPFAHB32VIC64 : m = 0, 1 . . NBPFAHB32VIC32 : m = 0
- 削除: 2. ...

8.3.3.20 割り込み優先レベル格納レジスタ 0-63 (PRL0-PRL63)

PRLO-PRL63レジスタは、各割り込み入力に対応した割り込み優先レベルを格納します。
PRLO-PRL63レジスタは、32ビット単位でリード／ライト可能です。



削除: 127

削除: 127

削除: 127

削除: 127

削除: 9

削除: 127

削除: 127

備考 1. 関連レジスタ ... VAD レジスタ : 8.3.3.19, PRIM レジスタ : 8.3.3.13 参照

削除: 8.3.3.198.4.3.19

削除: 08.4.3.13

削除: 上記は NBPFAHB32VIC128 の場合です。その他のマクロは以下のレジスタを内蔵しています。
NBPFAHB32VIC96 : VAD0-VAD95, .
NBPFAHB32VIC64 : VAD0-VAD63, .
NBPFAHB32VIC32 : VAD0-VAD31 .
JL-086A では、NBPFAHB32VIC64 を搭載しています。

削除: 2.

8.3.3.21 テスト・モード選択レジスタ (TCR)

TCR レジスタは、テスト・モードを選択します。
TCR レジスタは、32 ビット単位でリード／ライト可能です。

31302928272625242322212019181716

TCR

R/W

0

C00H

1514131211109876543210

初期値

0

ITEN

0000_0000H

R/W

0

R/W

ビット位置	ビット名	意 味
31-1	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
0	ITEN	テスト・モードを選択します。リセットでクリア (0) されます。 0 : ノーマル・モード 1 : テスト・モード

備考 関連レジスタ ... T1CR レジスタ : 8.3.3.22, TACR レジスタ : 8.3.3.23, 参照

削除: 8.3.3.228.4.3.22
削除: 8.3.3.238.4.3.23

8.3.3.22 テスト・モード割り込み入力制御レジスタ (TICR)

TICR レジスタは、nIRQIN 入力および nFIQIN 入力の端子レベルの確認、テスト・モードにおける状態の指定を行います。

TCR レジスタの ITEN = 1 のときは、TICR レジスタは、32 ビット単位でリード／ライト可能です。

TCR レジスタの ITEN = 0 のときは、TICR レジスタは、32 ビット単位でリードのみ可能です。

31302928272625242322212019181716

オフセット・アドレス

TICR

0

C04H

R/W

0

1514131211109876543210

初期値

0

I

F

0

0000 0000H

R/W

0

注 1

注 1

0

ビット位置	ビット名	意 味
31-8	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
7	I	nIRQIN 入力端子のステータスです。 このビットが 1 の場合、nIRQIN 割り込み要求が発生しています。注 2
6	F	nFIQIN 入力端子のステータスです。 このビットが 1 の場合、nFIQIN 割り込み要求が発生しています。注 2
5-0	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)

注 1. TCR レジスタの ITEN = 1 のときは、TICR レジスタは、32 ビット単位でリード／ライト可能です。
TCR レジスタの ITEN = 0 のときは、TICR レジスタは、32 ビット単位でリードのみ可能です。

2. I ビットは nIRQIN 端子の反転値、F ビットは nFIQIN 端子の反転値が入ります。
JL-086A では、nIRQIN 端子、nFIQIN 端子を"1"に固定しています。

削除: 注 2

備考 関連レジスタ ... TCR レジスタ : 8.3.3.21, 参照

削除: 8.3.3.218.4.3.21

8.3.3.23 テスト・モード割り込みアドレス制御レジスタ（TACR）

TACR レジスタは、カスケード接続で拡張した本割り込みコントローラからのベクタ・アドレスの値（VADIN[31:0]入力端子の状態）の確認、テスト・モードにおけるベクタ・アドレスの指定を行います。
TCR レジスタの ITEN = 1 のときは、TACR レジスタは、32 ビット単位でリード／ライト可能です。
TCR レジスタの ITEN = 0 のときは、TACR レジスタは、32 ビット単位でリードのみ可能です。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
TACR		TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	C08H
R/W		注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
		TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	TACR	0000 0000H
R/W		注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	

ビット位置	ビット名	意 味
31-0	TACR31-TACR0	カスケード接続で拡張した本割り込みコントローラからのベクタ・アドレスの値（VADIN[31:0]入力端子の状態）を確認します。 <u>JL-086A では、カスケード接続は使用しておらず、VADIN[31:0]は all0 固定の為、本レジスタをリードすると all0 が読み出せます。</u>

注 1. TCR レジスタの ITEN = 1 のときは、TACR レジスタは、32 ビット単位でリード／ライト可能です。

TCR レジスタの ITEN = 0 のときは、TACR レジスタは、32 ビット単位でリードのみ可能です。

削除: 注 2

削除: 2.

備考 ・ 関連レジスタ ... TCR レジスタ : 8.3.3.21, 参照

削除: 8.3.3.218.4.3.21

削除: .
・ JL-086A では、カスケード接続は使用していません。

8.3.3.24 割り込み要求ステータス・レジスタ (IOS)

IOS レジスタは、ARM CPU への nIRQ 割り込み要求出力および nFIQ 割り込み要求出力の端子レベルを示します。

IOS レジスタは、32 ビット単位でリードのみ可能です。

31302928272625242322212019181716

IOS

0

C0CH

1514131211109876543210

R/W

0

初期値

0000_0000H

0R0R0

ビット位置	ビット名	意 味
31-8	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
7	I	nIRQ 出力端子のステータスです。 このビットが 1 の場合、nIRQ 割り込み要求が発生しています。
6	F	nFIQ 出力端子のステータスです。 このビットが 1 の場合、nFIQ 割り込み要求が発生しています。
5-0	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)

備考 ・JL-086A では、FIQ 機能を使用していません。

8.3.3.25 割り込みアドレス・ステータス・レジスタ (VAOS)

VAOS レジスタは、HVA レジスタと VADOUT[31:0]出力端子の値を参照するレジスタです。
VAOS レジスタは、32 ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
VAOS	VAOS31	VAOS30	VAOS29	VAOS28	VAOS27	VAOS26	VAOS25	VAOS24	VAOS23	VAOS22	VAOS21	VAOS20	VAOS19	VAOS18	VAOS17	VAOS16	C10H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	VAOS15	VAOS14	VAOS13	VAOS12	VAOS11	VAOS10	VAOS9	VAOS8	VAOS7	VAOS6	VAOS5	VAOS4	VAOS3	VAOS2	VAOS1	VAOS0	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット位置	ビット名	意 味															
31-0	VAOS31-VAOS0	VADOUT[31:0]端子（割り込みアドレス・レジスタ（HVA）の値）を示します。															

備考 関連レジスタ ... HVA レジスタ : 8.3.3.16, 参照

削除: 8.3.3.168.4.3.16

8.4 操作方法

8.4.1 レジスタ初期化手順

図 8-2 にレジスタ初期化手順を示します。
リセット解除の時点では、本割り込みコントローラは割り込み優先レベルの設定などのレジスタが動作可能な状態になっていません。リセット解除後に、必ず初期化してください。

削除: 図 8-3 図 8-38-3 に
書式変更: フォント : 太字
削除: 図 8-2

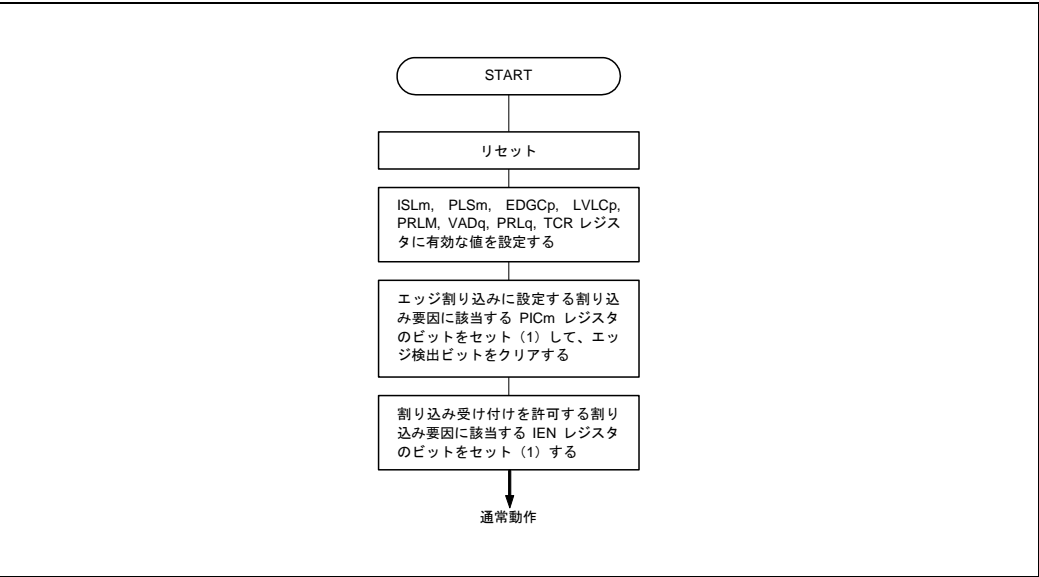


図8-2 レジスタ初期化手順

削除: 23

8.4.2 レジスタ書き換え手順

8.4.2.1 IEC レジスタ書き換え手順

本割り込みコントローラが動作中に、IEC（割り込みイネーブル・クリア・レジスタ）レジスタを書き換える場合は、割り込み禁止状態にて書き換えてください。
割り込み禁止は、ARM CPU の CPSR レジスタの I ビットをセット（1）することで行ってください。

8.4.2.2 ISL/PLS/EDGC/LVLC/PRLM/VAD/PRL/TCR レジスタ書き換え手順

本割り込みコントローラが動作中に、以下のレジスタを書き換える場合は、割り込み処理をすべて終了させ、割り込み禁止状態のフォアグランド処理にて書き換えてください。
割り込み禁止は、ARM CPU の CPSR レジスタの I ビットをセット（1）することで行ってください。また、FIQ 割り込みの設定を書き換える場合は、ARM CPU の CPSR レジスタの F ビットをセット（1）することで、FIQ 割り込みを禁止してください。JL-086A では、FIQ 機能を使用していません。

- ISL（IRQ/FIQ 割り込み選択レジスタ）
- PLS（割り込み検出タイプ選択レジスタ）
- EDGC（割り込みエッジ・コントロール・レジスタ）
- LVLC（割り込みレベル・コントロール・レジスタ）
- PRLM（割り込み優先レベル・マスク・レジスタ）
- VAD（割り込みアドレス格納レジスタ）
- PRL（割り込み優先レベル格納レジスタ）
- TCR（テスト・モード選択レジスタ）

書式変更: フォント : (日) MS ゴシック, フォントの色 : 自動

書式変更: フォント : (日) MS ゴシック, フォントの色 : 自動

書式変更: フォント : (日) MS ゴシック, フォントの色 : 自動

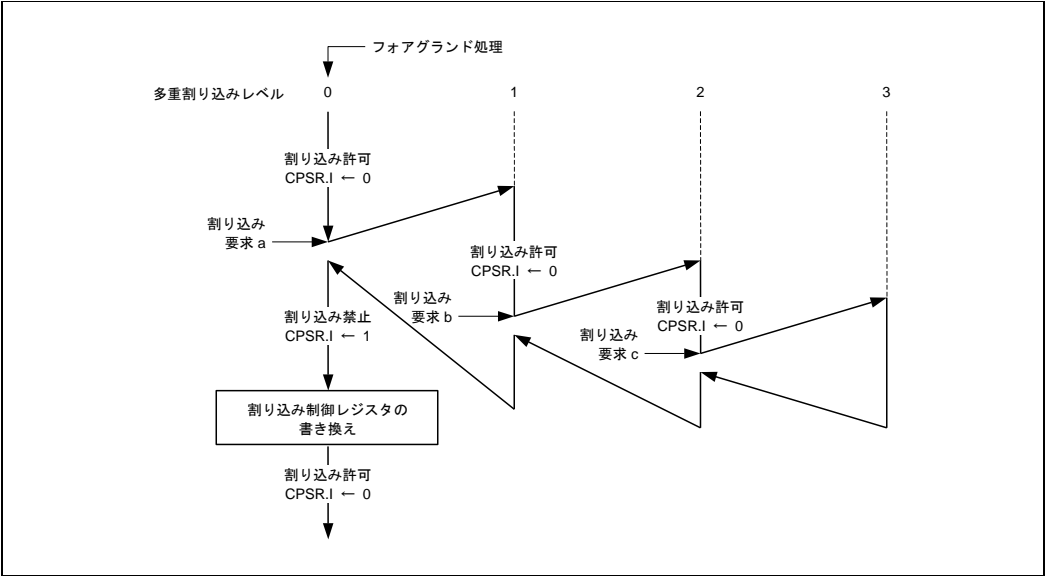


図8-3 レジスタ設定変更可能期間

削除: 34

実際の書き換え処理は、以下のフローに従ってソフトウェアで処理してください。

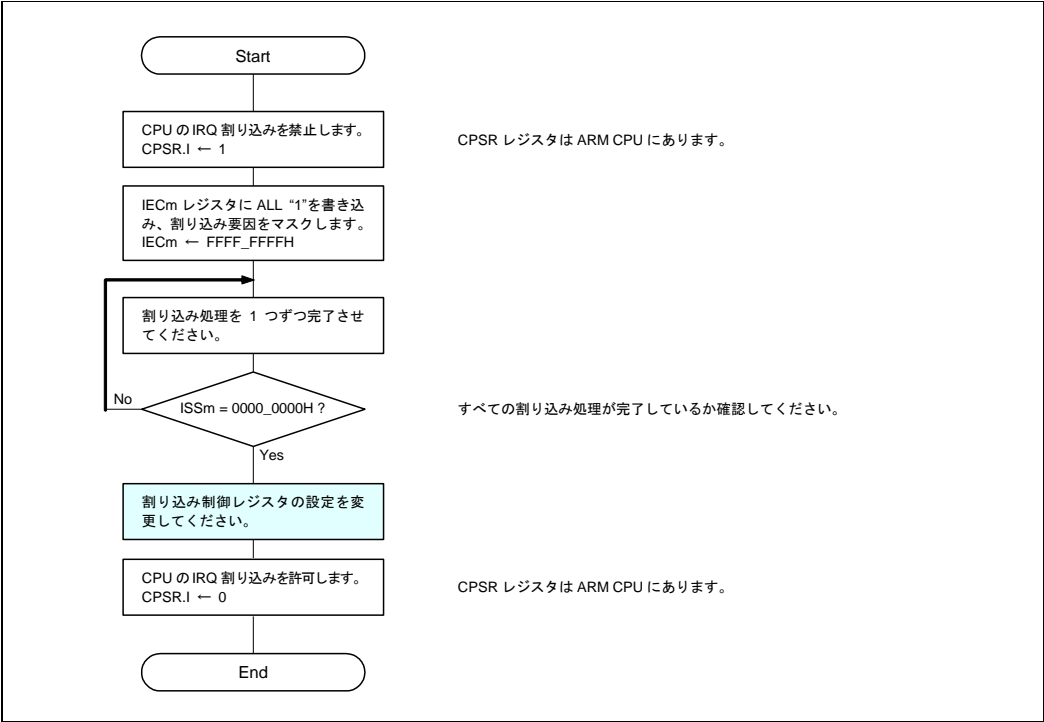


図8-4 レジスタ設定変更フロー

削除: 45

8.4.3 IRQ (Interrupt ReQuest) 割り込み

IRQ 割り込みの検出は、検出タイプ（レベル：ハイ／ロー、エッジ：立ち上がり／立ち下がり／両エッジ）を各レジスタにて指定してください。

割り込み検出タイプ選択レジスタ **m** (PLSm) でレベル検出を選択した場合、IRQ 割り込み処理で割り込み要求発生元の IRQ を取り下げるまでは、割り込み要求を保持してください。

削除: また、カスケード接続時でも下記の手順は同じですが、割り込みアドレス・レジスタ (HVA) へのアクセスは、CPU に直接接続されている本割り込みコントローラにアクセスしてください。

8.4.3.1 レベル割り込み

図 8-5 にレベル割り込み動作を示します。

なお、レベル割り込みを完了させるとき、レベル割り込みの発生元の割り込み出力を停止させると同時に、IRQ ステータス・レジスタ **m** (IRQSm) の該当ビットがクリア (0) され、その割り込み要求が発生していないことを確認してください。複雑なバス・システムの採用など、ソフトウェアによる割り込み発生元の割り込み出力停止処理が、割り込み発生元のハードウェアに反映されるまでに遅延が生じ、復帰後に同一の割り込みが受け付けられてしまうことを防止するためです。また、割り込み発生元の割り込み出力停止処理は、発生元の動作に応じて、割り込みサービス・ルーチン (ISR) の適切な箇所で行ってください。

削除: 図 8-6 に

削除: 図 8-5

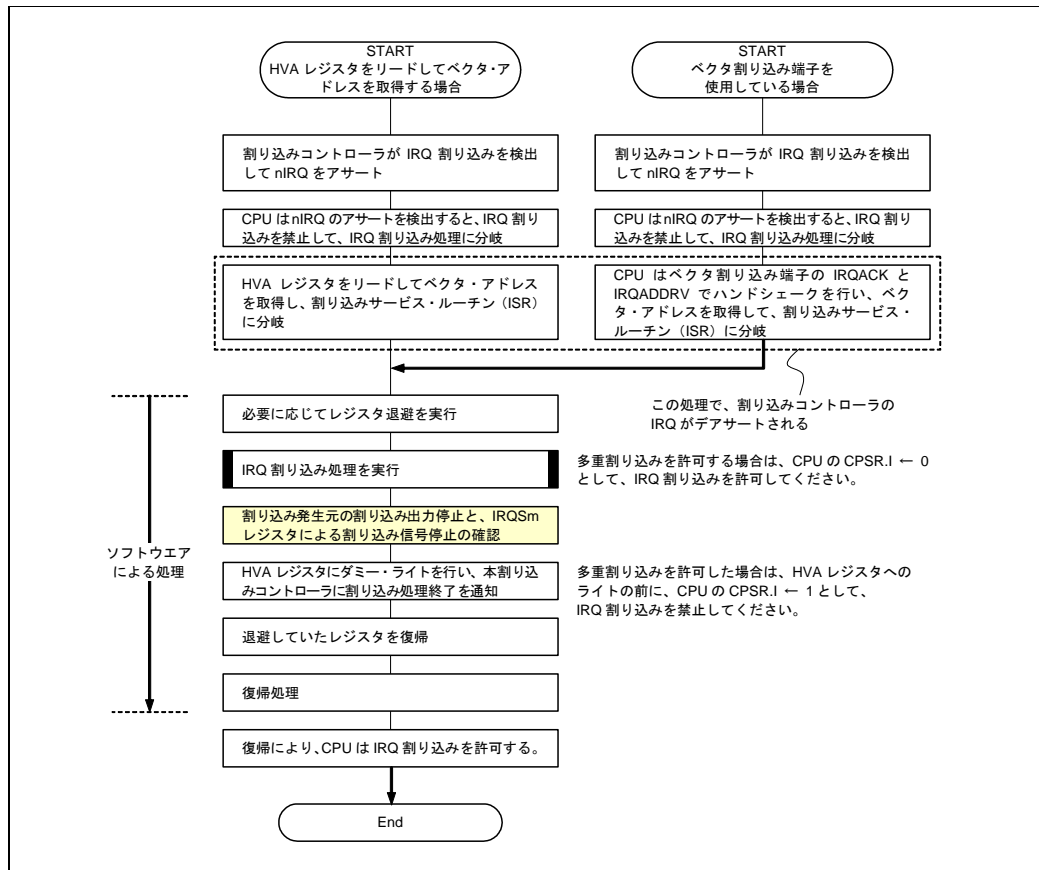


図8-5. IRQ 割り込み動作（レベル割り込み）

削除: 56

8.4.3.2 エッジ割り込み

図 8-6 にエッジ割り込み動作を示します。
なお、エッジ割り込み要求のクリアは、エッジ検出ビット・クリア・レジスタ (PICm) で行ってください。

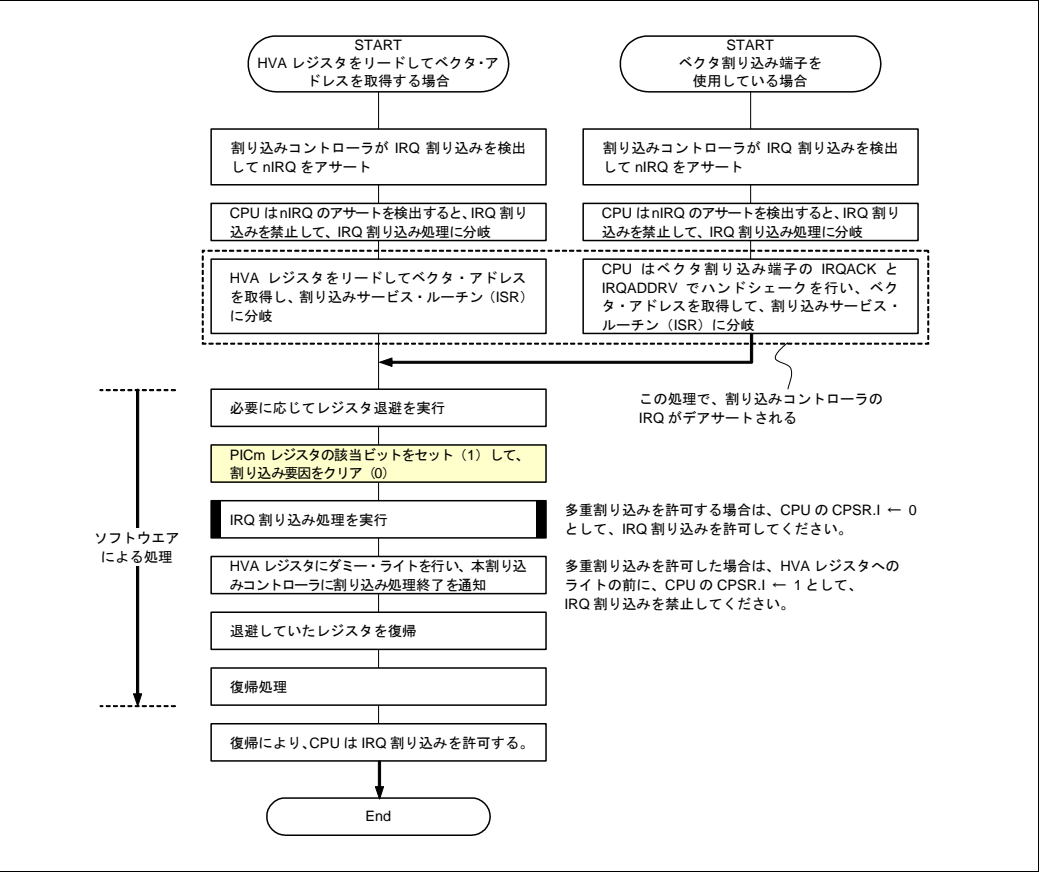


図8-6. IRQ 割り込み動作 (エッジ割り込み)

削除: 図 8-7 図 8-7
書式変更: フォント : (日) MS ゴシック
削除: 8-7
削除: に
削除: 図 8-6
書式変更: フォント : (日) MS ゴシック
太字 (なし) , スペル チェックと
文章校正を行う

削除: 67

8.4.3.3 ソフトウェア割り込み

図 8-7 にソフトウェア割り込み動作を示します。

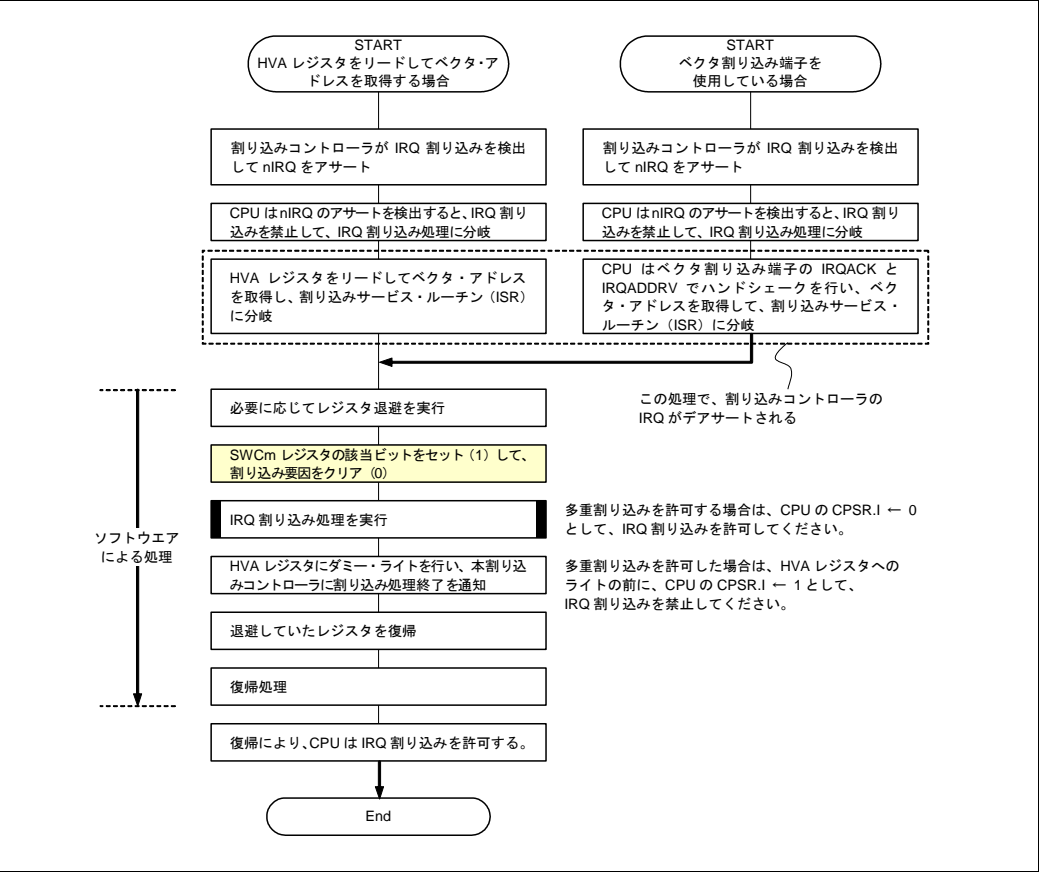


図8-7. IRQ 割り込み動作 (ソフトウェア割り込み)

削除: 図 8-8 図 8-8

書式変更: フォント : (日) MS ゴシック

削除: 8-8

削除: に

削除: 図 8-7

書式変更: フォント : (日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う

削除: 78

8.4.4 割り込み優先レベル

本割り込みコントローラは、割り込み優先レベル格納レジスタ **m (PRLm)** で、割り込みの優先レベルを設定できます。

割り込み優先レベルは、**16** 段階あり **0** が最も優先レベルが高く、**15** が最も優先レベルが低くなります。

割り込み優先レベルが同じ場合、割り込みチャンネル番号の小さい順に割り込みの優先レベルが決まります。**カスケード接続は使用していません。**

割り込みを受け付けると、受け付けた割り込みの割り込み優先レベル以下のレベルはマスクされます。

8.4.4.1 割り込み多重制御における優先レベル

割り込み処理中（割り込み多重制御を行っている場合に限る）の場合、現在サービス中の割り込みより優先レベルの高い割り込みのみ受け付けます。このとき、サービス中の割り込みの優先レベル以下のレベルはマスクされます。

受け付け可能な割り込み要求に対して、「**8.4.4 割り込み優先レベル**」に記載された方法で優先レベルの判定が行われます。

削除: また、カスケード接続して割り込み要因数を拡張した場合の優先レベルは、割り込み優先レベル格納レジスタ **m (PRLm)** の優先レベルよりも、カスケード接続順の優先レベルが低くなります。つまり、**ARM CPU** に直接接続される本割り込みコントローラの割り込

削除: み優先レベルが最も高く、カスケードした本割り込みコントローラは、カスケード段数に応じて優先レベルが下がります。

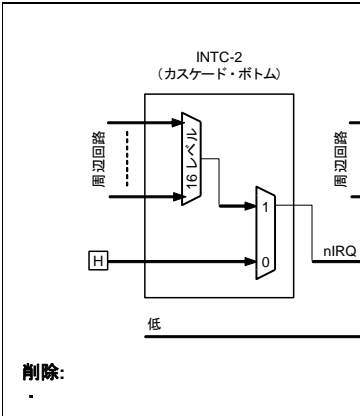


図8-9 . カスケード接続での割り込み優先レベル。

書式変更: フォント : 太字

書式変更: フォント : MS ゴシック

削除: 8.5.4 割り込み優先レベル

8.4.4.2 多重割り込み処理

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 8-8 に示します。

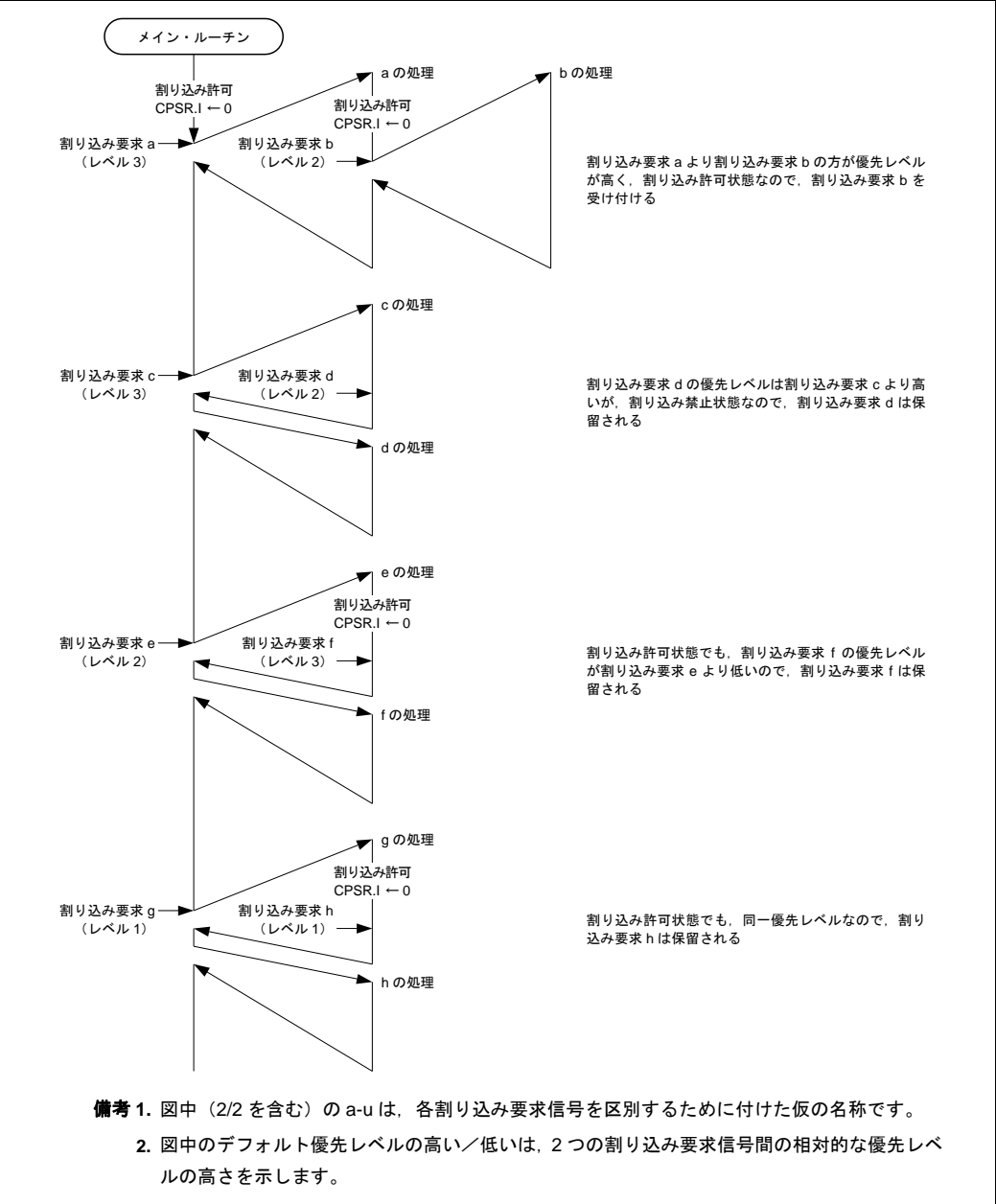


図8-8 多重割り込み処理概念図 (1/2)

削除: 図 8-8

削除: 図 8-10 図 8-10

書式変更: フォント : (日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う

削除: 8-10

書式変更: フォント : (日) MS ゴシック

削除: 810

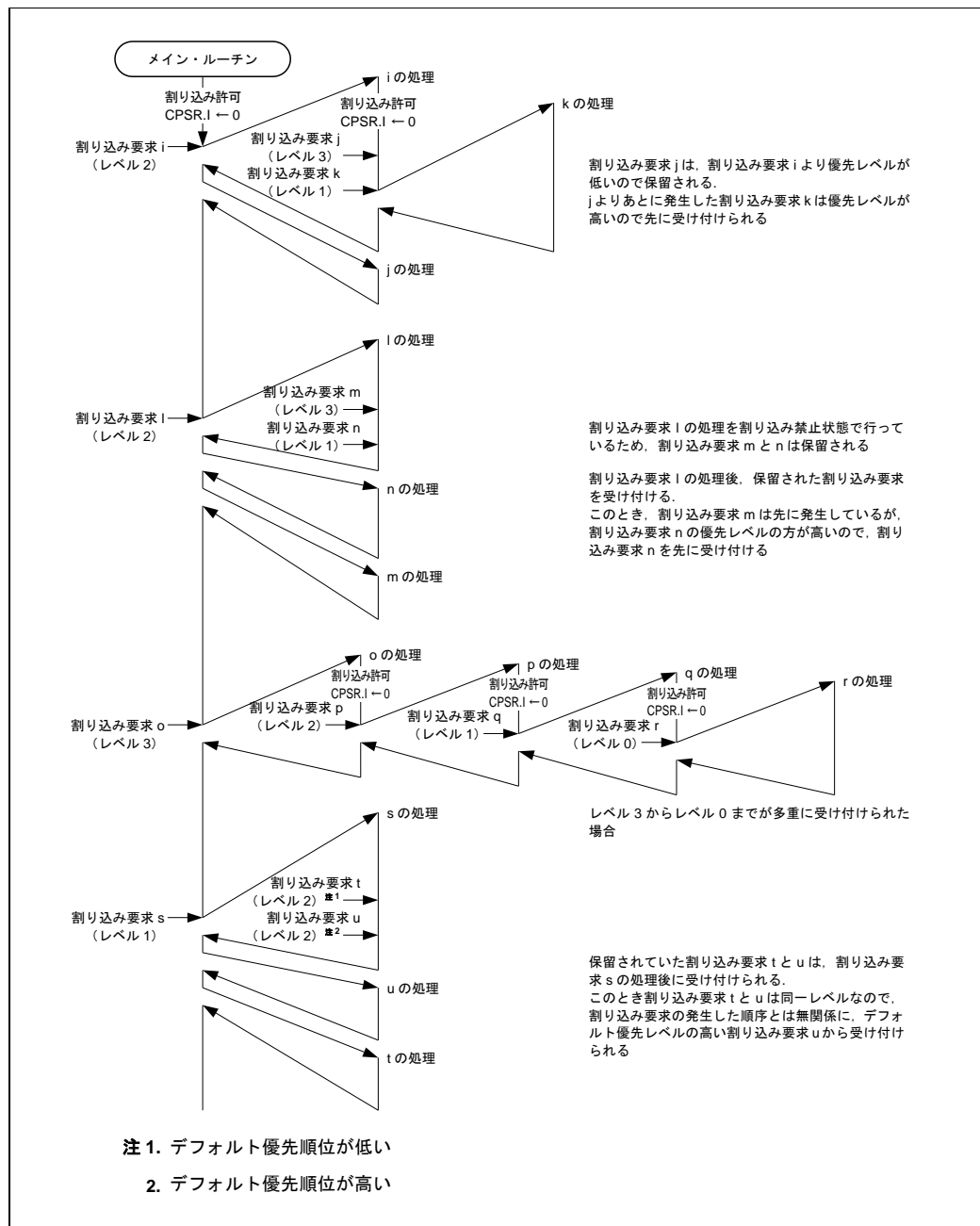


図 8-9 多重割り込み処理概念図 (2/2)

削除: 911

8.5 IRQ 動作タイミング図

8.5.1 AHB バス使用時の IRQ 動作タイミング

本割り込みコントローラを単体で使用したときの、IRQ 動作タイミングを図 8-10、図 8-11 に示します。
HVA レジスタ・リードにより IRQ がデアサートされます。
データ・フェーズでは 3 クロックのウエイトが挿入されます。
(割り込み信号：非同期)

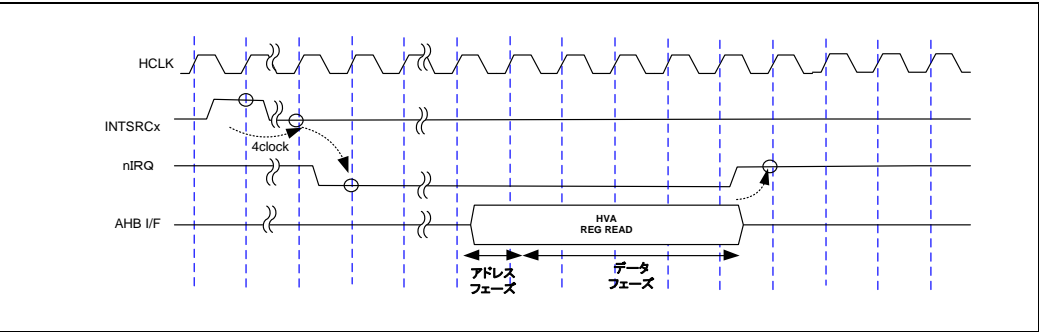


図8-10 IRQ 動作タイミング（エッジ検出）

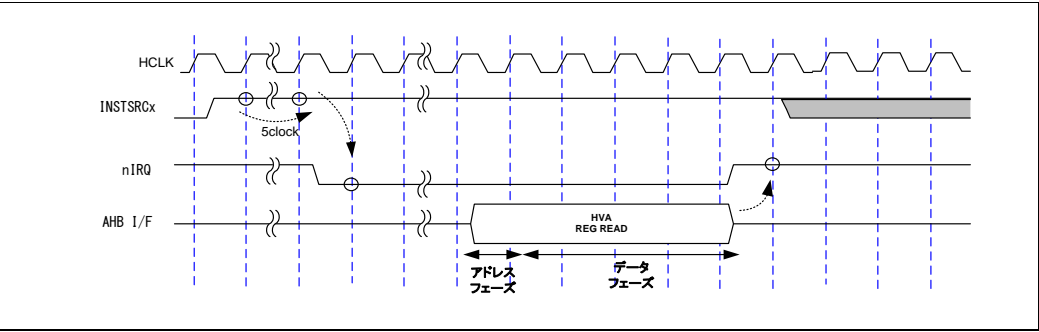


図8-11 IRQ 動作タイミング（レベル検出）

- 削除: 図 8-10
- 削除: 図 8-12 図 8-12
- 書式変更: フォント：(日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う
- 削除: 8-12
- 削除: 8-11
- 書式変更: フォント：(日) MS ゴシック
- 削除: 図 8-13 図 8-13
- 書式変更: フォント：(日) MS ゴシック
- 書式変更: フォント：(日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う
- 削除: 8-13
- 削除: m

削除: 1012

削除: 1113

削除: 備考

8.5.2 ベクタ割り込み使用時の IRQ 動作タイミング

ベクタ割り込み使用時のエッジ検出時の IRQ 動作タイミングを図 8-12、図 8-13 に示します。
ARM CPU とのハンドシェーク規格による VADOUT hold 期間があり、IRQADDRV のアサートから IRQACK のデアサートまで VADOUT の値を保持します。
(割り込み信号：非同期、ベクタ割り込み端子：同期)
IRQACK と IRQADDRV のハンドシェーク期間中に IRQ はデアサートされます。

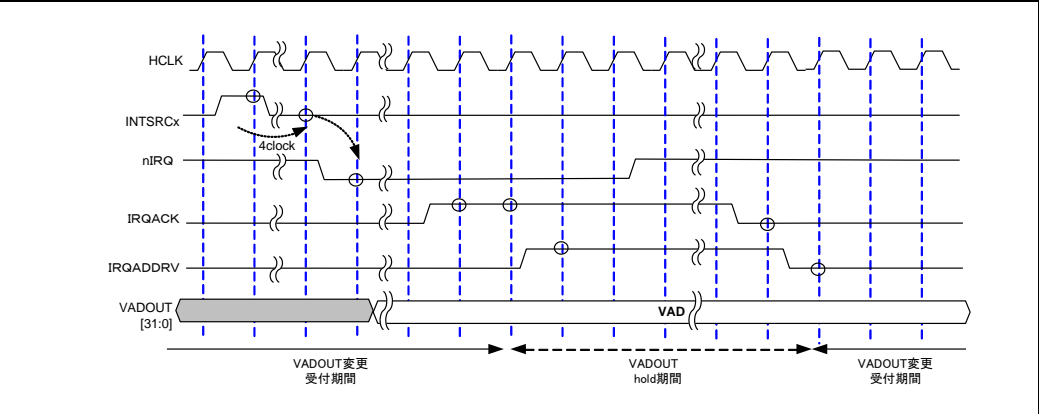


図8-12 IRQ 動作タイミング（エッジ検出）

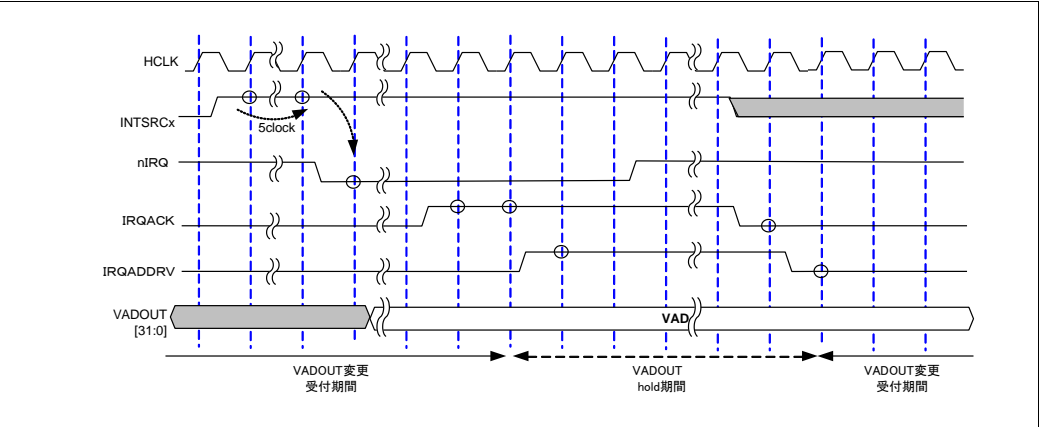


図8-13 IRQ 動作タイミング（レベル検出）

備考 INTSRCx：周辺回路からの割り込み入力
nIRQ：IRQ 出力
IRQACK：CPU、または上位の本割り込みコントローラからの IRQ アクノリッジ出力
IRQADDRV：CPU、または上位の本割り込みコントローラへのベクタ・アドレス有効出力
VADOUT：CPU、または上位の本割り込みコントローラへのベクタ・アドレス出力

- 削除: 図 8-12
- 削除: 図 8-14 図 8-14
- 書式変更: フォント：(日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う
- 削除: 8-14
- 書式変更: フォント：(日) MS ゴシック
- 削除: 図 8-13
- 削除: 図 8-15 図 8-15
- 書式変更: フォント：(日) MS ゴシック
- 書式変更: フォント：(日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う
- 削除: 8-15

削除: 1214

削除: 1315

8.5.3 多重割り込み要求時の IRQ 動作タイミング

(1) 高プライオリティ要求時

割り込み動作中に、高プライオリティ要求があったときの IRQ 動作タイミングを図 8-14 に示します。
(割り込み信号：非同期)

INTSRC_low のアサートを確認した後に、CPU は HVA リードで VAD_low を取り込み INTSRC_low 処理ルーチンに移行します。処理ルーチン実行中に、よりプライオリティの高い INTSRC_high のアサートを検出したので、CPU は INTSRC_low 処理ルーチンを一時中断し、HVA リードで VAD_High を取り込み INTSRC_high 処理ルーチンに移行します。

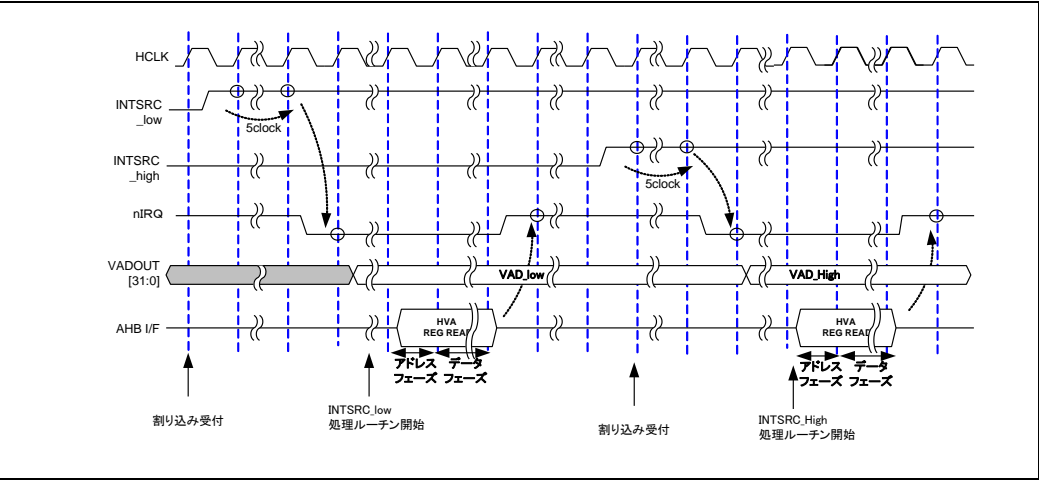


図8-14 IRQ 動作タイミング（多重割り込み要求：高プライオリティ要求）

削除: 図 8-14

削除: 図 8-16 図 8-16

書式変更: フォント: (日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う

削除: 8-16

書式変更: フォント: (日) MS ゴシック

削除: 1416

(2) 低プライオリティ要求時

割り込み動作中に、低プライオリティ要求があったときの IRQ 動作タイミングを図 8-15 に示します。

(割り込み信号：非同期)

INTSRC_high のアサートを確認した後に、CPU は HVA リードで VAD_high を取り込み INTSRC_high 処理ルーチンに移行します。処理ルーチン実行中に、プライオリティの低い INTSRC_low のアサートがありますがマスクされます。CPU は INTSRC_high 処理ルーチン終了を示す HVA ライトを行います。その後、マスクが解除され INTSRC_low のアサートを確認します。

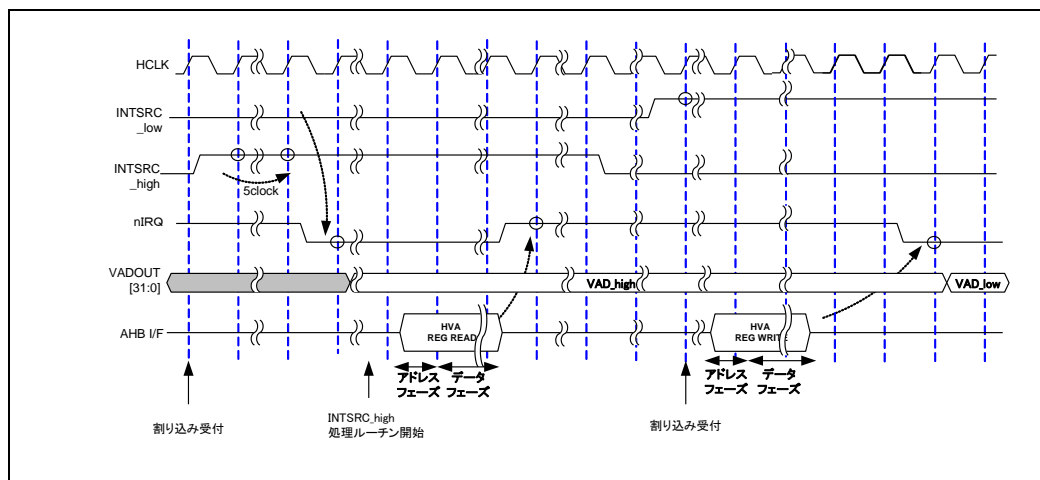


図8-15 IRQ 動作タイミング (多重割り込み要求：低プライオリティ要求)

削除: 図 8-15

削除: 図 8-17 図 8-17

書式変更: フォント: (日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う

削除: 8-17

書式変更: フォント: (日) MS ゴシック

削除: 1517

(3) HVA リードと高プライオリティ要求の競合時

割り込み動作中に、HVA レジスタのリードと高プライオリティ要求が競合したときの IRQ 動作タイミングを **図 8-16** に示します。(割り込み信号：非同期)

INTSRC_low が先にアサートされ、その後に INTSRC_mid がアサートされています。CPU が HVA リードし、VAD_mid を取り込み INTSRC_mid 処理ルーチンに移行します。処理ルーチン実行中に、よりプライオリティの高い INTSRC_high のアサートを検出したので、CPU は INTSRC_mid 処理ルーチンを一時中断し、HVA リードで VAD_High を取り込み INTSRC_high 処理ルーチンに移行します。CPU は INTSRC_high 処理ルーチン終了を示す HVA ライトを行います。その後、中断していた INTSRC_mid 処理ルーチンを再開します。CPU は INTSRC_mid 処理ルーチン終了を示す HVA ライトを行います。その後、INTSRC_low のアサートを確認します。

削除: 図 8-16

削除: 図 8-18 図 8-18

書式変更: フォント: (日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う

削除: 8-18

書式変更: フォント: (日) MS ゴシック

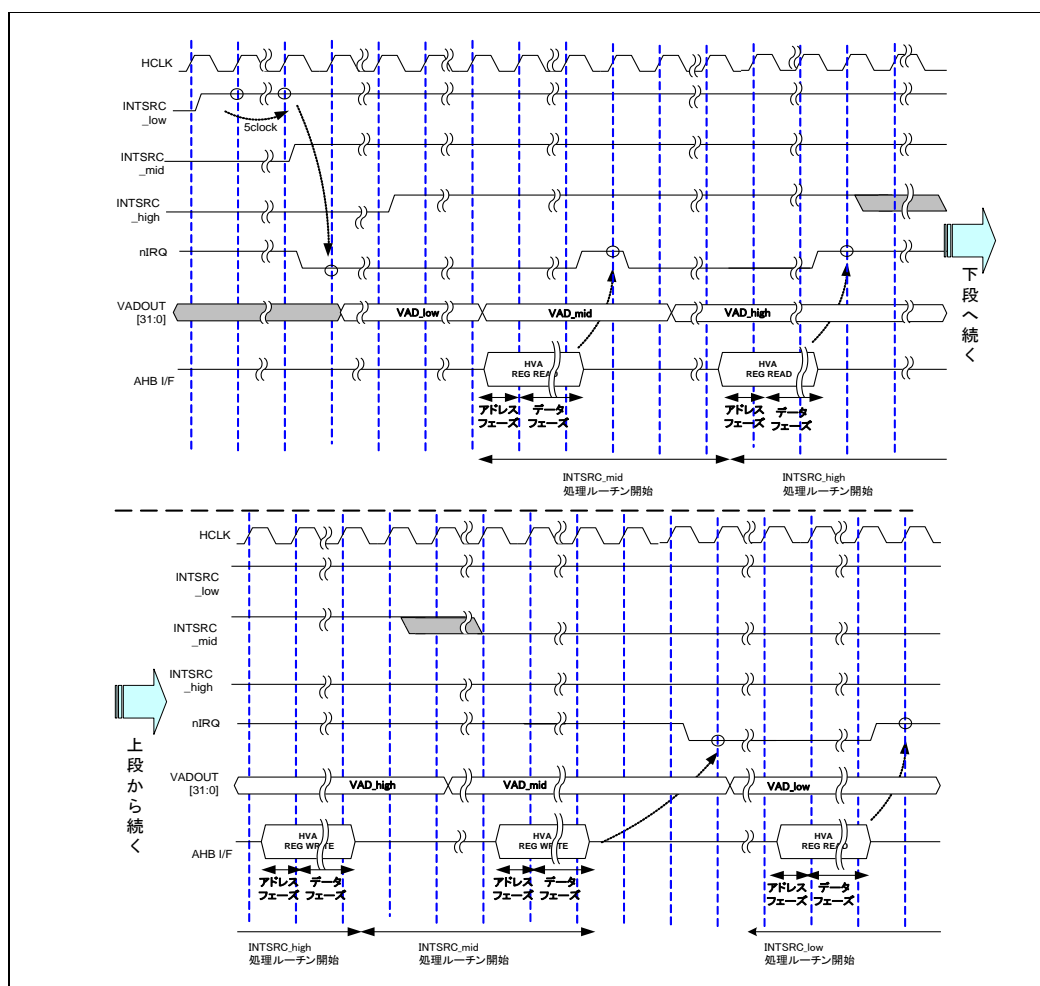


図8-16 IRQ 動作タイミング (多重割り込み要求: 競合)

削除: 1618

8.5.4 ペクタ割り込み使用時の多重割り込み要求時の IRQ タイミング

ARM CPU とのハンドシェーク規格による VADOUT hold 期間があり、IRQADDRV のアサートから IRQACK のデアサートまで VADOUT の値を保持します。

(1) 低プライオリティ要求と高プライオリティ要求の競合

ペクタ割り込み使用時に、低プライオリティ要求と高プライオリティ要求が競合したときの IRQ 動作タイミングを図 8-17 に示します。

(割り込み信号：非同期、ペクタ割り込み端子：同期)

INTSRC_low が先にアサートされ、その後に INTSRC_high がアサートされています。CPU は、IRQACK をアサートした後 IRQADDRV のアサートを確認して、VAD_high を取り込み INTSRC_high 処理ルーチンに移行します。

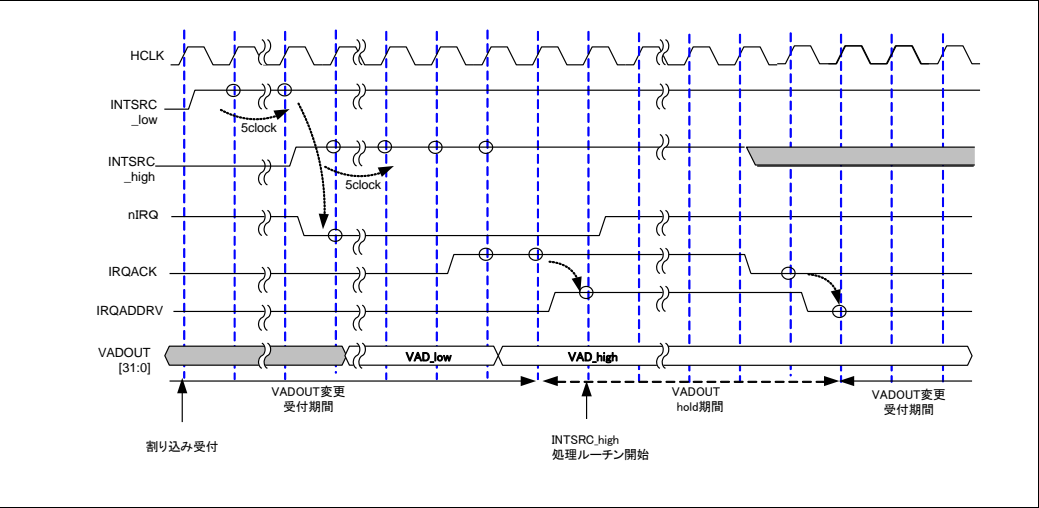


図8-17 IRQ 動作タイミング (多重割り込み要求：高プライオリティ要求)

削除: 図 8-17

削除: 図 8-19 図 8-19

書式変更: フォント : (日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う

削除: 8-19

書式変更: フォント : (日) MS ゴシック

削除: 1719

(2) VADOUT hold 期間と高プライオリティ要求の競合

ベクタ割り込み利用時に VADOUT hold 期間と高プライオリティ要求が競合したときの IRQ 動作タイミングを **図 8-18** に示します。

(割り込み信号：非同期、ベクタ割り込み端子：同期)

INTSRC_low が先にアサートされ、その後に INTSRC_high がアサートされています。CPU は、IRQACK をアサートした後に IRQADDRV のアサートを確認して、VAD_low を取り込み INTSRC_low 処理ルーチンに移行します。

IRQACK をデアサートした後に INTSRC_high のアサートを確認したので、IRQACK を再度アサートします。

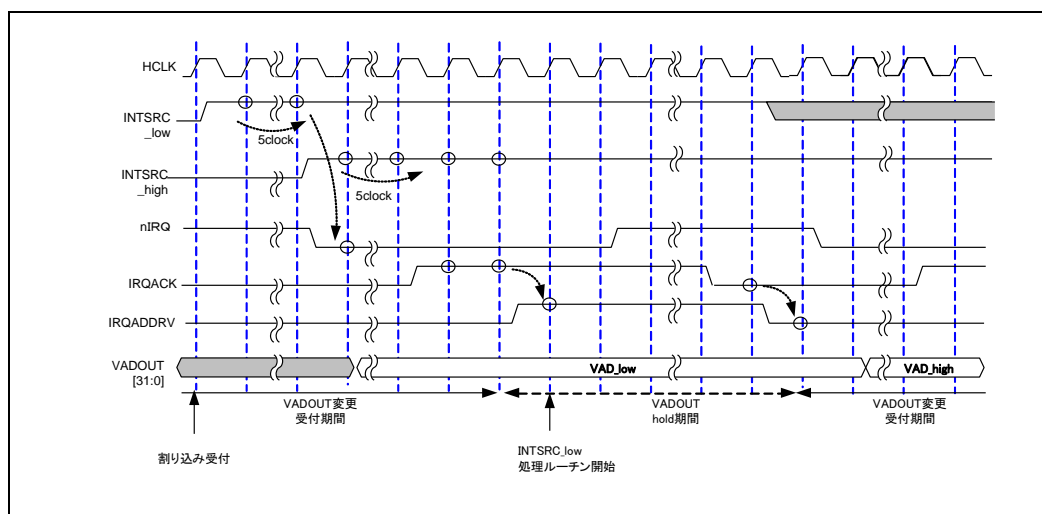


図8-18 IRQ 動作タイミング (多重割り込み要求：VADOUT hold 期間)

削除: 図 8-18

削除: 図 8-20 図 8-20

書式変更: フォント: (日) MS ゴシック, 太字 (なし), スペル チェックと文章校正を行う

削除: 8-20

書式変更: フォント: (日) MS ゴシック

削除: 1820

8.6 使用上の注意点

8.6.1 ベクタ割り込み端子使用時の注意点

AHB バスとベクタ割り込み端子はそれぞれ個別に動作するため、AHB バスを使用した HVA レジスタ・リード／ライトとベクタ割り込み端子の競合が考えられます。競合が起こった場合、正常なベクタ・アドレスが出力されなくなる可能性があります。

ベクタ割り込み端子と HVA レジスタ・ライトとの競合時は、AHB バスが HVA レジスタにダミー・ライトを行い、そのライト完了応答がくるまで CPU の IRQ 割り込みを禁止することによってベクタ割り込み端子 (IRQACK) のアサートがされないようにしています。

HVA レジスタ・ライトを行う場合、ライト完了応答を必ず待ってから CPU の IRQ 割り込みを許可するようにしてください。

図 8-5 に示す順序通りの動作を行うことにより競合を回避するようにしていますので、必ず守るようにしてください。

8.6.2 レベル検出選択時の注意点

割り込み要求をレベル検出に設定している場合、一度アサートされた割り込みを CPU からの割り込み解除処理以外でディアサートしないでください。正常なベクタ・アドレスが出力されない可能性があります。

また、多重割り込みを許可している割り込み処理中に、割り込み要求が過渡的なタイミングで取り下げられた場合、サービス中の割り込みに再びジャンプします。この割り込み処理で HVA レジスタ・ライトを行うと、本割り込みコントローラは割り込み処理が終了したと認識するため、CPU が認識している割り込み要因とずれてしまいます。

削除: 図 8-6 . 図 8-6 . に

書式変更: フォント : (日) MS ゴシック

削除: 図 8-5

書式変更: フォント : (日) MS ゴシック
太字 (なし) , スペル チェックと
文章校正を行う

書式変更: フォント : (日) MS ゴシック

書式変更: フォント : (日) MS ゴシック

削除: 本割り込みコントローラが割り込みを受け付け、CPU がベクタ・アドレスを取得する前に割り込み要求がディアサートされた場合、同時に他の割り込み要求がないときは VADIN[31:0]端子に設定した値をベクタ・アドレスとして出力します。このように割り込み要求が過渡的なタイミングで取り下げられたケースを処置するために、VADIN[31:0]に 0000_0014H (ハイベクタ時は FFFF_0014H) を設定し、CPU の 0000_0014H (ハイベクタ時は FFFF_0014H) には復帰命令のみを配置することを推奨しています。 .