

第5章 クロック機能

5.1 機能・特徴

- ・ JL-086A にて使用するクロック、リセットを生成する。
- ・ 入力クロックは 2 系統で 25MHz と 30MHz。
- ・ 出力クロックは、システムクロックとして 20 本、UDL サーボドライブクロックとして 33 本、UDL ネットワーククロックとして 5 本を出力する。その他に、PLL モニタ用のテスト信号として 2 本のクロックを出力する。
- ・ リセットは、非同期リセット 3 本 (DDR 用、UDL 用、その他) と同期リセット 1 本を出力する。
- ・ PLL は本ブロック内で 4 個使用。別途 USB-SS、PCIE-SS に存在。
- ・ 30MHz は UDL 部、USB-SS、CSI バス、I2C バスで使用する。それ以外は 25MHz を使用。
- ・ クロック周波数選択機能を持つ。(CPU クロック、DDR クロック、I2C クロック、外部メモリクロック)
- ・ クロック位相選択機能を持つ。(GbE クロック)
- ・ クロックゲーティング機能を持つ。(UDL クロック、USB クロック、ADC クロック、GbE クロック、外部メモリクロック)
- ・ PLL1 のロック信号を出力する。
- ・ ソフトリセットに対応。

削除: 1 本

書式変更: フォント : 太字

全体ブロック図を図 5-1 に記載します。

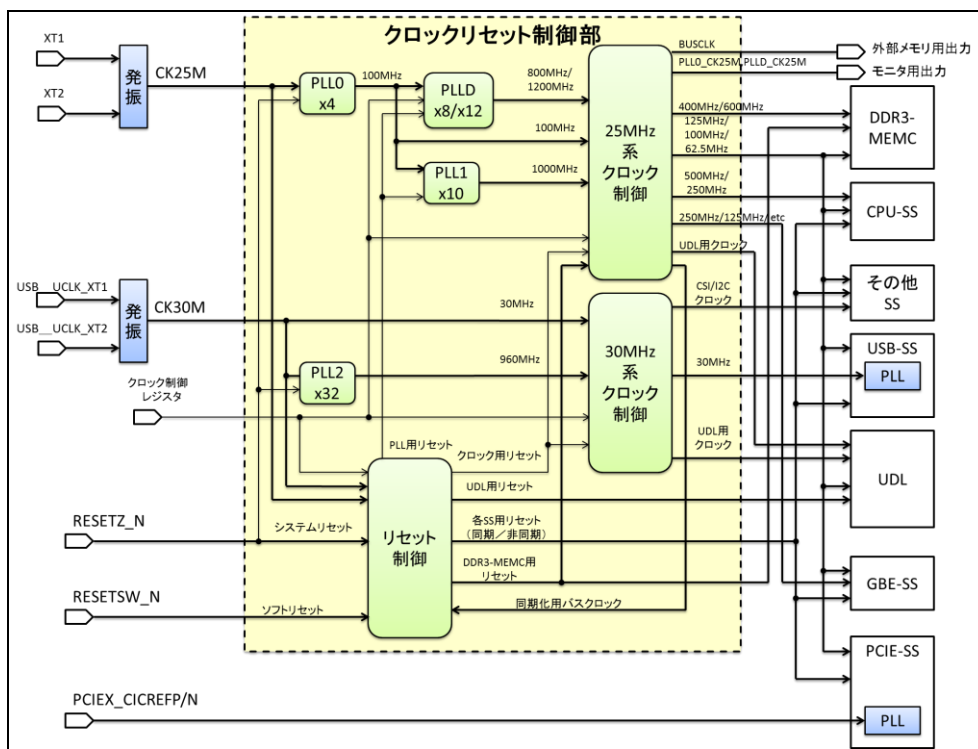


図 5-1 全体ブロック図

書式変更: 標準, 左揃え

書式変更: フォント : (英) Century, (日) MS Pゴシック, 10.5 pt

5.2 クロック仕様

5.2.1 入力クロック仕様

表 5-1 入力クロック仕様

端子名	クロック 周波数	デューティ比	目標クロック 周波数	同期 関係	クロックの 供給状態	使用 エッジ	ゲーテッド クロック
CK30M	30MHz	30-70% (PLL 仕様)	36MHz (マージン 1.2 倍)	なし	常に安定した 供給が必要	rise	なし
CK25M	25MHz	30-70% (PLL 仕様)	30MHz (マージン 1.2 倍)	なし	常に安定した 供給が必要	rise	なし

5.2.2 出力クロック仕様

表 5-2 出力クロック仕様 (1)

端子名	出力クロック周波数	デューティ比	分類	ゲートッドクロック	接続先	機能
CPU_CK	500/250 MHz	50%	PLL1 系	なし	CPU-SS	CPU-SS 用クロック リセットラッチレジスタにて周波数切り替え
CK125M	125MHz	50%	PLL1 系	なし	AXI-SS AHB-SS	AXI/AHB バス用クロック
CK62_5M	62.5MHz	50%	PLL1 系	なし	APB-SS	APB バス用クロック
DDR_CK	400/600 MHz	50%	PLLD 系	なし	DDR3-MEMC	DDR3-MEMC 用クロック レジスタにて周波数切り替え
CK_GMIL_ETH	125MHz	50%	PLL1 系	あり (CLKG_GBE_N)	GBE-SS	GBE-SS 用クロック
ADC_CK	62.5MHz	50%	PLL1 系	あり (CLKG_ADC_N)	ADC	ADC 用クロック
USB_CK	30MHz	端子入力スルー	二	あり (CLKG_USB_N)	USB-SS	USB-SS 用クロック
CSI_CK	24MHz	50%	PLL2 系	なし	CSI	CSI 用クロック
I2C_CK	8.57/9.23 9.6MHz	50%	PLL2 系	なし	I2C	I2C 用クロック
CK320M	320MHz	33%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	PLL2_960M の 3 分周
CK320MB	320MHz	33%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK320M の位相 180°遅れ
UDL_CK160M	160MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK160M の ゲートッドクロック
CK80M	80MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK160M の 2 分周
CK80MD	80MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK80M の位相 90°遅れ
CK80MB	80MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK80M の反転
CK40M	40MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK160M の 4 分周
CK40MB	40MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK40M の反転
CK32M	32MHz	20%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK160M の 5 分周
CK32MB	32MHz	20%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK32M の位相 180°遅れ
CK26_7M	26.7MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK160M の 6 分周
CK26_7MB	26.7MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK26_7M の反転
CK20M_G1	20MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK160M の 8 分周
CK20M_G2	20MHz	50%	PLL2 系	あり (CLKG_UDL_N _{U1})	UDL	CK160M の 8 分周

表の書式変更

削除: 同期関係

削除: _1000M↑

書式変更: フォント : 太字 (なし)

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: _DDR_CK .

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: -SS

削除: -SS

削除: CK30M

削除: _960M↑

削除: -SS

削除: -SS

削除: PLL2_960M↑

削除: -SS

削除: -SS

削除: PLL2_960M↑

削除: 0

削除: PLL2_960M↓

削除: 90

削除: 0

削除: PLL2_960M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↓

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↓

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

表 5-3 出力クロック仕様 (2)

端子名	出力クロック周波数	デューティ比	分類	ゲートッドクロック	接続先	機能
CK16M	16MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 10 分周
CK16MB	16MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK16M の反転
CK16MB_G	16MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK16M の反転
CK10M_G1	10MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 16 分周
CK10M_G2	10MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 16 分周
CK8M	8MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 20 分周
CK4M	4MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 40 分周
CK4MB	4MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK4M の反転
SIO4M_G1	4MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 40 分周
SIO4M_G2	4MHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 40 分周
CK62_5K_G	62.5kHz	50%	PLL2 系	あり (CLKG_UDL_N[1])	UDL	CK160M の 2560 分周
CC160M	160MHz	50%	PLL2 系	なし	UDL	PLL2_960M の 6 分周
CC160MB	160MHz	50%	PLL2 系	なし	UDL	UDL CK160M の反転
CC80M	80MHz	50%	PLL2 系	なし	UDL	CK160M の 2 分周
CC80MB	80MHz	50%	PLL2 系	なし	UDL	CK80M の反転
CC4M	4MHz	50%	PLL2 系	なし	UDL	CK160M の 40 分周
CK125M_USD	125MHz	50%	PLL1 系	あり (CLKG_UDL_N[1])	UDL	PLL1_1000M の 8 分周 (サーボ系 AXI バスクロック)
CK125M_M	125MHz	50%	PLL1 系	あり (CLKG_UDL_N[1])	UDL	PLL1_1000M の 8 分周 (サーボ系 AXI バスクロック)
CK125M_MD	125MHz	50%	PLL1 系	あり (CLKG_UDL_N[1])	UDL	CK125M_M の位相 90°遅れ
CK125M_UNW	125MHz	50%	PLL1 系	あり (CLKG_UDL_N[0])	UDL	PLL1_1000M の 8 分周 (ネットワーク系 AXI バスクロック)
CK200M	200MHz	60%	PLL1 系	あり (CLKG_UDL_N[0])	UDL	PLL1_1000M の 5 分周
CK100M	100MHz	50%	PLL1 系	あり (CLKG_UDL_N[0])	UDL	PLL1_1000M の 10 分周
CK100MB	100MHz	50%	PLL1 系	あり (CLKG_UDL_N[0])	UDL	PLL1_1000M の 10 分周
UDL CK25M	25MHz	50%	PLL1 系	あり (CLKG_UDL_N[0])	UDL	PLL1_1000M の 40 分周
PLL0 CK25M	25MHz	50%	PLL0 系	なし	外部端子	PLL0_100M の 4 分周
PLLD CK25M	25/37.5 MHz	50%	PLLD 系	なし	外部端子	PLLD_DDR CK の 32 分周
DDRPLL CK	600/800/1200MHz	50%	PLLD 系	なし	DDR3-MEMC	DDR3-MEMC 用クロック レジスタにて周波数切替可
DDRDFI CK	150/200/300MHz	50%	PLLD 系	なし	DDR3-MEMC	DDR3-MEMC 用クロック レジスタにて周波数切替可

削除: 同期関係

表の書式変更

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: CK160M↑

削除: 0

削除: PLL2_960M↑

削除: PLL2_960M↑

削除: CK160M↑

削除: CK160M↑

削除: CK160M↑

削除: PLL1_1000M↑

削除: 5

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: 100

削除: _100M↑

削除: PLLD_DDR CK .

↑

削除: PLLD_DDR CK .

↑

削除: PLLD_DDR CK .

↑

表 5-4 出力クロック仕様 (3)

端子名	出力クロック 周波数	デューテ ィ比	分類	ゲートッドクロック	接続先	機能
CK250M_ATB	250MHz	50%	PLL1系	なし	CPU-SS	CPUSS ATB クロック
CK250M_GBE	250MHz	50%	PLL1系	あり (CLKG_GBE_N)	GBE-SS	GBESS 転送用クロック (RGMII 用)
CK250M_GBEAC	250MHz	50%	PLL1系	あり (CLKG_GBE_N)	GBE-SS	GBESS 転送用クロック (RGMII 用)
CK50M_GBE	50MHz	50%	PLL1系	あり (CLKG_GBE_N)	GBE-SS	GBESS 転送用クロック (RMII 用) ※2
CK25M_GBE	25MHz	50%	PLL1系	あり (CLKG_GBE_N)	GBE-SS	GBESS 転送用クロック (MII 用) ※2
CK2_5M_GBE	2.5MHz	50%	PLL1系	あり (CLKG_GBE_N)	GBE-SS	GBESS 転送用クロック (MII 用) ※2
CK125M_G	125MHz	25/50% ※1	PLL1系	なし	CPU-SS	CPUSS AXI インタフェース クロック制御信号
BUSCLK	125/62.5/31.25/ 15.625MHz	50%	PLL1系	あり (CLKG_OUT_N)	外部端子	外部メモリ用クロック レジスタにて周波数切り替え
CK100M_PCI	100MHz	50%	PLL1系	なし	PCI-SS	PCISS 用クロック

※1 CPU_CK の周波数切替に依存

CPU_CK=500MHz 時: duty25%, 250MHz 時: duty 50%

※2 ソフトリセット発生→解除後、クロックの変化タイミングが CK250M_GBE や CK_GMII_ETH の変化タイミ
ングと揃わない場合があるが、同クロックとの間に同期関係は無いため、問題無い。また、CK50M_GBE、
CK25M_GBE、CK2_5M_GBE、これら 3 つのクロック間に同期関係は無く、位相フリーである。

削除: 同期関係

表の書式変更

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

削除: PLL1_1000M↑

5.3 クロック切り替え

以下に切り替え可能なクロックを示します。

5.3.1 CPU クロック切り替え

HW リセット時のみ選択できます。動作モード選択より設定してください。
動作モードの選択方法は、第 4 章 初期化インターフェースを参照ください。

表 5-5 CPU クロック

No.	設定	用途	CPU
1	1	CPUクロック MAX周波数設定	500MHz
2	0	CPUクロック 低電力設定	250MHz

書式変更: フォント : 太字

書式変更: フォント : 太字

5.3.2 I2C クロック切り替え

SCU レジスタで切り替え可能です。選択方法は第 6 章 SCU をご参照ください。

表 5-6 I2C クロック

No.	設定	用途	I2C通信 クロック
1	00	I2C転送速度MIN	8.57MHz
2	01	I2C転送速度MID (default設定)	9.23MHz
3	10	I2C転送速度MAX	9.6MHz

削除: C

5.3.3 DDR3 クロック切り替え

SCU レジスタで切り替え可能です。選択方法は第 6 章 SCU をご参照ください。

表 5-7 DDR3 クロック

No.	設定	用途	DDR3
1	00	DDR転送速度MIN(600Mbps) (default設定)	600MHz
2	01	DDR転送速度MID(800Mbps)	800MHz
3	10	DDR転送速度MAX(1.2Gbps)	1200MHz

削除: .

.
. .
. .
. .
. .
. .
. .

削除: (注)

削除:

削除: .

削除: .

.
. .
. .
. .
. .
. .
. .

削除: 3

削除: 解除

削除: 350μ

削除: を待つ

注 クロック切り替え時には、一旦 DDR3 のクロック供給を停止(SCU レジスタにて)してからクロック切り替える必要があります。その後クロック供給停止を解除し、DDR_PLL のロック待ち時間(656us)経過後、動作可能となります。

5.4.2 発振子使用

発振子使用の際は、以下の図 5-4、5-5 で示すような接続を推奨しております。
※推奨値は付録 C. ボード推奨設計をご確認ください。

・ 25MHz

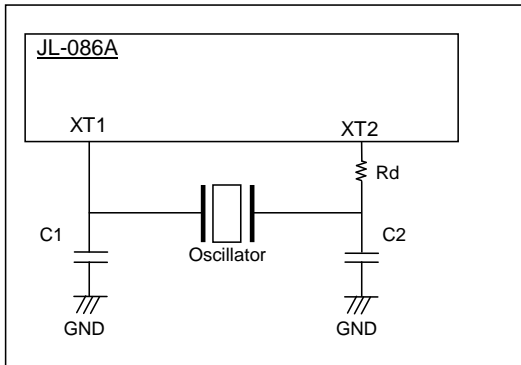


図 5-4 25MHz の発振子使用

・ 30MHz

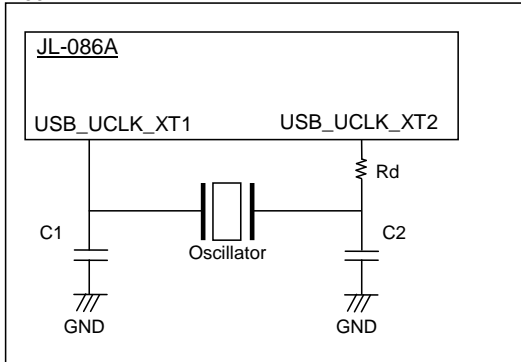


図 5-5 30MHz の発振子使用

削除: .

削除: z