
第24章 PCI-ex (GEN1)

24.1 概要

PCI Express コアは Device Type (Root Complex/Endpoint)に応じた Transaction Layer ならびに Type0/1 の Configuration Register を内蔵しています。

マクロ機能仕様

- AXI Interface 仕様 (AMBA® AXI Protocol v1.0 Specification ARM IHI 0022B 準拠)

リトルエンディアンのみ対応

Master 部

- 1 ポート
- バス幅 64bit (Configurable)
- バースト・タイプ インクリメントのみ (1~16 ワード、4/8 バースト・サイズ)
- バイト・レーン転送あり、ナロー転送あり (32bit レジスタ領域のみ)、アンアラインド転送なし
- 書き込みインターリーブの深さ=1
- プロテクション (データ/ユーザ/非セキュア) はレジスタ設定可能
- アクセス・タイプ 通常のみ (排他/ロック・アクセスは未対応)

Slave 部

- 1 ポート
- バス幅 64bit (Configurable)
- バースト・タイプ インクリメント (1~16 ワード、1,2,4,8 バースト・サイズ)、非インクリメント・バースト (1beat のみ)
- バイト・レーン転送 (有効バイトが連続している場合のみ)、アンアラインド転送対応、ナロー転送対応 (1,2,4,8Byte)
- プロテクションは区別しない (受信は可能)
- アクセス・タイプ 通常/ロック・アクセスのみ (排他アクセスは未対応)
- キャッシュ信号(ARCACHE/AWCACHE)は Write 時のバッファブルビットのみ対応

- PCI Express 仕様 (PCI Express Base Specification 2.0 準拠)
(PHY Interface for the PCI Express Architecture 2.0 準拠)

- PCI Express Gen1(2.5Gbps), Pipe Interface
- Root Complex/Endpoint Applications, Type0/1 Configuration Register
- Multiple lane implementations x1
- Lane reversal and Polarity inversion
- Maximum data payload of 128/256 bytes, Maximum read request size 128/256 byte
- Virtual channels (VC0 only)
- Number of function 1
- Dynamic control of speed/width up/down configuration
- ECRC
- Power Management
- Error handling/logging
- ECC/Parity with Retry Buffer

24.2 端子情報

以下表に端子情報を記載します。

表 24-1 PCI マクロ端子一覧

端 子 名	I/O	説 明	Active
PCI Express (from/to PAD)			
PCIEX_CICREFP	in	リファレンス・クロック入力(Positive)	-
PCIEX_CICREFN	in	リファレンス・クロック入力(Negative)	-
PCIEX_RIDP	in	シリアル・データ入力 (Positive)	-
PCIEX_RIDN	in	シリアル・データ入力 (Negative)	-
PCIEX_TODP	out	シリアル・データ出力 (Positive)	-
PCIEX_TODN	out	シリアル・データ出力 (Negative)	-
VDDA	in	アナログ VDD	-
VSSA	in	アナログ GND	-
VDDD	In	デジタル VDD	-
Interrupt Signals (外部端子ではありません)			
INTA_EP	in	Endpoint 用 INTA 割り込み信号入力 (レベル信号入力: 内部バスクロック 2 クロック以上)	High
INTB_EP	in	Endpoint 用 INTB 割り込み信号入力 (レベル信号入力: 内部バスクロック 2 クロック以上)	High
INTC_EP	in	Endpoint 用 INTC 割り込み信号入力 (レベル信号入力: 内部バスクロック 2 クロック以上)	High
INTD_EP	in	Endpoint 用 INTD 割り込み信号入力 (レベル信号入力: 内部バスクロック 2 クロック以上)	High
INTA_RC	out	Root Complex 用 INTA 割り込み信号出力	High
INTB_RC	out	Root Complex 用 INTB 割り込み信号出力	High
INTC_RC	out	Root Complex 用 INTC 割り込み信号出力	High
INTD_RC	out	Root Complex 用 INTD 割り込み信号出力	High
INTMSI_RC	out	MSI 割り込み信号出力	High
AXI_ERR_INT	out	Event 割り込み信号出力 (AXI)	High
MSG_INT	out	メッセージ割り込み受信信号出力	High
INT_SERR	out	システム・エラー割り込み信号出力	High
INT_ALL	out	割り込み信号出力	High
Macro Control Signals			
PCIEX_MODE_PORT	in	Device Type 設定用入力 1: Root Complex (Downstream Port) 0: Endpoint (Upstream Port)	-
その他 (外部端子ではありません)			
TURN_OFF_EVENT	out	Endpoint 用 PME_Turn_Off Msg. 受信フラグ出力 Power Down の準備ができれば、TURN_OFF_EVENT_ACK で応答してください。	High
TURN_OFF_EVENT_ACK	in	Endpoint 用アクリリッジ入力 PME_Turn_Off Message 受信を示す、TURN_OFF_EVENT フラグに対し、Power Down の準備が整ったことを示します。1 クロック・パルスを入力してください。この入力信号を受けて、マクロからは PME_TO_Ack Message を送信します。 注) 本端子は、内部で High にクランプしています。	High (パルス)
D3_EVENT	out	Endpoint 用 Non-D0 State 遷移要求受信出力 Power State が D0 以外 (D3) に遷移したことを示します。 Power State 遷移の準備ができれば、D3_EVENT_ACK で応答してください。	High
D3_EVENT_ACK	in	Endpoint 用アクリリッジ入力 D3_EVENT フラグに対し、Power State 遷移の準備が整ったことを示します。1 クロック・パルス (内部バスクロック) を入力してください。 この入力信号をアサート後に、PCIeI に向けた各種リクエストの発行は禁止となります。 注) 本端子は、内部で High にクランプしています。	High (パルス)
ALLOW_ENTER_L1	in	Root Complex 用 ASPM L1 ステート許可設定用入力 Root Complex: Downstream からの L1 遷移要求に対し許可します。 Endpoint: 未サポート 注) 本端子は、内部で Low にクランプしています。	High

24.3 メモリ・マップ

以下に、メモリ・マップの設定方法を示します。

このマクロはアドレス・インデックス形式を採っています。すべての **PCI Express** コマンドはこのメモリ空間もしくはレジスタ空間を通して発行されます。

24.3.1 アドレス変換

AXI→PCIe, PCIe→AXI アクセスのアドレスの変換は以下のように行われます。

図 24-1 アドレス変換は各データのバイナリ値を図式化したものです。



図 24-1 アドレス変換

Input Address は **Window** の設定値範囲内(**Base** レジスタ-**Mask** レジスタ間)であることが前提です。

Output Address の最終値は **Mask** レジスタでマスク処理された **Input Address** と **Mask** レジスタで反転マスク処理された **Destination** レジスタが図のように配置された形で出力されます。このとき **Dest** のデータと **Mask** のデータが重複している場合は重複部が有効データとして扱われないことに注意してください。

AXI→PCIe アクセスではさらに上位 **32bit** の **Destination** レジスタの値が付加されます。

24.3.2 PCIe → AXI (AXI Window)

図 24-2 に **AXI Window** とレジスタの対応を示します。

PCI Express (RX 側) からの **MWr/MRd** データを **AXI** バスへ転送する際に使用されます。

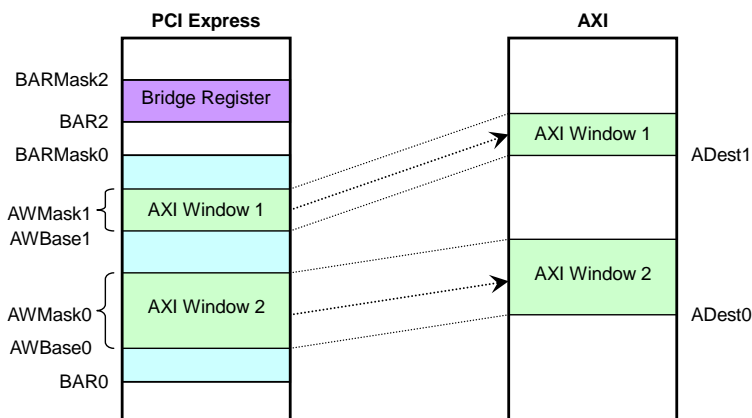


図 24-2 PCI-AXI Access

AWBase と **AWMask** は **BAR0** 空間内に設定してください。

(**BAR** : **PCI Express Configuration Register, Base Address Register**)

このとき、**BAR** には基点となるアドレス、**BARMask** には領域の大きさを設定します。この空間で設定したアドレスの範囲に最大**4**つまで**Window**を持つことが可能です。**AXI** へのアクセスは**ADest x** から**AWMask x** の範囲で行われます（**x** は **Window** 番号に対応した番号で **0~3** の数字が入ります）。**AXI Access Address** は以下の式で表すことができ、**64** ビットアドレスから **32** ビットアドレスに変換されます。

$$\text{AXI Access Address} = \text{PCIe Access Address} - \text{BAR0} - \text{AW Base } x + \text{A Dest } x$$

設定例を以下に示します。

BAR0	0000_0000_1000_0000h (512M)	PCIe Configuration Register
BARMask0	0000_0000_0FFF_FFFCh (512M)	PCIe Configuration Register
割り当てられた領域：0000_0000_1000_0000h~ 0000_0000_1FFF_FFFFh (512M 領域)		
AWBase	0010_0000h (1M)	AXI Bridge Register
AWMask0	0003_FFFFh (256k)	AXI Bridge Register
ADest0	0100_0000h (16M)	AXI Bridge Register
AXI Window	0100_0000h~0103_FFFFh (256k 領域)	

上述の設定で、図 24-3 のような **Window** が形成されます。

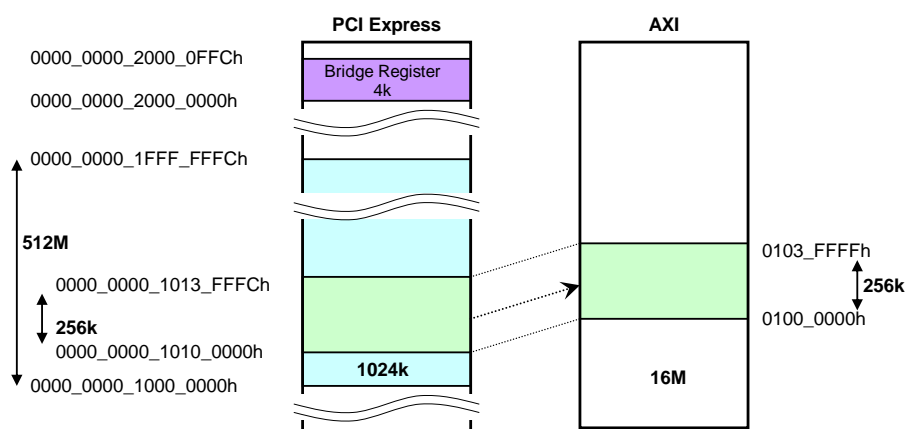


図 24-3 PCI-AXI Access（設定例）

また、**BAR2** 領域には **Bridge Register** が配置されます。このときの領域は **4KB** となります。**BAR2:0000_0000_2000_0000h, BARMask2:0000_0FFCh**（固定）で上図のようになります。**BAR/BARmask, AWBase x /AWMask x, AWMask x /ADest x** は 2 つのレジスタの値を足したときにビットにキャリーが発生しないようにしてください（設定例赤字部分）。
また、**BAR-BARMask** 間で与えられる領域は最小 **4kB** の領域となります。
各 Window および Bridge Register 領域は、重ならないように設定してください。

24.3.3 AXI → PCIe (PCIe Window)

図 24-4 に PCIe Window とレジスタの対応を示します。
AXI バスからのデータを MWr/MRd として、PCI Express (TX 側) へ転送する際に使用されます。

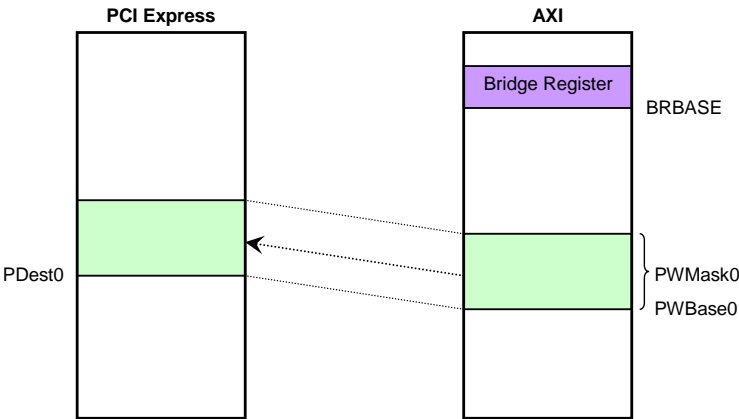


図 24-4 AXI-PCIe Access

最大 4 つまで Window を持つことが可能です。PCIe へのアクセスは PDest x から PWMask x の範囲で行われます (x は対応した番号で 0~3 の数字が入ります)。各レジスタの設定は PCIe to AXI Access と同様に行うことができます。

PCIe Access Address は以下の式で表すことができ、32 ビットアドレスから 64 ビットアドレスに変換されます。

PCIe Access Address= AXI Access ADR - PW Base + P Dest

設定例を以下に示します。

BAR	0000_0000_1000_0000h (512M)	PCIe Configuration Register
BARMask	0000_0000_07FF_FFFCh (256M)	PCIe Configuration Register
割り当てられた領域 : 0000_0000_1000_0000h~ 0000_0000_17FF_FFFh (256M 領域)		
PWBase0	0070_0000h (4M)	AXI Bridge Register
PWMask0	000F_FFFh (1M)	AXI Bridge Register
PDest0	0070_0000h (4M)	AXI Bridge Register
PCIe Window	0070_0000h~007F_FFFh (1M 領域)	

また、**BRBASE**（端子設定）を基点とした **8KB** の領域には、**Bridge Register** が配置されます。
 上述の設定で、**図 24-5** のような **Window** が形成されます。

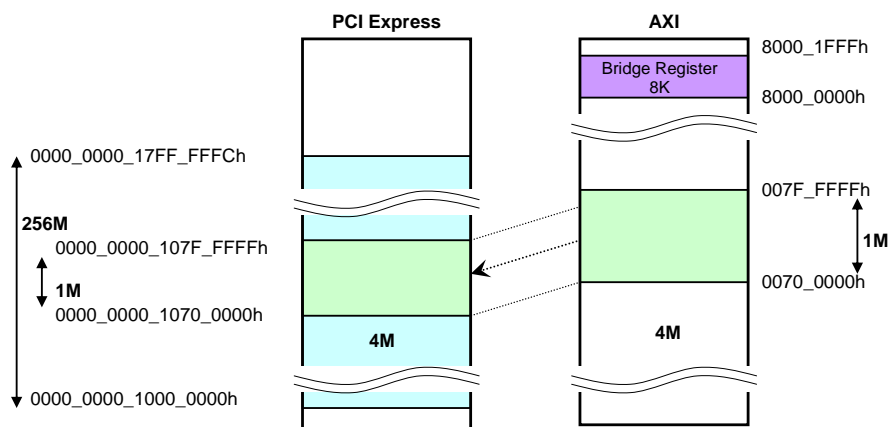


図 24-5 AXI-PCIe Access（設定例）

AXI 側から見える **Bridge Register** の領域は **BRBASE:0100_0000h** で上図のような設定になります。このとき **Bridge Register** の領域は **8kB** 固定となります。

各 Window および Bridge Register 領域は、重ならないように設定してください。

24.4 レジスタ一覧

マクロに搭載されているレジスタ一覧を以降に示します。

24.4.1 レジスタ・タイプ

表 24-2 に各レジスタのタイプを示します。

表 24-2 レジスタ・タイプ

Register Attribute	Description
RO	Read-only Read のみ可能なレジスタであることを示します。
RW	Read-Write Read/Write 可能なレジスタであることを示します。
RW1C	Write-1-to-clear status Read のみ可能なレジスタで 1b を Write することで 0b にクリアすることができます。 0b を Write した場合はなにも変わりません。

24.4.2 AXI Bridge Registers 一覧

表 24-3 に AXI Bridge Registers 一覧を示します。

特に明記しない限り、**Byte/Word/Double Word** でのアクセスが可能です。

レジスタへのアクセスは **AXI** バス側および **PCIe** バス側から可能となっています。レジスタによっては、アクセス方向により、アトリビュートが変わります。アトリビュートが変わるレジスタは、表中 R/W 欄の上段が PCIe 側、下段が AXI 側からのアクセス時のアトリビュートを表します。なお、どちらからのアクセスでも変わらない場合は、上下段に分かれていません。

表 24-3 AXI Bridge Registers

Address	レジスタ名	略称	R/W	初期値	Access Size
PCI Express to AXI Access					
6FED_0000h	AXI Window Base 0	AWBase0	RW 注1	0000_0000h	32, 16, 8bit
6FED_0004h	AXI Window Mask 0	AWMask0	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0008h	AXI Destination 0	ADest0	RW 注1	0000_0000h	32, 16, 8bit
6FED_000Ch	Reserved				
6FED_0010h	AXI Window Base 1	AWBase1	RW 注1	0000_0000h	32, 16, 8bit
6FED_0014h	AXI Window Mask 1	AWMask1	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0018h	AXI Destination 1	ADest1	RW 注1	0000_0000h	32, 16, 8bit
6FED_001Ch	Reserved				
6FED_0020h	AXI Window Base 2	AWBase2	RW 注1	0000_0000h	32, 16, 8bit
6FED_0024h	AXI Window Mask 2	AWMask2	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0028h	AXI Destination 2	ADest2	RW 注1	0000_0000h	32, 16, 8bit
6FED_002Ch	Reserved				
6FED_0030h	AXI Window Base 3	AWBase3	RW 注1	0000_0000h	32, 16, 8bit
6FED_0034h	AXI Window Mask 3	AWMask3	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0038h	AXI Destination 3	ADest3	RW 注1	0000_0000h	32, 16, 8bit
6FED_003Ch	Reserved				
AXI to PCI Express Access					
6FED_0040h	PCIe Window Base 0	PWBase0	RW 注1	0000_0000h	32, 16, 8bit
6FED_0044h	PCIe Window Mask 0	PWMask0	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0048h	PCIe Destination 0 (Lower)	PDset0	RW 注1	0000_0000h	32, 16, 8bit
6FED_004Ch	PCIe Destination 0 (Upper)	PDset0	RW	0000_0000h	32, 16, 8bit
6FED_0050h	PCIe Window Base 1	PWBase1	RW 注1	0000_0000h	32, 16, 8bit

Address	レジスタ名	略称	R/W	初期値	Access Size
6FED_0054h	PCIe Window Mask 1	PWMask1	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0058h	PCIe Destination 1 (Lower)	PDset1	RW 注1	0000_0000h	32, 16, 8bit
6FED_005Ch	PCIe Destination 1 (Upper)	PDset1	RW	0000_0000h	32, 16, 8bit
6FED_0060h	PCIe Window Base 2	PWBase2	RW 注1	0000_0000h	32, 16, 8bit
6FED_0064h	PCIe Window Mask 2	PWMask2	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0068h	PCIe Destination 2 (Lower)	PDset2	RW 注1	0000_0000h	32, 16, 8bit
6FED_006Ch	PCIe Destination 2 (Upper)	PDset2	RW	0000_0000h	32, 16, 8bit
6FED_0070h	PCIe Window Base 3	PWBase3	RW 注1	0000_0000h	32, 16, 8bit
6FED_0074h	PCIe Window Mask 3	PWMask3	RW 注1	0000_0FFFh	32, 16, 8bit
6FED_0078h	PCIe Destination 3 (Lower)	PDset3	RW 注1	0000_0000h	32, 16, 8bit
6FED_007Ch	PCIe Destination 3 (Upper)	PDset3	RW	0000_0000h	32, 16, 8bit
Request Issuing					
6FED_0080h	Request Data Register 1		RO RW	0000_0000h	32, 16, 8bit
6FED_0084h	Request Data Register 2		RO RW	0000_0000h	32, 16, 8bit
6FED_00088h	Request Data Register 3		RO RW	0000_0000h	32, 16, 8bit
6FED_0008Ch	Request Receive Data Register		RO RW	----_----h	32, 16, 8bit
6FED_00090h	Request Address Register 1		RO RW	----_----h	32, 16, 8bit
6FED_00094h	Request Address Register 2		RO RW	----_----h	32, 16, 8bit
6FED_00098h	Request Byte Enable Register		RO RW	0000_0000h	32, 16, 8bit
6FED_0009Ch	Request Issue Register		RO RW	0000_000Fh	32, 16, 8bit
6FED_00A0~ 6FED_00FCh	Reserved				
Interruption					
6FED_0100h	MSI Receive Window Address (Lower)		RW	0000_0000h	32, 16, 8bit
6FED_0104h	MSI Receive Window Address (Upper)		RW	0000_0000h	32, 16, 8bit
6FED_0108h	MSI Receive Window Mask		RW	0000_0003h	32, 16, 8bit
6FED_010Ch	Reserved				
6FED_0110h	PCI INTx Receive Interrupt Enable		RW	0000_0000h	32, 16, 8bit
6FED_0114h	PCI INTx Receive Interrupt Status		RWIC	0000_0000h	32, 16, 8bit
6FED_0118h	PCI INTx Out Status		RO	0000_0000h	32, 16, 8bit
6FED_011Ch	Reserved				
Message					
6FED_0120h	Message Receive Interrupt Enable		RW	0000_0000h	32, 16, 8bit
6FED_0124h	Message Receive Interrupt Status		RWIC	0000_0000h	32, 16, 8bit
6FED_0128h~ 6FED_012Ch	Reserved				
6FED_0130h	Message Code		RO	0000_0000h	32, 16, 8bit
6FED_0134h	Message Data		RO	0000_0000h	32, 16, 8bit
6FED_0138h	Message Header 3rdDW		RO	0000_0000h	32, 16, 8bit
6FED_013Ch	Message Header 4thDW		RO	0000_0000h	32, 16, 8bit
Interrupt Table					
6FED_0140h	Interrupt Table		RO	0000_0000h	32, 16, 8bit

Address	レジスタ名	略称	R/W	初期値	Access Size
6FED_0144h~ 6FED_01FCh	Reserved				
Error Event					
6FED_0200h	PCIe Error Interrupt 0 Enable		RW	0000_0000h	32, 16, 8bit
6FED_0204h	PCIe Error Interrupt 0 Status		RW1C	0000_0000h	32, 16, 8bit
6FED_0208h, 6FED_020Ch	Debug Control Register				
6FED_0210h	AXI Master Error Interrupt Enable		RW	0000_0000h	32, 16, 8bit
6FED_0214h	AXI Master Error Interrupt Status		RO ^注	0000_0000h	32, 16, 8bit
6FED_0218h ~ 6FED_021Ch	Reserved				
6FED_0220h	AXI Slave Error Interrupt 1 Enable		RW1C	0000_0000h	32, 16, 8bit
6FED_0224h	AXI Slave Error Interrupt 1 Status		RW1C	0000_0000h	32, 16, 8bit
6FED_0228h, 6FED_022Ch	Debug Control Register				
6FED_0230h ~ 6FED_02FCh	Reserved				
Macro Control					
6FED_0300h	Permission Register		RO RW	0000_0000h	32, 16, 8bit
6FED_0304h ~ 6FED_030Ch	Reserved				
6FED_0310h	Reset		RW	0000_00--h	32, 16, 8bit
6FED_0314h	Mode Set 0 Register		RW	2002_2002h	32, 16, 8bit
6FED_0318h	Mode Set 1 Register		RW	0000_00F4h	32, 16, 8bit
6FED_031Ch, 6FED_0320h	Debug Control Register				
6FED_0324h ~ 6FED_037Ch	Reserved				
6FED_0380h ~ 6FED_038Ch	General Purpose Output	GPO	RW	0000_0000h	32, 16, 8bit
6FED_0390h ~ 6FED_039Ch	General Purpose Input	GPI	RO	0000_0000h	32, 16, 8bit
6FED_0400h	PCIe Core Mode Set Register 1		RW	0000_0000h	32, 16, 8bit
6FED_0404h	PCIe Core Control Register 1		RW	0000_0000h	32, 16, 8bit
6FED_0408h	PCIe Core Status Register 1		RW	0000_0000h	32, 16, 8bit
6FED_040Ch	PCIe Loopback Test Register		RW	0000_0000h	32, 16, 8bit
6FED_0410h	PCIe Core Control Register 2		RW	0000_0000h	32, 16, 8bit
6FED_0414h	PCIe Core Status Register 2		RW	----_----h	32, 16, 8bit
6FED_0418h, 6FED_041Ch	Debug Monitor Register				
6FED_0420h ~ 6FED_0428h	Debug Control Register				
6FED_042Ch~ 6FED_043Ch	Reserved				
6FED_0440~ 6FED_04FCh	Debug Control Register				
6FED_0500h~ 6FED_06FCh	Reserved				
6FED_0700h~ 6FED_07FCh	DEBUG		RO	0000_0000h	32, 16, 8bit

Address	レジスタ名	略称	R/W	初期値	Access Size	
Reserved						
6FED_0800h~ 6FED_0FFCh	Reserved					
	Reserved					
PCIe Configuration Register						
6FED_1000h~ 6FED_10D0h	「24.4.3 PCI Express Configuration Registers 一覧」参照					
6FED_10DCh~ 6FED_1FFCh	Reserved					
Physical layer Control/Monitor Registers 注2 (プロセスにより初期値が変わります)						
6FED_2000h	Driver Voltage Level Control Register 1		R/W	90nm Gen1	-	32bit
				90nm	140F_0A06h	
				40nm	1811_0A04h	
6FED_2008h	Driver Voltage Level Control Register 2		R/W	90nm Gen1	-	32bit
				90nm	-	
				40nm	0B06_0300h	
6FED_2010h	Driver Voltage Level Control Register 3		R/W	90nm Gen1	0000_0000h	32bit
				90nm	140F_0A06h	
				40nm	1611_0A04h	
6FED_2018h	Driver Voltage Level Control Register 4		R/W	90nm Gen1	0101_0101h	32bit
				90nm	-	
				40nm	0D06_0300h	
6FED_2020h	Driver Voltage Level Control Register 5		R/W	90nm Gen1	0000_0000h	32bit
				90nm	0014_0014h	
				40nm	001C_001Ch	
6FED_2028h	Driver Emphasis Level Control Register 1		R/W	90nm Gen1	-	32bit
				90nm	0015_000Fh	
				40nm	0093_008Ah	
6FED_2030h	Driver Emphasis Level Control Register 2		R/W	90nm Gen1	0000_0005h	32bit
				90nm	0000_0000h	
				40nm	0080_008Dh	
6FED_2038h	Driver Emphasis Level Control Register 3		R/W	90nm Gen1	0037_0005h	32bit
				90nm	000F_0000h	
				40nm	008A_0080h	
6FED_2040h	Receiver Control Register		R/W	90nm Gen1	0100_0004h	32bit
				90nm	0101_0007h	
				40nm	0101_000Fh	
6FED_2048h	Pipe Logic Control Register		R/W	共通	0001_0000h	32bit
6FED_2050h	Monitor Register		R	共通	0000_0000h	32bit
6FED_2058h	Reserved for Physical Layer					
6FED_2060~ 6FED_20C0h	Debug Control Register					
6FED_20C8~ 6FED_20D8h	Reserved for Physical Layer					
6FED_20E0~ 6FED_20F0h	Debug Monitor Register					
6FED_20F8h	Reserved for Physical Layer					

注1：フィールドによっては、**Read Only bit** が存在します。

注2：コンフィグレーションにより、40nm を選択しています。

備考：**Debug Registers:** 当社でのデバッグ用のレジスタです。

アクセスした場合、**誤動作の原因**となりかねません。ご注意ください。

24.4.3 PCI Express Configuration Registers 一覧

表 24-4 に Configuration Registers 一覧を示します。

レジスタ詳細に関しては、別の章「24.14CFGU(Configuration Registers)」を参照ください。

表 24-4 PCI Express Configuration Registers

Byte Offset	31			0
Common Configuration Space				
6FED_0000h	Device ID (086Ah)		Vendor ID (1313h)	
6FED_0004h	Status		Command	
6FED_0008h	Class Code			Revision ID
6FED_000Ch	BIST	Header Type	Master Latency Timer	Cash Line Size
Type0 Configuration Space (for Endpoint)				
6FED_0010h	Base Address Register 0			
6FED_0014h	Base Address Register 1			
6FED_0018h	Base Address Register 2			
6FED_001Ch	Base Address Register 3			
6FED_0020h	Base Address Register 4			
6FED_0024h	Base Address Register 5			
6FED_0028h	Card-bus CIS Pointer			
6FED_002Ch	Subsystem ID (0250h)		Subsystem Vendor ID (1313h)	
6FED_0030h	Expansion ROM Base Address			
6FED_0034h	Reserved			Capabilities Pointer
6FED_0038h	Reserved			
6FED_003Ch	Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line
Type1 Configuration Space (for Root Complex)				
6FED_0010h	Base Address Register 0			
6FED_0014h	Base Address Register 1			
6FED_0018h	Secondary Latency	Subordinate Bus #	Secondary Bus #	Primary Bus #
6FED_001Ch	Secondary Status		I/O Limit	I/O Base
6FED_0020h	Memory Limit		Memory Base	
6FED_0024h	Prefetchable Memory Limit		Prefetchable Memory Base	
6FED_0028h	Prefetchable Base Upper 32 Bits			
6FED_002Ch	Prefetchable Limit Upper 32 Bits			
6FED_0030h	I/O Limit Upper 16 Bits		I/O Base Upper 16 Bits	
6FED_0034h	Reserved			Capabilities Pointer
6FED_0038h	Reserved (Expansion ROM Base Address)			
6FED_003Ch	Bridge Control		Interrupt Pin	Interrupt Line
PCI Power Management Capability Structure				
6FED_0040h	Power Management Capability Register		Next Capability Pointer	Capability ID
6FED_0044h	Data	Power Management Status Register		
MSI and MSI-X Capability Structure				
6FED_0050h	MSI Capability Register			
6FED_0054h	MSI Address Lower 32 Bits			
6FED_0058h	MSI Address Upper 32 Bits			
6FED_005Ch	MSI Data			
PCI Express Capability Structure				
6FED_0060h	PCI Express Capability Register		Next Cap Pointer	PCIe Cap ID
6FED_0064h	Device Capabilities			
6FED_0068h	Device Status		Device Control	
6FED_006Ch	Link Capabilities			
6FED_0070h	Link Status		Link Control	
6FED_0074h	Reserved (Slot Capabilities)			
6FED_0078h	Reserved (Slot Status)		Reserved (Slot Control)	
6FED_007Ch	Reserved (Root Capabilities)		Reserved (Root Control)	
6FED_0080h	Reserved (Root Status)			
6FED_0084h	Device Capabilities 2			
6FED_0088h	Device Status 2		Device Control 2	
6FED_008Ch	Link Capabilities 2			

Byte Offset	31	0
6FED_0090h	Link Status 2	Link Control 2
6FED_0094h	Reserved (Slot Capabilities 2)	
6FED_0098h	Reserved (Slot Status 2)	Reserved (Slot Control 2)
Advanced Error Reporting (AER) Capability		
6FED_0100h	PCI Express Enhanced Capability Header	
6FED_0104h	Uncorrectable Error Status Register	
6FED_0108h	Uncorrectable Error Mask Register	
6FED_010Ch	Uncorrectable Error Severity Register	
6FED_0110h	Correctable Error Status Register	
6FED_0114h	Correctable Error Mask Register	
6FED_0118h	Advanced Error Capabilities and Control Register	
6FED_011Ch	Header Log Register 0	
6FED_0120h	Header Log Register 1	
6FED_0124h	Header Log Register 2	
6FED_0128h	Header Log Register 3	
6FED_012Ch	Reserved (Root Error Command)	
6FED_0130h	Reserved (Root Error Status)	
6FED_0134h	Reserved (Error Source Identification Register)	Reserved (Correctable Error Source Identification Register)
Device Serial Number Capability		
6FED_0140h	PCI Express Enhanced Capability Header	
6FED_0144h	Serial Nmber Register (Lower DW)	
6FED_0148h	Serial Number Register (Upper DW)	
Special Register		
6FED_00A0h	Base Address Register Mask00 (Lower)	
6FED_00A4h	Base Address Register Mask00 (Upper)	
6FED_00A8h	Base Address Register Mask01 (Lower)	
6FED_00ACh	Base Address Register Mask01 (Upper)	
6FED_00B0h	Base Address Register Mask02 (Lower)	
6FED_00B4h	Base Address Register Mask02 (Upper)	
6FED_00B8h	Reserved	
6FED_00BCh	Reserved	
6FED_00C0h	Base Size 00	
6FED_00C4h	Base Size 01	
6FED_00C8h	Base Size 02	
6FED_00CCh	Reserved	
6FED_00D0h	Type Supported	

24.4.4 レジスタ機能説明

以降に各レジスタの機能説明を記載します。

レジスタへのアクセスは **AXI** バス側および **PCIe** バス側から可能となっています。レジスタによっては、アクセス方向により、アトリビュートが変わります。**Attribute** 欄の上段が PCIe 側、下段が AXI 側からのアクセス時のアトリビュートを表します。なお、どちらからのアクセスでも変わらない場合は、上下段に分かれていません。

なお、**PCI Express Configuration Register** の機能詳細は別章を参照ください。

24.4.4.1 AXI Window Base Registers (Offset: 00h/ 10h/ 20h/ 30h)

PCIe から **AXI** にアクセスする際のアドレス変換用の **Window** 設定レジスタです。

PCIe 側のアドレスの基点を設定します。設定可能な領域は **4K** バウンダリとなります。

Default: 0000_0000h

		AWBase				Reserved		AXI Master Size 32		AXI Window Enable	
Bits	#	#				4	3	2	1	0	
Default	0				0	0	0	0	0	0	
Attribute	RW				RO	RO	RW	RW			

Bit	Field	Description
31:12	AWBase[31:12]	PCIe から AXI にアクセスする際のアドレス変換用の Window 設定レジスタです。設定可能な領域は 4 バウンダリとなります。
11:4	AWBase[11:4]	0b 固定
3:2	Reserved	(00b 固定)
1	AXI Master Size 32	AXI Master の動作 AxSize を決定します。32bit を設定時は制限事項がつかます。 0: 64bit 1: 32bit
0	AXI Window Enable	AXI Window の Enable 設定。 0: Window 無効 1: Window 有効

24.4.4.2 AXI Window Mask Registers (Offset: 04h/ 14h/ 24h/ 34h)

PCIe から **AXI** にアクセスする際のアドレス変換用の **Window** 設定レジスタです。

AWBase レジスタに設定したアドレスから設定ビット数の領域に **Window** 設定します。設定可能な領域は **4K×2^N** となります。

Default: 0000_0FFFh

		AWMask				
Bits	31	12 11				0
Default	0				12'hFFF	
Attribute	RW				RO	

Bit	Field	Description
31:12	AWMask[31:12]	AWBase レジスタに設定したアドレスから設定ビット数の領域に Window 設定します。設定は下位ビットから 1 を設定します。よって設定可能な領域は 4 k × 2 ^N となります。
11:0	AWMask[11:0]	12'hFFF 固定

24.4.4.3 AXI Destination Registers (Offset: 08h/ 18h/ 28h/ 38h)

PCIe から AXI にアクセスする際のアドレス変換用の Window 設定レジスタです。
AXI 側からのアドレス空間内の Window 基点を設定します。設定可能な領域は 4K バウンダリになります。

Default: 0000_0000h

	ADest																																																				
Bits	31																															12										11											0
Default	0																																									0											
Attribute	RW																																									RO											

Bit	Field	Description
31:12	ADest[31:12]	AXI 側からのアドレス空間内の Window 基点を設定します。設定可能な領域は 4k バウンダリになります。
11:0	ADest[11:0]	12'h000 固定

24.4.4.4 PCIe Window Base Registers (Offset: 40h/ 50h/ 60h/ 70h)

AXI から PCIe にアクセスする際のアドレス変換用の Window 設定レジスタです。
AXI 側のアドレスの基点を設定します。設定可能な領域は 4K バウンダリとなります。

Default: 0000_0000h

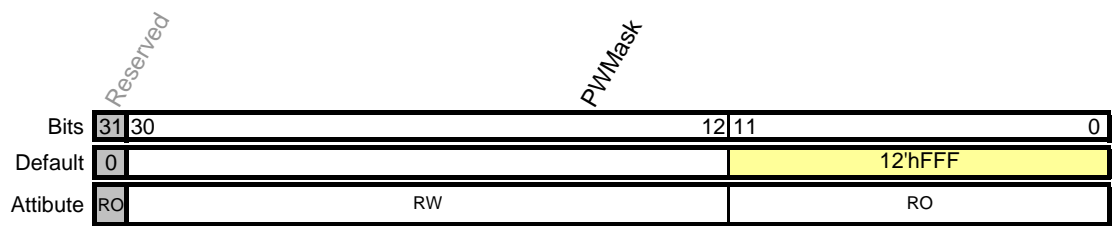
	PWBase																Reserved		PCIe Window Enable				
Bits	31												12	11				4		3	1		0
Default	0												0				0		0		0		
Attribute	RW												RO				RO		RW				

Bit	Field	Description
31:12	PWBase[31:12]	AXI 側のアドレスの基点を設定します。 設定可能な領域は 4K バウンダリとなります。
11:4	PWBase[11:4]	0b 固定
3:1	Reserved	(000b 固定)
0	PCle Window Enable	PCle Window の Enable 設定。 0: Window 無効 1: Window 有効

24.4.4.5 PCIe Window Mask Registers (Offset: 44h/ 54h/ 64h/ 74h)

PCIe から AXI にアクセスする際のアドレス変換用の Window 設定レジスタです。
PWBase レジスタに設定したアドレスから設定ビット数の領域に Window 設定します。

Default: 0000_0FFFh

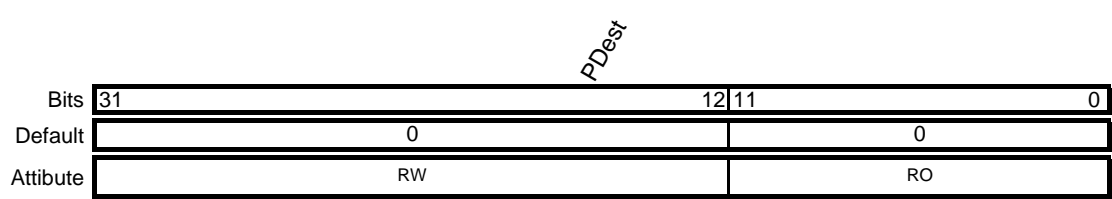


Bit	Field	Description
31	Reserved	
30:12	PWSMask[30:12]	PWBase レジスタに設定したアドレスから設定ビット数の領域に Window 設定します。設定は下位ビットから 1 を設定します。
11:0	PWSMask[11:0]	12'hFFF 固定

24.4.4.6 PCIe Destination (Lower) Registers (Offset: 48h/ 58h/ 68h/ 78h)

PCIe から AXI にアクセスする際のアドレス変換用の Window 設定レジスタです。
PCIe 側のアドレス空間内の Window 基点を設定します。設定可能な領域は 4K バウンダリとなります。

Default: 0000_0000h

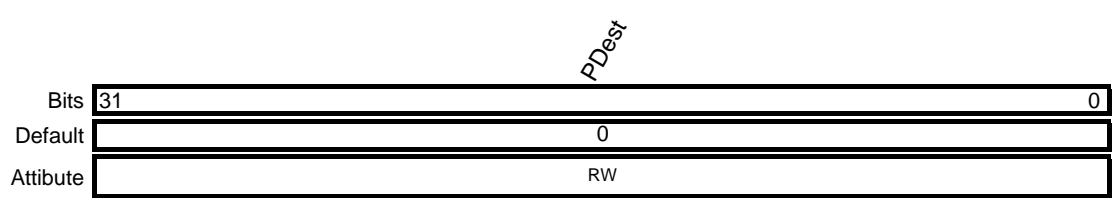


Bit	Field	Description
31:12	PDest[31:12]	PCIe 側のアドレス空間内の Window 基点を設定します。設定可能な領域は 4k バウンダリとなります。
11:0	PDest[11:0]	12'h000 固定

24.4.4.7 PCIe Destination (Upper) Registers (Offset: 4Ch/ 5Ch/ 6Ch/ 7Ch)

PCIe から AXI にアクセスする際のアドレス変換用の Window 設定レジスタです。
PCIe 側のアドレス空間内の Window 基点を設定します。設定可能な領域は 4K バウンダリとなります。

Default: 0000_0000h

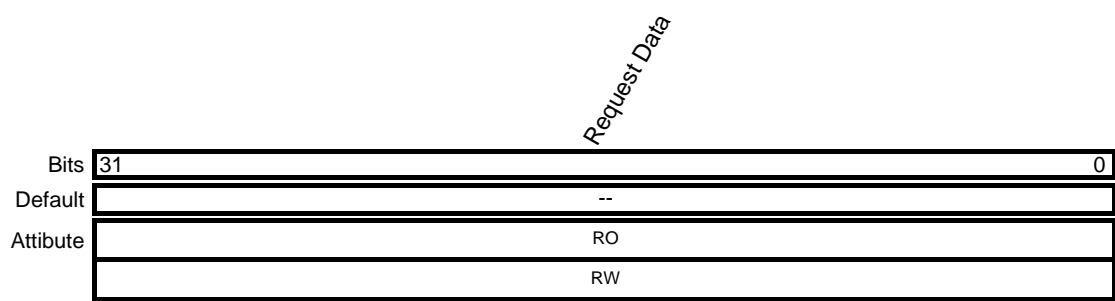


Bit	Field	Description
31:0	PDest[63:32]	PCIe 側のアドレス空間内の Window 基点を設定します。設定可能な領域は 4k バウンダリとなります。

24.4.4.8 Request Data Registers (Offset: 80h/ 84h/ 88h)

PCIe への各種 Request を発行します。
このレジスタは AXI からのみアクセス可能となっています。PCIe からのアクセスは無視されます（ライト・アクセス時には Silent Drop）。

Default: ----_----h



Bit	Field	Description
31:0	Request Data	Request を発行の Write Data などを設定します。

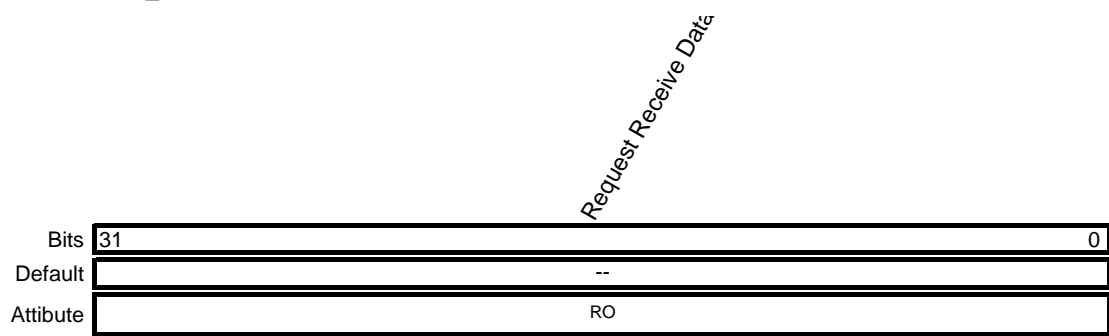
Request Data レジスタ	1	2	3
Offset Address	80 h	84 h	88 h
Zero-Length Read Request	無効	無効	無効
IO Read Request	無効	無効	無効
IO Write Request	無効	無効	Write Data
Configuration Read Type0	無効	無効	無効
Configuration Write Type0	無効	無効	Write Data
Configuration Read Type1	無効	無効	無効
Configuration Write Type1	無効	無効	Write Data
Message Request	3 rd Header	4 th Header	無効
Message Request with data payload	3 rd Header	4 th Header	Message Data

無効と記された箇所には 0 を設定してください。

24.4.4.9 Request Receive Data Registers (Offset: 8Ch)

Read Request 発行後の Completion 受信時のリード・データがセットされます。

Default: ----_----h

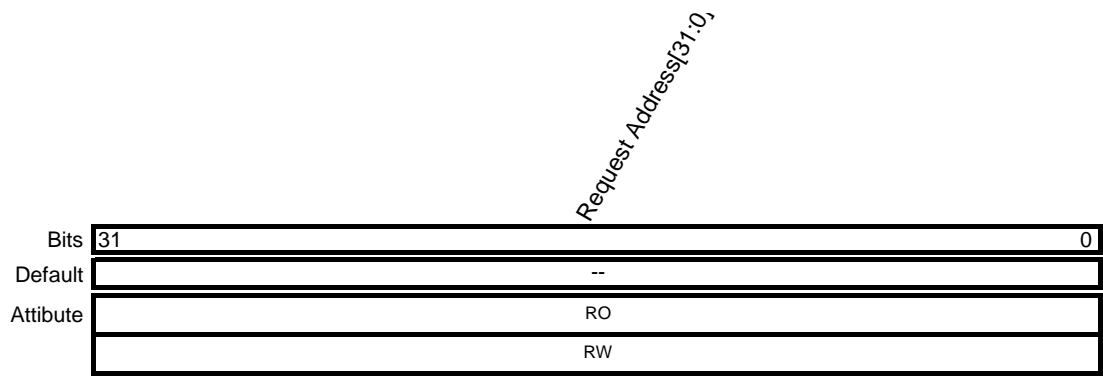


Bit	Field	Description
31:0	Request Receive Data	Request 発行後の Completion 受信時に Read Data がセットされます。ただし、各種 Write リクエスト時には無用となります。

24.4.4.10 Request Address Registers 1 (Offset: 90h)

PCIe への Request を発行します。
このレジスタは AXI からのみアクセス可能となっています。PCIe からのアクセスは無視されます（ライト・アクセス時には Silent Drop）。

Default: ----_----h



Bit	Field	Description
31:0	Request Address[31:0]	Request を発行の Address などを設定します。

Request Address Registers 1	[31:27]	[26:24]	[23:19]	[18:16]
Zero-Length Read Request	Address			
IO Read Request	Address			
IO Write Request	Address			
Configuration Read Type0	Bus Number		無効	Function Number
Configuration Write Type0	Bus Number		無効	Function Number
Configuration Read Type1	Bus Number		Device Number	Function Number
Configuration Write Type1	Bus Number		Device Number	Function Number
Message Request	無効	Routing Type	無効	無効
Message Request with data payload	無効	Routing Type	無効	無効

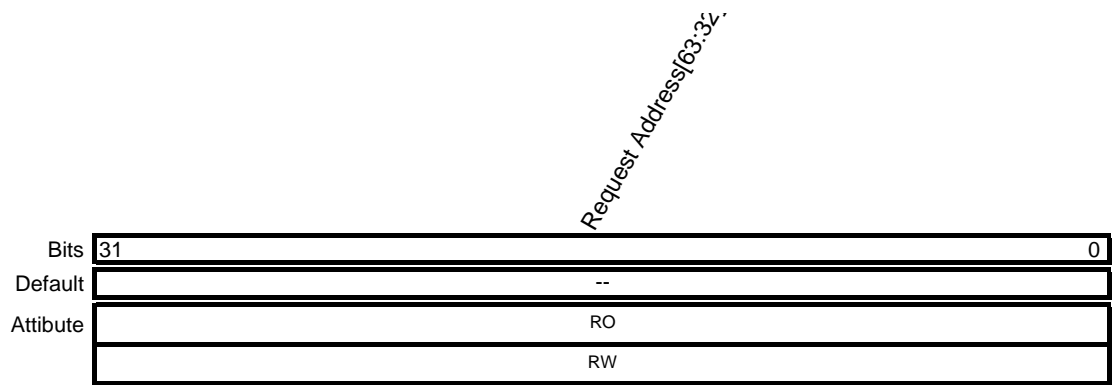
Request Address Registers 1	[15:12]	[11:8]	[7:2]	[1:0]
Zero-Length Read Request	Address			無効
IO Read Request	Address			無効
IO Write Request	Address			無効
Configuration Read Type0	無効	拡張レジスタ番号	レジスタ番号	無効
Configuration Write Type0	無効	拡張レジスタ番号	レジスタ番号	無効
Configuration Read Type1	無効	拡張レジスタ番号	レジスタ番号	無効
Configuration Write Type1	無効	拡張レジスタ番号	レジスタ番号	無効
Message Request	無効	無効	メッセージコード	
Message Request with data payload	無効	無効	メッセージコード	

無効と記された箇所には 0 を設定してください。

24.4.4.11 Request Address Registers 2 (Offset: 94h)

PCIe への Request を発行します。
このレジスタは AXI からのみアクセス可能となっています。PCIe からのアクセスは無視されます（ライト・アクセス時には Silent Drop）。

Default: ----_----h



Bit	Field	Description
31:0	Request Address[63:32]	Request を発行の Address などを設定します。

Request Address Registers 2	[63:32]
Zero-Length Read Request	Address
IO Read Request	無効
IO Write Request	無効
Configuration Read Type0	無効
Configuration Write Type0	無効
Configuration Read Type1	無効
Configuration Write Type1	無効
Message Request	無効
Message Request with data payload	無効

無効と記された箇所には 0 を設定してください。

24.4.4.12 Request Byte Enable Registers (Offset: 98h)

PCIe への Request を発行します。
このレジスタは AXI からのみアクセス可能となっています。PCIe からのアクセスは無視されます（ライト・アクセス時には Silent Drop）。

Default: 0000_000Fh



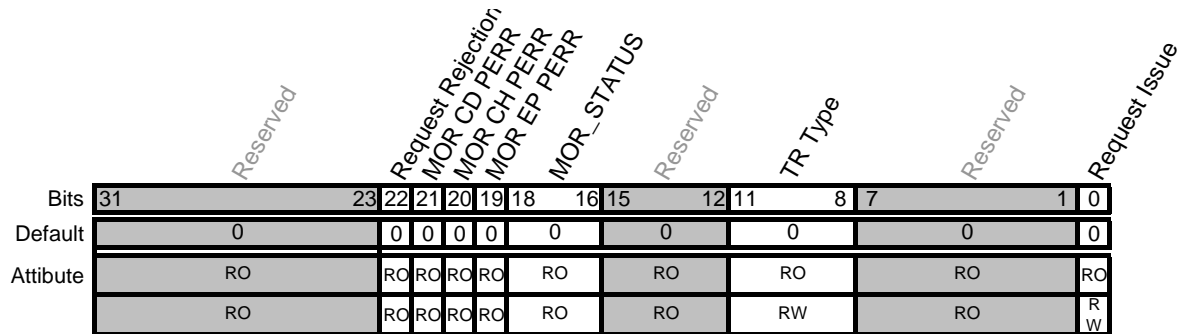
Bit	Field	Description
31:4	Reserved	(28'h00000000 固定)
3:0	Read Byte Enable	必要に応じて IO/Cfg Request 発行時の Byte Enable を指定します。通常は 4'b1111 で使用してください。 1:Byte Enable 有効 0:Byte Enable 無効

Request Byte Enable Registers	[3:0]
Zero-Length Read Request	4'b0000
IO Read Request	任意 (通常は 4'b1111)
IO Write Request	任意 (通常は 4'b1111)
Configuration Read Type0	任意 (通常は 4'b1111)
Configuration Write Type0	任意 (通常は 4'b1111)
Configuration Read Type1	任意 (通常は 4'b1111)
Configuration Write Type1	任意 (通常は 4'b1111)
Message Request	無効 (4'b1111)
Message Request with data payload	無効 (4'b1111)

24.4.4.13 Request Issue Registers (Offset: 9Ch)

PCIe への Request を発行します。
このレジスタは AXI からのみアクセス可能となっています。PCIe からのアクセスは無視されます（ライト・アクセス時には Silent Drop）。

Default: 0000_0000h



Bit	Field	Description
31:23	Reserved	(0_0000_0000b 固定)
22	Request Reject	PCI Expree 送信 (TX) 側の停止状態または休止状態を検出し、処理を強制終了したことを示します。
21	MOR CD PERR	本レジスタにて発行した Non-Posted リクエストに対する Completion TLP にデータ・エラーが発生した場合に 1 にセットされます。 通常は使用しません。 Posted リクエスト時は更新されません。
20	MOR CH PERR	本レジスタにて発行した Non-Posted リクエストに対する Completion TLP にヘッダ・エラーが発生した場合に 1 にセットされます。 通常は使用しません。 Posted リクエスト時は更新されません。
19	MOR EP ERR	本レジスタにて発行した Non-Posted リクエストに対する Poisoned Completion TLP を受信した時に 1 にセットされます。 通常は使用しません。 Posted リクエスト時は更新されません。
18:16	MOR_STATUS	本レジスタにて発行した Non-Posted リクエストに対する Completion TLP の MOR Status を保持します。Posted リクエスト時は更新されません。 3'b000b: Successful Completion (SC) 3'b001b: Unsupported Request (UR) 3'b010b: Configuration Request Retry Status (CRS) 3'b011b: Completion Timeout 3'b100b: Completer Abort (CA) 3'b101b: Unexpected Completion and mismatched type (LockCompletion respond to non-Lock Request) 3'b110b: Reserved 3'b111b: Overrun Completion length
15:12	Reserved	(0000b 固定)
11:8	TR Type	Request のタイプを設定します。(下表参照)
7:1	Reserved	(000_0000b 固定)
0	Request Issue	Write 時 : 1:Request 発行 0:No Operation Read 時 : 1:Request 発行受付可能 (発行した Request 処理が終了したことを示します。) 0:Request 処理中 (発行した Request 処理中であることを示します。)

	TR Type	Posted/ Non-Posted	Device Type	
	[31:27]		Root Complex	Endpoint
Zero-Length Read Request	4'b0000 (0h)	Non-Posted	発行可	発行可
IO Read Request	4'b0010 (2h)	Non-Posted	発行可	発行禁止
IO Write Request	4'b0011 (3h)	Non-Posted	発行可	発行禁止
Configuration Read Type0	4'b0100 (4h)	Non-Posted	発行可	発行禁止
Configuration Write Type0	4'b0101 (5h)	Non-Posted	発行可	発行禁止
Configuration Read Type1	4'b0110 (6h)	Non-Posted	発行可	発行禁止
Configuration Write Type1	4'b0111 (7h)	Non-Posted	発行可	発行禁止
Message Request	4'b1000 (8h)	Posted	発行可	発行可
Message Request with data payload	4'b1001 (9h)	Posted	発行可	発行可
	others	-	発行禁止	発行禁止

24.4.4.14 MSI Receive Window Address Registers (Offset: 100h)

MSI を受信した場合、割り込み信号(INTMSI_RC: Active High)をアサートします。その受信する MSI の Memory 空間のスタートアドレスを設定します。(このレジスタは Root Complex モード時のみ有効となります。)

Default: 0000_0000h

Bits	31	3	2	1	0
Default	0			0	0
Attribute	RW			RO	RW

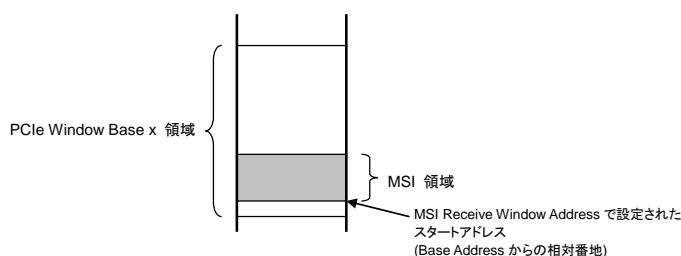
MSI Receive Window Address

Reserved

MSI Receive Window Enable

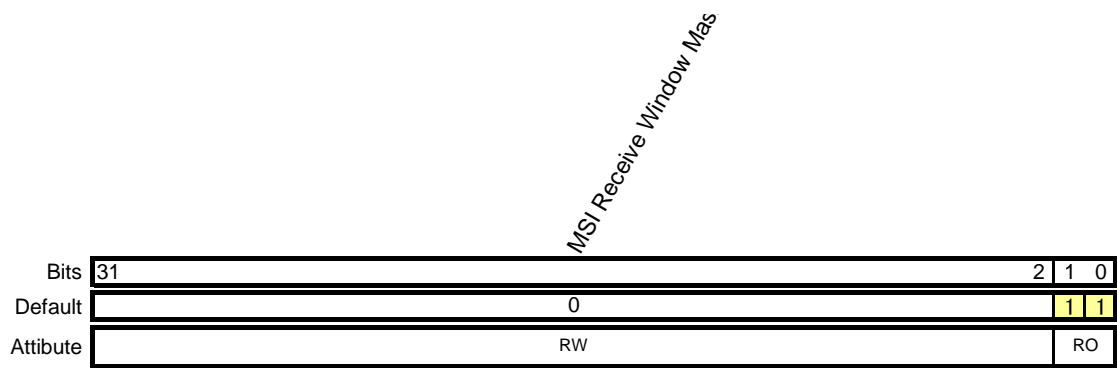
Bit	Field	Description
31:3	MSI Receive Window Address	MSI 受信 Window の Start Address[31:3]を設定します。 ただし、MSI Receive Window Mask で設定した大きさにアラインされている必要があります。アラインされていない Address を設定しても MSI Receive Window Mask がセットされている Address Bit は 0 となります。 ※このレジスタを変更する際は MSI Receive Window Enable が 0b の状態で行ってください。
2:1	Reserved	
0	MSI Receive Window Enable	MSI Receive Window の Enable 設定。 0:Window は無効 1:Window は有効

ここで設定された MSI 受信領域は、内部割り込みを上げるためだけに使用されます。PCIe Target(Completer)として、この領域への Memory Write Request を受けるためには PCIe Window のいずれかに MSI 領域を含むように設定する必要があります。



24.4.4.15 MSI Receive Window Mask Registers (Offset: 108h)
MSI Receive Window Address Registers (Offset: 100h)で設定されたアドレスから領域の大きさを示します。(このレジスタは Root Complex モード時のみ有効となります。)

Default: 0000_0003h

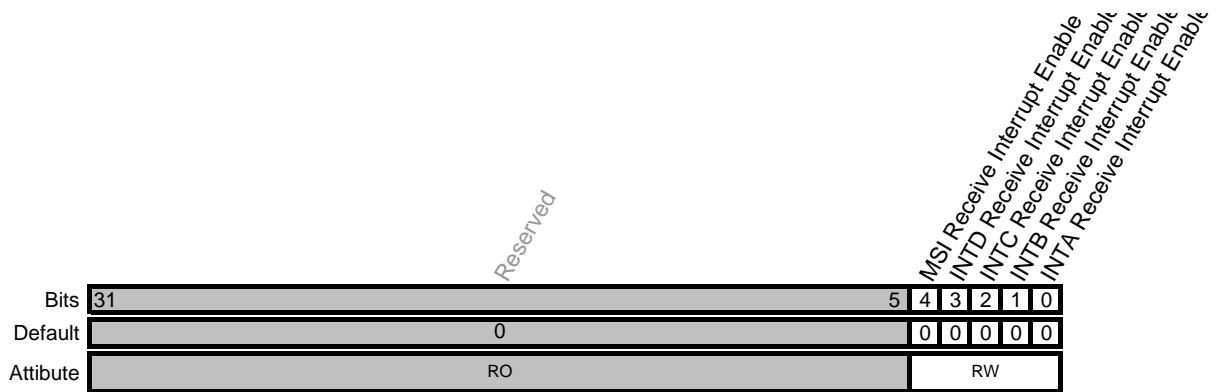


Bit	Field	Description
31:2	MSI Receive Window Mask[31:2]	確保する領域分の下位 bit を"1"にセットする。 (Min4byte、Max4Gbyte 空間) 下記は設定例です。 {30'h0} : 4Byte 空間 {29'h0, 1'b1} : 8Byte 空間 {23'h0, 7'h7F} : 2048Byte 空間 ※ このレジスタを変更する際は MSI Receive Window Enable が 0b の状態で行ってください。
1:0	MSI Receive Window Mask[1:0]	2'b11 固定 MSI Receive Window Mask[1:0]は常に、マスクがセットされている。

24.4.4.16 PCI INTx Receive Interrupt Enable Registers (Offset: 110h)

PCI INTx Receive Interrupt Status Registers (Offset: 114h)の要因による割り込み信号のアサート許可/不許可を設定します。(このレジスタは Root Complex モード時のみ有効となります。)

Default: 0000_0000h

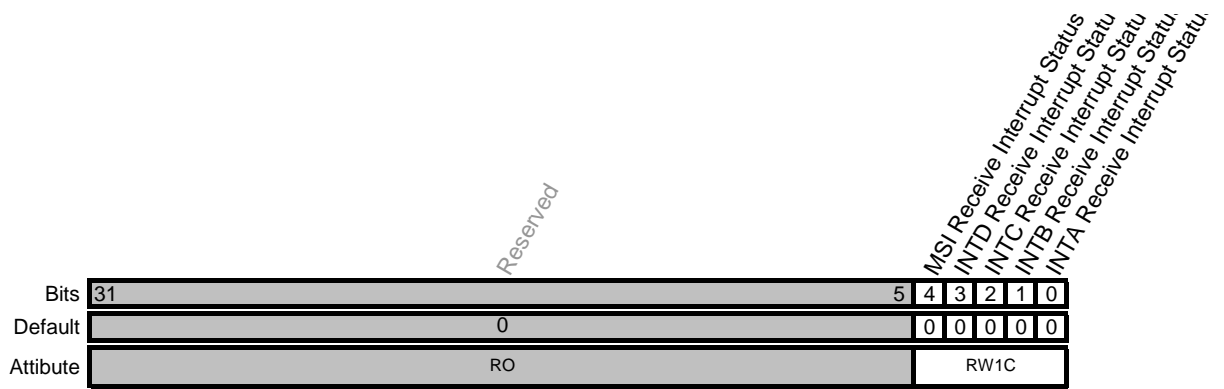


Bit	Field	Description
31:5	Reserved	(27'h00000000 固定)
4	MSI Receive Interrupt Enable	MSI 受信による INTMSI_RC の許可設定 0: Disable 1: Enable
3	INTD Receive Interrupt Enable	INTD_RC の許可設定 0: Disable 1: Enable
2	INTC Receive Interrupt Enable	INTC_RC の許可設定 0: Disable 1: Enable
1	INTB Receive Interrupt Enable	INTB_RC の許可設定 0: Disable 1: Enable
0	INTA Receive Interrupt Enable	INTA_RC の許可設定 0: Disable 1: Enable

24.4.4.17 PCI INTx Receive Interrupt Status Registers (Offset: 114h)

このレジスタのフィールドは、それぞれの割り込み要因を検出した際にセットされます。
このとき、前述の PCI INTx Receive Interrupt Enable Registers (Offset: 110h) の設定に関係なくセットされます。つまり、Disable 状態であっても、このレジスタへの書き込みは行われます。
(このレジスタは Root Complex モード時のみ有効となります。)

Default: 0000_0000h

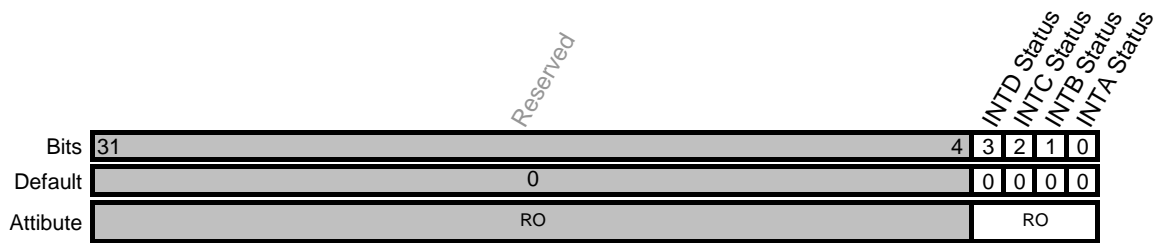


Bit	Field	Description
31:5	Reserved	(27'h00000000 固定)
4	MSI Receive Interrupt Status	MSI Receive Window で設定された領域に Memory Write Req.が PCIe バス側から来た場合に Set されます。
3	INTD Receive Interrupt Status	Assert INTD Message の受信で Set され、Deassert INTD Message の受信で Clear されます。または 1write で Clear されます。
2	INTC Receive Interrupt Status	Assert INTC Message の受信で Set され、Deassert INTC Message の受信で Clear されます。または 1write で Clear されます。
1	INTB Receive Interrupt Status	Assert INTB Message の受信で Set され、Deassert INTB Message の受信で Clear されます。または 1write で Clear されます。
0	INTA Receive Interrupt Status	Assert INTA Message の受信で Set され、Deassert INTA Message の受信で Clear されます。または 1write で Clear されます。

24.4.4.18 PCI INTx Out Status Registers (Offset: 118h)

割り込み出力信号（INTx_EP: Active High）を通して、マクロが発行した PCI INTx のステータスを確認することができます。なお特殊なリクエスト発行を使い、Assert/Deassert INTx Message を発行した場合（禁止動作）には、このレジスタに反映されません。
（このレジスタは Endpoint モード時のみ有効となります。）

Default: 0000_0000h

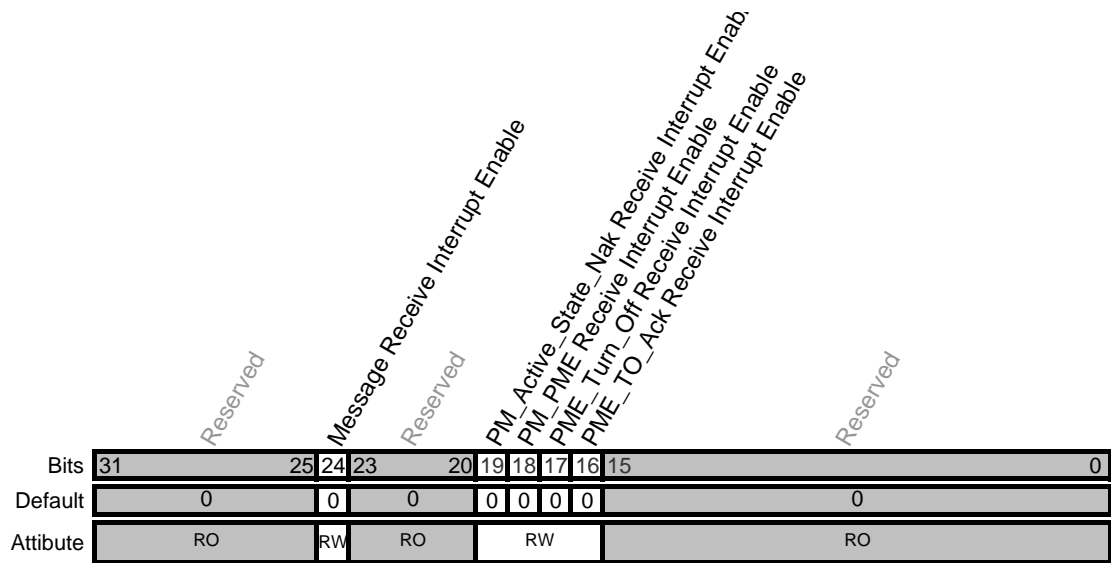


Bit	Field	Description
31:4	Reserved	(27'h00000000 固定)
3	INTD Status	Assert INTD Message の受信で Set され、Deassert INTD Message の受信で Clear されます。 0: Deassert 1: Assert
2	INTC Status	Assert INTC Message の受信で Set され、Deassert INTC Message の受信で Clear されます。 0: Deassert 1: Assert
1	INTB Status	Assert INTB Message の受信で Set され、Deassert INTB Message の受信で Clear されます。 0: Deassert 1: Assert
0	INTA Status	Assert INTA Message の受信で Set され、Deassert INTA Message の受信で Clear されます。 0: Deassert 1: Assert

24.4.4.19 Message Receive Interrupt Enable Registers (Offset: 120h)

INTx、Error 関連以外の Message Request 受信による MSG_INT のイネーブルを制御します。

Default: 0000_0000h

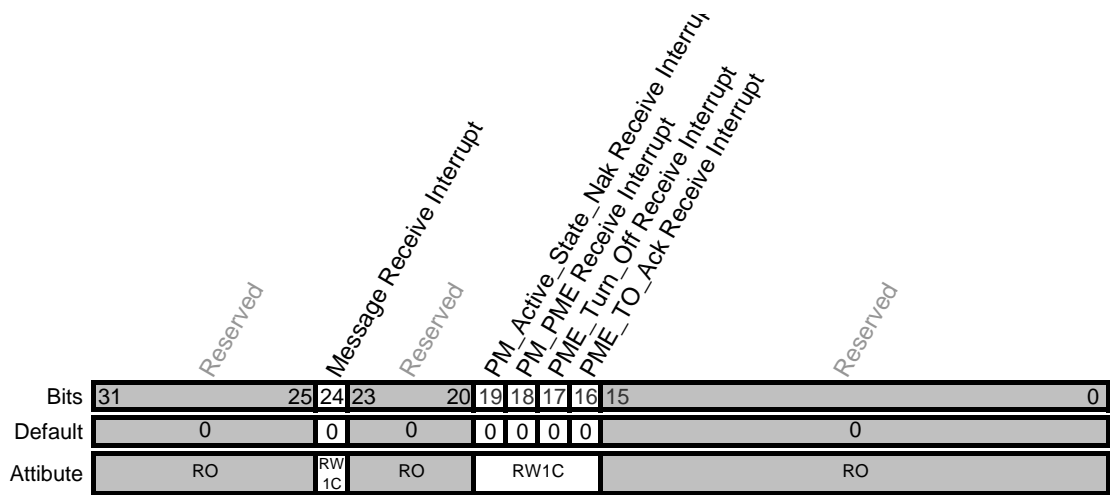


Bit	Field	Description
31:25	Reserved	(000_0000b 固定)
24	Message Receive Interrupt Enable	Message 受信による MSG_INT アサートのイネーブル制御 0 : アサート不許可 1 : アサート許可
23:20	Reserved	(0000b 固定)
19	PM_Active_State_Nak Receive Interrupt Enable	PM_Active_State_Nak 受信による MSG_INT アサートのイネーブル制御 0: Disable 1: Enable
18	PM_PME Receive Interrupt Enable	PM_PME 受信による MSG_INT アサートのイネーブル制御 0: Disable 1: Enable
17	PME_Turn_Off Receive Interrupt Enable	PME_Turn_Off 受信による MSG_INT アサートのイネーブル制御 0: Disable 1: Enable
16	PME_TO_Ack Receive Interrupt Enable	PME_TO_Ack 受信による MSG_INT アサートのイネーブル制御 0: Disable 1: Enable
15:0	Reserved	(0000h 固定)

24.4.4.20 Message Receive Interrupt Status Registers (Offset: 124h)

INTx、Error 関連以外の Message Request 受信を示すステータス・レジスタです。MSG_INT に反映されます。メッセージ種の判定には、Message Code のみが用いられ、Routing の妥当性及び、Msg/MsgD の選択の妥当性は検証されず、当該の Message が受信されたと見なします。

Default: 0000_0000h

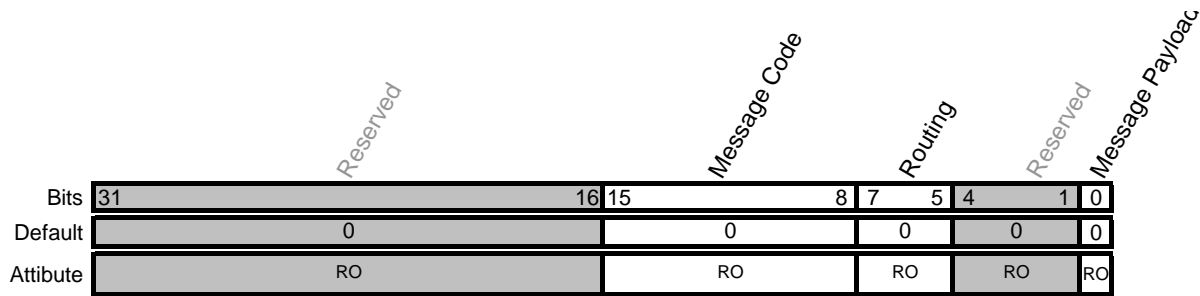


Bit	Field	Description
31:25	Reserved	(0000000b 固定)
24	Message Receive Interrupt	Message 受信でセット (Message の種類に依存しない)
23:20	Reserved	(0000b 固定)
19	PM_Active_State_Nak Receive Interrupt	TEF_TLB_PM_ACTIVE_STATE_NAK_MSG 端子の立ち上がりエッジ検出による Message を受信したら Set します。
18	PM_PME Receive Interrupt	TEF_TLB_PM_PME_MSG 端子の立ち上がりエッジ検出による Message を受信したら Set します。RC モード時に使用します。 ※ 同様なレジスタは PCI-Ex で規格化されている Root Status レジスタに存在します。
17	PME_Turn_Off Receive Interrupt	TEF_TLB_PME_TURN_OFF_MSG 端子の立ち上がりエッジ検出による Message を受信したら Set します。EP モード時に使用します。
16	PME_TO_Ack Receive Interrupt	TEF_TLB_PME_TO_ACK_MSG 端子アサートによる端子の立ち上がりエッジ検出による Message を受信したら Set します。RC モード時に使用します。
15:0	Reserved	(0000h 固定)

24.4.4.21 Message Code Registers (Offset: 130h)

最後に受信した Message の Code、Routing を格納します。

Default: 0000_0000h



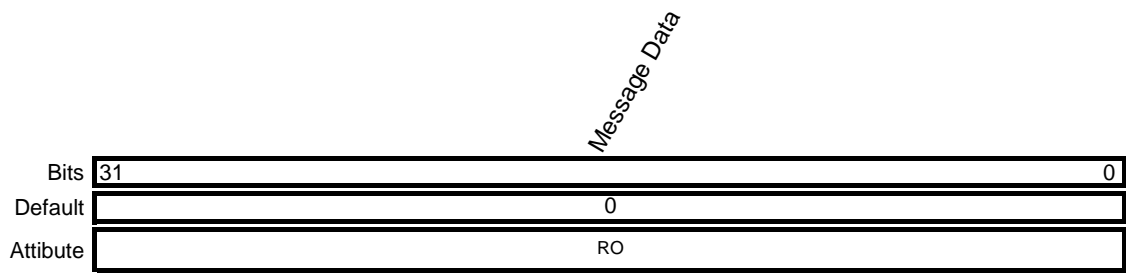
Bit	Field	Description
31:16	Reserved	(16'h0000 固定)
15:8	Message Code	最後に受信した Message の Code を格納します。
7:5	Routing	最後に受信した Message の Routing を格納します。
4:1	Reserved	(0000b 固定)
0	Message Payload	最後に受信した Message のデータ・ペイロードの有無を格納します。 1: MsgD (with Payload) 0: Msg (Without Payload)

備考) Power Management Message (PME_TO_Ack Message , PME_Turn_Off Message , PM_PME Message , PM_Active_State_Nak Message)受信時、このレジスタへの書き込みは行われません。

24.4.4.22 Message Data Registers (Offset: 134h)

最後に受信した Message の Data を格納します。

Default: 0000_0000h



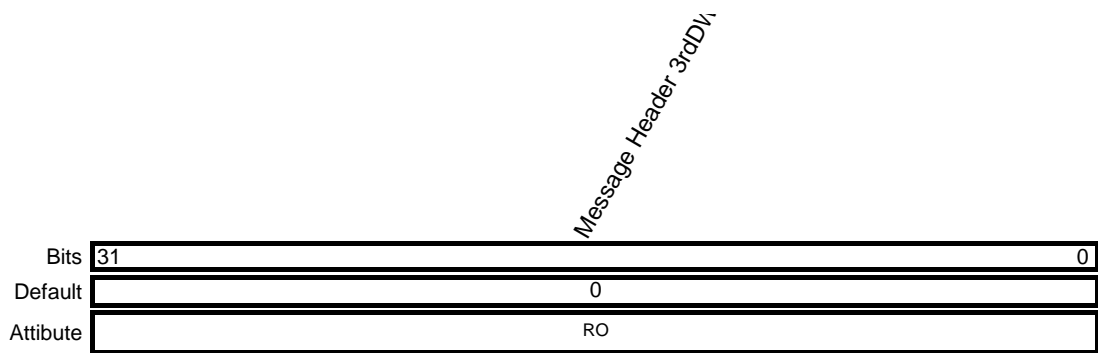
Bit	Field	Description
31:0	Message Data	最後に受信した Message の 1 DW 目の Data を格納します。 MsgD(with Data)を受信したときのみ更新され、Msg(without Data)受信時は前の値が保持されます。

備考) Power Management Message (ME_TO_Ack Message , PME_Turn_Off Message , PM_PME Message , PM_Active_State_Nak Message)受信時、このレジスタへの書き込みは行われません。

24.4.4.23 Message Header 3rdDW Registers (Offset: 138h)

最後に受信した Message の Header (3rdDW)を格納します。

Default: 0000_0000h



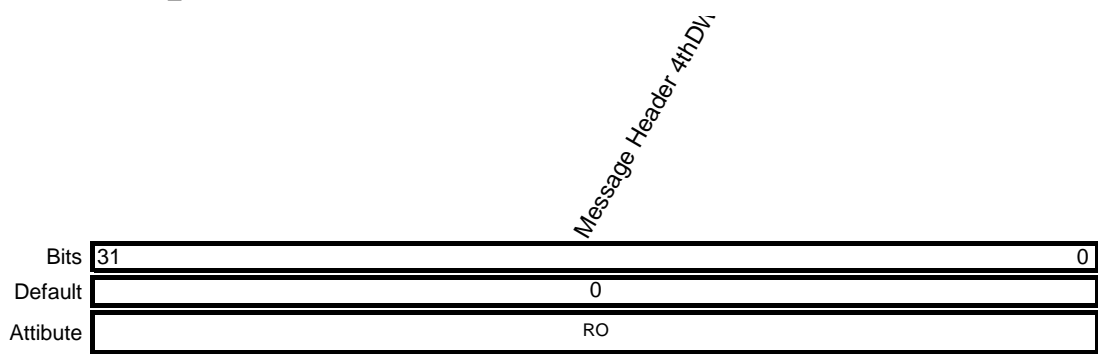
Bit	Field	Description
31:0	Message Header 3rdDW	最後に受信した Message の Header (3rdDW)を格納します。

備考) Power Management Message (PME_TO_Ack Message , PME_Turn_Off Message , PM_PME Message , PM_Active_State_Nak Message)受信時、このレジスタへの書き込みは行われません。

24.4.4.24 Message Header 4thDW Registers (Offset: 13Ch)

最後に受信した Message の Header (4thDW)を格納します。

Default: 0000_0000h



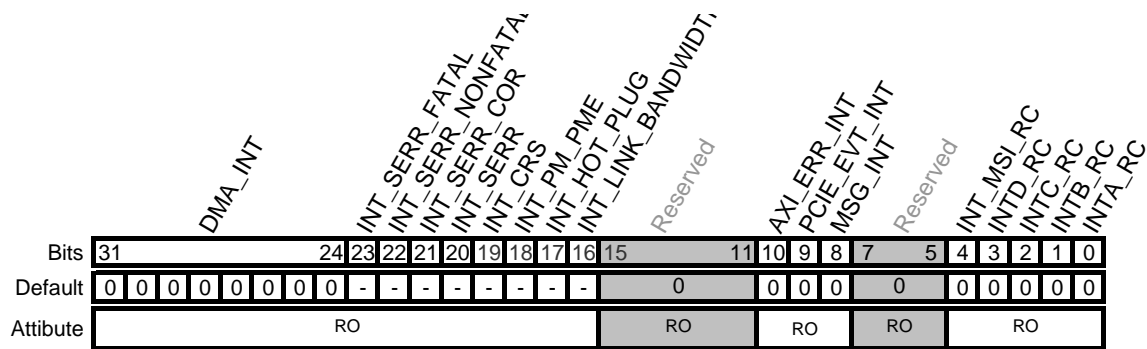
Bit	Field	Description
31:0	Message Header 4thDW	最後に受信した Message の Header (4thDW)を格納します。

備考) Power Management Message (PME_TO_Ack Message , PME_Turn_Off Message , PM_PME Message , PM_Active_State_Nak Message)受信時、このレジスタへの書き込みは行われません。

24.4.4.25 Interrupt table Registers (Offset: 140h)

割り込み要因の Index です。カテゴリごとに割り込み信号の状況を一覧できます。

Default: 00--_0000h



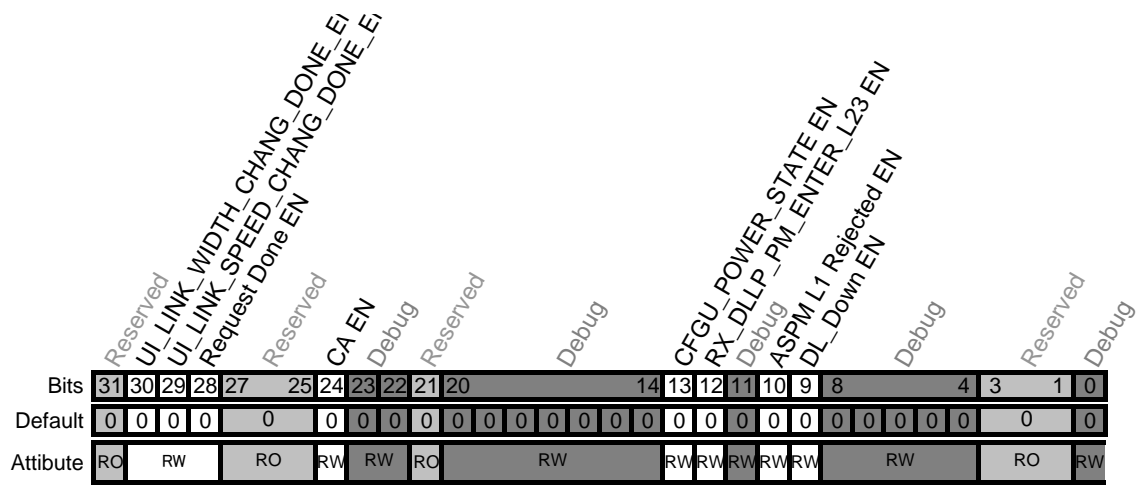
Bit	Field	Description
31:24	DMA_INT	DMAC 割り込み信号モニター・レジスタ（チャネルごと） なお、DMAC 非搭載マクロでは Reserved bit となります。
23	INT_SERR_FATAL	システム・エラー割り込み信号モニター・レジスタ
22	INT_SERR_NONFATAL	システム・エラー割り込み信号モニター・レジスタ
21	INT_SERR_COR	システム・エラー割り込み信号モニター・レジスタ
20	INT_SERR	システム・エラー割り込み信号モニター・レジスタ
19	INT_CRCS	CRS（Configuration Retry Status）受信割り込み信号モニター・レジスタ
18	INT_PM_PME	PM_PME 受信割り込み信号モニター・レジスタ
17	INT_HOT_PLUG	Hot-Plug 割り込み信号モニター・レジスタ
16	INT_LINK_BANDWIDTH	Link Bandwidth 変更割り込み信号モニター・レジスタ
15:11	Reserved	(00000b 固定)
10	AXI_ERR_INT	Error 割り込み信号出力モニター・レジスタ
9	PCIE_EVT_INT	Event 割り込み信号出力モニター・レジスタ
8	MSG_INT	メッセージ割り込み信号出力モニター・レジスタ
7:5	Reserved	(000b 固定)
4	INTMSI_RC	MSI 割り込み信号
3	INTD_RC	Root Complex 用 INTD 割り込み信号出力
2	INTC_RC	Root Complex 用 INTC 割り込み信号出力
1	INTB_RC	Root Complex 用 INTB 割り込み信号出力
0	INTA_RC	Root Complex 用 INTA 割り込み信号出力

備考) レジスタの詳細は、同名の端子説明の項を参照ください。

24.4.4.26 PCIe Event Interrupt Enable 0 Registers (Offset: 200h)

PCI Express での各種イベント要因による、割り込み許可のためのレジスタです。

Default: 0000_0000h



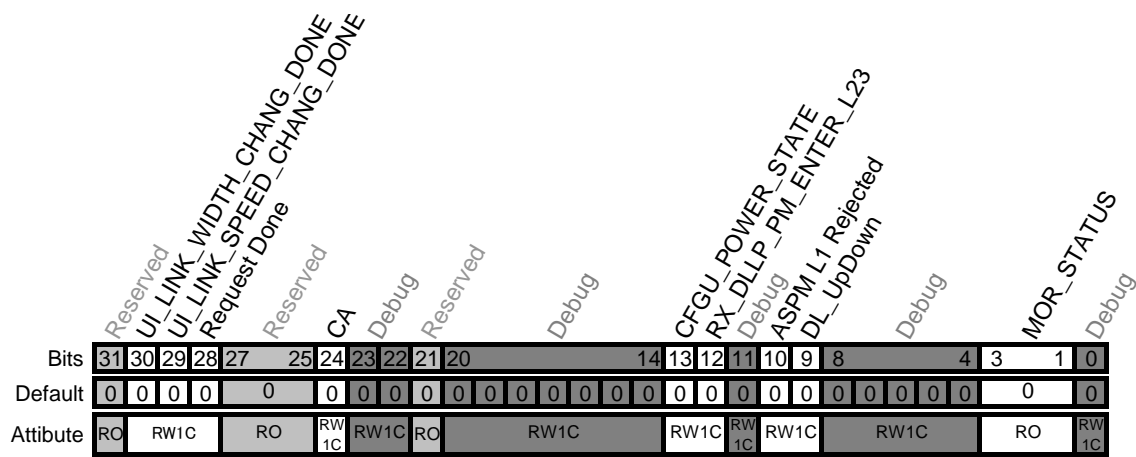
Bit	Field	Description
31	Reserved	(0b 固定)
30	UI_LINK_WIDTH_CHANGE_DONE EN	Up/Down Configure 動作完了割り込みイネーブル 0: Disable 1: Enable
29	UI_LINK_SPEED_CHANGE_DONE EN	Speed Change 動作完了割り込みイネーブル 0: Disable 1: Enable
28	Request Done EN	リクエスト完了の割り込みイネーブル 0: Disable 1: Enable
27:25	Reserved	(000b 固定)
24	CA EN	CA(Completion Abort)割り込みイネーブル 0: Disable 1: Enable
23:22	Debug	デバッグ・レジスタ
21	Reserved	(0b 固定)
20:14	Debug	デバッグ・レジスタ
13	CFG_POWER_STATE EN	CFG_POWER_STATE 割り込みイネーブル 0: Disable 1: Enable
12	RX_DLLP_PM_ENTER_L23 EN	RX_DLLP_PM_ENTER_L23 割り込みイネーブル 0: Disable 1: Enable
11	Debug	デバッグ・レジスタ
10	ASPM L1 Rejected EN	ASPM L1 Rejected 割り込みイネーブル このビットは通常、Root Complex モードでのみ使用してください。 Endpoint モードでは使用（許可）しないことを推奨します。 0: Disable 1: Enable
9	DL_Dwon EN	DL_Dwon 割り込みイネーブル 0: Disable 1: Enable
8 : 4	Debug	デバッグ・レジスタ
3:1	Reserved	(000b 固定)
0	Debug	デバッグ・レジスタ

備考 : Debug: 当社でのデバッグ用のレジスタです。
アクセスした場合、誤動作の原因となりかねません。ご注意ください。

24.4.4.27 PCIe Event Interrupt Status 0 Registers (Offset: 204h)

PCI Express での各種イベントを示すためのステータス・レジスタです。

Default: 0000_0000h

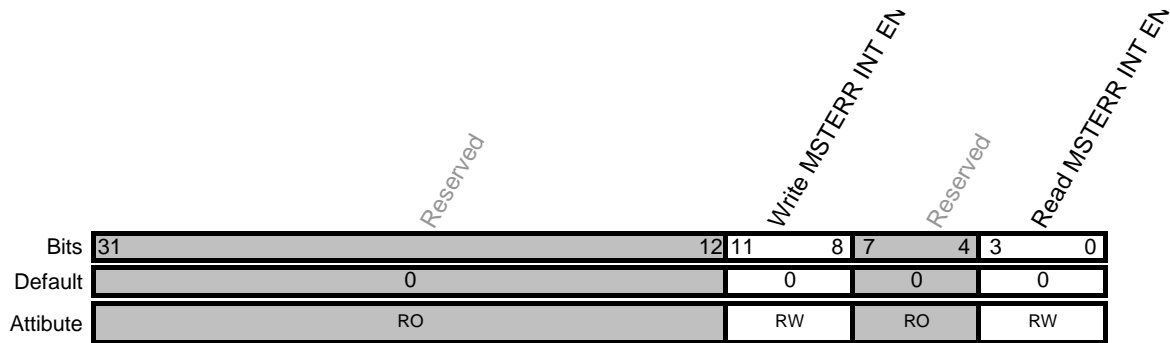


Bit	Field	Description
31	Reserved	(0b 固定)
30	UI_LINK_WIDTH_CHANGE_DONE	Up/Down Configure 動作完了を示します。
29	UI_LINK_SPEED_CHANGE_DONE	Speed Change 動作完了を示します。
28	Request Done	Request Issue Registers (Offset: 9Ch)にて発行したリクエストに対する : Non-Posted: Completion を受信したことを示します。 Posted: リクエストの発行が終了したことを示します。
27:25	Reserved	(000b 固定)
24	CA	対向デバイスに CA(Completion Abort)で応答したことを示します。
23:22	Debug	デバッグ・レジスタ
21	Reserved	(0b 固定)
20:14	Debug	デバッグ・レジスタ
13	CFG_POWER_STATE	POWER_STATE が変更となったことを示します。
12	RX_DLLP_PM_ENTER_L23	Power Management 制御における L2/L3 State への遷移を示します。
11	Debug	デバッグ・レジスタ
10	ASPM L1 Rejected	RC Mode時 : PCIe Core により ASPM L1 が Reject されたことを示します。 EP Mode時 : Endpoint モードでは使用（許可）しないことを推奨します。
9	DL_UpDown	DL_Down状態からDL_Up状態に変化、またはDL_Up状態からDL_Down状態に変化した時に1bにセットされます。DL_Down/DL_Up状態の確認は、PCIe Core Status 1 Registers (Offset: 408h)で行ってください。
8:4	Debug	デバッグ・レジスタ
3:1	MOR STATUS	MOR Bus で最初のエラーを検出したときの MOR Status を保持します。 MOR Error Bit が 1 の場合は、更新されません。 3'b001b: Unsupported Request (UR) 3'b010b: Configuration Request Retry Status (CRS) 3'b011b: Completion Timeout 3'b100b: Completer Abort (CA) 3'b101b: Unexpected Completion and mismatched type (LockCompletion respond to non-Lock Request) 3'b110b: Reserved 3'b111b: Overrun Completion length
0	Debug	デバッグ・レジスタ

備考 : Debug Registers: 当社でのデバッグ用のレジスタです。
アクセスした場合、誤動作の原因となりかねません。ご注意ください。

24.4.4.28 AXI Master Error Interrupt Enable Registers (Offset: 210h)

Default: 0000_0000h



Bit	Field	Description
31:12	Reserved	(23'h000000 固定)
11:8	Write MSTERR INT EN	Write MSTERR INT 許可 対応する各 bit をそれぞれ個別に On/Off できます。 0: Disable 1: Enable
7:4	Reserved	(0000b 固定)
3:0	Read MSTERR INT EN	Read MSTERR INT 許可 対応する各 bit をそれぞれ個別に On/Off できます。 0: Disable 1: Enable

24.4.4.29 AXI Master Error Interrupt Status Registers (Offset: 214h)

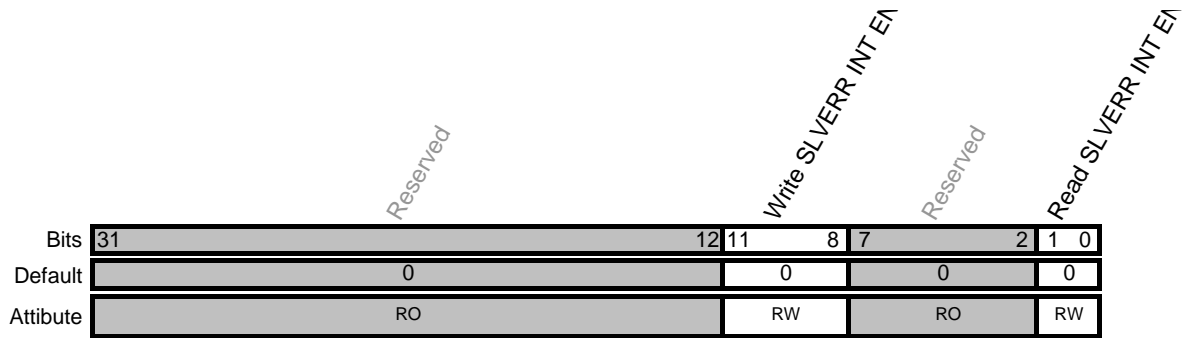
Default: 0000_0000h

		Reserved				Write ERR ID				Reserved				Read ERR ID				Reserved				Write MSTERR INT				Reserved				Read MSTERR INT			
Bits	31	28	27	24	23	20	19	16	15	12	11	8	7	4	3	0																	
Default	0		0		0		0		0		0		0		0																		
Attribute	RO		RO		RO		RO		RO		RW1C		RO		RW1C																		

Bit	Field	Description
31:28	Reserved	(0000b 固定)
27:24	Write ERR ID	最初に DECERR/SLVERR を受信したときの ID を保存します。 bit[8 : 0]をクリアした場合に新たなエラー I Dが保存できる状態になります。 0h: 通常アクセス (下記以外) 1h: MSI 受信 (Root Complex モードのみ) 8h: DMAC
23:20	Reserved	(0000b 固定)
19:16	Read ERR ID	最初に DECERR/SLVERR を受信したときの ID を保存します。 bit[1 : 0]をクリアした場合に新たなエラー I Dが保存できる状態になります。 0h: 通常アクセス (下記以外) 8h: DMAC
15:12	Reserved	(0_0000b 固定)
11:8	Write MSTERR INT	AXI Master Port にて、エラーを検出したことを示します。 最初に検出したエラーのみ保存し、bit[11:8]をクリアした場合に新たなエラーが保存できる状態になります。 bit11 : レングスエラー TEF とデータ・チャネルで送出したデータの長が不一致の時。 bit10 : ID 不一致 MAWID とデータ・チャネルで受け取った MWID の値が違った時。 bit9 : DECERR を受信した時 bit8 : SLVERR を受信した時
7:4	Reserved	(0000000b 固定)
3:0	Read MSTERR INT	AXI Master Port にて、エラーを検出したことを示します。 最初に検出したエラーのみ保存し、bit[3:0]をクリアした場合に新たなエラーが保存できる状態になります。 bit3 : レングスエラー TER とデータ・チャネルで受信したデータの長が不一致の時。 bit2 : ID 不一致 MARID とデータ・チャネルで受け取った MRID の値が違った時。 bit1 : DECERR を受信した時 bit0 : SLVERR を受信した時

24.4.4.30 AXI Slave Error Interrupt Enable 1 Registers (Offset: 220h)

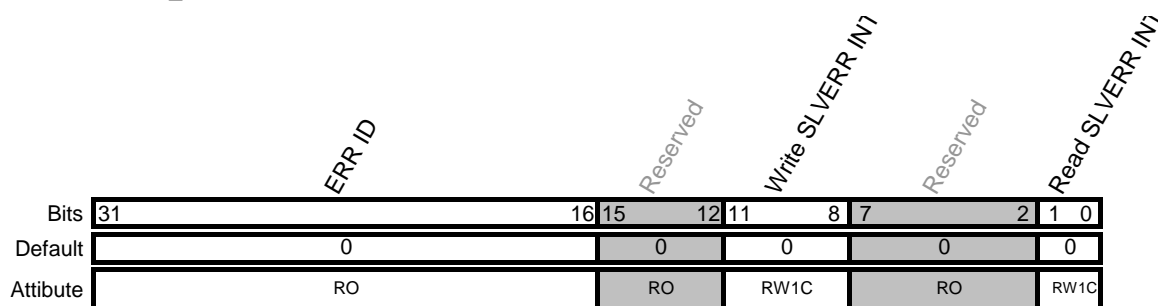
Default: 0000_0000h



Bit	Field	Description
31:12	Reserved	(20'h00000 固定)
11:8	Write SLVERR INT EN	Write SLVERR INT を許可します。 対応する各 bit をそれぞれ個別に On/Off できます。 0: Disable 1: Enable
7:2	Reserved	(00_0000b 固定)
1:0	Read SLVERR IN EN	Read SLVERR INT を許可します。 対応する各 bit をそれぞれ個別に On/Off できます。 0: Disable 1: Enable

24.4.4.31 AXI Slave Error Interrupt Status 1 Registers (Offset: 224h)

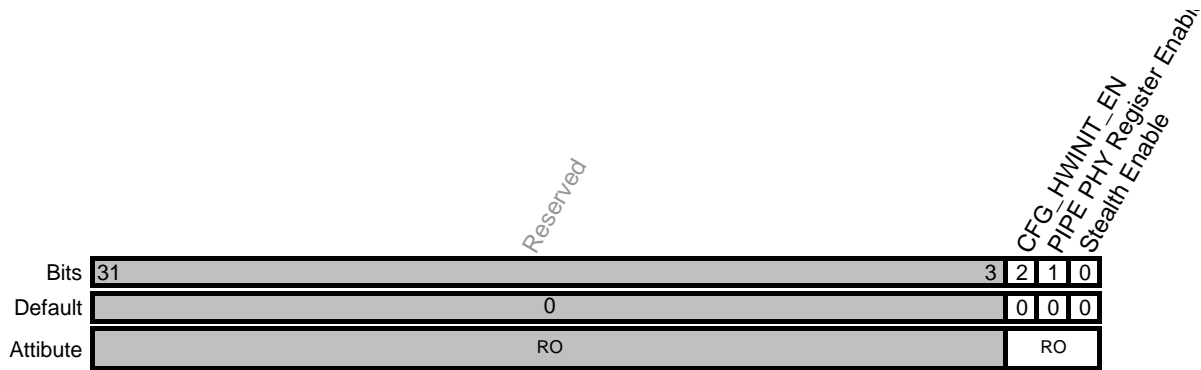
Default: 0000 0000h



Bit	Field	Description
31:16	ERR ID	最初に下記エラーが発生したときの ID を保存します。 bit[11:8]および bit[1:0]を全クリアした場合に新たなエラー I Dが保存できる状態になります。
15:12	Reserved	(0000b 固定)
11:8	Write SLVERR INT	AXI Slave Port にて、回復不能なエラーを検出したことを示します。 (Transaction の応答は SLVERR となります。) bit11: パースト長エラー SAWLEN とデータ・チャネルで受け取ったデータのバースト長が不一致の時。 bit10: ID 不一致 SAWID とデータ・チャネルで受け取った SWID の値が違った時。 bit9: パースト・タイプ無効 SAWBURST が b11 (未定義) の時。SAWBURST が b10 (ラッピング) でバースト長が 2, 4, 8, 16 以外の時。 bit8: データ・サイズ無効 SAWSIZE が b100~b111 (AXI Bus 幅超/未サポート) の時。
7:2	Reserved	(00_0000b 固定)
1:0	Read SLVERR INT	AXI Slave Port にて、回復不能なエラーを検出したことを示します。 (Transaction の応答は SLVERR となります。) bit1: パースト・タイプ無効 SARBURST が b11 (未定義) の時。 SARBURST が b10 (ラッピング) でバースト長が 2,4,8,16 以外の時。 bit0: データ・サイズ無効 SARSIZE が (AXI Bus 幅超/未サポート) の時。

24.4.4.32 Permission Registers (Offset: 300h)

Default: 0000_0000h



Bit	Field	Description
31:3	Reserved	(28'h0000_0000h 固定)
2	CFG_HWINIT_EN	CFGU 内のレジスタ・アクセス・コントロールに使用されます。 0: Hwinit 属性のレジスタ・ライト禁止。 1: Hwinit 属性のレジスタ・ライト許可。
1	PIPE PHY Register Enable	PIPE PHY Register のアクセス許可信号です。 0: PIPE PHY 空間のレジスタ・アクセス禁止。 1: PIPE PHY 空間のレジスタ・アクセス許可。
0	Stealth Enable	Bridge Register のステルス（不可視）機能を設定します。 ステルス機能とはセキュリティのため PCIe 側からのアクセスを制限する機能です。このビットは、PCIe 側からのライト・アクセスは無効です。 この機能が有効になっている場合、PCIe 側から Bridge のレジスタすべてにアクセスできなくなります。リード時は '0' を返します。 0: ステルス機能無効 1: ステルス機能有効

24.4.4.33 Reset Registers (Offset: 310h)

PCIe コアへのリセット・レジスタです。同名の端子との OR で内部コアへ供給されます。各々の詳細は、端子情報の項を参照ください。
AXI 側からアクセスした場合は、ライトされた値が保持されますが、PCIe 側から 0 Write した場合は、1CLK の Low Pulse が生成されます。但し、AXI 側から既に 0 がライトされている場合は、Low のままになります。PCIe 側からの 1 Write は無視されます。

Default: 0000_003fh

Bits	31	17	16	15	12	11	8	7	6	5	4	3	2	1	0
Default	0				0	0	0	0	0	0	0	0	0	0	0
Attribute	RO				RW	RO	RW	RW							

X: RSTB_INIT 端子の設定により決定
RSTB_INIT=3fh

Bit	Field	Description
31:17	Reserved	(15'h0000 固定)
16	force to D0	PME_TO_Ack が送信後、PM Control を強制的に D0 State に遷移させます。 PM Control が D0 に遷移すると、自動クリアされます。この bit は、システム全体の Power State との間に不整合を生じさせる可能性がありますので、通常は使用しません。 0 : No operation 1 : D0 に遷移
15:12	Reserved	(0000b 固定)
11:8	Debug	デバッグ・レジスタ
7	RST_PREG_B	マクロ内部の Pipe (Phy Logfic)部へのリセット 0 : リセット 1 : 通常動作
6	RST_OUT_B	Root Complex モード時のみ使用。 対向側 (Endpoint) へのリセット出力端子へ接続 0 : リセット 1 : 通常動作
5	RST_PS_B	マクロ内部の PCI Express コア部へのリセット 0 : リセット 1 : 通常動作
4	RST_LOAD_B	Configuration Register へのリセット RST_CFG_B で初期化されないビットへのリセットを行います。 0 : リセット 1 : 通常動作
3	RST_CFG_B	Configuration Register へのリセット 0 : リセット 1 : 通常動作
2	RST_RSM_B	AUX Power の POWERGOOD リセット Sticky レジスタへのリセットを行います。 0 : リセット 1 : 通常動作
1	RST_GP_B	マクロ内部の PCI Express コア部へのリセット 0 : リセット 1 : 通常動作
0	RST_B	マクロ内部の PCI Express コア部へのリセット 0 : リセット 1 : 通常動作

備考 : Debug Registers: 当社でのデバッグ用のレジスタです。
アクセスした場合、誤動作の原因となりかねません。ご注意ください。

24.4.4.34 Mode Set 0 Registers (Offset: 314h)

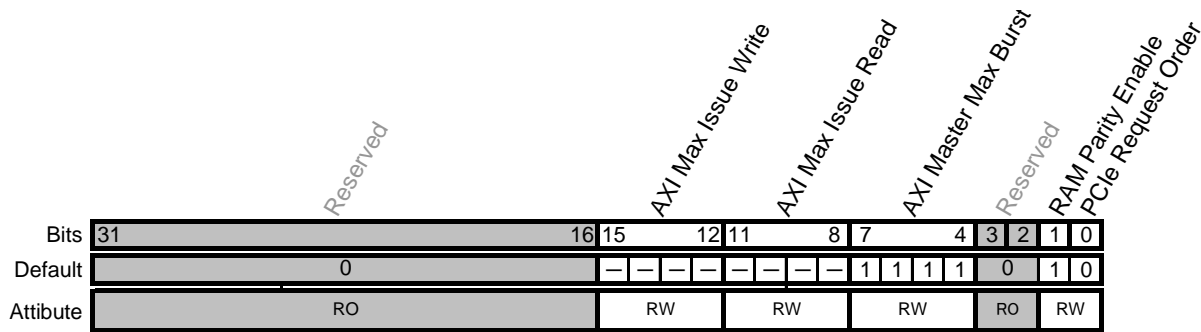
Default: 2001-2000h

	Reserved		AWPORT		AWCACHE_L		Reserved		AWLOCK		AWCACHE_D		Reserved		ARPORT		Reserved		ARLOCK		ARCACHE_D			
Bits	31	30	28	27	24	23	22	21	20	19	16	15	14	12	11	6				5	4	3	0	
Default	0	0	1	0	0		0	0	0	0	0	1	0	0	1	0	0				0	0	0	0
Attribute	RO	RW	RW		RO		RW	RW		RO		RW	RO				RW	RW						

Bit	Field	Description
31	Reserved	(0b 固定)
30:28	AWPROT	PCIe→AXI トランザクションにおける保護タイプを設定します。このビットは、トランザクションの保護レベルが「通常」、「特権」、「セキュア」のいずれであるかと、そのトランザクションがデータ・アクセスと命令アクセスのどちらであることを示します。
27:24	AWCACHE_L	AXI へ発行する、MAWCACHE[3:0]の値を示します。 最後の byte を含む AXI リクエストの発行時に、この設定が出力されます。 [3]:書き込み割り当て [2]:読み出し割り当て [1]:キャッシュ可能 [0]:バッファ可能 ※推奨値は 0000b となります。 ※MSI 発行時は bit0 の設定は無視され、強制的にバッファリング不可(MAWCACHE0[0]=0)となります。
23:22	Reserved	(00b 固定)
21:20	AWLOCK	PCIe→AXI トランザクションにおけるロック・タイプです。このシグナルは、転送のアトミックな性質に関する情報を提供します。
19:16	AWCACHE_D	AXI へ発行する、MAWCACHE [3:0]の値を示します。 AWCACHE_L の出力条件以外の AXI リクエスト発行時に、この設定が出力されます。 [3]:書き込み割り当て [2]:読み出し割り当て [1]:キャッシュ可能 [0]:バッファ可能 ※推奨値は 0001b となります。
15	Reserved	(0b 固定)
14:12	ARPROT	PCIe→AXI トランザクションにおける保護タイプを設定します。このビットは、トランザクションの保護レベルが「通常」、「特権」、「セキュア」のいずれであるかと、そのトランザクションがデータ・アクセスと命令アクセスのどちらであることを示します。
11:6	Reserved	(00_0000b 固定)
5:4	ARLOCK	PCIe→AXI トランザクションにおけるロック・タイプです。このビットは、転送のアトミックな性質に関する情報を提供します。
3:0	ARCACHE	PCIe→AXI トランザクションにおけるキャッシュ・タイプです。このビットは、トランザクションの属性として「バッファ可能」、「キャッシュ可能」、「ライトスルー」、「ライトバック」、「割り当て」のいずれかを示します。

24.4.4.35 Mode Set 1 Registers (Offset: 318h)

Default: 0000_ - - F4h

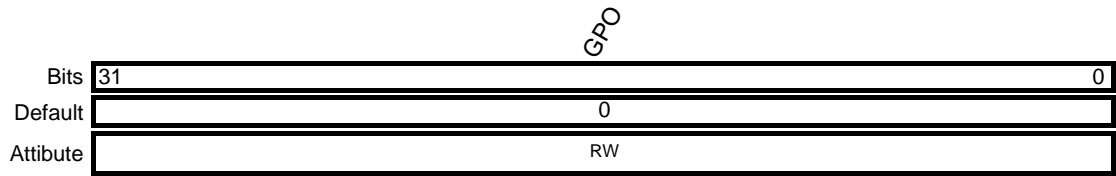


Bit	Field	Description
31:16	Reserved	(16'h0000 固定)
15:12	AXI Max Issue Write	AXI Master の書き込み発行可能数を設定します。InterConnect が許容する範囲で設定してください。 0h : 可能数 1 1h : 可能数 2 : Fh : 可能数 16
11:8	AXI Max Issue Read	AXI Master の読み出し発行可能数を設定します。InterConnect が許容する範囲で設定してください。 0h : 可能数 1 1h : 可能数 2 : Fh : 可能数 16
7:4	AXI Master Max Burst	AXI Master 動作として、最大バースト長を設定します。
3:2	Reserved	(00b 固定)
1	RAM Parity Enable	内蔵 SRAM のパリティチェック有無を設定します。 0: RAM Parity Check 無効 1: RAM Parity Check 有効
0	PCIe Request Order	同一 AXI マスタからの PCIe への Read Request の発行を Completion を待たずに行います。Completer への Request の順序を厳密に守りたい場合は 1 に設定してください。 0: Completion を待たない。 1: Completion を待つ。

24.4.4.36 General Purpose Output Registers (Offset: 380h~38Ch)

General Purpose Output レジスタは0~3 まで 4 つ存在し、合計で 128bit (GPO[127:0]) あります。

Default: 0000_0000h

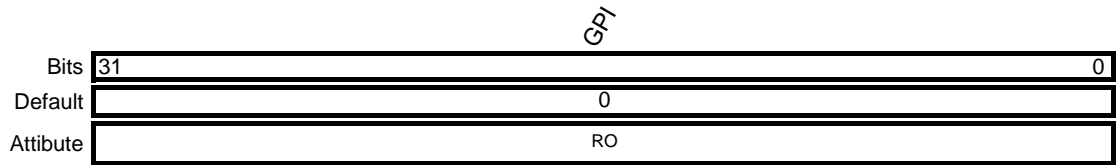


Bit	Field	Description
31:0	GPO	汎用出力。合計で 128bit(GPO[127:0]) あります。

24.4.4.37 General Purpose Input Registers (Offset: 390h~39Ch)

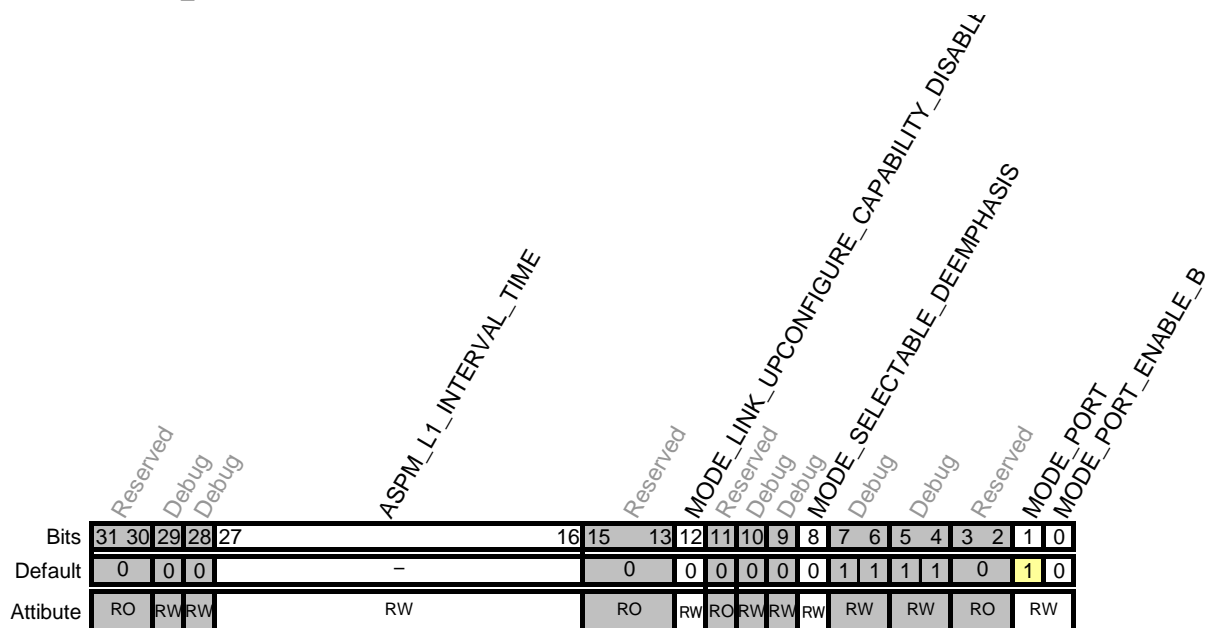
General Purpose Enable レジスタは0~3 まで 4 つ存在し、合計で 128bit (GPI[127:0]) あります。

Default: 0000_0000h



Bit	Field	Description
31:0	GPI	汎用入力。合計で 128bit(GPI[127:0]) あります。

PCI Express コア部の動作モード設定用のレジスタです。



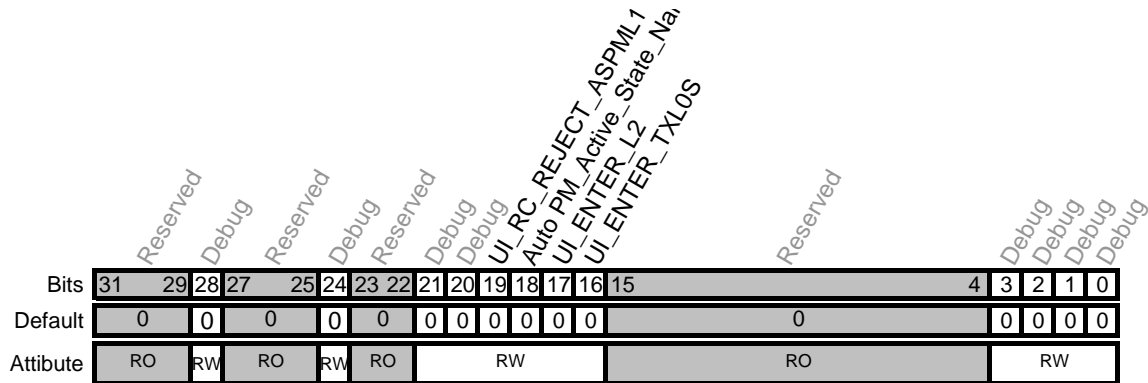
Bit	Field	Description
31:30	Reserved	(00b 固定)
29	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。
28	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。
27:16	ASPM_L1_INTERVAL_TIME	ASPM L1 要求の間隔設定 PCIe Base Spec において ASPM L1 遷移要求を 10us 以内に連続して受け付けてはいけな いと定められており、そのガードをするためのタイマー値の設定をこのフィールドで行いま す。内部バスクロック (ACLK) 周期×設定値が 10us 以上になるように設定します。 (例) ACLK=100MHz(10ns)の場合：1000(d) = 3E8(h) = 12'b0011_1110_1000 ACLK=200MHz(5ns)の場合：2000(d) = 7D0(h) = 12'b0111_1101_0000 ACLK=250MHz(4ns)の場合：2500(d) = 9C4(h) = 12'b1001_1100_0100
15:13	Reserved	(000b 固定)
12	MODE_LINK_UPCONFIGURE_CAPABILITY_DISABLED	TS-OS の Link Upconfigure Capability bit の設定 Gen1 x1 は default 1b (Link Upconfigure Capability bit は 0b) に設定し、それ以外 は default 0b (Link Upconfigure Capability bit は 1b) に設定します。古い Gen1 PCIe デバイスと接続する時には本ビットが 0b でないと LinkUp しない場合もあるので、 その場合は F/W で 0b に変更してください。
11	Reserved	(0b 固定)
10	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。
9	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。
8	MODE_SELECTABLE_DEEMPHASIS	Endpoint モードでの De-emphasis 設定 MODE_PORT=0b (EP mode) の場合、5.0 GT/s 動作時の De-emphasis 値を設定しま す。PCIe Base Spec 記載の select_deemphasis variable の初期値になります。 0: -6 dB (default) 1: -3.5 dB
7:6	Debug	当社でのデバッグ用のレジスタです。

Bit	Field	Description
		アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。
5:4	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。
3:2	Reserved	(00b 固定)
1	MODE_PORT	Device Type 設定用レジスタ。ダイナミックに切り替えてお使いいただくことは出来ません。必ず"0"/"1"に固定し、動作させてください。 0: Endpoint 1: Root Complex
0	MODE_PORT_ENABLE_B	SerDes ハード・マクロを含めた、マクロのディセーブル設定用レジスタ。このビットをセットすることで、リファレンス・クロックの入力をディセーブル状態にします。これにより、最小限の消費電力（パワー）状態が可能になります。通常動作時は"0"固定です。 0: 通常動作 1: マクロ OFF

24.4.4.39 PCIe Core Control 1 Registers (Offset: 404h)

PCI Express コア内の Power Management 制御や LTSSM (Link Training Sequence State Machine) ステート遷移のための制御レジスタです。

Default: 0000_0000h



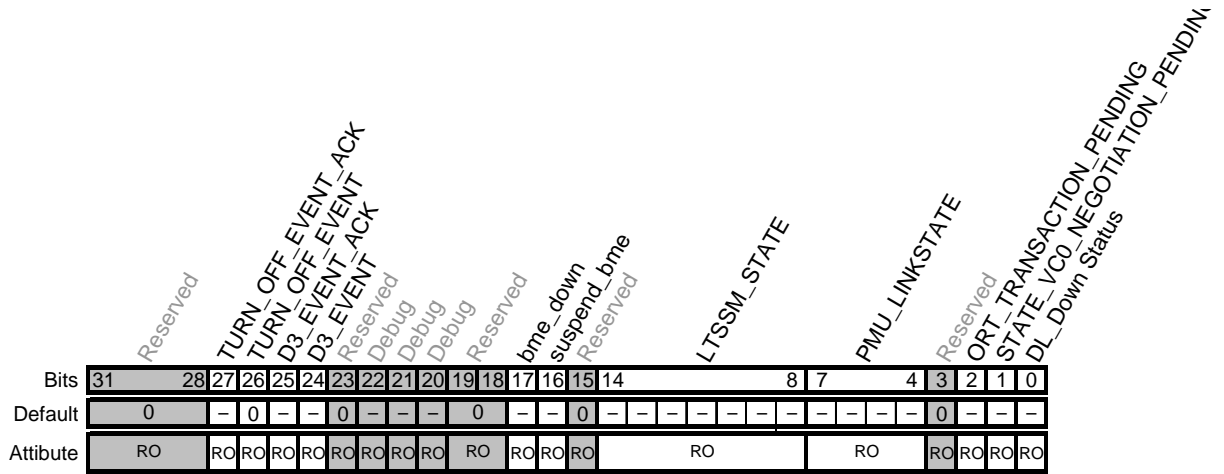
Bit	Field	Description
31:29	Reserved	(000b 固定)
28	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
27:25	Reserved	(000b 固定)
24	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
23:22	Reserved	(00b 固定)
21	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
20	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
19	UI_RC_REJECT_ASPML1	ASPM L1 遷移拒絶制御 (Root Complex モードのみ有効) 0: 対向 EP デバイスからの ASPM L1 遷移要求を受け入れる 1: 対向 EP デバイスからの ASPM L1 遷移要求を拒絶する (default)
18	Auto PM_Active_State_Nak	ASPM L1 遷移拒絶制御 (Root Complex モードのみ有効) PCIe Core により ASPM L1 が Reject された場合に PM_Active_State_Nak を自動送信するかを設定します。 一度自動送信されると、このビットは自動クリアされます。 0: 自動送信なし 1: 自動送信あり
17	UI_ENTER_L2	RC モードの L2 遷移制御 (Root Complex モードのみ有効) RC モード時に L2 ステートに遷移させる時に 1b に設定する。 L2 ステート遷移時には Reset レジスタの制御で PCIe コアをリセット状態にする必要があります。復帰時はリセット解除後に本ビットを 0b にクリアする必要があります。
16	UI_ENTER_TXLOS	TxLOS 遷移制御 (Root Complex/Endpoint モード共通) 0: ASPM L0s 遷移を行わない (default) 1: 内部条件が成立したら ASPM L0s 遷移を行う
15:4	Reserved	(12'h000 固定)
3	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
2	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。

1	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。
0	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、 誤動作の原因 となりかねません。ご注意ください。

24.4.4.40 PCIe Core Status 1 Registers (Offset: 408h)

PCI Express コア内の Power Management ステータス・レジスタです。

Default: 0 --- _ --- -h



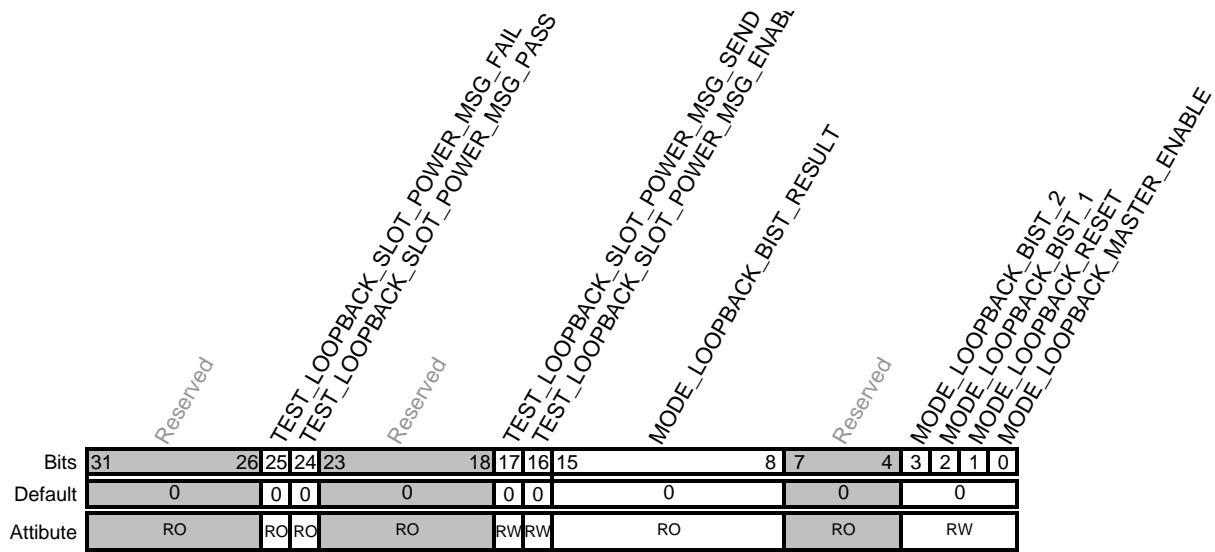
Bit	Field	Description
31:28	Reserved	(0000b 固定)
27	TURN_OFF_EVENT_ACK	TURN_OFF_EVENT_ACK 入力信号モニター (Endpoint モードのみ有効)
26	TURN_OFF_EVENT	TURN_OFF_EVENT 出力信号モニター (Endpoint モードのみ有効)
25	D3_EVENT_ACK	D3_EVENT_ACK 入力信号モニター (Endpoint モードのみ有効)
24	D3_EVENT	D3_EVENT 出力信号モニター (Endpoint モードのみ有効)
23	Reserved	(0b 固定)
22	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
21	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
20	Debug	当社でのデバッグ用のレジスタです。 アクセスした場合、誤動作の原因となりかねません。ご注意ください。
19:18	Reserved	(00b 固定)
17	bme_down	BME Bus が使用できない状態になっていることを示します。
16	suspend_bme	BME Bus の使用を抑制すべき状態であることを示します。
15	Reserved	(0b 固定)
14:8	LTSSM_STATE	PCIe Core の Link 内にある Link Training & Status State Machine の状態を示します。
7:4	PMU_LINKSTATE	パワマネ制御部の L-state モニター 4'b0100: L1 state 4'b1000: L2 state
3	Reserved	(0b 固定)
2	ORT_TRANSACTION_PENDING	Outstanding Request モニター Outstanding Request (AXI 側から送信した Non-Posted Request に対応した Completion を全て受信完了していない状態)の有無を示します。 TxL0s/L1/L2 に遷移要求/許可する前に Outstanding Request がない状態になっていることをこのビットで確認してください。 0: Outstanding Request がない状態 1: Outstanding Request がある状態
1	STATE_VCO_NEGOTIATION_PENDING	Flow Control 初期化動作モニター このビットが 1b の場合は AXI 側から Transaction を開始してはいけません。 このビットが 0b で DL_Down Status (bit[0]) が 0b の状態を確認してください。 0: Flow Control の初期化が完了した状態を示す 1: Flow Control の初期化が完了していないことを示す

0	DL_Down status	PCIe Core が DL_Down 状態か DL_Up 状態化を示します 0: DL_Up Status 1: DL_Down Status
---	----------------	--

24.4.4.41 PCIe Core Loppback Test Registers (Offset: 40Ch)

SerDes 部分だけで行う Loopback Test および上位層コアから Slot Power Limit Message を送信して折り返しの受信を確認する Loopback Test の制御を行うためのレジスタです。

Default: 0000_0000h



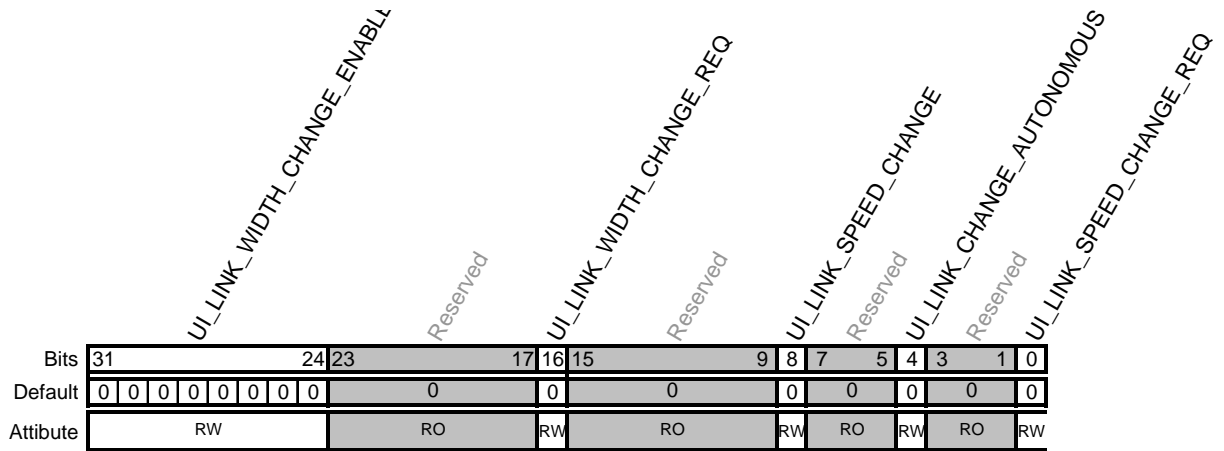
Bit	Field	Description
31:26	Reserved	(00_0000b 固定)
25	TEST_LOOPBACK_SLOT_POWER_MSG_FAIL	Msg Loopback Test Fail モニター Set_Slot_Power_Limit Message を送信し、SerDes 部で折り返し受信して上位で送信したものと同じものが受信できなかったことを示す。
24	TEST_LOOPBACK_SLOT_POWER_MSG_PASS	Msg Loopback Test Pass モニター Set_Slot_Power_Limit Message を送信し、SerDes 部で折り返し受信して上位で送信したものと同じものが受信できたことを示す。
23:18	Reserved	(00_0000b 固定)
17	TEST_LOOPBACK_SLOT_POWER_MSG_SEND	Msg Loopback Test Start 制御 Set_Slot_Power_Limit Message 送信起動します
16	TEST_LOOPBACK_SLOT_POWER_MSG_ENABLE	Msg Loopback Test Enable 制御 Msg Loopback Test を実行可能な状態にします。
15:8	MODE_LOOPBACK_BIST_RESULT	PHY Loopback Test の結果出力モニター Loopback テストの結果を表示します。下位ビットが Lane0 に対応し、最上位ビットが Lane7 となります。 0: エラー検出なし 1: エラー検出あり
7:4	Reserved	(0000b 固定)
3	MODE_LOOPBACK_BIST_2	PHY Loopback Test の動作モード 2 Loopback テスト用に送信する擬似ランダム・データ内に挿入する SKP-OS の間隔を設定します。 0: 擬似ランダム・データ 1280 byte 毎に SKP-OS を挿入します。(default) 1: 擬似ランダム・データ 256 byte 毎に SKP-OS を挿入します。
2	MODE_LOOPBACK_BIST_1	PHY Loopback Test の動作モード 1 LOOPBACK_BIST_RESULT フィールドに BIST 結果を表示する動作モードを設定します。 0: リアル・タイム・モード 1: ラッチ・モード。1 回エラー検出したら、リセットするまで 1b 出力します。
1	MODE_LOOPBACK_RESET	PHY Loopback Test のリセット制御 PHY Loopback Test 開始後、2ms 程度は本ビットに 1b をセットしてリセット状態にする必要があります。

0	MODE_LOOPBACK_MASTER_ENABLE	PHY Loopback Test のリセット制御 PHY Loopback Test の開始するためには本ビットを 1b にセットします。 TEST 結果確認後、終了処理として 0b にクリアします。
---	-----------------------------	---

24.4.4.42 PCIe Core Control 2 Registers (Offset: 410h)

PCI Express コア内の Link Speed/Width Change 制御用レジスタです。

Default: 0000_0000h



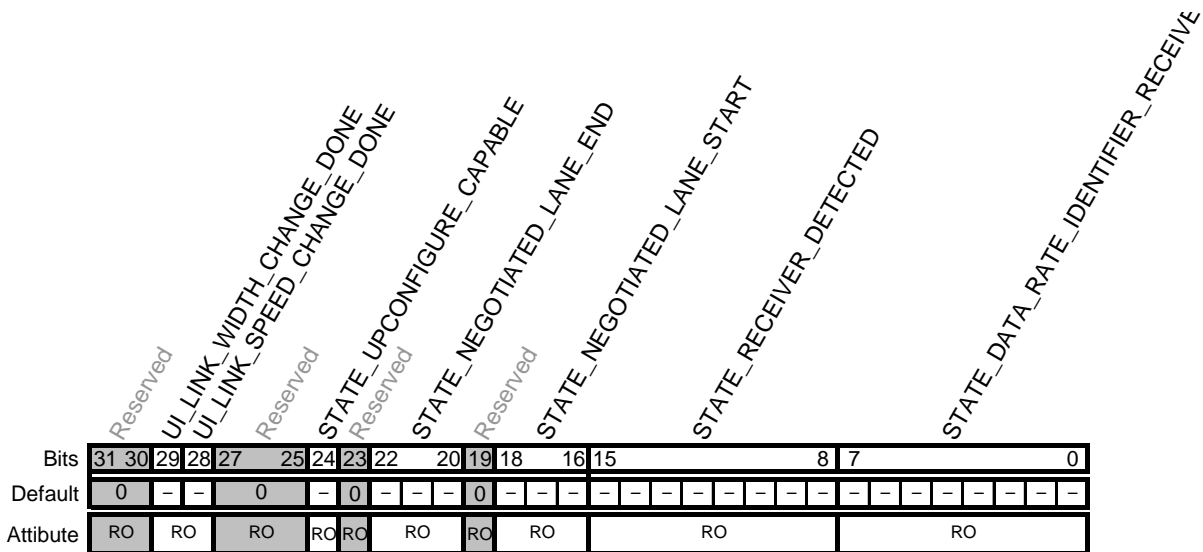
Bit	Field	Description
31:24	UI_LINK_WIDTH_CHANGE_ENABLE	変更したい Link Width 設定 UI_LINK_WIDTH_CHANGE_REQ をアサートして Link Width 変更要求を出す時に動作させたい Lane を 1b にセットします。 下位ビット (bit[24]) が Lane0 を動作させる、最上位ビット (bit[31]) が Lane7 を動作させます。
23:17	Reserved	(000_0000b 固定)
16	UI_LINK_WIDTH_CHANGE_REQ	Link Width 変更要求制御 動作 Link Width を UI_LINK_WIDTHCHANGE_ENABLE フィールドで設定した構成に変更要求を出します。 L0 ステートの時にアサートすることで Recovery ステート→Configuration ステートに遷移し、対向デバイスと Negotiation を行います。
15:9	Reserved	(000_0000b 固定)
8	UI_LINK_SPEED_CHANGE	変更したい Link Speed 設定 ^{注1} 変更要求したい Link Speed を設定します。 0: 2.5 GT/s 1: 5.0 GT/s (GEN2 未サポートのため設定禁止です)
7:5	Reserved	(000b 固定)
4	UI_LINK_CHANGE_AUTONOMOUS	Link Width/Speed の変更理由設定 変更要求したい Link Speed を設定します。 0: reliability reason (信頼性のための変更。帯域現象の方向) 1: autonomous reason (意図的な変更)
3:1	Reserved	(000b 固定)
0	UI_LINK_SPEED_CHANGE_REQ	Link Speed 変更要求制御 動作 Link Speed を UI_LINK_SPEED_CHANGE フィールドで設定値に変更する要求を出します。 L0 ステートの時にアサートすることで Recovery ステートに遷移し、対向デバイスと Negotiation を行います。

注 1 : コンフィグレーションにより、PCI Express Gen1 (2.5Gbps)の設定になっておりますので、2.5GT/s の設定のみサポートします。

24.4.4.43 PCIe Core Status 2 Register (Offset: 414h)

PCI Express コア内の Link Speed/Width Change ステータス・レジスタです。

Default: - - - - -h



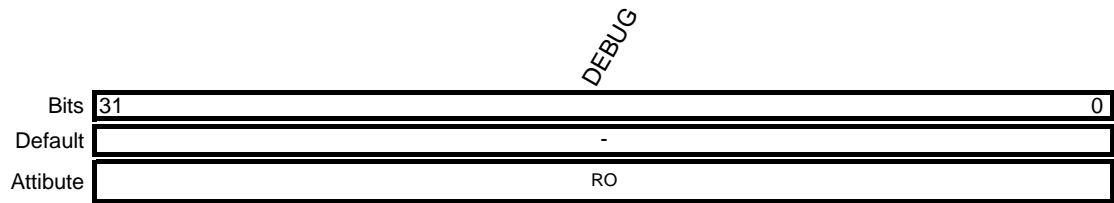
Bit	Field	Description
31:30	Reserved	(000b 固定)
29	UI_LINK_WIDTH_CHANGE_DONE	Link Width Change 動作完了表示
28	UI_LINK_SPEED_CHANGE_DONE	Link Speed Change 動作完了表示
27:25	Reserved	(000b 固定)
24	STATE_UPCONFIGURE_CAPABLE	対向デバイスの Upconfigure Capable bit 表示 対向デバイスが Link Width を広げる方向の変更に対応しているかどうかを示します。 このビットが 0b の場合は Link Width 変更すると元の Link Width に戻せません。
23	Reserved	(000b 固定)
22:20	STATE_NEGOTIATE_LANE_END	n レーン動作中の Link Number (n-1) の Lane 表示 Link Width を変更する前に現在の動作 Lane の状態をチェックするために使用。 000b: Lane0 が Lane Number (n-1) : : 111b: Lane7 が Lane Number (n-1)
19	Reserved	(000b 固定)
18:16	STATE_NEGOTIATE_LANE_START	n レーン動作中の Link Number (n-1) の Lane 表示 Link Width を変更する前に現在の動作 Lane の状態をチェックするために使用。 000b: Lane0 が Lane Number (n-1) : : 111b: Lane7 が Lane Number (n-1)
15:8	STATE_RECEIVER_DETECTED	対向デバイスとの接続状態表示 ^{※1} Receiver Detection の結果が表示されます。 [0] Lane0 に対向デバイスを検出 [1] Lane1 に対向デバイスを検出 (x2 以上の場合のみ) [2] Lane2 に対向デバイスを検出 (x4 以上の場合のみ) : : [4] Lane4 に対向デバイスを検出 (x8 の場合のみ) : : [7] Lane7 に対向デバイスを検出 (x8 の場合のみ)
7:0	STATE_DATA_RATE_IDENTIFIER_RECEIVED	対向デバイスがサポートしている Link Speed 表示 ^{※2} 対向デバイスから受信した TS-OS の Data Rate Identifier フィールドを表示します。 Bit 0 – Reserved Bit 1 – 2.5 GT/s Data Rate Supported. Must be set to 1b. Bit 2 – 5.0 GT/s Data Rate Supported. Must be set to 1b if Bit 3 is 1b. Bit 3 – 8.0 GT/s Data Rate Supported.

- 注 1 : コンフィグレーションにより、Multiple lane implementations x1 の設定になって
 おりますので、"[0] Lane0 に対向デバイスを検出"のみサポートします。
- 注 2 : コンフィグレーションにより、PCI Express Gen1 (2.5Gbps)の設定になって
 おりますので、"2.5GT/s"のみサポートします。

24.4.4.44 DEBUG Registers

debug レジスタは 0~15 まで 16 レジスタ存在し、合計で 512bit (DEBUG[511:0]) あります。

Default: 0000_0000h



Bit	Field	Description
31:0	DEBUG	合計で 512bit (DEBUG[511:0])あります。

24.4.4.45 PCIe Configuration Registers (Offset: 1000h~1FFCh)

PCI Express Configuration Register に関しては、24.14CFGU(Configuration Registers)を参照ください。

ご注意ください。

32'h 1811 0A04 (40nm)

Page 1085

24.4.4.47 Driver Voltage Level Control Registers 2 (Offset: 2008h/ 2010h)

Default: 32'h 0000 0000 (90nm Gen1 専用マクロ, No Support) 注1

32'h 0000 0000 (90nm, No support)

32'h 0B06 0300 (40nm)

	Reserved				SET_TISAMP_G2_H_1				Reserved				SET_TISAMP_G2_H_2				Reserved				SET_TISAMP_G2_H_3				Reserved				SET_TISAMP_G2_H_4															
Bits	31	29	28					24	23					21	20					16	15					13	12					8	7					5	4					0
Default: 90nm Gen1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
90nm Gen2	0	0	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1					
40nm	0	0	0	0	1	0	1	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0					
Type	RW				RW				RW				RW				RW				RW				RW				RW				RW											

Bit	Field	Description
31:29	Reserved	(000b 固定)
28:24	SET_TISAMP_G2_H_1	Driver Voltage Level 制御レジスタ (Gen2, 400-700 mV Half Swing)
23:21	Reserved	(000b 固定)
20:16	SET_TISAMP_G2_H_2	Driver Voltage Level 制御レジスタ (Gen2, 300-400 mV Half Swing)
15:13	Reserved	(000b 固定)
12:8	SET_TISAMP_G2_H_3	Driver Voltage Level 制御レジスタ (Gen2, 200-300 mV Half Swing)
7:5	Reserved	(000b 固定)
4:0	SET_TISAMP_G2_H_4	Driver Voltage Level 制御レジスタ (Gen2, 100-200 mV Half Swing)

注1 : コンフィグレーションにより、40nm を選択しています。

24.4.4.48 Driver Voltage Level Control Registers 3 (Offset: 2010h/ 2020h)

Default: 32'h 0000 0000 (90nm Gen1 専用マクロ) 注1

32'h 140F 0A06 (90nm)

32'h 1611 0A04 (40nm)

	Reserved				SET_TISAMP_G1_F_1				Reserved				SET_TISAMP_G1_F_2				Reserved				SET_TISAMP_G1_F_3				Reserved				SET_TISAMP_G1_F_4			
Bits	31	29	28		24	23		21	20		16	15		13	12		8	7		5	4		0									
Default: 90nm Gen1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
90nm Gen2	0	0	0	1	0	1	0	0	0	0	0	1	1	1	1	0	0	0	0	1	0	1	0	0								
40nm	0	0	0	1	0	1	1	0	0	0	0	1	0	0	0	1	0	0	1	0	1	0	0	0								
Type	RW				RW				RW				RW				RW				RW				RW							

Bit	Field	Description
31:29	Reserved	(000b 固定)
28:24	SET_TISAMP_G1_F_1	Driver Voltage Level 制御レジスタ (Gen1, 800-1200 mV Full Swing)
23:21	Reserved	(000b 固定)
20:16	SET_TISAMP_G1_F_2	Driver Voltage Level 制御レジスタ (Gen1, 600-800 mV Full Swing)
15:13	Reserved	(000b 固定)
12:8	SET_TISAMP_G1_F_3	Driver Voltage Level 制御レジスタ (Gen1, 400-600 mV Full Swing)
7:5	Reserved	(000b 固定)
4:0	SET_TISAMP_G1_F_4	Driver Voltage Level 制御レジスタ (Gen1, 200-400 mV Full Swing)

注1：コンフィグレーションにより、40nm を選択しています。

24.4.4.49 Driver Voltage Level Control Registers 4 (Offset: 2018h/ 2030h)

Default: 32'h 0101 0101 (90nm Gen1 専用マクロ) 注1

32'h 0000 0000 (90nm, Not Support)

32'h 0D06 0300 (40nm)

	Reserved				SET_TISAMP_G1_H_1				Reserved				SET_TISAMP_G1_H_2				Reserved				SET_TISAMP_G1_H_3				Reserved				SET_TISAMP_G1_H_4			
Bits	31	29	28		24	23	21	20		16	15	13	12		8	7	5	4		0												
Default: 90nm Gen1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
90nm Gen2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
40nm	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Type	RW				RW				RW				RW				RW				RW				RW							

Bit	Field	Description
31:29	Reserved	(000b 固定)
28:24	SET_TISAMP_G1_H_1	Driver Voltage Level 制御レジスタ (Gen1, 400-700 mV Half Swing)
23:21	Reserved	(000b 固定)
20:16	SET_TISAMP_G1_H_2	Driver Voltage Level 制御レジスタ (Gen1, 300-400 mV Half Swing)
15:13	Reserved	(000b 固定)
12:8	SET_TISAMP_G1_H_3	Driver Voltage Level 制御レジスタ (Gen1, 200-300 mV Half Swing)
7:5	Reserved	(000b 固定)
4:0	SET_TISAMP_G1_H_4	Driver Voltage Level 制御レジスタ (Gen1, 100-200 mV Half Swing)

注1：コンフィグレーションにより、40nm を選択しています。

24.4.4.50 Driver Voltage Level Control Registers 5 (Offset: 2020h/ 2040h)

Default: 32'h 0000 0000 (90nm Gen1 専用マクロ) 注1

32'h 0014 0014 (90nm)

32'h 001C 001C (40nm)

Reserved																															SET_TISAMP_H_L			
Bits	31																											5	4	0				
Default: 90nm Gen1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
90nm Gen2	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0		
40nm	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0		
Type	RW																											RW						

Bit	Field	Description
31:5	Reserved	(27'h00000000 固定)
4:0	SET_TISAMP_B	Driver Voltage Level 制御レジスタ P2 Power State 時の Beacon 送信の振幅レベル制御用レジスタ (Half Swing)

注1：コンフィグレーションにより、40nm を選択しています。

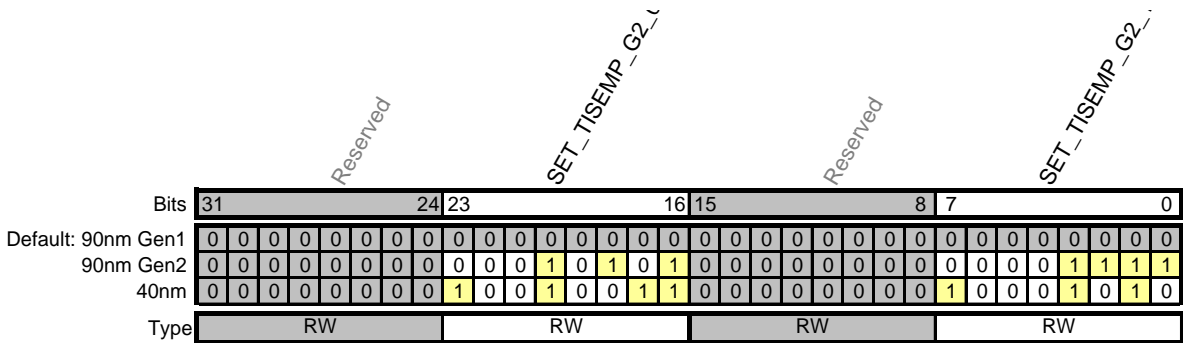
24.4.4.51 Driver Emphasis Level Control Registers 1 (Offset: 2028h/ 2050h)

マクロ内部の SerDes TX Driver 部の Emphasis レベルを最適にするためのレジスタです。Default（推奨値）設定で PCI Express としての動作は可能ですが、最適値はパッケージやボード設計に依存します。

Default:32'h 0000_0000 (90nm Gen1 専用マクロ, Not Support) 注1

32'h 0015_000F (90nm)

32'h 0093_008A (40nm)



Bit	Field	Description
31:24	Reserved	(8'h00 固定)
23:16	SET_TISEMP_G2_0	Driver Emphasis Level 制御レジスタ (Gen2, Full Swing, -6.0dB)
15:8	Reserved	(8'h00 固定)
7:0	SET_TISEMP_G2_1	Driver Emphasis Level 制御レジスタ (Gen2, Full Swing, -3.5dB)

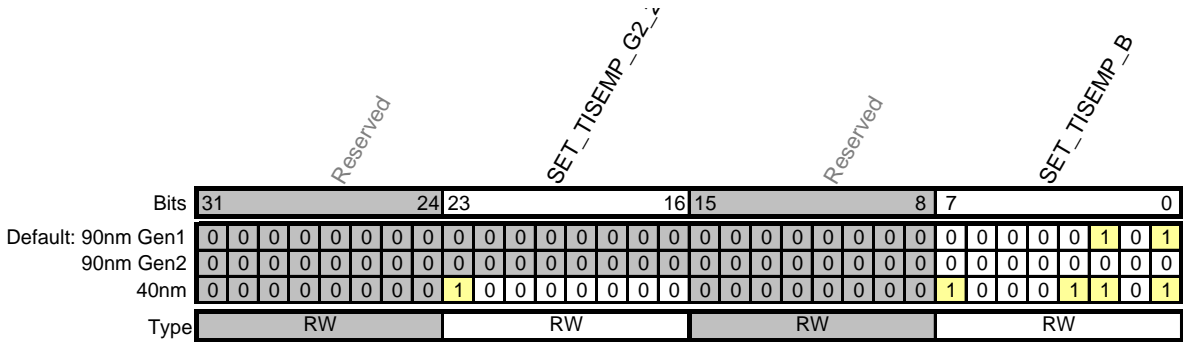
注 1：コンフィグレーションにより、40nm を選択しています。

24.4.4.52 Driver Emphasis Level Control Registers 2 (Offset: 2030h/ 2060h)

Default:32'h 0000_0005 (90nm Gen1 専用マクロ) 注1

32'h 0000_0000 (90nm)

32'h 0080_008D (40nm)



Bit	Field	Description
31:24	Reserved	(8'h00 固定)
23:16	SET_TISEMP_G2_2	Driver Emphasis Level 制御レジスタ (Gen2, Half Swing, 0/-3.5dB)
15:8	Reserved	(8'h00 固定)
7:0	SET_TISEMP_B	Driver Emphasis Level 制御レジスタ P2 Power State 時の Beacon 送信の振幅レベル制御用レジスタ

注 1：コンフィグレーションにより、40nm を選択しています。

24.4.4.53 Driver Emphasis Level Control Registers 3 (Offset: 2038h/ 2070h)

Default:32'h 0037_0005 (90nm Gen1 専用マクロ) 注1

32'h 000F_0000 (90nm)

32'h 008A 0080 (40nm)

			Reserved																SET_TISEMP_G1								Reserved																SET_TISEMP_G1																							
Bits			31								24								23								16								15								8								7								0							
Default:	90nm	Gen1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1																																
	90nm	Gen2	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																
	40nm		0	0	0	0	0	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0																																
Type			RW								RW								RW								RW																																							

Bit	Field	Description
31:24	Reserved	(8'h00 固定)
23:16	SET_TISEMP_G1_1	Driver Emphasis Level 制御レジスタ (Gen1, Full Swing, -3.5dB)
15:8	Reserved	(8'h00 固定)
7:0	SET_TISEMP_G1_2	Driver Emphasis Level 制御レジスタ (Gen1, Half Swing, 0dB)

注1：コンフィグレーションにより、40nm を選択しています。

24.4.4.54 Receiver Control Registers (Offset: 2040h/ 2080h)

マクロ内部の SerDes Receiver 部の制御用のレジスタです。

Default:32'h 0000 0004 (90nm Gen1 専用マクロ) 注1

32'h 0001 0007 (90nm)

32'h 0001 000F (40nm)

[illegible]

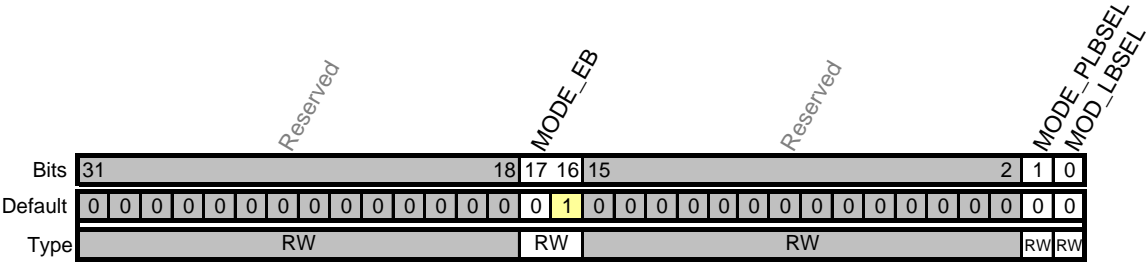
Bit	Field	Description
31:18	Reserved	(14'h0000 固定)
17:16	RISSDSEN	Receiver Threshold Level 設定用レジスタ Receiver における Electrical Idle 状態と有効なデータ受信状態を判別するための Threshold 値を設定するための端子です。 <u>この値で PCI Express の通信は可能ですが、最も安定して動作する最適な設定であるかどうかは Package 設計、お客様側での PCB 設計に依存します。マクロ外部 (UDL) でのレジスタ制御をお勧めします。</u>
15:5	Reserved	(11'h000 固定)
4:0	RISEQ	RX equalizer 設定用レジスタ Receiver Equalizer の設定が可能となっています。 <u>この値で PCI Express の通信は可能ですが、最も安定して動作する最適な設定であるかどうかは Package 設計、お客様側での PCB 設計に依存します。マクロ外部 (UDL) でのレジスタ制御をお勧めします。</u>

注1：コンフィグレーションにより、40nmを選択しています。

24.4.4.55 Pipe Logic Control Registers (Offset: 2048h/ 2090h)

マクロ内部の Pipe Logic 部の制御用のレジスタです。

Default:32'h 0001_0000 （プロセス共通）

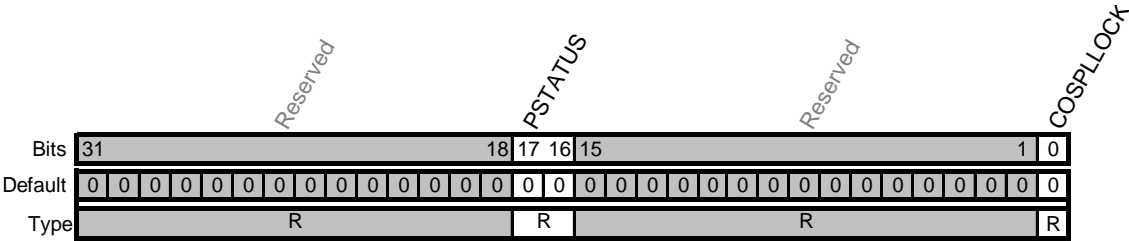


Bit	Field	Description																											
31:18	Reserved	(14'h000 固定)																											
17:16	MODE_EB	<div>FIFO 段数設定用レジスタ Elastic Buffer の FIFO 段数の切り替えが可能です。性能（Latency）を重視される場合など、システムに合わせて変更可能となっています。 Max Payload Size に依存して、設定可能な範囲が限定されます。 なお、<u>切り替えはリセット期間中のみとなります。</u></div> <table><tr><th rowspan="2">Bit[1]</th><th rowspan="2">Bit[0]</th><th colspan="2">Description</th><th rowspan="2">Remarks</th></tr><tr><th>8bit</th><th>16bit</th></tr><tr><td>0</td><td>0</td><td>5 段</td><td>5 段</td><td>周波数偏差なしの場合に限定</td></tr><tr><td>0</td><td>1</td><td>7 段</td><td>6 段</td><td>推奨設定</td></tr><tr><td>1</td><td>0</td><td>9 段</td><td>8 段</td><td></td></tr><tr><td>1</td><td>1</td><td>11 段</td><td>Inhibit</td><td></td></tr></table>	Bit[1]	Bit[0]	Description		Remarks	8bit	16bit	0	0	5 段	5 段	周波数偏差なしの場合に限定	0	1	7 段	6 段	推奨設定	1	0	9 段	8 段		1	1	11 段	Inhibit	
Bit[1]	Bit[0]	Description			Remarks																								
		8bit	16bit																										
0	0	5 段	5 段	周波数偏差なしの場合に限定																									
0	1	7 段	6 段	推奨設定																									
1	0	9 段	8 段																										
1	1	11 段	Inhibit																										
15:2	Reserved	(14'h000 固定)																											
1	MODE_PLBSEL	<div>パラレル・ループバック設定端子（入力：ハイ・アクティブ） TX→RX のパラレル・ループバック設定用端子です。外部ユーザー・ロジックとの構成でループバック・テストを実現できます。詳細は「DFT」に関する章を参照ください。 0: Disable (Default) 1: Enable</div>																											
0	MODE_LBSEL	<div>シリアル・ループバック設定端子（入力：ハイ・アクティブ） TX→RX のシリアル・ループバック設定用端子です。外部ユーザー・ロジックとの構成でループバック・テストを実現できます。詳細は「DFT」に関する章を参照ください。 0: Disable (Default) 1: Enable</div>																											

24.4.4.56 Pipe Monitor Registers (Offset: 2050h/ 20A0h)

マクロ内部の Pipe Logic 部のモニター用のレジスタです。

Default:32'h 0000_0000 (プロセス共通)

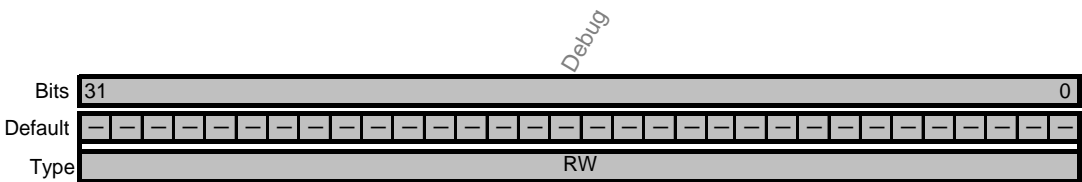


Bit	Field	Description															
31:18	Reserved	(14'h000 固定)															
17:16	PSTATUS	<div>Power Status モニター・レジスタ マクロに搭載されている Pipe 部の Power State がモニター可能です。</div> <table><tr><th>Bit[1]</th><th>Bit[0]</th><th>Remarks</th></tr><tr><td>0</td><td>0</td><td>P0, normal operation</td></tr><tr><td>0</td><td>1</td><td>P0s, low recovery time latency, power saving state</td></tr><tr><td>1</td><td>0</td><td>P1, longer recovery time latency, lower power state</td></tr><tr><td>1</td><td>1</td><td>P2, lowest power state</td></tr></table> <div>備考) P2 から P1 State への遷移は、PCLK が停止状態にあるため非同期となります。</div>	Bit[1]	Bit[0]	Remarks	0	0	P0, normal operation	0	1	P0s, low recovery time latency, power saving state	1	0	P1, longer recovery time latency, lower power state	1	1	P2, lowest power state
Bit[1]	Bit[0]	Remarks															
0	0	P0, normal operation															
0	1	P0s, low recovery time latency, power saving state															
1	0	P1, longer recovery time latency, lower power state															
1	1	P2, lowest power state															
15:1	Reserved	(15'h000 固定)															
0	COSPLLOCK	<div>PLL Lock モニター・レジスタ 0: Unlock 1: Lock in at-speed operation</div>															

24.4.4.57 Debug Registers

弊社のデバッグ用のレジスタとなっております。R/W 可能なレジスタ構成となっており、お客様側からのレジスタへのライト・アクセスが可能です。これらのレジスタを間違えて書き換えてしまうと、SerDes の設定が変更となり PCI Express としての特性だけでなく動作そのものにも影響を及ぼしてしまいます。充分ご注意願います。

Default:32'h ----_---- (プロセス共通)

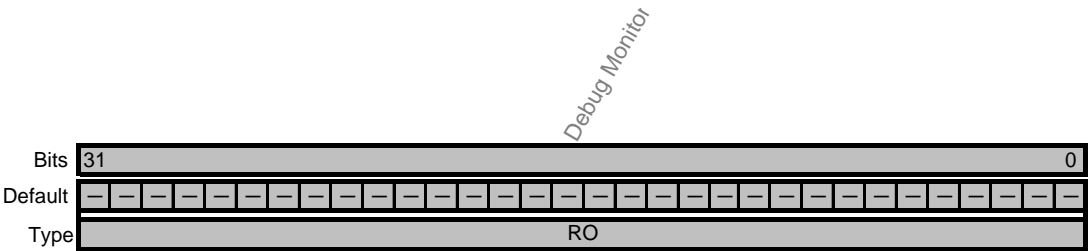


Bit	Field	Description
31:0	Debug	<div>弊社デバッグ用の内部制御レジスタ アクセスした場合、誤動作の原因となりかねません。ご注意ください。</div>

24.4.4.58 Debug Monitor Registers

弊社のデバッグ用モニター・レジスタとなっております。

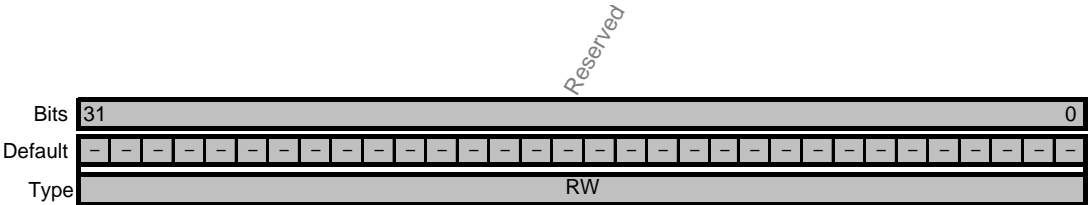
Default: 32'h ---- ----



Bit	Field	Description
31:0	Debug Monitor	弊社デバッグ用の内部モニター・レジスタ

24.4.4.59 Reserved Registers

Default: 32'h ---- ----



Bit	Field	Description
31:0	Reserved	

24.5 機能説明： PCIe Request の発行と Register アクセス (From AXI)

以下に PCI Express コアへの AXI バスからのアクセスに関する機能説明を記載します。

24.5.1 発行可能な PCIe Request (TX 側サポート・コマンド)

PCIe Window を経由するリクエスト

- MRd : Memory Read Request
- MWr : Memory Write Request

Register により発行するリクエスト

- MRd : Zero-Length Memory Read Request
- IORd : I/O Read Request
- IOWr : I/O Write Request
- CfgRd0 : Configuration Read Type 0
- CfgWr0 : Configuration Write Type 0
- CfgRd1 : Configuration Read Type 1
- CfgWr1 : Configuration Write Type 1
- Msg : Message Request
- MsgD : Message Request with data payload
- Cpl : Completion
- CplD : Completion with Data

未サポートのリクエスト

- MRdLk : Memory Read Request-Locked
- CplDLk : Completion for Locked Memory Read

24.5.2 レジスタ・アクセス

- Internal Register Read/Write
- Configuration Register Read/Write

なお、Configuration Register へのアクセスに関しては、下記の制限事項があります。

バイト・レーン転送は、有効バイトが連続している場合に受付可能。

有効バイトが非連続の場合は32bit(1DW)以下で、かつDWでアラインを跨がないもののみ受付可能。

例) PCIeで1DW長のTLPで表現できるもの

24.5.3 Memory Request の発行

AXI 側からのアクセスを PCIe Request に変換して発行します。Window は最大 4 つまで持つことが可能です。Window の設定方法に関しては、「24.3 メモリ・マップ」の項を参照ください。

なおインクリメント・バースト、固定バースト (1beat) のみ受付可能です。ラッピング・バーストおよび固定バースト (2beat 以上) は禁止です。これらの禁止されているバースト・タイプを受信した場合、マクロは下記のような動作となります。

- 原則 OKAY 応答します (AXI 上のプロトコル・エラーを合併している場合を除きます) が、動作保障外です。
- 予期せぬリクエストが Pixie 側に発行されることがあります。
- 予期せぬレジスタが書き換えられてしまうことがあります。

Memory Write と Memory Read 間のオーダーを維持したい場合、Write の Response 受信後に次のトランザクションを発行してください。加えて、Memory Write をキャッシュ不可能として発行するようにしてください。(Mode Set 0 Registers (Offset: 314h)の AWCACHE*を参照)

24.5.3.1 AXI からの Memory Write

「24.3 メモリ・マップ 24.3.3AXI → PCIe (PCIe Window)」で設定した、Window を通した AXI の Write トランザクションを MWr コマンドに変換し発行します。

- 書き込み受け付け可能数=1
- Write Dataは内部バッファに保持。
- Memory Write同士のオーダーは守られます。
(Message、Configuration、I/O向けのトランザクションを除く)
- 他のトランザクションとのオーダーは守られません。
- Memory WriteとMemory ReadまたはMsg/MsgD間のオーダーを守りたい場合、Responseが帰ってきってから次のトランザクションを発行するようにしてください。また、Memory Writeはキャッシュ不可能として発行してください。
- PCI Power StateがD0以外の場合、Writeは実行されません。
- パースト中WSTRBが全て0のトランザクションは、Silent Dropし、OKAYのレスポンスを返します。
- TURN_OFF_EVENT_ACK/D3_EVENT_ACKをアサートしてからのMemory Requestの発行は行えません。(禁止事項：Endpointモードのみ)

24.5.3.2 AXI からの Memory Read

「24.3 メモリ・マップ 24.3.3AXI → PCIe (PCIe Window)」で設定した、Window を通した AXI の Read トランザクションを MRd コマンドに変換し発行します。

- 1 Read トランザクションを1 Memory Readに変換。(インクリメント)
Max Read Request Sizeとの関係で、1 Readトランザクションを分割することがあります。
例) Max Read Request Size = 128byte時
1回目 (総転送量-128byte)、2回目は128byteと分割される場合があります。
- 読み出し受け付け可能数=1~32
- Read Dataは同一IDトランザクション間オーダーを守らせるため、内部バッファに保持。
- 同一Master IDからのMemory Readはオーダーを守るために、先行するReadのCompletionが帰ってくるまで待機します。待機方法は内部レジスタの設定で以下のいずれかの方法が選択可能です。

PCIe Request Order 注	待機方法	パフォーマンス	オーダーの厳格さ
0 (Default)	Read Data を内部バッファで待たせる	◎	
1	Read Request の発行を待たせる		◎

注) オーダーは Mode Set 1 Registers (Offset: 318h)の PCIe Request Order (bit[0]) で設定可能です。

- 異なるMaster IDからのMemory Readのオーダーは守られません。
- 他のトランザクションとのオーダーは守られません。
- Memory ReadとMemory Writeのオーダーを守りたい場合、Responseが帰ってきってから次のトランザクションを発行するようにしてください。また、Memory Writeはキャッシュ不可能として発行してください。
- MRdLkは未サポートです。発行できません。
- PCI Power StateがD0以外の場合、Readは実行されません。
- TURN_OFF_EVENT_ACK/D3_EVENT_ACKをアサートしてからのMemory Requestの発行は行えません。(禁止事項：Endpointモードのみ)

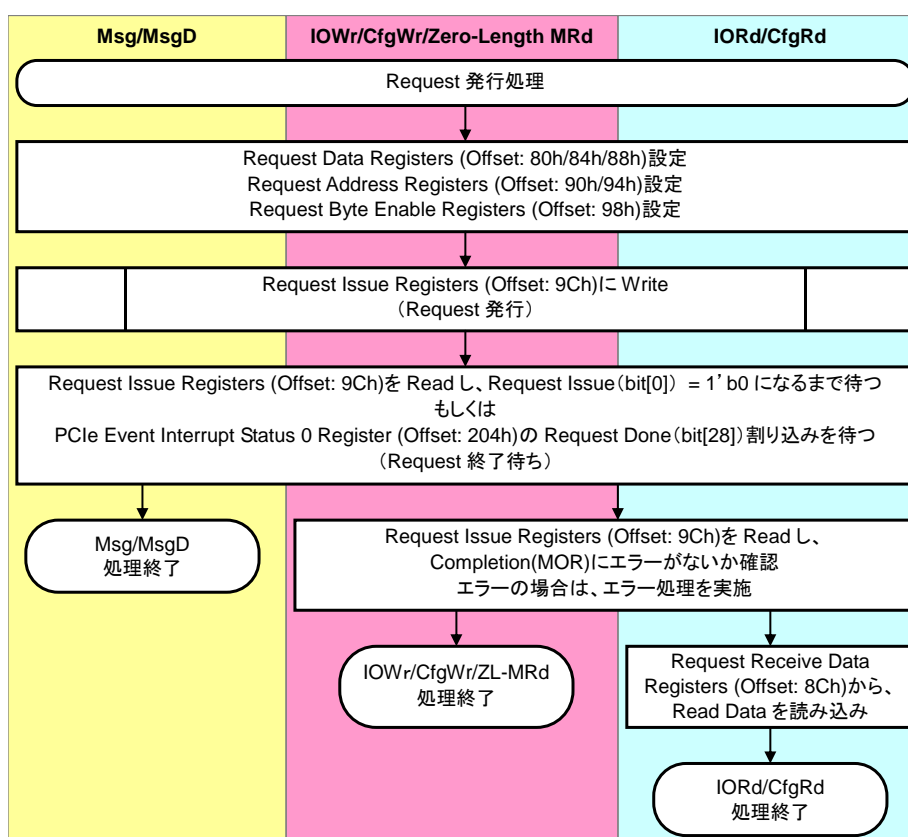
24.5.4 特殊な Request の発行

以下に示す Request は内部レジスタを制御することで発行が可能です。

- Zero-Length Memory Read Request
- I/O Read Request
- I/O Write Request
- Configuration Read Type 0
- Configuration Write Type 0
- Configuration Read Type 1
- Configuration Write Type 1
- Message Request
- Message Request with data payload

内部レジスタの制御は **AXI** 側からのみ可能となっています。**PCIe** 側からのアクセスは無視され、**Write** 動作では **Silent Drop** されます。

以下に **Request** 発行フローを示します。なお、詳細に関しては以降を参照ください。



24.5.4.1 Configuration Request の発行

AXI から Request Issue Registers (Offset: 9Ch)の Request Issue (bit[0]) を設定後、Request Data Registers (Offset: 80h/ 84h/ 88h)にデータを書き込むと自動的に Configuration Request が発行されます。なお、モードにより以下の制約があります。ご注意ください。

Root Complex モード時 :

- Request Data Registers (Offset: 80h/84h/88h)に該当するWSTRB が全て 0 のトランザクションは、Silent Drop し、OKAY のレスポンスを返します。
- Read 時、PCIe 規定の First Byte Enable は AXI のバースト・サイズ(SARSIZE0)には依存せず、Request Byte Enable Registers (Offset: 98h)で設定した値が採用されます。
- トランザクション終了時に OKAY レスポンスが返ってきた場合は成功、SLVERR が返ってきた場合は失敗で何らかの Error が発生。エラーの内容は PCIe Event Interrupt Status 0 Registers (Offset: 204h)で確認が可能です。

Endpoint モード時 :

- CfgRd0 / CfgWr0 / CfgRd1 / CfgWr1 Request の発行は禁止です。もし発行された場合には、ターゲットにおいて Malformed TLP として処理されます。

(1) Configuration Request 発行フロー

以下に Configuration Request 発行のフローの例を示します。

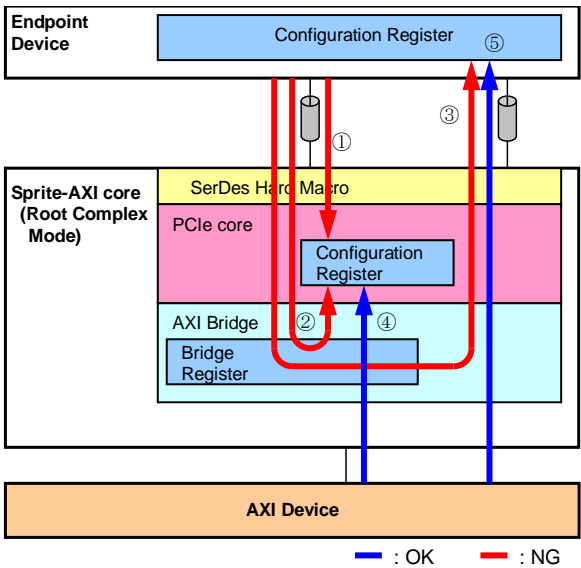
- ① CfgRd の場合、Request Byte Enable Registers (Offset: 98h)に Read Byte Enable を設定
- ② Request Address Registers 1 (Offset: 90h)にアクセスを起こしたいアドレスを設定
- ③ Request Data Registers (Offset: 80h/ 84h/ 88h)にライトすることで自動的に Configuration Request が発行されます。

(2) Configuration Request 発行パターン

以下に Configuration Request 発行のフローの例を示します。

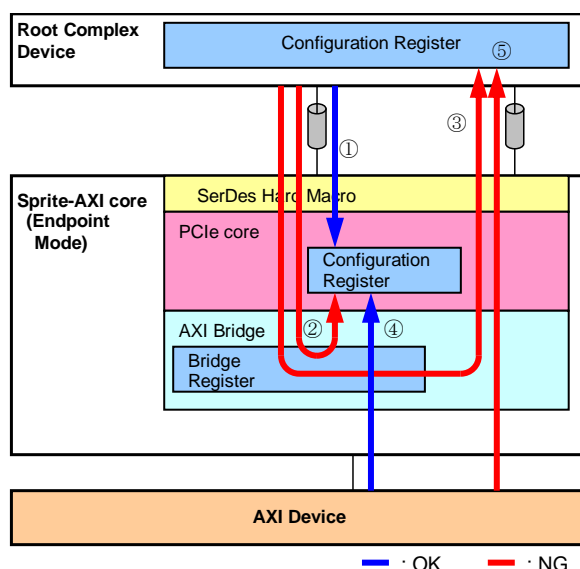
Root Complex モード時 :

Request の方向		Access	Read Data
①	EP→PCIe Core	×	
②	EP→Register→PCIe Core	×	
③	EP→Register→EP	×	
④	AXI→PCIe Core	○	
⑤	AXI→Register→EP	○	



Endpoint モード時：

Request の方向		Access	Read Data
①	RC→PCIe Core	○	
②	RC→Register→PCIe Core	×	
③	RC→Register→RC	×	
④	AXI→PCI Core	○	
⑤	AXI→Register→RC	×	



24.5.4.2 I/O Request の発行

AXI から Request Issue Registers (Offset: 9Ch)の Request Issue (bit[0]) を設定後、Request Data Registers (Offset: 80h/ 84h/ 88h)にデータを書き込むと自動的に Configuration Request が発行されます。なお、モードにより以下の制約があります。ご注意ください。

Root Complex モード時：

- Request Data Registers (Offset: 80h/ 84h/ 88h)に該当するWSTRB が全て 0 のトランザクションは、Silent Drop し、OKAY のレスポンスを返します。
- Read 時、PCIe 規定の First Byte Enable は AXI のバースト・サイズ(SARSIZE0)には依存せず、Request Byte Enable Registers (Offset: 98h)で設定した値が採用されます。
- トランザクション終了時に OKAY レスポンスが返ってきた場合は成功、SLVERR が返ってきた場合は失敗で何らかの Error が発生。エラーの内容は PCIe Event Interrupt Status 0 Registers (Offset: 204h) で確認が可能です。

Endpoint モード時：

- IORd / IOWr Request の発行は禁止です。もし発行された場合には、ターゲットにおいて Malformed TLP として処理されます。

(1) I/O Request 発行フロー

以下に I/O Request 発行のフローの例を示します。

- ① IORd の場合、Request Byte Enable Registers (Offset: 98h)に Read Byte Enable を設定
- ② Request Address Registers 1 (Offset: 90h)を設定
- ③ Request Data Registers (Offset: 80h/ 84h/ 88h)にライトすることで、自動的に IO Request が発行されます。

24.5.4.3 Message Request の発行

AXI から、すべての Message Header Register を設定後、Message Data Register にデータを書き込むと Message Request が自動的に発行されます。INTx、Error 系に関しても自動的に発行されますので、お客様側で発行する必要はありません。

(1) Message Request 発行フロー

以下に Message Request 発行のフローの例を示します。

- ① Message Code Registers (Offset: 130h)を設定
- ② 必要に応じて Message Header 3rdDW Registers (Offset: 138h)を設定
- ③ 必要に応じて Message Header 4thDW Registers (Offset: 13Ch)を設定
- ④ Message Data Registers (Offset: 134h)にライトすることで、自動的に Message Request が発行されます。

(2) Message Request 発行時の注意事項

以下に Message Request 発行時の注意事項を記載します。

- INTx, Error系のMessageの発行は自動的に行われますので、お客様側で発行する必要はありません。
- Message Header Registerの設定は適切に行ってください。
- Message Header Registerに設定する値はVendor Defined Messageを送信するとき以外は、0を設定してください。

24.5.4.4 Zero-Length Read の発行

AXI から、PCIe へ Zero-Length Read を発行することが可能です。Zero-Length Read は Zero-Length Read Window を介して、Read Transaction を発行することにより、実現できます。4 枚ある PCI Window のいずれも、Zero-Length Read Window とすることが可能で、PCIe Window Base x Register (Offset: 040h, 050h, 060h, 070h)で設定可能です。

AXI からの Read transaction は、いずれのバースト・タイプ(INCR/WRAP/FIXED)でもよく、1 Read Transactionにつき1つの Zero-Length Read TLP に変換されます。Burst Length/Burst Size は無視されるため意味はありません。Read 値そのものにも意味がありません。

24.6 機能説明： AXI Transaction の発行と Register アクセス (From PCIe)

以下に PCI Express コアから AXI バスへのアクセスに関する機能説明を記載します。

24.6.1 受信可能な PCIe Request (RX 側サポート・コマンド)

- MRd : Memory Read Request
- MWr : Memory Write Request
- CfgRd0 : Configuration Read Type 0
- CfgWr0 : Configuration Write Type 0
- Msg : Message Request
- MsgD : Message Request with data payload
- Cpl : Completion
- CplD : Completion with Data

以下のリクエストは未サポートです

- MRdLk : Memory Read Request-Locked
- IORd : I/O Read Request
- IOWr : I/O Write Request
- CplLK : Completion for Locked Memory Read without Data
- CplDLk : Completion for Locked Memory Read
- CfgRd1 : Configuration Read Type 1
- CfgWr1 : Configuration Write Type 1

24.6.2 AXI Transaction の発行

PCIe 側からのアクセスを AXI Transaction に変換して発行します。Window は最大 4 つまで持つことが可能です。Window の設定方法に関しては、「24.3 メモリ・マップ」の項を参照ください。

RAW ハザードを回避するためには、Completion を受信してから次の Memory Write を発行してください。

表 24-5 AXI Transaction from PCIe Request

PCIe リクエスト	AXI バースト・タイプ	AXI バス・サイズ	分割
MWr/MRd	インクリメント	64/128	あり
		32	なし
IOWr/IORead	Unsupported Request		
MRdLk	Unsupported Request		

24.6.2.1 PCIe からの Memory Write

- Write リクエストを最大 33 Memory Write に分割 (インクリメントバースト)
なお、Mode Set 1 Registers (Offset: 318h) AXI Master Max Burst (bit[7:4]) が最大値 (Fh) の場合
- 書き込み受け付け可能数 = 可変
Mode Set 1 Registers (Offset: 318h) AXI Max Issue Write (bit[15:12])
- Write Data は内部バッファに保持されません。(PCIe コア内部で、バッファリング)
- Memory Write 同士のオーダーは守られます。
- Memory Read とのオーダーは守られません。
- Memory Read と Memory Write のオーダーを守りたい場合は、Completion が帰ってきてから次のリクエストを発行するようにしてください。
- AWCACHE, AWPROT は、Mode Set 0 Registers (Offset: 314h) により設定可能。

24.6.2.2 PCIe からの Memory Read

- **1 Read** リクエストを最大**32 Memory Read**に分割する(インクリメント・バースト)
なお、**Mode Set 1 Registers (Offset: 318h) AXI Master Max Burst(bit[7:4])**が最大値(**Fh**)の場合
- 書き込み受け付け可能数=可変
Mode Set 1 Registers (Offset: 318h) AXI Max Issue Read (bit[11:8])
- アンアラインド転送を行わないため、無効バイト・レーンをリードすることがあります。
相手の**AXI Slave**に**Read Clear**のレジスタや**FIFO**が存在する場合、不適合となる場合があります。
- **Read Data**は内部バッファに保持されます。
- **Memory Read**同士のオーダーは守られます。
- 先行する**Memory Write**を追い越すことはありません。
完了するまで、内部で保持されます。
- **Zero-length Read**は割り込みをアサートし、**Silent Drop**されます。
先行する**Memory Write**が完了を待ってから**Completion**を送信します。
先行する**Memory Write**が完了するまで、内部で保持されます。

24.6.3 AXI Masater Size 32 モードの注意事項

このモードは **AXI Masrter** からレジスタ領域アクセス用に、下記のトランザクションのみ発行するモードです。

- **MAxBURST0=INCR**
- **MAxSIZE0=3'h2 (32bit)**
- **MAxLEN0=3'h0 (1beat)**

AXI Window ごとに設定が可能で、**AXI Window Base Registers (Offset: 00h/ 10h/ 20h/ 30h)Master Size 32 (bit[1])** をセットすることにより有効になります。なお、このモードをお使いいただく場合、**PCIe** 側からの **TLP** に下記の制限があります。下記以外の場合、**CA** を返します。

- Lengthは**1DW (0, 4, 8, C, ...)**

PCIe から見た場合の制限は下記の通りとなります。

- アドレス・ラインが**1DW (0, 4, 8, C, ...)**
- レンガスが**1DW**

また、**PCIe** で規定されている **First Byte Enable** は、**MWSTRB0** に反映されます。バイト・レーン転送を避けたい場合、必ず **First Byte Enable** が **4'hF** となるように転送を行ってください。

24.7 PCIe コマンドの受信

24.7.1 MSI の受信 (Root Complex)

MSI 受信領域に Memory Write Request を受信した場合、MSI と判断します。このとき、AXI に Write Transaction としてフォワードすると同時に PCI INTx Receive Interrupt Status Registers (Offset: 114h) の MSI Receive Interrupt Status (bit[4]) が自動的にセットされます。PCI INTx Receive Interrupt Enable Registers (Offset: 110h) の MSI Receive Interrupt Enable (bit[4]) がセットされていれば割り込み信号 (INTMSI_RC) をアサートします。S/W は、割り込み要因により MSI と判明した場合、メモリ上の Data を Read することで要因の特定が可能です。

【MSI と判断する条件】

次の条件がすべてそろった場合に、MSI と判断します。

- Memory Write Req であること。
- PCIe Access Window のいずれかの領域に入っていること。
PCIバス側からのMWrのアドレスがMSI Receive Window Address Registers (Offset: 100h)、MSI Receive Window Mask Registers (Offset: 108h) で設定されたMSI受信領域内であること。
MSI受信領域にMemory Read RequestがきてもMSIとは判断しませんので、割り込みは発生しません。
- MWrのLengthが1DWであること。

【MSI の注意】

- このマクロは、MSIのWrite TransactionのResponseにより、MSI実行完了と定義し、割り込みをアサートします。しかし、システムによっては、AXIから実メモリまでのレイテンシに起因し、割り込みがアサートされた際にMSIのMemory Writeが終了していない可能性があります。
この問題を回避するため、MSI発行時はバッファリング不可(MAWCACHE0[0]=0)となります。
MAWCACHE0[3:1]はMode Set 0 Registers (Offset: 314h)のAWCACHE_L (bit[27:24]) の設定が使われます。
- MSIを受信した場合、MAWID0[3:0]=4'b1でMSIのWrite Transactionを実行します。これは、MSIのResponse受信をマクロが認識し、INTMSI_RCをアサートするために必要となります。

24.7.2 MSI Window の設定

MSI 割り込みを有効にするためには、MSI Window を設定する必要があります。図 24-6 に設定例を示します。なお、MSI Window は任意の AXI Window 内に配置してください。

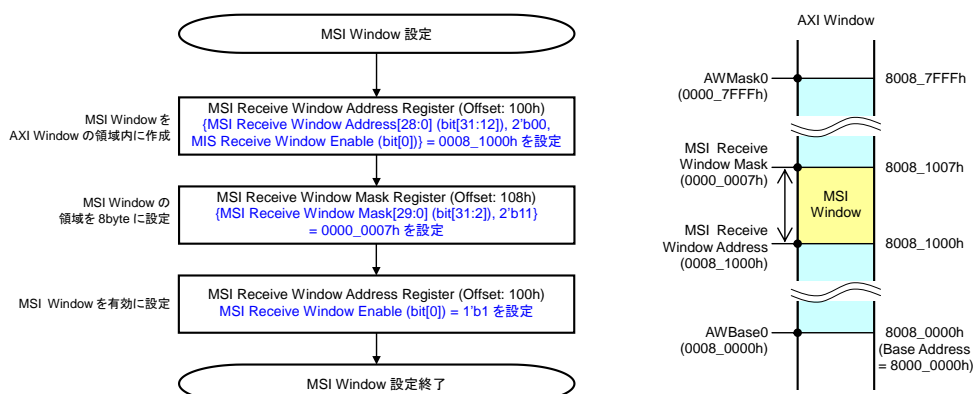


図 24-6 MSI Window 設定

備考) 図中で代入している設定値（青文字）は、一例です。

24.7.3 Message Request による割り込みの受信 (Root Complex)

PCIe から **Msg Req** で **Assert_INTx** を受信した場合、**PCI INTx Receive Interrupt Status Registers (Offset: 114h)**に対応した割り込みビット (**bit[3]~bit[0]**) をセットし、割り込み信号 (**INTx_RC**) をアサートします。また、**Msg Req** にて **Deassert_INTx** を受信した場合、対応する割り込みレジスタ (ビット) をクリアし **INTx_RC** をデアサートします。**PCI INTx Receive Interrupt Status Registers (Offset: 114h)**は **S/W** によりライト・クリア (**RW1C**) をすることが可能です。しかし通常動作時に **S/W** によって、**Msg** による割り込みビットをクリアすることを **PCIe** では推奨していません。

24.7.4 Message Request の受信

PCIe から **Message** を受信すると、下記のレジスタに格納されます。

表 24-6 Message related Registers

	Related Register
Message Code/Routing	Message Code Registers (Offset: 130h)
Message Data	Message Data Registers (Offset: 134h)
Message 3rd Header	Message Header 3rdDW Registers (Offset: 138h)
Message 4th Header	Message Header 4thDW Registers (Offset: 13Ch)

また、下記のメッセージに関しては、受信と同時に **Message Receive Interrupt Status Registers (Offset: 124h)**内の該当ビットへ設定され、割り込みとして報告されます。

表 24-7 Message Code

Message	Message Code
Set Slot Power Limit	0101_0000

24.8 割り込み

このマクロは、下記のような割り込み出力信号を準備しています。全ての割り込み信号の状態は **Interrupt table Registers (Offset: 140h)** で一覧することができます。

24.8.1 INTx/MSI 割り込み出力 (Root Complex)

表 24-8 INTx/MSI 割り込み出力

Signal Name	Active	Attribute	Description
INTA_RC	High	Level	Assert INTA Message の受信で Set され、Deassert INTA Message の受信で Clear されます。
INTB_RC	High	Level	Assert INTB Message の受信で Set され、Deassert INTB Message の受信で Clear されます。
INTC_RC	High	Level	Assert INTC Message の受信で Set され、Deassert INTC Message の受信で Clear されます。
INTD_RC	High	Level	Assert INTD Message の受信で Set され、Deassert INTD Message の受信で Clear されます。
INTMSI_RC	High	Level	MSI Receive Window に設定された領域に Memory Write Req が PCIe 側から来た場合に Set されます。

【関連レジスタ】

PCI INTx Receive Interrupt Status Registers (Offset: 114h)

24.8.2 Message 割り込み出力

表 24-9 Message 割り込み出力

Signal Name	Active	Attribute	Description
MSG_INT	High	Level	Message 受信でアサートします。

【関連レジスタ】

Message Receive Interrupt Status Registers (Offset: 124h)

24.8.3 Error/Event 割り込み出力

表 24-10 Error/Event 割り込み出力

Signal Name	Active	Attribute	Description
AXI_ERR_INT	High	Level	AXI 関連のエラーでアサートします。

【関連レジスタ】

AXI Master Error Interrupt Status Registers (Offset: 214h)

AXI Slave Error Interrupt Status 1 Registers (Offset: 224h)

24.8.4 INTx/MSI 割り込み入力/発行 (Endpoint)

割り込みには、2つのタイプがあります。

① レガシー割り込み (Assert INTx Message/Deassert INTx Message)

- 割り込み入力信号 (INTx_EP) をコントロールすることにより、INTx を発行する方法 (推奨)。
- 特殊な Request 発行を利用して、Assert INTx Message/Deassert INTx Message を発行する方法

② MSI

- 割り込み入力信号 (INTA_EP) をコントロールすることにより、MSI を発行する方法
- 直接 MWR を発生させることにより MSI を発行する方法 (推奨)

2つの割り込みは排他で動作し MSI Capability Register (PCIe Configuration Register: Offset 050h) の MSI Enable ビットにより切り替え可能です。また、割り込みを発行するためには、Command and Status Register (PCIe Configuration Register: Offset 004h) 内の Interrupt Disable をクリアする必要があります。また、Power State を D0 以外に書き換えた場合、もしくは PME_TURN_OFF Message を受信した場合、D3_EVENT_ACK/TURN_OFF_EVENT_ACK による応答を待たずに、Assert 状態の INTx に対して、Deassert INTx Msg を自動発行し、全ての INT を取り下げます。再び、D0 に遷移した場合は、INTx_EP がアサートされていれば、それに応じて Assert INTx を再発行します。

表 24-11 INTx /MSI 割り込み入力

Signal Name	Active	Attribute	Description
INTA_EP	High	Level	Assert INTx Message/Deassert INTx Message のトリガになります
INTB_EP	High	Level	
INTC_EP	High	Level	
INTD_EP	High	Level	

【関連レジスタ】

PCI INTx Out Status Registers (Offset: 118h)

24.8.4.1 MSI Enable のアサート・フロー

MSI Capability Register (PCIe Configuration Register: Offset 050h) の MSI Enable フィールド (bit16) のアサート・フローを以下に示します。

- ① すべての INTx_EP をネゲート
- ② Command and Status Register (PCIe Configuration Register : Offset 004h) の Interrupt Status フィールド (bit19) が "0b" になるまで待機 (デバイス内部で INTx Interrupt Message の待機状態がないことを確認)。
- ③ MSI Capability Register (PCIe Configuration Register : Offset 050h) の MSI Enable フィールド (bit16) へ "1b" を書き込み。

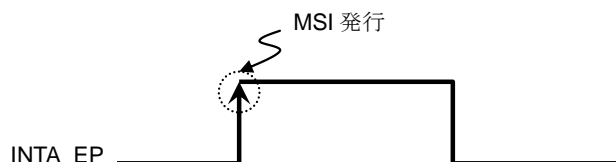
24.8.4.2 簡易 MSI による割り込みの発行 (MSI Enable =1'b1)

原則、MSI による割り込みは、AXI から直接 **Message Address** に **Message Data** を **Memory Write Request** として発行してください。

付加機能として **INTA_EP** 信号による簡易 MSI の発行も可能です。ただし後述する制限事項がありますので、**INTA_EP** を使用した簡易 MSI 発行機能は使用しないことを推奨します。

制限事項：

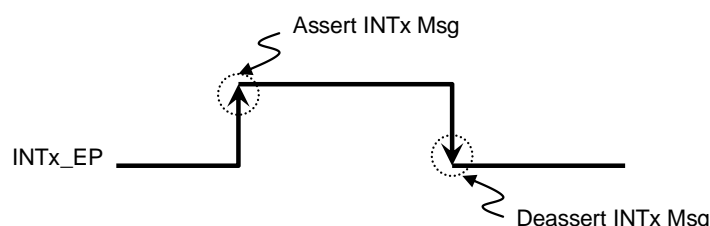
INTA_EP による簡易 MSI の発行間隔は充分に取る必要があります。連続する簡易 MSI の発行は先行する簡易 MSI が確実に受け側に到達してから行ってください。到達を確認したら、次の簡易 MSI 発行前に **INTA_EP** を最低 1CLK 間ネゲートする必要があります。



24.8.4.3 レガシーPCI INTx emulation による割り込みの発行 (MSI Enable =1'b0)

レガシーPCI INTx emulation による割り込みは、**INTx_EP** 信号により **Assert INTx / Deassert INTx Msg** を自動発行することで実現します。**INTx_EP** 信号をアサートすることで **Assert INTx Msg**、デアサートすることで **Deassert INTx Msg** を自動発行します。

また、**Root Complex** モード時はこれらの **Message** を発行しません。**INTx** の x には **A~D** が入ります。一般に **INTx_EP** のデアサートは割り込みが確実に受け側に到達してから行ってください。割り込み要因の刈り取りをもって **INTx_EP** ネゲートすることを推奨します。



24.9 Power Management (Root Complex)

24.9.1 Active State Power Management (ASPM)

このマクロは、内蔵する Link Control and Status Register (PCIe Configuration Register: 070h)の Active State PM Control (bit[1:0])を操作することで、ASPM L0s/L1 を利用することが可能です。

ASPM L0s: Active State PM Control = 01b or 11b とすることにより、自動的に ASPM L0s に遷移します。遷移するかどうかの判断は、PCIe Core がアイドル状態を判断することにより行われますので、お客様は特に何かする必要はありません。PCIe Core Control 1 Registers (Offset: 404h)の UI_ENTER_TXL0S (bit[16]) をコントロールすることにより、L0s 遷移を抑制できます。

ASPM L1: Active State PM Control = 11b とすることにより、ASPM L0s/L1 への遷移が可能になります。遷移するかどうかの判断は、PCIe Core がアイドル状態を判断することにより行われます。L1 への遷移は、UDL からの許可が必要になります。この許可は、ALLOW_ENTER_L1 信号をアサートすること、および PCIe Core Control 1 Registers (Offset: 404h)の UI_RC_REJECT_ASPM_L1 (bit[19]) を "1'b0" にセットすることにより、行われます。ASPM L1 ステートを拒絶したい場合、UI_RC_REJECT_ASPM_L1 を "1'b1" にセットしてください。

L1 ステートから L0 ステートへの復帰:

AXI 側から PCIe へのアクセスを再開することで自動的に L0 ステートに復帰することができます。このとき Endpoint 側から ASPM L1 遷移要求があった場合、拒絶したいときは PCIe Core Control 1 Registers (Offset: 404h)の UI_RC_REJECT_ASPM_L1 を "1'b1" にセットしてください。受け入れる場合は UI_RC_REJECT_ASPM_L1 を "1'b0" にセットしてください。

24.9.2 Active State Power Management L1 Rejection (ASPM L1)

このマクロは、内蔵する Link Control and Status Register (PCIe Configuration Register: 070h)の Active State PM Control (bit[1:0])を操作することで、ASPM L0s/L1 を利用することが可能です。

このマクロは PCIe Core による ASPM L1 Rejection が発生した場合、自動で PM_Active_State_Nak Message を発行する機能を準備しています。Message の自動発行は、PCIe Core Control 1 Registers (Offset: 404h)の Auto PM_Active_State_Nak (bit[18]) が 1'b1 の時に限られます。このビットは、PM_Active_State_Nak Message を自動発行すると、自動でクリアされるため、通常は初回の一回のみの自動発行機能となります。

自動発行以降は、PCIe Event Interrupt Status 0 Registers (Offset: 204h) の ASPM L1 Rejected (bit[10]) を監視しながら、適切なタイミングで、マクロの Message Issue 機能を使用し、PM_Active_State_Nak Message を再送してください。

再度 Auto PM_Active_State_Nak ビットをセットすることにより、自動発行機能を再稼働させることも可能です。この場合、PCIe コアから制御信号がアサートされ ASPM L1 Rejected bit10 = 1'b1 になるまで、PM_Active_State_Nak Message 発行は待たされることになります。

図 24-7 に上記説明をフロー・チャートで示します。

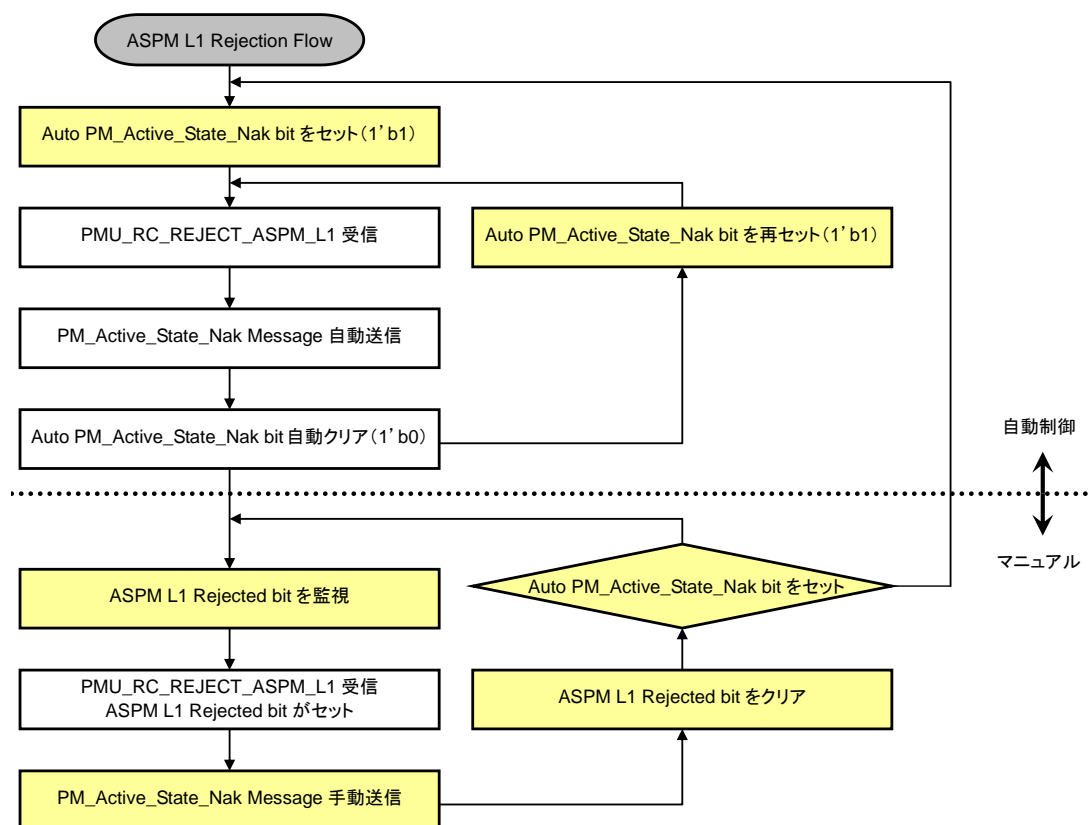


図 24-7 ASPM L1 Rejection フロー

24.10 Power Management (Endpoint)

24.10.1 Active State Power Management (ASPM)

このマクロは、内蔵する Link Control and Status Register (PCIe Configuration Register: 070h) の Active State PM Control (bit[1:0]) を操作することで、ASPM L0s/L1 を利用することが可能です。

ASPM L0s: Active State PM Control = 01b or 11b とすることにより、自動的に ASPM L0s に遷移します。遷移するかどうかの判断は、PCIe Core がアイドル状態を判断することにより行われますので、お客様は特に何かする必要はありません。PCIe Core Control 1 Registers (Offset: 404h) の UI_ENTER_TXLOS (bit[16]) をコントロールすることにより、L0s 遷移を抑制できます。

ASPM L1:

Active State PM Control = 11b とすることにより、ASPM L0s/L1 への遷移が可能になります。遷移するかどうかの判断は、PCIe Core がアイドル状態を判断することにより行われます。L1 への遷移は、UDL からの許可が必要になります。この許可は、ALLOW_ENTER_L1 信号をアサートすることにより行われます。この信号のアサート期間中は、PCIe に向けた AXI トランザクションの発行は禁止です。

L1 ステートから L0 ステートへの復帰:

AXI Master 側からアクセス再開:

PCIe へのアクセスを再開することで自動的に L0 ステートに復帰することができます。

AXI Slave 側からアクセス再開:

ALLOW_ENTER_L1 信号を 1'b0 にセットし、PCIe Core Status 1 Registers (Offset: 408h) の suspend_bme (bit[16]) をポーリングして、1'b0 であることを確認の後、AXI 側から PCIe へのアクセスを開始することで、L0 ステートに復帰することができます。

24.10.2 Device Power Management ^{注1}

このマクロは、Power State フィールドを操作することで、D3hot に遷移することができます。D3 ステートに遷移後も PME_Turn_Off Message は受信可能です。その場合は、事項の Turn Off の手続きを開始します。

D0: フル・パワーの状態です。お客様側に制限はありません。Link State は基本的に L0 にいます。ただし、ASPM による遷移要因が発生した場合は、そちらが優先されます。

D3hot:/Cold: Link State は基本的に L1 へ遷移しようとしています。マクロは D3_EVENT 出力信号をアサートし、アサート中のすべての INTx に対して、Deassert_INTx を発行します。パワー・ダウンの準備をした後、D3_EVENT_ACK をアサートしてください。この信号をアサート後、PCIe に向けた AXI トランザクションの発行は禁止です。(Configuration Register を含む内部レジスタ・アクセスはこの限りではありません。)

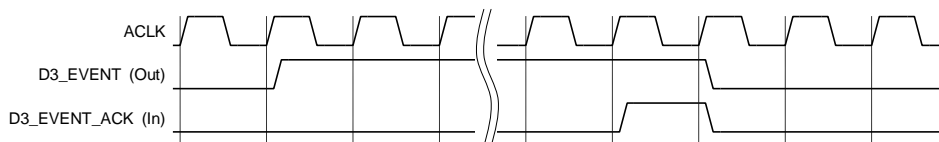


図 24-8 D3_EVENT と D3_EVENT_ACK の関係

注 1 : D3_EVENT_ACK 端子を High に固定しているため、本機能を使用することはできません。

24.10.3 Turn Off (PME Turn Off Message 受信) ^{注1}

PME_Turn_Off Message を受信すると、TURN_OFF_EVENT 信号をアサートし、アサート中のすべての INTx に対して、Deassert_INTx を発行します。また、自動で PME_TO_Ack Message の送信準備を開始します。

UDL 側では TURN_OFF_EVENT 信号のアサートを受けてパワー・ダウンの準備をした後、TURN_OFF_EVENT_ACK 信号をアサートしてください。これにより、PME_TO_Ack Message 送信の許可が与えられたことになります。この信号アサート後、PCIe に向けた AXI トランザクションの発行は禁止です。
(Configuration Register を含む内部レジスタ・アクセスはこの限りではありません。)

なお、この手続きが完了した後、マクロは ARESETn または DL_Down 状態になるのを待つのみとなります。回避手段として、マクロ内の Power Management 部を強制的に D0 遷移させる手段が用意されています。Reset Registers (Offset: 310h) Reset Registers (Offset: 310h) の force to D0 (bit[16]) を 1'b1 にセットすることで D0 遷移が可能です。

しかし、この制御はシステム全体の Power State と不整合を生じかねませんので、通常のご利用は極力避けるようにしてください。

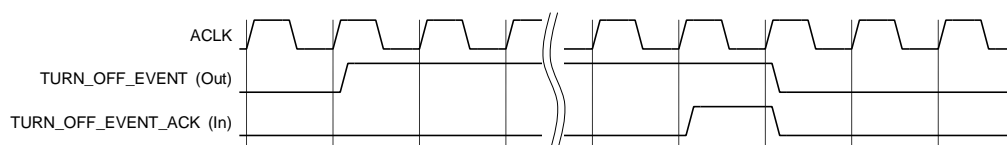


図 24-9 TURN_OFF_EVENT と TURN_OFF_EVENT_ACK の関係

注 1 : TURN_OFF_EVENT_ACK 端子を High に固定しているため、本機能を使用することはできません。

24.10.4 Wake Up (PME Message 送信)

CFG_PMCSR_PME_STATUS が 1'b1 の時、PME Message を自動送信する機能を準備しています。送信タイミングは PME_TIM 信号のトグル・タイミングを内部バスクロック (ACLK) で同期化 (Synchronizer) の後、エッジ検出により行います。

なお、PME Turn Off Message を受信した場合、ARESETn または一度 DL_Down 状態になった後、DL_Up 状態になるまで PME Message 自動送信は抑制されます。

24.11 PCIe コア機能

マクロの機能説明を以下に示します。
基本的に、このマクロは **Base Spec 2.0** に準拠して構成されています。詳細仕様に関してはそちらを参照ください。 この項では、主に **AXI** バス I/F に伴う、当社特有な部分を中心に説明します。

24.11.1 Lane 接続ルール

このマクロでは、以下に示す **PCI Express Link** 間の接続をサポートしています。以下に示す組み合わせ以外はサポートしておりません。
なお、**Porarity Inversion** 機能ならびに **Lane Reversal** 機能（1Lane コア除く）は標準でサポートしています。

24.11.1.1 1 Lane コア (NSPCIEXxAXIxx01Lxxxx)

このマクロをご利用の場合、接続に制限はありません。

Maximum Possible Lane Width	Link	Reverse	x4				Remarks
			x2				
			x1				
			0	1	2	3	
x1	x1	-	0				

24.12 オペレーション

ここではマクロの動作概要に関して説明します。**PCI Express** では **Device Type** によって動作が異なります。
なお、以降に記載した内容以外で 사용되는場合、誤動作の原因となります。

24.12.1 セット・アップ

マクロの端子処置および **Configuration Register** を含む内部レジスタの設定を行ってください。

ここではフロー・チャートを用いて、**PCI Express** が **Link Up**（データ転送可能な状態）するまでを説明します。

24.12.1.1 マクロの端子処置

リセット解除前に以下に示す入力端子は、**H** もしくは **L** レベルに設定（固定）してください。

PCIEX_MODE_PORT :

Root Complex としてお使いいただく場合、**H** レベル固定としてください。

Endpoint としてお使いいただく場合、**L** レベル固定としてください。

BRBASE[31:14] : **AXI** ブリッジ・レジスタ用のベース・アドレス設定を行います。

お使いいただくシステムに合わせて、最適な値を設定してください。

JL-086A では、**BRBASE= 1_BFB4h** 固定。

次項から説明するセット・アップ手順では、**S/W** リセット制御での説明となっています。**H/W** 制御でお使いの場合には、フロー・チャート内のリセット解除部を外部端子からの制御に読み替えてください。

24.12.2 セット・アップ手順

セット・アップ手順を以下に示します。なお、ここに示したフローは一例です。

24.12.2.1 LinkUp の確認

ARESETn を解除することで、内部レジスタへのアクセスが可能となります。

Reset Registers (Offset: 310h) に“all 1” を **write** することで、**PCIe** コア部へのリセットが解除されます。これにより、**PCIe** コアは **Base Spec** に準拠した **Link Training** を開始します。

対向デバイスと **Link negotiation** が完了し、マクロが **Link Up** していることを図 24-10 に示すフローに従って確認ください。

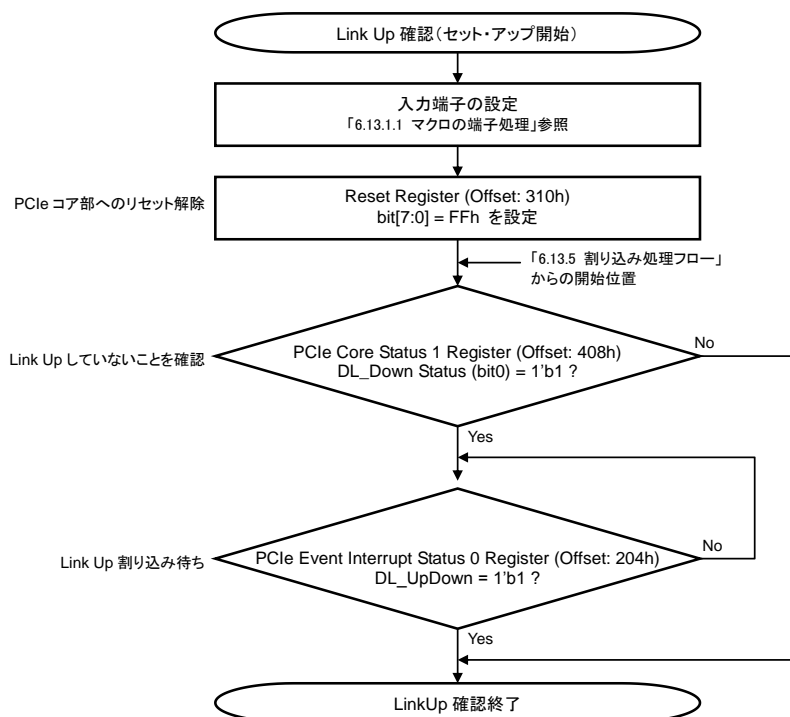


図 24-10 LinkUp の確認

なお、レジスタへ直接アクセスできないチップ構成の場合（例えば **Endpoint** デバイスとして **CPU** コアが搭載されていないなど）、マクロ内部のレジスタ・アクセスはすべて **PCIe** バス経由で **Root Complex** から行います。その場合のセットアップ・フローを図 24-11 説明します。

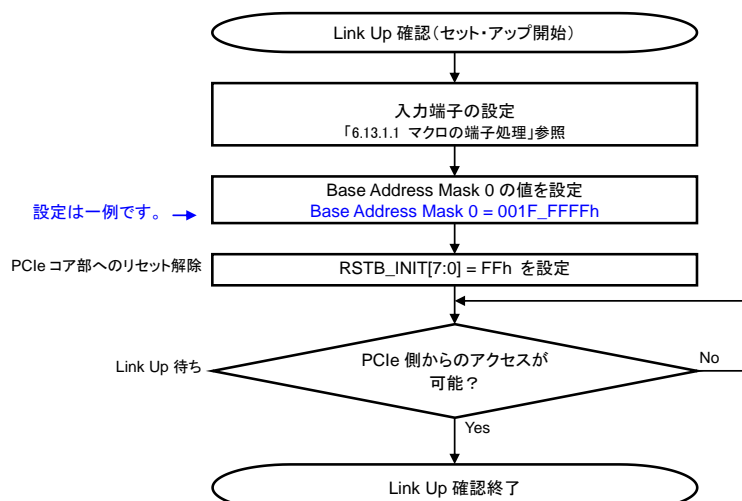


図 24-11 Link Up の確認 (Endpoint : w/o CPU)

24.12.2.2 Window の設定

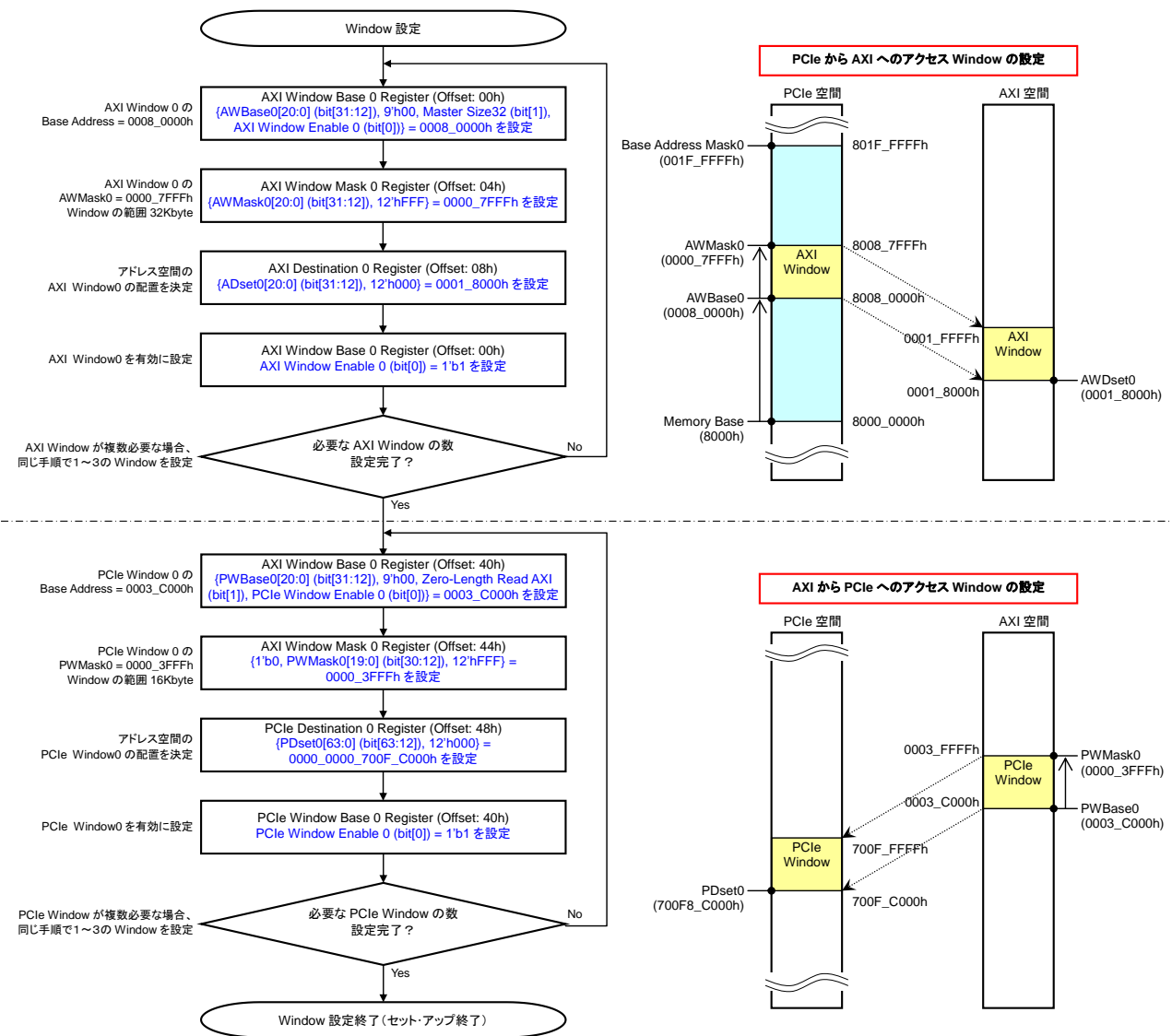


図 24-12 Window 設定

備考) 図中で代入している設定値（青文字）は、一例です。

24.13 注意・制限事項

マクロを使用する上での注意事項ならびに制限事項を以下に示します。

24.13.1 入力端子設定時の禁止事項

端子説明の項にも記載しておりますが、入力端子における禁止事項をまとめてあります。
ご使用になれる前に、再度確認願います。

(1) PCIEX_MODE_PORT

Root Complex/Endpoint モードの切り替え端子ですが、ダイナミックな切り替えは禁止です。
必ず、リセット期間中に切り替えるようにしてください。

(2) TURN_OFF_EVENT_ACK ^{※1}

この信号アサート後に、AXI Slave I/F において PCIe に向けた各種リクエストを発行することは禁止です。もし発行された場合、PCIe 側にリクエストは発行されず、エラー割り込みを通知します。

(3) D3_EVENT_ACK ^{※1}

この信号アサート後に、AXI Slave I/F において PCIe に向けた各種リクエストを発行することは禁止です。もし発行された場合、PCIe 側にリクエストは発行されず、エラー割り込みを通知します。

注 1：本端子は、未使用処置を行っているため、使用することが出来ません。

24.13.2 Window 設定時の注意事項

Window でのアドレス変換の際に下記の注意と制限事項があります。

- ・ BAR と BARmask を足したときにビットキャリーが発生しないようにしてください。
- ・ BaseX と MaskX を足したときにビットキャリーが発生しないようにしてください。
- ・ MaskX と DestX を足したときにビットキャリーが発生しないようにしてください。
- ・ MaskX の bit データに歯抜けが無いようにしてください。
- ・ BAR-BARMask 間で与えられる領域は最小 4kB です。
- ・ 各 Window と Bridge Register の領域が重複しないようにしてください。

24.13.3 リクエスト発行時の注意・禁止事項

各種リクエスト発行時の制限事項を以下に示します。

(1) 2 beat 以上の固定バースト禁止

2beat 以上の固定バーストは禁止です。行った場合、AXI Bus に対しては OKAY 応答しますが、PCIe 側に予期せぬリクエストが発行される、もしくは予期せぬレジスタ・アクセスが発生しレジスタ値を書き換えてしまうなどの恐れがあります。

(2) Memory, I/O リクエストの発行禁止

Endpoint モードでお使いいただく場合、CFG_BUS_MASTER_EN = 0b の時に Memory, I/O リクエストの発行は禁止となっています (Msg は発行可能です)。行った場合、AXI Bus に対しては OKAY 応答しますが、PCIe 側へはリクエストの発行は行われず、エラー割り込みを通知します。

(3) Memory, I/O, Msa リクエストの発行禁止

ALLOW_ENTER_L1 を 1b にセットして、ASPM L1 に遷移許可を出している場合、Memory, I/O, Msa リクエストの発行は禁止です。行った場合、AXI Bus に対しては OKAY 応答しますが、PCIe 側へはリクエストの発行は行われず、エラー割り込みを通知します。

(4) 特殊なリクエストの発行時の注意事項

以下に示すリクエストは、内蔵のレジスタをアクセスすることによって発行されます。このレジスタは AXI 側からのみアクセス可能で、リクエスト処理中のライト・アクセスは禁止です。また PCIe 側からのアクセスに対しては無視されます。

Root Complex モード/Endpoint モードで発行禁止の特殊リクエストの発行は行わないでください。
動作の保証は行えません。

[特殊リクエスト]

- ・ Zero-Length Memory Read Request

- ・ IO Read Request
- ・ IO Write Request
- ・ Configuration Read Type0
- ・ Configuration Write Type0
- ・ Configuration Read Type1
- ・ Configuration Write Type1
- ・ Message Request
- ・ Message Request with data payload

24.13.4 未サポートのエラー処理

(1) 4KB boundary へのアクセス

AXI 側または PCIe 側から 4KB boundary を超える Memory Space へのデータ転送は行なわないでください(AXI および PCI Express Base Spec で禁止されています)。もし、そのようなデータを受信した場合、一切の動作は保障しかねます。

(2) RCB Violation

RCB Violation のエラー処理は PCI Express Base Spec にてオプションとして規定されています。詳細については PCI Express Base Spec を参照して下さい。
Completion 受信時の RCB Violation 検出はサポートしていません。

(3) Byte Enable エラー処理

Byte Enable エラー処理は PCI Express Base Spec にてオプションとして規定されています。詳細については PCI Express Base Spec を参照して下さい。
Byte Enable エラー検出はサポートしていません。

(4) ECRC エラー処理

ECRC エラー処理は PCI Express Base Spec にてオプションとして規定されています。詳細については PCI Express Base Spec を参照して下さい。
ECRC エラーはサポートしていません。

24.13.5 その他の注意事項

(1) リセット解除後のアクセス

ARESETn 解除後、AWREADY が 1b になる前に Write サイクルを起動すると、2 回目のアクセス以降が SlaveError になります。

マクロ内部のリセット信号は、内部バスクロックでリセット解除を同期化したリセット信号を使用しています。このため内部のリセット解除は、ARESETn の解除より数クロック遅れて解除となります。AWREADY=1 となる前に Write サイクルを起動した場合、内部ではリセット期間中に Write サイクルが起動された事になってしまいます。

ARESETn 解除後、SAWREADY=1 となるまで SAWVALID をアサートしないようにしてください。

(2) レジスタ・ライト時の注意

AXI 側からレジスタへの書き込みを 2DW 以上でかつ歯抜けのバイト・イネーブルで行った場合、想定した書き込みが行われない場合があります。

AXI 側からのレジスタ・ライト時に不連続な SWSTRB を使用する場合、1DW(32bit)以下の書き込みとなります。ご注意ください。

(3) レジスタ・リード時の注意

AXI 側からレジスタからの読み出しを行う場合、無効なバイト・レーンの値は不定（意味のないゴミ・データ）を出力します。

この章では **Base Spec 2.0** に準拠した、**CFGU (Configuration Registers Unit)** に関して記載しています。

24.14.1.1 Base Address の設定

Endpoint :

Root Complex :

この CFGU ブロックからは、次に示す割り込み信号が通知されます。

-INT SERR

INT SERR FATAL : System Error on Fatal Error

なお、これらの割り込み信号は **Root Complex** 使用時に有効で、**Endpoint** 使用時には"0: Low" 固定となります。

Correctable Error による割り込み制御を行う場合、下記に示すレジスタの割り込み **Enable** ビットを **1b** に設定してください。

```

graph LR
    A[③ Correctable Error Reporting Enable  
(Root Error Command Register)] --- AND1[AND]
    B[② Correctable Error Reporting Enable  
(Device Control Register)] --- AND1
    AND1 --- INT_SERR_COR[INT_SERR_COR]
    C[① SERR# Enable] --- AND2[AND]
    D[Received ERR_COR Message] --- AND2
    AND2 --- OR1[OR]
    INT_SERR_COR --- OR1
    OR1 --- E[Error Message Received]
    E --- F[Root Error Status Register]
  
```

割り込み発生要因

(a) ERR_COR Message 受信

対向デバイス (Endpoint) から、ERR_COR Message を受信した場合、INT_SERR_COR 割り込みがアサートされます。同時に下記の Status レジスタがセットされます。

offset	bit	Description
Advanced Error Reporting (AER) Capability : Root Error Status		
130h	0	ERR_COR Received

①②③の Enable ビットがセットされていない場合、割り込み信号はアサートされません。

①②の Enable ビットがセットされていない場合、書き込みはマスクされます。

(b) Correctable Error 検出

マクロ内部で次に示す Correctable Error を検出した場合、各々の Status レジスタへ書き込まれます。

Error	offset	bit	Description
Advanced Error Reporting (AER) Capability : Correctable Error Status			
8B10B Decode Error 8B10B RD Error	110h	0	Receiver Error Status
Bad TLP		6	Bad TLP Status
Bad DLLP		7	Bad DLLP Status
REPLAY_NUM Roll over		8	REPLAY_NUM Rollover Status
Replay Timer Timeout		12	Replay Timer Timeout Status
Advisory Non-Fatal Error		13	Advisory Non-Fatal Error Status

各ビットに対応した Mask ビット (Correctable Error Mask Register: Offset 114h) が設定 (マスク) されていますと、それに準じた Error は検出されず、割り込み信号もアサートされません。

同時に INT_SERR_COR 割り込みがアサートされ、下記の Status レジスタもセット (1b) されます。

offset	bit	Description
PCI Express Capability Structure : Device Status		
068h	16	Correctable Error Detect
Advanced Error Reporting (AER) Capability : Root Error Status		
130h	0	ERR_COR Received

②の Enable ビットがセットされていない場合、割り込み信号はアサートされません。

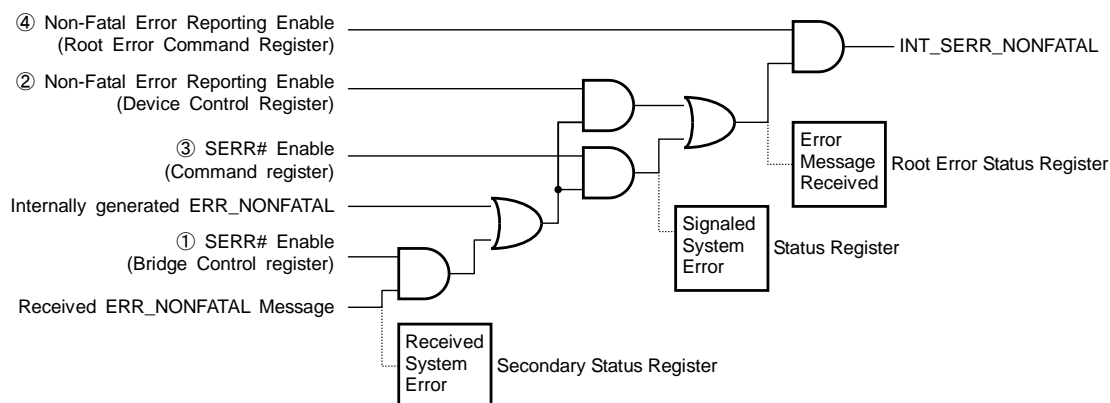
②の Enable ビットがセットされていない場合、Root Error Status Register への書き込みはマスクされます。

③に示した、Correctable Error Reporting Enable がセットされていない場合、上記の (a), (b) による要因が発生し、Root Error Register への書き込みが行われたとしても、INT_SERR_COR はアサートされません。

(2) Non-Fatal Error 割り込み (INT_SERR_NONFATAL)

Non-Fatal Error による割り込み制御を行う場合、下記に示すレジスタの割り込み Enable ビットを 1b に設定してください。

No	offset	bit	Description
①	PCI Compatible Configuration : Bridge Control and Interrupt		
	03Ch	17	SERR# Enable
②	PCI Express Capability Structure : Device Control		
	068h	1	Non-Fatal Error Reporting Enable
③	Common Configuration Space: Command and Status		
	004h	8	SERR# Enable
④	Advanced Error Reporting (AER) Capability : Root Error Command		
	12Ch	1	Non-Fatal Error Reporting Enable



割り込み発生要因

(a) ERR_NONFATAL Message 受信

対向デバイス（Endpoint）から、ERR_NONFATAL Message を受信した場合、INT_SERR_NONFATAL 割り込みがアサートされます（①, ②もしくは③, ④の Enable ビットがセットされていない場合、割り込み信号はアサートされません）。同時に下記の Status レジスタがセットされます。

offset	bit	Description	Remarks
Type1 Configuration Space : Secondary Status			
01Ch	30	Received System Error	注 1
Common Configuration Space : Status Register			
006h	30	Signaled System Error	注 2
Advanced Error Reporting (AER) Capability : Root Error Status			
130h	5	Non-Fatal Error Message Received	注 3

注 1：この Status Register への書き込みは Enable ビットに関係なく、受信した時点で行われます。

注 2：①, ③の Enable ビットがセットされていない場合、書き込みはマスクされます。

注 3：①, ②もしくは③の Enable ビットがセットされていない場合、書き込みはマスクされます。

(b) Non-Fatal Error 検出

マクロ内部で次に示す Non-Fatal Error を検出した場合、各々の Status レジスタへ書き込まれます。

Error	offset	bit	Description
Advanced Error Reporting (AER) Capability : Correctable Error Status			
Data Link Protocol Error	104h	4	Data Link Protocol Error Error Status
Poisoned TLP		12	Poisoned TLP Status
Completion Timeout		14	Completion Timeout Status
Completer Abort		15	Completer Abort Status
Unexpected Completion		16	Unexpected Completion Status
Receiver Overflow		17	Receiver Overflow Status
Malformed TLP		18	Malformed TLP Status
ECRC Error		19	ECRC Error Status
Unsupported Request		20	Unsupported Request Error Status

各ビットに対応した Mask ビット（Uncorrectable Error Mask Register: Offset 108h）が設定（マスク）されていますと、それに対応した Error は検出されず、割り込み信号もアサートされません。

また、対応する Severity （Uncorrectable Error Severity: Offset 10Ch）が 0b（Non-Fatal）でなければなりません。

同時に INT_SERR_NONFATAL 割り込みがアサートされます（②もしくは③, ④の Enable ビットがセットされていない場合、割り込み信号はアサートされません）。同時に下記 Status レジスタがセットされます。

注 3: ①, ②もしくは③の **Enable** ビットがセットされていない場合、書き込みはマスクされます。

(b) Fatal Error 検出

マクロ内部で次に示す **Fatal Error** を検出した場合、各々の **Status** レジスタへ書き込まれます。

Error	offset	bit	Description
Advanced Error Reporting (AER) Capability : Correctable Error Status			
Data Link Protocol Error	104h	4	Data Link Protocol Error Error Status
Poisoned TLP		12	Poisoned TLP Status
Completion Timeout		14	Completion Timeout Status
Completer Abort		15	Completer Abort Status
Unexpected Completion		16	Unexpected Completion Status
Receiver Overflow		17	Receiver Overflow Status
Malformed TLP		18	Malformed TLP Status
ECRC Error		19	ECRC Error Status
Unsupported Request		20	Unsupported Request Error Status

各ビットに対応した **Mask** ビット (**Uncorrectable Error Mask Register: Offset 108h**) が設定 (マスク) されていると、それに対応した **Error** は検出されず、割り込み信号もアサートされません。また、対応する **Severity** (**Uncorrectable Error Severity: Offset 10Ch**) が **1b (Fatal)** でなければなりません。

同時に **INT_SERR_FATAL** 割り込みがアサートされます (②もしくは③, ④の **Enable** ビットがセットされていない場合、割り込み信号はアサートされません)。同時に下記 **Status** レジスタがセットされます。

offset	bit	Description	Remarks
PCI Express Capability Structure : Device Status			
068h	18	Fatal Error Detect	
Common Configuration Space : Status Register			注 1
006h	30	Signaled System Error	
Advanced Error Reporting (AER) Capability : Root Error Status			注 2
130h	6	Fatal Error Message Received	

注 2: ③の **Enable** ビットがセットされていない場合、書き込みはマスクされます。

注 3: ②もしくは③の **Enable** ビットがセットされていない場合、書き込みはマスクされます。

④に示した、**Correctable Error Reporting Enable** がセットされていない場合、上記の(a), (b)による要因が発生し、**Root Error Status Register** への書き込みが行われたとしても、**INT_SERR_FATAL** はアサートされません。

24.14.3 レジスタ一覧 (Endpoint 用)

Endpoint 用の Configuration Registers 一覧を示します。

Endpoint 用の Configuration Registers のベースアドレスは、6FED_1000h になります。

24.14.3.1 List of Endpoint (Type0 Registers)

表 24-12 に Endpoint での Configuration Register 一覧を示します。

表 24-12 PCI Express Configuration Registers (Endpoint)

Byte Offset	31			0
Common Configuration Space				
000h	Device ID		Vendor ID	
004h	Status		Command	
008h	Class Code			Revision ID
00Ch	BIST	Header Type	Master Latency Timer	Cash Line Size
Type0 Configuration Space				
010h	Base Address Register 0			
014h	Base Address Register 1			
018h	Base Address Register 2			
01Ch	Base Address Register 3			
020h	Base Address Register 4			
024h	Base Address Register 5			
028h	Card-bus CIS Pointer			
02Ch	Subsystem ID		Subsystem Vendor ID	
030h	Expansion ROM Base Address			
034h	Reserved			Capabilities Pointer
038h	Reserved			
03Ch	Max_Lat	Min_Gnt	Interrupt Pin	Interrupt Line
PCI Power Management Capability Structure				
040h	Power Management Capability Register		Next Capability Pointer	Capability ID
044h	Data	Power Management Status Register		
MSI and MSI-X Capability Structure				
050h	MSI Capability Register			
054h	MSI Address Lower 32 Bits			
058h	MSI Address Upper 32 Bits			
05Ch	MSI Data			
PCI Express Capability Structure				
060h	PCI Express Capability Register		Next Cap Pointer	PCIe Cap ID
064h	Device Capabilities			
068h	Device Status		Device Control	
06Ch	Link Capabilities			
070h	Link Status		Link Control	
074h	Reserved (Slot Capabilities)			
078h	Reserved (Slot Status)		Reserved (Slot Control)	
07Ch	Reserved (Root Capabilities)		Reserved (Root Control)	
080h	Reserved (Root Status)			
084h	Device Capabilities 2			
088h	Device Status 2		Device Control 2	
08Ch	Link Capabilities 2			
090h	Link Status 2		Link Control 2	
094h	Reserved (Slot Capabilities 2)			
098h	Reserved (Slot Status 2)		Reserved (Slot Control 2)	
Advanced Error Reporting (AER) Capability				
100h	PCI Express Enhanced Capability Header			
104h	Uncorrectable Error Status Register			
108h	Uncorrectable Error Mask Register			
10Ch	Uncorrectable Error Severity Register			

Byte Offset	310	
110h	Correctable Error Status Register	
114h	Correctable Error Mask Register	
118h	Advanced Error Capabilities and Control Register	
11Ch	Header Log Register 0	
120h	Header Log Register 1	
124h	Header Log Register 2	
128h	Header Log Register 3	
12Ch	Reserved (Root Error Command)	
130h	Reserved (Root Error Status)	
134h	Reserved (Error Source Identification Register)	Reserved (Correctable Error Source Identification Register)
Device Serial Number Capability		
140h	PCI Express Enhanced Capability Header	
144h	Serial Number Register (Lower DW)	
148h	Serial Number Register (Upper DW)	
Special Register		
0A0h	Base Address Register Mask00 (Lower)	
0A4h	Base Address Register Mask00 (Upper)	
0A8h	Base Address Register Mask01 (Lower)	
0ACh	Base Address Register Mask01 (Upper)	
0B0h	Base Address Register Mask02 (Lower)	
0B4h	Base Address Register Mask02 (Upper)	
0B8h	Reserved	
0BCh	Reserved	
0C0h	Base Size 00	
0C4h	Base Size 01	
0C8h	Base Size 02	
0CCh	Reserved	
0D0h	Type Supported	

備考) MSI-X Capability Register は未対応となっています。

24.14.3.2 Gen2 用レジスタ一覧

Base Spec2.0 で追加になり、Gen2 でのみ使用するレジスタが存在します。表 24-13 に、それらレジスタ一覧を示します。ここに示したレジスタは、**JL-086A** では（Gen1 Endpoint 使用時には）**Reserved** となります。

表 24-13 Registers for Gen2 Endpoint

offset	bit	Description
PCI Express Capability Structure		
090h	Link Control 2, Status 2 Register	
	16	Current De-emphasis Level
	12	Compliance De-emphasis
	11	Compliance SOS
	10	Enter Modified Compliance
	9:7	Transmit Margin
	5	Hardware Autonomous Speed Disable
	4	Enter Compliance
	3:0	Target Link Speed
Advanced Error Reporting Capability		
104h	Uncorrectable Error Status Register	
	21	ACS Violation Status
108h	Uncorrectable Error Mask Register	
	21	ACS Violation Mask
10Ch	Uncorrectable Error Severity Register	
	21	ACS Violation Severity

24.14.3.3 属性が変わるレジスタ

Capability やサポート状況によって、レジスタ属性が変わるレジスタが存在します。

表 24-14 にレジスタ一覧を示します。

表 24-14 Attribute change by Capability/Support Function

offset	bit	Description	Condition	Change Attribute
PCI-Compatible Configuration Registers (Type0 Configuration Space Header)				
004h	Command and Status Register			
	0	I/O Space Enable	I/O Space をサポートしていない。 (MODE_CFG_SPACE=2'b1x 以外するとき)	Reserved
PCI Express Capability Structure				
010h	Link Control Register			
	29	Data Link Layer Link Active	Data Link Layer Link Active Reporting Capability をサポートしていないとき	Fixed Low
	8	Enable Clock Power Management	Link Capabilities(offset: 0Ch)Clock Power Manegement(bit18)をサポートしていないとき	Reserved
088h	Device Control 2, Status 2 Register			
	4	Completion Timeout Disable	Device Capabilities 2 Register (Offset: 084h), Completion Timeout Disable Supported bit[4] = 0 のとき	Reserved
	3:0	Completion Timeout Value	Device Capabilities 2 Register (Offset: 084h), Completion Timeout Ranges Supported bit[3:0] = 0 のとき	Reserved

24.14.4 Endpoint 用 Type0 レジスタ機能説明

【表の見方】

Register 構成表：

アドレス（32bit）ごとにレジスタの構成を表します。

	Device ID		Vendor ID	
Bits	#	#	#	0
Default	0000h		1033h	
Reset				
RST_LOAD_B	—		○	
RST_CFG_B	○		—	
RST_RSM_B	—		—	
Attribute				
EP UDL	RO		RO	
EP PCIe	RW		RW	
FLR	— — — — — — — —		○ ○ ○ ○ ○ ○ ○ ○	

レジスタ名を表します。
 ← 赤字はGen2モードのみのレジスタを示します。Gen1モードではReserved Bitとなります。

← レジスタの配置されているビットを示します。

← 初期値を示します。

← 有効なりセット信号を示します。

← レジスタの属性を示します。各々の詳細は下表を参照ください。

← Function Level Resetによって初期化可能なビットを示します。

EPモードではPCI Express側からのアクセス(TE Forward Local Bus Access)とUDL (Sprite-AXIではAXIブリッジ)側からのアクセス(BME Local Bus Access)とでレジスタの属性が異なります。

Register 機能説明：

配置されたビット、レジスタ名および機能説明を記載しています。

表 24-15 に各レジスタのタイプを示します。

表 24-15 Configuration Register Type

Register Attribute	Description
Hwlnit	Hardware Initialized Hardwired されることを示します。
RO	Read-only PCIe 側から Read のみ可能なレジスタであることを示します。
RW	Read-Write PCIe 側から Read/Write 可能なレジスタであることを示します。
RW1C	Write-1-to-clear status PCIe 側から Read のみ可能なレジスタで 1b を Write することで 0b にクリアすることができます。0b を Write した場合はなにも変わりません。
ROS	Sticky - Read-only Root Complex からの Configuration Request TLP によって Read 可能なレジスタであり、Resume reset でリセットされるレジスタであることを示します。
RWS	Sticky - Read-Write Root Complex からの Configuration Request TLP によって Read/Write 可能なレジスタであり、Resume reset でリセットされるレジスタであることを示します。
RW1CS	Sticky - Write-1-to-clear status Root Complex からの Configuration Request TLP によって Read のみ可能なレジスタで、1b を Write することで 0b にクリアすることができ、かつ Resume reset でリセットされるレジスタであることを示します。

24.14.4.1 Common Configuration Space

(1) Configuration Space 000h (Vendor and Device ID)

	Device ID	Vendor ID
Bits	#	#
Default	0000h or Parameter	0000h or Parameter
Reset		
RST_LOAD_B	○	○
RST_RSM_B	—	—
RST_CFG_B	—	—
Attribute		
EP UDL	RW	RW
EP PCIe	RO	RO
FLR	—	—

Bit	Field	Description
31:16	Device ID	デバイスの製造メーカーを表します。 固定値を設定してください。初期値はパラメータ設定可能です。
15:0	Vendor ID	Vendor ID で指定されるメーカーが、製造したデバイスを識別するために使用します。固定値を設定してください。初期値はパラメータ設定可能です。

(2) Configuration Space 004h (Comand and Status)

	Detected Parity Error Signal System Error Received Master Abort Signal Target Abort DEVSEL Timing Master Data Parity Error Fast Back-to-Back Transaction Capable Reserved 66MHz Capable Capabilities List Interrupt Status														Reserved											Interrupt Disable Fast Back-to-Back Transaction Enable SERR# Enable IDSEL Stepping Parity Error Response VGA Palette Annoop Memory Write Cycle Control Special Cycle Enable Bus Master Enable Memory Space Enable IO Space Enable									
Bits	#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	9	8	7	6	5	4	3	2	1	0								
Default	0	0	0	0	0	0	0	0	0	0	1	0	0			0			0	0	0	0	0	0	0	0	0	0							
Reset																																			
RST_LOAD_B	—	—	—	—	—	—	—	—	—	—	—	—	—			—			—	—	—	—	—	—	—	—	—								
RST_RSM_B	—	—	—	—	—	—	—	—	—	—	—	—	—			—			—	—	—	—	—	—	—	—	—								
RST_CFG_B	0	0	0	0	0	—	0	—	—	—	—	—	—			0			—	0	—	0	—	—	—	0	0	0							
Attribute																																			
EP UDL	RW 1C	RW 1C	RW 1C	RW 1C	RW 1C	RO	RW 1C	RO	RO	RO	RO	RO	RO	RO			RW			RO	RW	RO	RO	RO	RW	RW	RW								
EP PCIe	RW	RW	RW	RW	RW	RO	RW	RO	RO	RO	RO	RO	RO	RO			RW			RO	RW	RO	RO	RO	RW	RW	RW								
FLR	0	0	0	0	0	—	0	—	—	—	—	—	—			0			—	0	—	0	—	—	—	0	0	0							

Bit	Field	Description
31	Detected Parity Error	Parity Error Response ビットの設定にかかわらず、Poisoned TLP を受信した場合 1b にセットされます。
30	Signaled System Error	SERR Enable ビットが 1b で、このマクロが ERR_FATAL または ERR_NONFATAL の Message を送信した時に 1b にセットされます。
29	Received Master Abort	Completion Status フィールドが Unsupported Request の Completion を受信した時に 1b にセットされます。
28	Received Target Abort	Completion Status フィールドが Completer Abort の Completion を受信した時に 1b にセットされます。
27	Signaled Target Abort	Completion Status フィールドが Completer Abort の Completion を送信した時に 1b にセットされます。

Bit	Field	Description
26:25	DEVSEL Timing	Reserved: Doesn't apply to PCI Express. (00b 固定)
24	Master Data Parity Error	Parity Error Response ビットが 1b に設定されていて、以下の 2 つの条件が発生した時に 1b にセットされます。 1) Requester(BME)が Poisoned の Completion TLP を受信した。 2) Requester(BME)が Poisoned の Write Request TLP を送信した。 Parity Error Response ビットが 0b の場合、本ビットは 1b にセットされません。
23	Fast Back-to-Back Transaction Capable	Reserved: Doesn't apply to PCI Express. (0b 固定)
21	66MHz Capable	Reserved: Doesn't apply to PCI Express. (0b 固定)
20	Capabilities List	全ての PCI Express デバイスは PCI Express Capability を実装する必要があるもので本ビットは 1b 固定になります。
19	Interrupt Status	デバイスの割り込みの状態を示します。
18:11	Reserved	(0000-0000b 固定)
10	Interrupt Disable	Assert_INTx Message の送信を抑制します。 1b にセットされた場合、INTx Message を送信できません。 Assert_INTx の Message を送信した状態で、このビットが 1b にセットされた場合は Deassert_INTx Message を送信する必要があります。
9	Fast Back-to-Back Transaction Enable	Reserved: Doesn't apply to PCI Express. (0b 固定)
8	SERR# Enable	1b にセットした場合、Non-Fatal Error や Fatal Error を Message Transaction によって Root Complex に通知します。 注) このビットが設定されていなくても、PCI Express Capability の Device Control レジスタの Error Reporting 関係のビットが "1" にセットされたら Message Transaction により Root Complex にエラー通知を行います。
7	IDSEL Stepping / Wait Cycle Control	Reserved: Doesn't apply to PCI Express. (0b 固定)
6	Parity Error Response	Poisoned TLP を送信・受信した場合の動作を制御します。 注) Status レジスタの Detected Parity Error フィールド、PCI Express Capability の Device Status レジスタ、Advanced Error Reporting Capability の Uncorrectable Error Status レジスタへの Error Logging は、このビットの設定に関わらず行います。
5	VGA Palette Snoop	Reserved: Doesn't apply to PCI Express. (0b 固定)
4	Memory Write and Invalidate	Reserved: Doesn't apply to PCI Express. (0b 固定)
3	Special Cycle Enable	Reserved: Doesn't apply to PCI Express. (0b 固定)
2	Bus Master Enable	バス・マスタとして動作するかどうかを制御します。
1	Memory Space Enable	メモリ空間へのアクセスに対して、デバイスが応答するかどうか制御します。
0	I/O Space Enable	I/O 空間へのアクセスに対してデバイスが応答するかどうか制御します

(3) Configuration Space 008h (Revision ID and Class Code)

Bits	#	8	7	0
Default	000000h or Parameter			00h or Parameter
Reset				
RST_LOAD_B	O			O
RST_RSM_B	—			—
RST_CFG_B	—			—
Attribute				
EP UDL	RW			RW
EP PCIe	RO			RO
FLR	—			—

Bit	Field	Description
31:8	Class Code	デバイスの種類、機能を示す情報で、値の定義は PCI SIG によって以下のように分けられます。 31:24 base class: 23:16 sub-class: 15:8 programming interface: 固定値を設定してください。初期値はパラメータ設定可能です。
7:0	Revision ID	Vendor ID と Device ID で指定される特定のデバイスについて、その Revision を表すために使用される 8bit の ID です。 固定値を設定してください。初期値はパラメータ設定可能です。

(4) Configuration Space 00Ch (Cache Line and Header Type)

Bits	#	#	#	#	#	8	7	0
Default	00h		00h		00h		00h	
Reset								
RST_LOAD_B	—		—		—		—	
RST_RSM_B	—		—		—		—	
RST_CFG_B	—		—		—		O	
Attribute								
EP UDL	RO		RO		RO		RO	
EP PCIe	RO		RO		RO		RW	
FLR	—		—		—		O	

Bit	Field	Description
31:24	BIST	Reserved: Doesn't apply to PCI Express. (00h 固定)
23:16	Header Type	Endpoint: 00h 固定。
15:8	Master Latency Timer	Reserved: Doesn't apply to PCI Express. (00h 固定)
7:0	Cache Line Size	Legacy Compatibility のために Read/Write 可能なフィールドとして実装されますが設定された値は、このデバイスに何も影響を与えません。

24.14.4.2 Type0 Configuration Space

(1) Configuration Space 010h (Base Address Register 0)
64bits Memory Space となります。

(Base Address Register 0)

64bits Memory Space となります。

Bits	#	4	3	2	1	0
Default	0000000h	0	1	0	0	
Reset						
RST_LOAD_B	—	0	—	—	—	
RST_RSM_B	—	—	—	—	—	
RST_CFG_B	0	—	—	—	—	
Attribute						
EP UDL	RW	RW	RO	RO	RO	RO
EP PCIe	RW	RO	RO	RO	RO	RO
FLR	0	—	—	—	—	

Bit	Field	Description
31:4	Base Address Register 0	ベースアドレスを示します。必要とするアドレス・ブロックの大きさに合わせて、このフィールドの下位の何ビットかは 0b 固定の Read Only ビットとして実装します。このマクロでは Read Only ビットを Base Address 00 Mask レジスタ (Offset: 0A0h) で設定可能です。
3	Prefetch	0: disable, 1: enable
2	Type	0: 32 bit address, 1: 64 bit address 64bitAddress を使用するため 1b 固定
1	Reserved	(0b 固定)
0	Memory Space Indicator	メモリ空間を示すため 0b 固定になります。

(2) Configuration Space 014h (Base Address Register 1)
64bits Memory Space となります。

64bits Memory Space となります。

	Base Address	Register
Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	O	
Attribute		
EP UDL	RW	
EP PCIe	RW	
FLR	O	

Bit	Field	Description
31:0	Base Address Register 1	Base Address Register 1 (64bit Upper Address) ベースアドレスの上位 32 ビットを示します。

(Base Address Register 2)

*: 1=64bits Memory Space, 0=32bits Memory Space

Page 1129

(4) Configuration Space 01Ch (Base Address Register 3)
このレジスタは、Memory Space となります。

Memory Space

		Base Address Register 3
Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	0	
Attribute		
EP UDL	RW	
EP PCIe	RW	
FLR	0	

Bit	Field	Description
31:0	Base Address Register 3	ベースアドレスを示します。必要とするアドレス・ブロックの大きさに合わせて、このフィールドの下位の何ビットかは 0b 固定の Read Only ビットとして実装します。このマクロでは Read Only ビットを Base Address 01 Mask レジスタ (Offset: 0B0h) で設定可能です。

(5) Configuration Space 020h
Reserved となります。
Reserved

(Base Address Register 4)

Base Address Register 4

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	
FLR	—	

Bit	Field	Description
31:0	Reserved	(00000000h 固定)

(6) Configuration Space 024h
Reserved となります。
Reserved

(Base Address Register 5)

Base Address Register 5

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	
FLR	—	

Bit	Field	Description
31:0	Reserved	(00000000h 固定)

(7) Configuration Space 028h

(Cardbus CIS Pointer)

Reserved となります。

Cardbus CIS Pointer

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	
FLR	—	

Bit	Field	Description
31:0	Cardbus CIS Pointer	Reserved: Doesn't apply to PCI Express.

(8) Configuration Space 02Ch

(Subsystem ID)

Subsystem ID

Subsystem Vendor ID

Bits	#	#	#	0
Default	0000h or Parameter			0000h or Parameter
Reset				
RST_LOAD_B	O			O
RST_RSM_B	—			—
RST_CFG_B	—			—
Attribute				
EP UDL	RW			RW
EP PCIe	RO			RO
FLR	—			—

Bit	Field	Description
31:16	Subsystem ID	このデバイスを含むアドイン・カードやサブシステムの製造メーカを表す 16bit の ID。 固定値を設定してください。初期値はパラメータ設定可能です。
15:0	Subsystem Vendor ID	Sub System Vendor ID で指定されるメーカが製造したサブシステム同士を識別するために使用される 16bit の ID。 固定値を設定してください。初期値はパラメータ設定可能です。

(9) Configuration Space 030h (Expansion ROM Base Address)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	
FLR	—	

Bit	Field	Description
31:0	Expansion ROM Base Address	Reserved: Doesn't apply to PCI Express.

(10) Configuration Space 034h (Capabilities Pointer)

Bits	#	8	7	0					
Default	000000h		0	1	0	0	0	0	0
Reset			0	1	0	0	0	0	0
RST_LOAD_B	—		0	0	0	0	0	—	—
RST_RSM_B	—		—	—	—	—	—	—	—
RST_CFG_B	—		—	—	—	—	—	—	—
Attribute									
EP UDL	RO		RW					RO	
EP PCIe	RO		RO						
FLR	—		—						

Bit	Field	Description
31:8	Reserved	(00000000h 固定)
7:0	Capabilities Pointer	Capability 実装開始アドレス 40H 40h から PCI Power Management Capability が実装されています。 下位 2bit は 00b 固定(reserved)で UDL 側からもライトできません。

(11) Configuration Space 038h (Reserved)

(Interrupt)

	Max_Lat				Min_Gne				Interrupt_Pin								Interrupt_Line							
Bits	#	#	#	#	#	8								7	0									
Default	00h			00h			0	0	0	0	0	0	0	1	0	1	0	0	0	0	0			
Reset							0	0	0	0	0	0	0	0	1	0	1	0	0	0	0			
RST_LOAD_B	—			—			0	0	0	0	0	0	0	0	—	—	—	—	—	—	—			
RST_RSM_B	—			—			—	—	—	—	—	—	—	—	—	—	—	—	—	—	—			
RST_CFG_B	—			—			—	—	—	—	—	—	—	—	0	0	0	0	0	0	0			
Attribute																								
EP UDL	RO			RO			RW								RW									
EP PCIe	RO			RO			RO								RW									
FLR	—			—			—								0									

Bit	Field	Description
31:24	Max_Lat	Reserved: Doesn't apply to PCI Express.
23:16	Min_Gnt	Reserved: Doesn't apply to PCI Express.
15:8	Interrupt Pin	01h 固定。 INTA#を使用。
7:0	Interrupt Line	システム・コンフィグレーションの結果、デバイスの割り込み出力がシステムの割り込み線のどの線に接続されたかを示します。システムの初期化プログラムによって値がセットされ、デバイス・ドライバや OS が必要に応じて値を読み取ります。ソフトウェア用のレジスタであり、デバイスの動作とレジスタ値の間に関係はありません。

(1) Configuration Space 040h (PM Capabilities)

[illegible]

Bit	Field	Description
31:27	PME Support	00000b: Default 各 Device State での PME のサポート有無を示します。 xxxx1 : D0 をサポート xxx1x : D1 をサポート xx1xx : D2 をサポート x1xxx : D3hot をサポート 1xxxx : D3cold をサポート
26	D2 Support	D2 Power Management State のサポート有無を示します。 0: not Support 1: Support
25	D1 Support	D1 Power Management State のサポート有無を示します。 0: not Support 1: Support
24:22	AUX_Current	3.3Vaux auxiliary current (補助電源から供給される、最大の電流値) を示します。 111: 375 mA 110: 320 mA 101: 250 mA 100: 220mA 011: 160 mA 010: 100 mA 001: 55 mA 000: 0 (self powered) D3cold をサポートしていない場合、read 値は 000b を返します。
21	Device Specific Initialization	DSI (Device Specific Initialization)使用の有無を示します。 0: not Support 1: Support
20	Reserved	(0b 固定)
19	PME Clock	Reserved: Doesn't apply to PCI Express.
18:16	Version	011b 固定です。 PCI Power Management Interface Specification Rev.1.2
15:8	Next Capability Pointer	MSI Capability 開始アドレスを示します。 下位 2bit[9:8]は Reserved で 00b 固定です。
7:0	Capability ID	PCI Power Management Capability を示します。 01h 固定です。

(2) Configuration Space 044h (PM Status/Control)

Bits	#	#	#	#	#	#	#	#	9	8	7	4	3	2	1	0
Default	00h	0	0	0	0	00	0h	0	0	0	0	1	0	0	0	0
Reset	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RST_LOAD_B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RST_RSM_B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RST_CFG_B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Attribute	RO	RO	RO	RO	RO	RO	RO	RO	RW	RO	RO	RO	RO	RO	RW	RW
EP UDL	RO	RO	RO	RO	RO	RO	RO	RO	RW	RO	RO	RO	RO	RO	RW	RW
EP PCIe	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FLR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Field	Description
31:24	Data	Doesn't support.
23	Bus Power/Clock Control Enable	Doesn't support.
22	B2/B3 Support	Doesn't support.
21:16	Reserved	(00h 固定)
15	PME Status	PME アサート要因が発生していることを示します。 1b で PME アサート要因があることを示します。
14:13	Data Scale	Doesn't support.
12:9	Data Select	Doesn't support.
8	PME Enable	PME のアサーションを制御します。 1b の場合に、PME のアサーションがイネーブルとなります。このとき PME_Status がセットされている場合に PME をアサートします。 PCI Express では、Link の Wake-up 処理を行い、その後 PM_PME Message を送信することで PME アサート処理を行います。
7:4	Reserved	(0h 固定)
3	No_Soft_Reset	D3hot から D0 への Power State 遷移において、Device 内部での Internal reset が行なわれないことを示します。
2	Reserved	(0b 固定)
1:0	PowerState	PCI Device State を設定します。 00b - D0 (Default) 01b - D1 10b - D2 11b - D3hot

(1) Configuration Space 050h (MSI Capability)

Bit	Field	Description
31:25	Reserved	(00h 固定)
24	Per-vector masking capable	1b に設定すると MSI per-vector masking をサポートすることを示します。当社マクロは MSI per-vector masking はサポートしていませんので 0b 固定となります。
23	64bit Address Capable	64bit Address の MSI Message を生成可能であることを示します。1b 固定。
22:20	Multiple Message Enable	Multiple Message の生成許可と数を設定します。 Multiple Message Capable フィールドで 000b を指定しているので、ソフトウェアの設定としては 000b(1 個)のみです。 000b : 1 (Default) 001b : 2 010b : 4 011b : 8 100b : 16 101b : 32 110b : Reserved 111b : Reserved
19:17	Multiple Message Capable	000b : 1 (Default) 001b : 2 010b : 4 011b : 8 100b : 16 101b : 32 110b : Reserved 111b : Reserved
16	MSI Enable	MSI Messageの生成の可否を制御します。 1bでMSI生成可能になります。
15:8	Next Capability Pointer	PCI Express Capability の開始アドレスを示します。 下位 2bit[9:8]は Reserved で 00b 固定です。 Default : 60h
7:0	Capability ID	MSI Capability を示します。 05h 固定。

(2) Configuration Space 054h (Message Address)

Bits	#	2	1	0
Default	00000000h	0	0	0
Reset				
RST_LOAD_B	—			—
RST_RSM_B	—			—
RST_CFG_B	0			—
Attribute				
EP UDL	RW			RO
EP PCIe	RW			RO
FLR	0			—

Bit	Field	Description
31:2	Message Address	MSI Message の Destination Address[31 : 2]を設定します。
1:0	Reserved	(00b 固定)

(3) Configuration Space 058h (Message Upper Address)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	0	
Attribute		
EP UDL	RW	
EP PCIe	RW	
FLR	0	

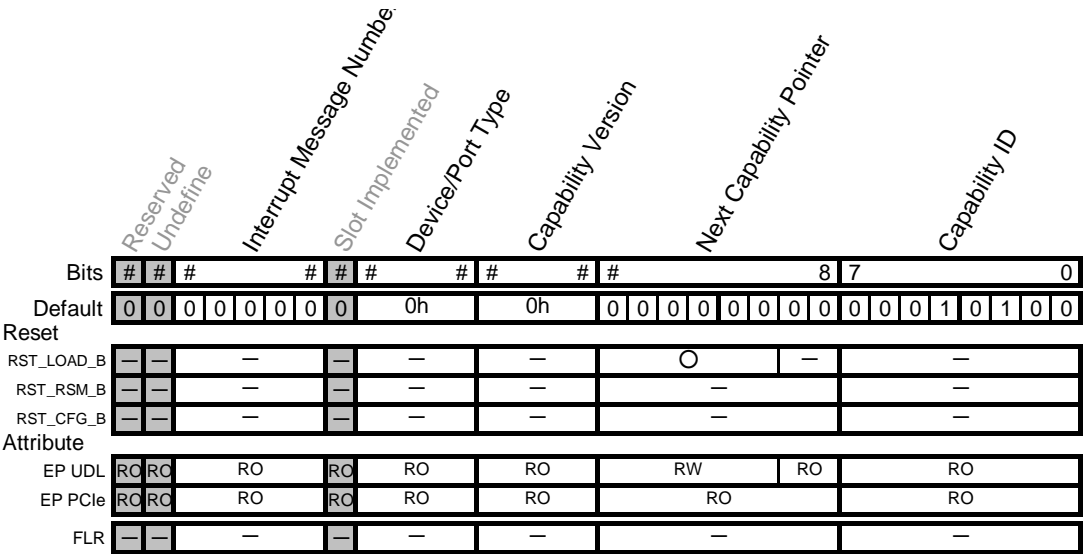
Bit	Field	Description
31:0	Message Upper Address	MSI Message の Destination Address[63 : 32]を設定します。

(4) Configuration Space 05Ch (Message Data)

		Reserved		Message Data
Bits	#	#	#	0
Default	0000h		0000h	
Reset				
RST_LOAD_B	—		—	
RST_RSM_B	—		—	
RST_CFG_B	—		0	
Attribute				
EP UDL	RO		RW	
EP PCIe	RO		RW	
FLR	—		0	

Bit	Field	Description
31:16	Reserved	(0000h 固定)
15:0	Message Data	MSI Message に設定する Data[15 : 0]を設定します。 Multiple Message Enable フィールドが 011b(8 個)の場合、Message データの下位 3bit を Function(UDL)側が変更することができ、8 種類の vector を Message_Data としてシステムに通知することができます。同様に 010b(4 個)の場合は下位 2bit を Function(UDL)側が変更することができて 4 種類の vector、001b(2 個)の場合は下位 1bit を Function(UDL)側が変更することができて 2 種類の vector、000b(1 個)の場合は設定されたデータのための 1 種類の vector となります。

24.14.4.5 PCI Express Capability Structure
(1) Configuration Space 060h (PCI Express Capability)



Bit	Field	Description
31	Reserved	(0b 固定)
29	Undefined	(0b 固定)
29:25	Interrupt Message Number	00000b 固定。
24	Slot Implemented	Endpoint デバイスには適用されません。 0b 固定。
23:20	Device/Port Type	NativeなPCI Express Endpoint deviceであることを示します。 0000b PCI Express Endpoint device (Default) 0001b Legacy PCI Express Endpoint device 0100b Root Port of PCI Express Root Complex 0101b Upstream Port of PCI Express Switch 0110b Downstream Port of PCI Express Switch 0111b PCI Express-to-PCI/PCI-X Bridge 1000b PCI/PCI-X-to-PCI Express Bridge 1001b Root Complex Integrated Endpoint Device 1010b Root Complex Event Collector All other encodings are reserved.
19:16	Capability Version	PCI Express Capability Structureのバージョンを示します。 0010b固定。
15:8	Next Capability Pointer	この Capability List が最終 List であることを示します。 下位 2bit[9:8]は Reserved で 00b 固定です。 00h 固定。
7:0	Capability ID	PCI Express Capability を示します。 10h 固定。

(Device Capability)

Reserved																						Function Level Reset Capability				Capture Slot Power Limit Scale				Capture Slot Power Limit Value				Reserved		Role Based Error Reporting		Undefine		Endpoint L1 Acceptable Latency		Endpoint L0s Acceptable Latency		Extended Tag Field		Phantom Functions Supported		Max_Payload_SizeSupported	
Bits	#	#	#	#	#	#	#	#	#	#	#	#	#	#	9	8	6	5	4	3	2	0																											
Default	0	1	0	0	00h				0	1	0	1	1	1	1	1	1	0	0	0	0	0																											
Reset																																																	
RST_LOAD_B	—	—	—	—				—	—	—	○		○		—		—	○																															
RST_RSM_B	—	—	—	—				—	—	—	—		—		—		—	—																															
RST_CFG_B	—	—	○	○				—	—	—	—		—		—		—	—																															
Attribute																																																	
EP UDL	RO	RO	RW	RW				RO	RO	RO	RW		RW		RO	RO	RW																																
EP PCIe	RO	RO	RO	RO				RO	RO	RO	RO		RO		RO	RO	RO																																
FLR	—	—	—	—				—	—	—	—		—		—		—	—																															

Bit	Field	Description
31:29	Reserved	(000b 固定)
28	Function Level Reset Capability	1b 固定です。
27:26	Captured Slot Power Limit Scale	Captured Slot Power Limit Value の Scale を示します。 受信 Set_Slot_Power_Limit Message により設定されます。
25:18	Captured Slot Power Limit Value	Slot Power Limit(Watt)値を示します。 受信 Set_Slot_Power_Limit Message により設定されます。
17:16	Reserved	(00b 固定)
15	Role-Based Error Reporting	Error Reporting ECN や Rev1.1 で定義された機能を実装している場合に 1b にセットします。
14:12	Undefined	(000b 固定)
11:9	Endpoint L1 Acceptable Latency	000b max 1 us 001b max 2 us 010b max 4 us 011b max 8 us 100b max 16 us 101b max 32 us 110b max 64 us 111b No limit (Default)
8:6	Endpoint L0s Acceptable Latency	000b max 64 ns 001b max 128 ns 010b max 256 ns 011b max 512 ns 100b max 1 us 101b max 2 us 110b max 4 us 111b No limit (Default)
5	Extended Tag Field Supported	Extended Tagはサポートしていません。 5 Bit-Tagのみを使用します。 0b固定。
4:3	Phantom Function Supported	Phantom Function はサポートしていません。 00b 固定。
2:0	Max_Payload_Size Supported	000b 128B max payload size (Default) 001b 256B max payload size 010b 512B max payload size 011b 1024B max payload size 100b 2048B max payload size 101b 4096B max payload size 110b Reserved 111b Reserved

(Device Control/Status)

		Reserved										Transaction Pending AUX Power Detected Unsupported Request Fatal Error Detected Non Fatal Error Detected Correctable Error Detected Initiate Function Level Reset										Enable No Snoop AUX Power PM Enable Phantom Function Enable Extended Tag Field Enable				Max payload size Enable Relax Ordering Unsupported Request Reporting Enable Fatal Error Reporting Enable Non Fatal Error Reporting Enable Correctable Error Reporting Enable			
Bits	#	#	#	#	#	#	#	#	#	#	#	#	#	9	8	7	5	4	3	2	1	0							
Default	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	0	0							
Reset	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—							
RST_LOAD_B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—							
RST_RSM_B	—	—	—	—	—	—	—	—	—	—	—	—	0	—	—	—	—	—	—	—	—	—							
RST_CFG_B	—	—	—	0	0	0	0	0	0	0	—	—	—	—	—	0	0	0	0	0	0	0							
Attribute																													
EP UDL	RO	RO	RO	RW	RW	RW	RW	RW	RW	RW	RO	RW	RO	RO	RW	RW	RW	RW	RW	RW	RW	RW							
EP PCIe	RO	RO	RO	—	—	—	1C	—	RW	RW	RO	RW	RO	RO	RW	RW	RW	RW	RW	RW	RW	RW							
FLR	—	—	—	0	0	0	0	—	0	—	—	—	—	—	—	—	0	0	0	0	0	0							

Bit	Field	Description
31:22	Reserved	(000h 固定)
21	Transaction Pending	送信した Non-posted Request に対して Completion 受信しておらずトランザクションが Pending であることを示します。 1b で Pending であることを示します。
20	AUX Power Detected	AUX Power が検出されていることを示します。
19	Unsupported Request Detected	Unsupported Request Error が検出されたことを示します。 1b で Error が検出されている事を示します。
18	Fatal Error Detected	Fatal Error が検出されたことを示します。 1b で Error が検出されている事を示します。
17	Non-Fatal Error Detected	Non-Fatal Error が検出されたことを示します。 1b で Error が検出されている事を示します。
16	Correctable Error Detected	Correctable Error が検出されたことを示します。 1b で Error が検出されている事を示します。
15	Initiate Function Level Reset	A write of 1b initiates Function Level Reset to the Function. The value read by software from this bit is always 0b.
14:12	Max_Read_Request_Size	Max_Read_request_Size を設定します。 000b 128B max payload size 001b 256B max payload size 010b 512B max payload size 011b 1024B max payload size 100b 2048B max payload size 101b 4096B max payload size 110b Reserved 111b Reserved
11	Enable No Snoop	当社マクロは Requester として No Snoop Attribute は使用しません。
10	Auxillary (AUX) Power PM Enable	Auxillary (AUX) power の使用有無を設定します。 1: Support 0: not Support (Default) このビットを 1b(Enable)に設定した場合、AUX_Current (Power Management Capabilities register)を設定する必要があります。
9	Phantom Function Enable	Phantom Function はサポートしておりません。 0b 固定。
8	Extended Tag Field Enable	Extended Tagはサポートしません。 5 Bit-Tagのみを使用します。 0b固定。

Bit	Field	Description
18	Clock Power Management	L1 および L2/L3 Ready における CLKREQ# mechanism のサポートの有無を示します。 0b CLKREQ# mechanism をサポートなし。 1b CLKREQ# mechanism をサポート。
17:15	L1 Exit Latency	000b Less than 1μs 001b 1 μs to less than 2 μs 010b 2 μs to less than 4 μs 011b 4 μs to less than 8 μs 100b 8 μs to less than 16 μs 101b 16 μs to less than 32 μs 110b 32 μs to 64 μs (Default: マクロ共通) 111b More than 64 μs
14:12	L0s Exit Latency 注1	000b Less than 64 ns 001b 64 ns to less than 128 ns 010b 128 ns to less than 256 ns 011b 256 ns to less than 512 ns 100b 512 ns to less than 1 μs (Default: 90nm Gen1 マクロ時) 101b 1 μs to less than 2 μs (Default: 90nm Gen2 マクロ時) 110b 2 μs-4 μs (Default: 90nm Gen1/Gen2 マクロ時) 111b More than 4 μs
11:10	Active State Power Management (ASPM) Support	00b Reserved 01b L0s Entry Supported 10b Reserved 11b L0s and L1 Entry Supported (Default)
9:4	Maximum Link Width 注2	000000b Reserved 000001b x1 000010b x2 000100b x4 001000b x8 001100b x12 010000b x16 100000b x32 注) ご使用になるマクロの Lane 数ごとに Default 値は設定されます。
3:0	Supported Link Speed 注3	0001b 2.5 GT/s Link speed supported 0010b 5.0 GT/s and 2.5 GT/s Link speeds supported All other encodings are reserved. 注) Gen1 マクロでは、0001b 固定となります。

注1：コンフィグレーションにより、40nm を選択しています。

注2：コンフィグレーションにより、Multiple lane implementations x1 を選択しています。

注3：コンフィグレーションにより、PCI Express Gen1 (2.5Gbps) を選択しています。

(Link Control/Status)

[illegible]

Bit	Field	Description
31	Link Autonomous Bandwidth Status	Endpoint デバイスには適用されません。 0b固定。
30	Link Bandwidth Management Status	Endpoint デバイスには適用されません。 0b固定。
29	Data Link Layer Link Active	1b で Data Link Layer が Link Active の状態にあることを示します。
28	Slot Clock Configuration	Add-in Card 時に、Connector に供給されているレファレンスクロックを使用しているかどうかを示します。 0b : Connector Reference Clock を未使用 1b : Connector Reference Clockを使用 (Default)
27	Link Training	Endpoint デバイスには適用されません。 0b固定。
26	Undefined	(0b 固定)
25:20	Negotiated Link Width	ネゴシエーションの結果、確立した Link 幅を示します。 000001b: x1 000010b: x2 000100b: x4 001000b: x8 001100b: x12 010000b: x16 100000b: x32 他のエンコードは Reserved です。
19:16	Current Link Speed	0001b: 2.5GT/s PCI Express Link (Default) 0010b: 5.0 GT/s PCI Express Link
15:12	Reserved	(0000b 固定)
11	Link Autonomous Bandwidth Interrupt Enable	Endpoint デバイスには適用されません。 0b 固定。
10	Link Bandwidth Management Interrupt Enable	Endpoint デバイスには適用されません。 0b 固定。
9	Hardware Autonomous Width Disable	Link幅変更を制御します。 0: Enable of Link Width Change 1: Disable
8	Enable Clock Power Management	L1 および L2/L3 Ready における CLKREQ# mechanism の Enable/Disable を制御します。

Bit	Field	Description
		0: Clock Power Management は Disable。CLK_REQ#信号は 0b 固定にしなければならない。 1: CLKREQ#信号による Power Management を行なうことができます。
7	Extended Synch	1b に設定すると L0s から L0 へ遷移する際に 4096 個の FTS Ordered-set の送信を行います。また、L1 から L0 へ遷移する際の Recovery ステートの最初において 1024 個の TS1 Ordered-set の送信を行います。
6	Common Clock Configuration	リモートノードに、Common Reference Clock が使用されているかどうかを設定します。 0b : 非 Common Reference Clock が供給 (Default) 1b : Common Reference Clock が供給
5	Retrain Link	Endpoint デバイスには適用されません。 0b 固定。
4	Link Disable	Endpoint デバイスには適用されません。 0b 固定。
3	Read Completion Boundary (RCB)	0: 64byte (Default) 1: 128byte
2	Reserved	(0b 固定)
1:0	Active State Power Management (ASPM) Control	Active Power Management の許可レベルを設定します。 00b Disabled (Default) 01b L0s Entry Supported 10b Reserved 11b L0s and L1 Entry Supported

(6) Configuration Space 074h (Slot Capabilities)

																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					</
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	----

注) Read Complex 用レジスタ、Endpoint では使用しません。

(Slot Control/Status)

[illegible]

注) Read Complex 用レジスタ、Endpoint では使用しません。

(Root Control/Capabilities)

Bits	#																# # #			5																4	3	2	1	0
Default	0 0																																							
Reset	0 0																																							
RST_LOAD_B	—																—	—																—	—	—	—	—		
RST_RSM_B	—																—	—																—	—	—	—	—		
RST_CFG_B	—																—	—																—	—	—	—	—		
Attribute																																								
EP UDL	RO																RO	RO																RO	RO	RO	RO	RO	RO	
EP PCIe	RO																RO	RO																RO	RO	RO	RO	RO	RO	
FLR	—																—	—																—	—	—	—	—		

Reserved

CRS Software Visibility

Reserved

CRS Software Visibility Enable

PME Interrupt Enable

System Error on Fatal Error Enable

System Error on Non-Fatal Error Enable

System Error on Correctable Error Enable

注) Read Complex 用レジスタ、Endpoint では使用しません。

(9) Configuration Space 080h (Root Status)

Bits	#																															#	#	#	#	#															0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
Default	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注) Read Complex 用レジスタ、Endpoint では使用しません。

(10) Configuration Space 084h (Device Capabilities 2)

Bits	#																															5	4	3	0		
Default	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Reset																																					
RST_LOAD_B	—																																			○	○
RST_RSM_B	—																																			—	—
RST_CFG_B	—																																			—	—
Attribute																																					
EP UDL	RO																																			RW	RW
EP PCIe	RO																																			RO	RO
FLR	—																																			—	—

Bit	Field	Description
31:5	Reserved	(0000000h 固定)
4	Completion Timeout Disable Supported	Completion Timeout 機能のサポート有無の設定を行います。 0b: Disable 1b: Enable (Supported)
3:0	Completion Timeout Ranges Supported	Completion Timeout Rangeの設定を行います。 Range A: 50 μ s to 10 ms Range B: 10 ms to 250 ms Range C: 250 ms to 4 s Range D: 4 s to 64 s 上記の 4 パターンが決められており、以下の組み合わせでの設定が可能です。 0001b Range A 0010b Range B 0011b Ranges A and B 0110b Ranges B and C 0111b Ranges A, B, and C 1110b Ranges B, C and D 1111b Ranges A, B, C, and D 他のエンコードは Reserved です。

(11) Configuration Space 088h (Device Control 2 / Status 2)

			Reserved		Completion Timeout Disable		Completion Timeout Value																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
Bits	#	5							4	3	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
Default	0	0							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

Bit	Field	Description
31:5	Reserved	(0000000h 固定)
4	Completion Timeout Disable	このビットを設定した場合、CompletionTimeout 機能は無効となります。
3:0	Completion Timeout Value	Completion Timeout Range の設定を行います。

(12) Configuration Space 08Ch (Link Capabilities 2)

		Reserved																																																														
Bits	#																																																															0
Default	00000000h																																																															
Reset																																																																
RST_LOAD_B	—																																																															
RST_RSM_B	—																																																															
RST_CFG_B	—																																																															
Attribute																																																																
EP UDL	RO																																																															
EP PCIe	RO																																																															

Bit	Field	Description
31:0	Reserved	(00000000h 固定)

(Link Control 2 / Status 2)

[illegible]

Bit	Field	Description
31:17	Reserved	(0000h 固定)
16	Current De-emphasis Level	Gen2 動作時、このビットで設定した De-emphasis Level が反映されます。 1: -3.5 dB 0: -6 dB
15:13	Reserved	(000b 固定)
12	Compliance De-emphasis	Polling.Compliance State における、De-emphasis Level を設定します。 1: -3.5 dB 0: -6 dB
11	Compliance SOS	このビットを 1b に設定した場合、Compliance パターン送信中に SKP Ordered-set を定期的に挿入します。
10	Enter Modified Compliance	Modified Compliance パターン送信のための設定ビット。 1: Modified Compliance Pattern 0: Compliance Pattern
9:7	Transmit Margin	Transmitter の電圧レベルを調整します。 000b Normal operating range 001b-111b Base Spec Section 4.3.3.3を参照ください。
6	Selectable De-emphasis	Endpoint デバイスには適用されません。 0b固定。
5	Hardware Autonomous Speed Disable	Link Speed Change 機能を制御します。 1: not Support of Link Speed Change (Disable) 0: Support of Link Speed Chsange (Enable)
4	Enter Compliance	1bに設定することで、Complianceモードへの遷移を許可します。 この時の、Link SpeedはTarget Link Speed fieldで設定された値となります。
3:0	Target Link Speed	Training中に、Root Complexへ通知するためのLink Speed値を設定します。 0001b: 2.5 GT/s Target Link Speed 0010b: 5.0 GT/s Target Link Speed All other encodings are reserved.

注) このレジスタは **Gen2** 用です。JL-086A では全てのビットが **Reserved** になります。

(14) Configuration Space 094h (Slot Capabilities 2)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	
FLR	—	

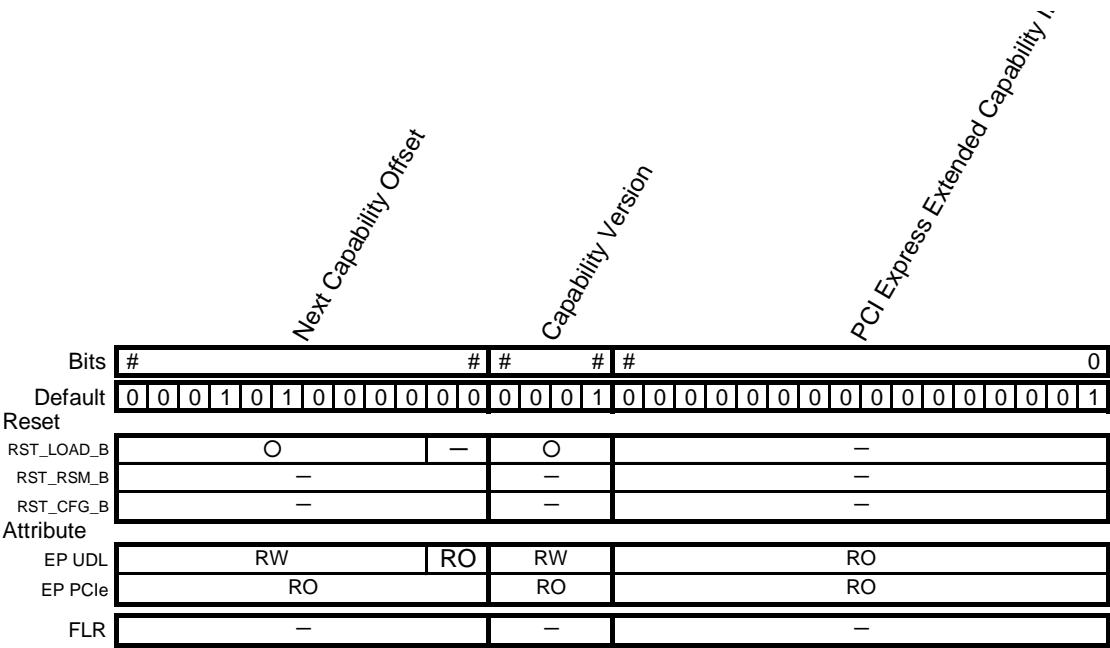
Bit	Field	Description
31:0	Reserved	(00000000h 固定)

(15) Configuration Space 098h (Slot Control 2 / Status 2)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	
FLR	—	

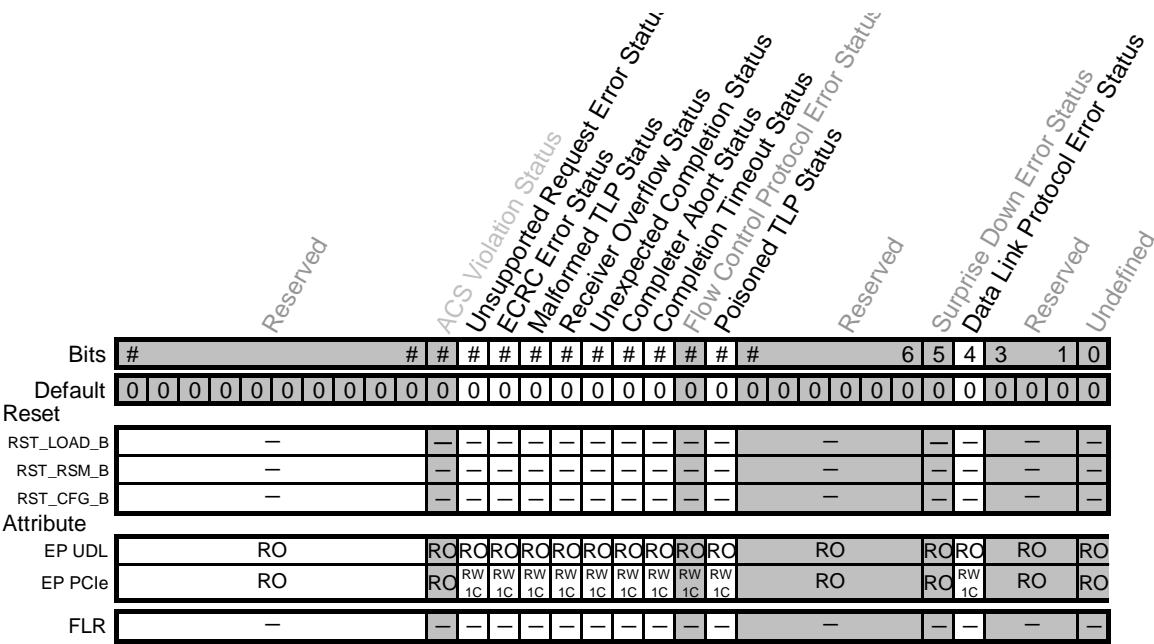
Bit	Field	Description
31:0	Reserved	(00000000h 固定)

24.14.4.6 Advanced Error Reporting Capability
(1) Configuration Space 100h (PCI Express Enhanced Capability Header)



Bit	Field	Description
31:20	Next Capability Offset	DeviceSerialNumberCapability の開始アドレスを示します。 下位 2bit は 0 固定
19:16	Capability Version	Capability Structure のバージョンを示します。 Default : 0001b
15:0	PCI Express Extended Capability ID	Advanced Error Reporting Capability を示します。 Default: 0001h

(2) Configuration Space 104h (Uncorrectable Error Status Register)



Bit	Field	Description
31:22	Reserved	(000h 固定)
21	ACS Violation Status	ACS は現在未サポートです。0b 固定
20	Unsupported Request Error Status	サポートしていない TLP を受信したことを示します。 0: エラー未検出 1: エラー検出
19	ECRC Error Status (Optional)	ECRC Error を受信したことを示します。 0: エラー未検出 1: エラー検出
18	Malformed TLP Status	Malformed TLP を受信したことを示します。 0: エラー未検出 1: エラー検出
17	Receiver Overflow Status (Optional)	受信バッファの空きクレジットよりも大きなサイズの TLP を受信したことを示します。 0: エラー未検出 1: エラー検出
16	Unexpected Completion Status	Completion を受信したが、対応する Non-Posted Request 送信の記録がない(Transaction Descriptor が一致しなかった)ことを示します。 0: エラー未検出 1: エラー検出
15	Completer Abort Status (Optional)	Non-Posted Request を受信後、Completion Status が Completer Abort(CA)である Completion を返送したことを示します。 0: エラー未検出 1: エラー検出
14	Completion Timeout Status	Non-Posted Request を送信後、規定時間内に対応する Completion を受信しなかったことを示します。 0: エラー未検出 1: エラー検出
13	Flow Control Protocol Error Status (Optional)	Not Implemented (0b 固定)
12	Poisoned TLP Status	Poisoned TLP(payload 有りでヘッダの EP フィールドが 1b)の TLP を受信したことを示します。 0: エラー未検出 1: エラー検出
11:6	Reserved	(000000b 固定)
5	Surprise Down Error Status (Optional)	Not Implemented (0b 固定)
4	Data Link Protocol Error Status	Data Link Layer において Sequence Number エラーを検出したことを示します。 0: エラー未検出 1: エラー検出
3:1	Reserved	(00b 固定)
0	Undefined	(0b 固定)

(Uncorrectable Error Mask Register)

Bit	Field	Description
31:22	Reserved	(000h 固定)
21	ACS Violation Mask	ACS は現在未サポートです。0b 固定
20	Unsupported Request Error Mask	Unsupported Request Error 検出時に Root Complex へのエラー通知をマスクします。 0b: マスクなし 1b: Error Message 送信、Header Log レジスタへのヘッダ記録、First Error Pointer の Update をマスク
19	ECRC Error Mask (Optional)	ECRC Error を受信したことを示します。 0b: マスクなし 1b: マスク
18	Malformed TLP Mask	Malformed TLP Error 検出時に Root Complex へのエラー通知をマスクします。 0b: マスクなし 1b: Error Message 送信、Header Log レジスタへのヘッダ記録、First Error Pointer の Update をマスク
17	Receiver Overflow Mask (Optional)	Receiver Overflow Error 検出時に Root Complex へのエラー通知をマスクします。 0b: マスクなし 1b: Error Message 送信、First Error Pointer の Update をマスク
16	Unexpected Completion Mask	Unexpected Completion Error 検出時に Root Complex へのエラー通知をマスクします。 0b: マスクなし 1b: Error Message 送信、Header Log レジスタへのヘッダ記録、First Error Pointer の Update をマスク
15	Completer Abort Mask (Optional)	Completion Abort Error 検出時に Root Complex へのエラー通知をマスクします。 0b: マスクなし 1b: Error Message 送信、Header Log レジスタへのヘッダ記録、First Error Pointer の Update をマスク
14	Completion Timeout Mask	Completion Timeout Error 検出時に Root Complex へのエラー通知をマスクします。 0b: マスクなし 1b: Error Message 送信、First Error Pointer の Update をマスク
13	Flow Control Protocol Error Mask (Optional)	Not Implemented (0b 固定)

(Advanced Error Capabilities and Control)

Bit	Field	Description
31:9	Reserved	(000000h 固定)
8	ECRC Check Enable	ECRC Check の Enable 設定 0b: Disable 1b: Enable (Default)
7	ECRC Check Capable	ECRC Check 機能の搭載有無 0b: なし 1b: あり
6	ECRC Generation Enable	ECRC Generation の Enable 設定 0b: Disable 1b: Enable (Default)
5	ECRC Generation Capable	ECRC Generation 機能の搭載有無 0b: なし 1b: あり
4:0	First Error Pointer	最初に検出した Uncorrectable Error について、Uncorrectable Error Status レジスタのフィールド値を示します

(8) Configuration Space 11Ch (Header Log Register 0)

Header of TLP associated with error 0

Bits	#	0
Default	00000000000000000000000000000000	
Reset		
RST_LOAD_B		—
RST_RSM_B		—
RST_CFG_B		—
Attribute		
EP UDL		RO
EP PCIe		RO
FLR		—

Bit	Field	Description
31:0	Header of TLP associated with error 0	最初に検出した Uncorrectable Error について、Header の 1～4 DW 目を示します。

(9) Configuration Space 120h (Header Log Register 1)

Header of TLP associated with error 1

Bits	#	0
Default	00000000000000000000000000000000	
Reset		
RST_LOAD_B		—
RST_RSM_B		—
RST_CFG_B		—
Attribute		
EP UDL		RO
EP PCIe		RO
FLR		—

Bit	Field	Description
31:0	Header of TLP associated with error 1	最初に検出した Uncorrectable Error について、Header の 1～4 DW 目を示します。

(10) Configuration Space 124h

(Header Log Register 2)

Bits	#	0
Default	00000000000000000000000000000000	
Reset		
RST_LOAD_B		—
RST_RSM_B		—
RST_CFG_B		—
Attribute		
EP UDL		RO
EP PCIe		RO
FLR		—

Bit	Field	Description
31:0	Header of TLP associated with error 2	最初に検出した Uncorrectable Error について、Header の 1～4 DW 目を示します。

(11) Configuration Space 128h

(Header Log Register 3)

Bits	#	0
Default	00000000000000000000000000000000	
Reset		
RST_LOAD_B		—
RST_RSM_B		—
RST_CFG_B		—
Attribute		
EP UDL		RO
EP PCIe		RO
FLR		—

Bit	Field	Description
31:0	Header of TLP associated with error 3	最初に検出した Uncorrectable Error について、Header の 1～4 DW 目を示します。

(12) Configuration Space 12Ch (Root Error Command)

Reserved																														Correctable Error Reporting Enabl. Correctable Error Reporting Enabl. Correctable Error Reporting Enabl.			
Bits	#																													3	2	1	0
Default	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Reset																																	
RST_LOAD_B	—																													—	—	—	—
RST_RSM_B	—																													—	—	—	—
RST_CFG_B	—																													0	0	0	0
Attribute																																	
EP UDL	RO																													RO	RO	RO	RO
EP PCIe	RO																													RO	RO	RO	RO
FLR	—																													—	—	—	—

注) Read Complex 用レジスタ、Endpoint では使用しません。

(13) Configuration Space 130h (Root Error Status)

Advanced Error Interrupt Message Number																														Reserved						Fatal Error Message Received								Non-Fatal Error Message Received								First Uncorrectable Error Received								Multiple Error_FATAL/NonFatal Received								Multiple Error_COR Received																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
Bits	#																												#		#																														7	6	5	4	3	2	1	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
Default	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0</

注) Read Complex 用レジスタ、Endpoint では使用しません。

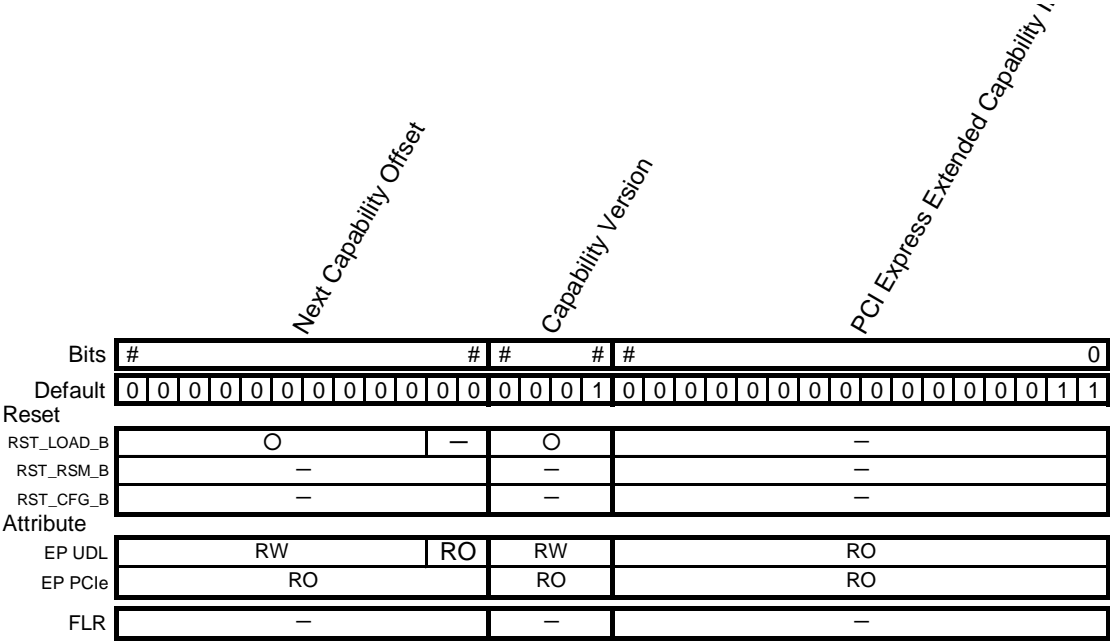
(14) Configuration Space 134h

(Error source Identification Register)

ERR_FATAL/NONFATAL Source Identification			ERR_COR Source Identification		
Bits	#	#	#	#	0
Default	0	0	0	0	0
Reset	0	0	0	0	0
RST_LOAD_B	—			—	
RST_RSM_B	○			○	
RST_CFG_B	—			—	
Attribute					
EP UDL	RO			RO	
EP PCIe	RO			RO	
FLR	—			—	

注) Read Complex 用レジスタ、Endpoint では使用しません。

24.14.4.7 Device Serial Number Capability
(1) Configuration Space 140h (Device Serial Number Enhanced Capability)



Bit	Field	Description
31:20	Next Capability Offset	DeviceSerialNumberCapability の開始アドレスを示します。 下位 2bit は 0 固定 000b : PCI Express Extended Capability の最終 List であることを示す
19:16	Capability Version	Capability Structure のバージョンを示します。 Default : 0001b
15:0	PCI Express Extended Capability ID	Advanced Error Reporting Capability を示します。 Default: 0003h

(Serial Number Register (Lower DW))

PC/Express Device Serial Number
(Lower DW)

Bits	#	0
Default	0 0	
Reset		
RST_LOAD_B		O
RST_RSM_B		—
RST_CFG_B		—
Attribute		
EP UDL		RW
EP PCIe		RO
FLR		—

Bit	Field	Description
31:0	PCI Express Device Serial Number (Lower DW)	This field contains the IEEE defined 64-bit extended unique identifier (EUI-64™). This identifier includes a 24-bit company id value assigned by IEEE registration authority and a 40-bit extension identifier assigned by the manufacturer.

(Serial Number Register (Upper DW))

PCI Express Device Serial Number
(UpperDW)

Bits	#	0
Default	0 0	
Reset		
RST_LOAD_B		O
RST_RSM_B		—
RST_CFG_B		—
Attribute		
EP UDL		RW
EP PCIe		RO
FLR		—

Bit	Field	Description
31:0	PCI Express Device Serial Number (Upper DW)	This field contains the IEEE defined 64-bit extended unique identifier (EUI-64™). This identifier includes a 24-bit company id value assigned by IEEE registration authority and a 40-bit extension identifier assigned by the manufacturer.

24.14.4.8 Special Register

以下に示す **Mask Register** は、該当する **Base Address Register** のどのビットを **0b** 固定にするかを設定します。例えば、**Base Address Register Mask00 [15:0]** ビットを全て **1** に設定すると、**Base Address Register 0** の **[15:0]** が **0b** 固定となり、**Host** に対して **16bit** のアドレス空間を要求することになります。
(**Base Address Register 0** の **bit15~bit4** が **0** 固定となり、**Host** に **64KByte** のメモリ空間を要求します)

(1) Configuration Space 0A0h (Base Address Register Mask00 (Lower))

	#	#	#
Base Address Register Mask00 (Lower)			
Bits	# #		
Default Reset	0 1 1 1 1 1 1 1 1 1 1 1 1		
RST_LOAD_B	O		
RST_RSM_B	—		
RST_CFG_B	—		
Attribute			
EP UDL	RW		
EP PCIe	RO		
FLR	—		

Bit	Field	Description
31:0	Base Address Register Mask00 (Lower)	Base Address Register 0 (BAR0)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(2) Configuration Space 0A4h (Base Address Register Mask00 (Upper))

Base Address Register Mask00 (Upper)	
Bits	#
Default Reset	0 0
RST_LOAD_B	O
RST_RSM_B	—
RST_CFG_B	—
Attribute	
EP UDL	RW
EP PCIe	RO
FLR	—

Bit	Field	Description
31:0	Base Address Register Mask00 (Upper)	Base Address Register 0 (BAR0)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(3) Configuration Space 0A8h (Base Address Register Mask01 (Lower))

Base Address Register Mask01 (Lower)

Bits	#	#	#	0
Default	0	0	0	0
Reset	0	0	0	0
RST_LOAD_B	○			
RST_RSM_B	—			
RST_CFG_B	—			
Attribute				
EP UDL	RW			
EP PCIe	RO			
FLR	—			

Bit	Field	Description
31:0	Base Address Register Mask01 (Lower)	Base Address Register 2 (BAR2)およびBase Address Register 3 (BAR3)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(4) Configuration Space 0ACh (Base Address Register Mask01 (Upper))

Base Address Register Mask01 (Upper)

Bits	#	0
Default	0	0
Reset	0	0
RST_LOAD_B	○	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RW	
EP PCIe	RO	
FLR	—	

Bit	Field	Description
31:0	Base Address Register Mask01 (Upper)	Base Address Register 2 (BAR2)およびBase Address Register 3 (BAR3)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(Base Address Register Mask02 (Lower))

Base Address Register Mask0₂
(Lower)

Bits	#	#	#	0
Default	0	0	0	0
Reset	0	0	0	0
RST_LOAD_B	O			
RST_RSM_B	—			
RST_CFG_B	—			
Attribute				
EP UDL	RW			
EP PCIe	RO			
FLR	—			

Bit	Field	Description
31:0	Base Address Register Mask02 (Lower)	Base Address Register 3 (BAR3)およびBase Address Register 4 (BAR4)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(Base Address Register Mask02 (Upper))

Base Address Register Mask0₂
(Upper)

	Bits	#
Default	0 0	0
Reset		
RST_LOAD_B		O
RST_RSM_B		—
RST_CFG_B		—
Attribute		
EP UDL		RW
EP PCIe		RO
FLR		—

Bit	Field	Description
31:0	Base Address Register Mask02 (Upper)	Base Address Register 3 (BAR3)およびBase Address Register 4 (BAR4)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(7) Configuration Space 0C0h (Base Size 00)

Bits	#	# 9	0
Default	0	0	0
Reset	0	0	0
RST_LOAD_B	—		0
RST_RSM_B	—		—
RST_CFG_B	—		—
Attribute			
EP UDL	RO		RW
EP PCIe	RO		RO
FLR	—		—

Bit	Field	Description
31:10	Reserved	(000000h固定)
9:0	Base Size 00	Base Address RegisterおよびBase Address Mask Registerで設定したAddress Space (CFG_SPACE00_BASE) で受け入れられる、TLP (DW Size) のサイズを設定します。ここで設定したサイズより大きいパケット長のTLPを受信した場合 (Max Payload Sizeより小さかったとしても)、Completer Abort Error (CA) を検出します。 なお、デフォルト値は0000000000bでこの場合、この機能は無効となります。

(8) Configuration Space 0C4h (Base Size 01)

Bits	#	# 9	0
Default	0	0	0
Reset	0	0	0
RST_LOAD_B	—		0
RST_RSM_B	—		—
RST_CFG_B	—		—
Attribute			
EP UDL	RO		RW
EP PCIe	RO		RO
FLR	—		—

Bit	Field	Description
31:10	Reserved	(000000h固定)
9:0	Base Size 01	Base Address RegisterおよびBase Address Mask Registerで設定したAddress Space (CFG_SPACE01_BASE) で受け入れられる、TLP (DW Size) のサイズを設定します。ここで設定したサイズより大きいパケット長のTLPを受信した場合 (Max Payload Sizeより小さかったとしても)、Completer Abort Error (CA) を検出します。 なお、デフォルト値は0000000000bでこの場合、この機能は無効となります。

(9) Configuration Space 0C8h (Base Size 02)

Bits	#	#	9	0
Default	0	0	0	0
Reset	0	0	0	0
RST_LOAD_B	—	—	—	0
RST_RSM_B	—	—	—	—
RST_CFG_B	—	—	—	—
Attribute	—	—	—	—
EP UDL	RO	RO	RO	RW
EP PCIe	RO	RO	RO	RO
FLR	—	—	—	—

Bit	Field	Description
31:10	Reserved	(000000h固定)
9:0	Base Size 02	Base Address RegisterおよびBase Address Mask Registerで設定したAddress Space (CFG_SPACE02_BASE) で受け入れられる、TLP (DW Size) のサイズを設定します。ここで設定したサイズより大きいパケット長のTLPを受信した場合 (Max Payload Sizeより小さかったとしても)、Completer Abort Error (CA) を検出します。 なお、デフォルト値は0000000000bでこの場合、この機能は無効となります。

(10) Configuration Space 0D0h (Type Supported)

Bits	#	#	#	#	8	7	0
Default	0	0	0	0	0	0	0
Reset	0	0	0	0	0	0	0
RST_LOAD_B	—	—	—	—	—	—	—
RST_RSM_B	—	—	—	—	—	—	—
RST_CFG_B	—	—	—	—	—	—	—
Attribute	—	—	—	—	—	—	—
EP UDL	RO	RO	RO	RO	RO	RO	RO
EP PCIe	RO	RO	RO	RO	RO	RO	RO
FLR	—	—	—	—	—	—	—

Bit	Field	Description
31:24	Reserved	(00h固定)
23:16	Type Supported 02	Space02 (CFG_SPACE02_BASE) でサポート可能なTransaction Typeを設定します。各々のビットの意味は欄外を参照下さい。
15:8	Type Supported 01	Space01 (CFG_SPACE01_BASE) でサポート可能なTransaction Typeを設定します。各々のビットの意味は欄外を参照下さい。
7:0	Type Supported 00	Space00 (CFG_SPACE00_BASE) でサポート可能なTransaction Typeを設定します。各々のビットの意味は欄外を参照下さい。

Bit0: Memory read 32 bit
 Bit2: Memory read lock 32 bit
 Bit4: Memory write 32 bit
 Bit6: IO Read

Bit1: Memory read 64 bit
 Bit3: Memory read lock 64 bit
 Bit5: Memory write 64 bit
 Bit7: IO Write

24.14.5 レジスタ一覧（Root Complex 用）

Root Complex 用の Configuration Registers 一覧を示します。

Dual でお使いいただく場合には、表中の網掛け部のレジスタが PCIEX_MODE_PORT（Device Type 設定）端子で切り替わる構成となっています。

24.14.5.1 List of Root Complex (Type1 Registers)

表 24-16 に Root Complex の Configuration Register 一覧を示します。

Root Complex の Configuration Register のベースアドレスは、6FED_1000h になります。

表 24-16 PCI Express Configuration Registers (Root Complex)

Byte Offset	31				0
Common Configuration Space					
000h	Device ID			Vendor ID	
004h	Status			Command	
008h	Class Code				Revision ID
00Ch	BIST	Header Type	Master Latency Timer		Cash Line Size
Type1 Configuration Space					
010h	Base Address Register 0				
014h	Base Address Register 1				
018h	Secondary Latency	Subordinate Bus #	Secondary Bus #	Primary Bus #	
01Ch	Secondary Status		I/O Limit	I/O Base	
020h	Memory Limit		Memory Base		
024h	Prefetchable Memory Limit		Prefetchable Memory Base		
028h	Prefetchable Base Upper 32 Bits				
02Ch	Prefetchable Limit Upper 32 Bits				
030h	I/O Limit Upper 16 Bits		I/O Base Upper 16 Bits		
034h	Reserved				Capabilities Pointer
038h	Reserved (Expansion ROM Base Address)				
03Ch	Bridge Control		Interrupt Pin	Interrupt Line	
PCI Power Management Capability Structure					
040h	Power Management Register Capability Register		Next Capability Pointer	Capability ID	
044h	Data	Power Management Status Register			
MSI and MSI-X Capability Structure					
050h	MSI Capability Register				
054h	MSI Address Lower 32 Bits				
058h	MSI Address Upper 32 Bits				
05Ch	MSI Data				
PCI Express Capability Structure					
060h	PCI Express Capability Register		Next Cap Pointer	PCIe Cap ID	
064h	Device Capabilities				
068h	Device Status		Device Control		
06Ch	Link Capabilities				
070h	Link Status		Link Control		
074h	Slot Capabilities				
078h	Slot Status		Slot Control		
07Ch	Root Capabilities		Root Control		
080h	Root Status				
084h	Device Capabilities 2				
088h	Device Status 2		Device Control 2		
08Ch	Link Capabilities 2				

Byte Offset	31	0
090h	Link Status 2	Link Control 2
094h	Slot Capabilities 2	
098h	Slot Status 2	Slot Control 2
Advanced Error Reporting (AER) Capability		
100h	PCI Express Enhanced Capability Header	
104h	Uncorrectable Error Status Register	
108h	Uncorrectable Error Mask Register	
10Ch	Uncorrectable Error Severity Register	
110h	Correctable Error Status Register	
114h	Correctable Error Mask Register	
118h	Advanced Error Capabilities and Control Register	
11Ch	Header Log Register 0	
120h	Header Log Register 1	
124h	Header Log Register 2	
128h	Header Log Register 3	
12Ch	Root Error Command	
130h	Root Error Status	
134h	Error Source Identification Register	Correctable Error Source Identification Register
Device Serial Number Capability		
140h	PCI Express Enhanced Capability Header	
144h	Serial Number Register (Lower DW)	
148h	Serial Number Register (Upper DW)	
Special Register		
0A0h	Base Address Register Mask00 (Lower)	
0A4h	Base Address Register Mask00 (Upper)	
0A8h	Base Address Register Mask01 (Lower)	
0ACh	Base Address Register Mask01 (Upper)	
0B0h	Base Address Register Mask02 (Lower)	
0B4h	Base Address Register Mask02 (Upper)	
0B8h	Reserved	
0BCh	Reserved	
0C0h	Base Size 00	
0C4h	Base Size 01	
0C8h	Base Size 02	
0CCh	Reserved	
0D0h	Type Supported	

備考) MSI-X Capability Register は未対応となっています。

24.14.5.2 Gen2 用レジスタ一覧

Base Spec2.0 で追加になり、Gen2 でのみ使用するレジスタが存在します。表 24-17 に、それらレジスタ一覧を示します。ここに示したレジスタは、JL-086A では(Gen1 Rootcomplex 使用時には)Reserved となります。

表 24-17 Registers for Gen2 Endpoint

offset	bit	Description
PCI Express Capability Structure		
090h	Link Control 2, Status 2 Register	
	16	Current De-emphasis Level
	12	Compliance De-emphasis
	11	Compliance SOS
	10	Enter Modified Compliance
	9:7	Transmit Margin
	6	Selectable De-emphasis
	5	Hardware Autonomous Speed Disable
	4	Enter Compliance
	3:0	Target Link Speed
Advanced Error Reporting Capability		
104h	Uncorrectable Error Status Register	
	21	ACS Violation Status
108h	Uncorrectable Error Mask Register	
	21	ACS Violation Mask
10Ch	Uncorrectable Error Severity Register	
	21	ACS Violation Severity

24.14.5.3 属性が変わるレジスタ

Capability やサポート状況によって、レジスタ属性が変わるレジスタが存在します。

表 24-18 にレジスタ一覧を示します。

表 24-18 Attribute change by Capability/Support Function

offset	bit	Description	Condition	Change Attribute
PCI-Compatible Configuration Registers (Type0 Configuration Space Header)				
Command and Status Register				
004h	0	I/O Space Enable	I/O Space をサポートしていない。 (MODE_CFG_SPACE=2'b1x 以外するとき)	Reserved
PCI Express Capability Structure				
Command and Status Register				
06Ch	6	Link Bandwidth Notification Capability	Link Capabilities (offset 0Ch) Maximum Link Width(bit9:4)=1 & Supported Link Speed (bit3:0)=1 のとき	Reserved
070h	Link Control/Status Register			
	31	Link Autonomous Bandwidth Status	Link Capabilities (offset 06Ch) Link Bandwidth Notification Capability (bit21)をサポートしていないとき	Reserved
	30	Link Bandwidth Management Status	Link Capabilities (offset 06Ch) Link Bandwidth Notification Capability (bit21)をサポートしていないとき	Reserved
	29	Data Link Layer Link Active	Link Capabilities (offset 06Ch) Data Link Layer Link Active Reporting Capability (bit20)をサポートしていないとき	Reserved
	11	Link Autonomous Bandwidth Interrupt Enable	Link Capabilities (offset 06Ch) Link Bandwidth Notification Capability (bit21)をサポートしていないとき	Reserved
	10	Link Bandwidth	Link Capabilities (offset 06Ch)	Reserved

offset	bit	Description	Condition	Change Attribute
		Management Interrupt Enable	Link Bandwidth Notification Capability (bit21)をサポートしていないとき	
Slot Capabilities Register				
074h	31:0	all	PCI Express Capabilities (offset 060h) Slot Implemented (bit24)=0 のとき	Reserved
Slot Control/Status Register				
078h	31:0	all	PCI Express Capabilities (offset 060h) Slot Implemented (bit24)=0 のとき	Reserved
	31:16	Slot Status Register (bit 22 除く)	PCI Express Capabilities (offset 060h) Slot Implemented (bit24)=0 のとき	Reserved
Slot Control/Status Register				
078h	22	Presence Detect State	PCI Express Capabilities (offset 060h) Slot Implemented (bit24) =0 のとき	1b
	20	Command Completed	Slot Capabilities (offset: 074h) No Command Completed Support (bit18) =1 のとき	Reserved
	12	Data Link Layer State Changed Enable	Link Capabilities Register(offset: 06Ch) Data Link Layer Link Active Reporting Capability (bit20)=0 のとき	RO (0b)
	11	Electromechanical Interlock Control	Slot Capabilities(offset: 074h) Electromechanical Interlock Present (bit17)=0 のとき	Read 値は 0b
	10	Power Controller Control	Slot Capabilities (offset: 074h) Power Controller Present (bit 1)=0 のとき	Read 値は undefined
	9:8	Power Indicator Control	Slot Capabilities (offset: 074h) Power Indicator Present (bit4) =1 のとき	RO (0b)
	7:6	Attention Indicator Control	Slot Capabilities (offset: 074h) Attention Indicator Present (bit3) =1 のとき	RO (0b)
	5	Hot-Plug Interrupt Enable	Slot Capabilities (offset: 074h) Hot-Plug Capable(bit6) =1 のとき	RO (0b)
	4	Command Completed Interrupt Enable	Slot Capabilities (offset: 074h) No Command Completed Support (bit18) =1 のとき	Reserved
	3	Presence Detect Changed Enable	Slot Capabilities (offset: 074h) Hot-plug Capable (bit6) =0 のとき	RO (0b)
	2	MRL Sensor Changed Enable	Slot Capabilities (offset: 074h) MRL Sensor Present (bit2) =0 のとき	RO (0b)
	1	Power Fault Detected Enable	Slot Capabilities (offset: 074h) Power Control Preset (bit1) =0 のとき	RO (0b)
	0	Attention Button Pressed Enable	Slot Capabilities (offset: 074h) Attention Button Present (bit0) =0 のとき	RO (0b)
Root Control/Capabilities Register				
07Ch	4	CRS Software Visibility Enable	Root Capabilities (offset 07Ch) CRS Software Visibility (bit16) =0 のとき	Reserved
Device Control/Status 2 Register				
088h	4	Completion Timeout Disable	Device Capabilities 2 Register (Offset: 084h), Completion Timeout Disable Supported bit[4] = 0 のとき	Reserved
	3:0	Completion Timeout Value	Device Capabilities 2 Register (Offset: 084h), Completion Timeout Ranges Supported bit[3:0] = 0 のとき	Reserved

24.14.6 Root Complex 用 Type レジスタ機能説明

【表の見方】

Register 構成表 :

1 アドレス (32bit) ごとにレジスタの構成を表します。

Bits	#	#	#	0	レジスタ名を表します。 ← 赤文字はGen2モードのみのレジスタを示します。Gen1モードではReserved Bitとなります。
Default RST_	0000h	1033h			← レジスタの配置されているビットを示します。 ← 初期値を示します。
LOAD_B	—	—	○		↗ 有効なリセット信号を示します。
CFHG_B	○	—	—		
RSM_B	—	—	—		
Attribute					← レジスタの属性を示します。 各々の詳細は下表を参照ください。
RC	Hwlnit	Hwlnit			

レジスタ属性は、RC (Root Complex)/EP (Endpoint)で異なります。
また、EPモードではPCI Express側からのアクセス (TE Forward Local Bus Access)とUDL (Sprite-AXIではAXIブリッジ)側からのアクセス (BME Local Bus Access)とでレジスタの属性が異なります。

Register 機能説明 :

配置されたビット、レジスタ名および機能説明を記載しています。

表 24-19 に各レジスタのタイプを示します。

表 24-19 Configuration Register Type

Register Attribute	Description
Hwlnit	Hardware Initialized Hardwired されることを示します。
RO	Read-only PCIe 側から Read のみ可能なレジスタであることを示します。
RW	Read-Write PCIe 側から Read/Write 可能なレジスタであることを示します。
RWIC	Write-1-to-clear status PCIe 側から Read のみ可能なレジスタで 1b を Write することで 0b にクリアすることができます。0b を Write した場合はなにも変わりません。
ROS	Sticky - Read-only Root Complex からの Configuration Request TLP によって Read 可能なレジスタであり、Resume reset でリセットされるレジスタであることを示します。
RWS	Sticky - Read-Write Root Complex からの Configuration Request TLP によって Read/Write 可能なレジスタであり、Resume reset でリセットされるレジスタであることを示します。
RWICS	Sticky - Write-1-to-clear status Root Complex からの Configuration Request TLP によって Read のみ可能なレジスタで、1b を Write することで 0b にクリアすることができ、かつ Resume reset でリセットされるレジスタであることを示します。

24.14.6.1 Common Configuration Space

(1) Configuration Space 000h (Vendor and Device ID)

	Device ID	Vendor ID
Bits	#	#
Default	0000h or Parameter	0000h or Parameter
Reset		
RST_LOAD_B	○	○
RST_RSM_B	—	—
RST_CFG_B	—	—
Attribute		
RC	Hwlnit	Hwlnit

Bit	Field	Description
31:16	Device ID	デバイスの製造メーカを表します。 固定値を設定してください。初期値はパラメータ設定可能です。
15:0	Vendor ID	Vendor ID で指定されるメーカが、製造したデバイスを識別するために使用します。 固定値を設定してください。初期値はパラメータ設定可能です。

(2) Configuration Space 004h (Comand and Status)

Device Error Interrupt Status Register																												Device Error Response Register								Device Error Enable Register			
Bits	#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	9	8	7	6	5	3	2	1	0												
Default	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0											
Reset	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—											
RST_LOAD_B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—											
RST_RSM_B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—											
RST_CFG_B	—	O	—	—	—	—	O	—	—	O	O	—	—	—	—	O	—	O	—	O	—	—	—	—	O	O	O	—											
Attribute	RO	RW 1C	RO	RO	RO	RO	RW 1C	RO	RO	RO	RO	RO	RO	RO	RO	RW	RO	RW	RO	RW	RO	RW	RO	RO	RW	RW	RW	RW											
RC	RO	RW 1C	RO	RO	RO	RO	RW 1C	RO	RO	RO	RO	RO	RO	RO	RO	RW	RO	RW	RO	RW	RO	RW	RO	RO	RW	RW	RW	RW											

Bit	Field	Description
31	Detected Parity Error	Root Complex デバイスには適用されません。 0b 固定。
30	Signaled System Error	SERR Enable ビットが 1b で、このマクロが ERR_FATAL または ERR_NONFATAL の Message を送信した時に 1b にセットされます。
29	Received Master Abort	Root Complex デバイスには適用されません。 0b 固定。
28	Received Target Abort	Root Complex デバイスには適用されません。 0b 固定。
27	Signaled Target Abort	Root Complex デバイスには適用されません。 0b 固定。
26:25	DEVSEL Timing	Reserved; Doesn't apply to PCI Express.
24	Master Data Parity Error	Parity Error Response ビットが 1b に設定されていて、以下の 2 つの条件が発生した時に 1b にセットされます。 3) Requester(BME)が Poisoned の Completion TLP を受信した。 4) Requester(BME)が Poisoned の Write Request TLP を送信した。 Parity Error Response ビットが 0b の場合、本ビットは 1b にセットされません。
23:21	Reserved	(000b 固定)

Bit	Field	Description
20	Capabilities List	全ての PCI Express デバイスは PCI Express Capability を実装する必要があるもので本ビットは 1b 固定になります。
19	Interrupt Status	デバイスの割り込みの状態を示します。
18:11	Reserved	(00000000b 固定)
10	Interrupt Disable	Assert_INTx Message の送信を抑止します。 1b にセットされた場合、INTx Message を送信できません。 Assert_INTx の Message を送信した状態で、このビットが 1b にセットされた場合は Deassert_INTx Message を送信する必要があります。
9	Reserved	(0b 固定)
8	SERR# Enable	1b にセットした場合、Non-Fatal Error や Fatal Error を Message Transaction によって Root Complex に通知します。 注) このビットが設定されていなくても、PCI Express Capability の Device Control レジスタの Error Reporting 関係のビットが"1"にセットされたら Message Transaction により Root Complex にエラー通知を行います。
7	Reserved	(0b 固定)
6	Parity Error Response	Poisoned TLP を送信・受信した場合の動作を制御します。 注) Status レジスタの Detected Parity Error フィールド、PCI Express Capability の Device Status レジスタ、Advanced Error Reporting Capability の Uncorrectable Error Status レジスタへの Error Logging は、このビットの設定に関わらず行います。
5:3	Reserved	(000b 固定)
2	Bus Master Enable	バス・マスタとして動作するかどうかを制御します。
1	Memory Space Enable	メモリ空間へのアクセスに対して、デバイスが応答するかどうか制御します。
0	I/O Space Enable	I/O 空間へのアクセスに対してデバイスが応答するかどうか制御します

(3) Configuration Space 008h (Revision ID and Class Code)

		Class Code		Revision ID	
Bits	#	8	7	0	
Default	060000h or Parameter			00h or Parameter	
Reset					
RST_LOAD_B	○			○	
RST_RSM_B	—			—	
RST_CFG_B	—			—	
Attribute					
RC	Hwlnit			Hwlnit	

Bit	Field	Description
31:8	Class Code	デバイスの種類、機能を示す情報で、値の定義は PCI SIG によって以下の 2 つのバイトに分けられます。 31:24 base class: 23:16 sub-class: 15:8 programming interface: 固定値を設定してください。初期値はパラメータ設定可能です。
7:0	Revision ID	Vendor ID と Device ID で指定される特定のデバイスについて、その Revision を表すために使用される 8bit の ID。 固定値を設定してください。初期値はパラメータ設定可能です。

(Cache Line and Header Type)

	BIST		Header Type		Master Latency Timer		Cache Line Size	
Bits	#	#	#	#	8	7		0
Default	00h		01h		00h		00h	
Reset								
RST_LOAD_B	—		—		—		—	
RST_RSM_B	—		—		—		—	
RST_CFG_B	—		—		—		0	
Attribute								
RC	RO		RO		RO		RW	

Bit	Field	Description
31:24	BIST	BIST レジスタの機能はサポートしないので 00h 固定になります。
23:16	Header Type	Root Complex: 01h 固定。
15:8	Master Latency Timer	Master Latency Timer レジスタは PCI Express では使用しないため、00h 固定になります。
7:0	Cache Line Size	Legacy Compatibility のために Read/Write 可能なフィールドとして実装されますが設定された値は、このデバイスに何も影響を与えません。

24.14.6.2 Type1 Configuration Space

(1) Configuration Space 010h (Base Address Register 0)

このレジスタは、64bits Memory Space となります。

		Base Address Register 0					Prefetch Type Reserved Memory Space Indicator			
Bits	#						4	3	2	1 0
Default		0000000h					0	1	0	0
Reset										
RST_LOAD_B		—					0	—	—	—
RST_RSM_B		—					—	—	—	—
RST_CFG_B		0					—	—	—	—
Attribute										
RC		RW					Hw init	RO	RO	RO

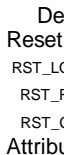
Bit	Field	Description
31:4	Base Address Register 0	ベースアドレスを示します。必要とするアドレス・ブロックの大きさに合わせて、このフィールドの下位の何ビットかは 0b 固定の Read Only ビットとして実装します。このマクロでは Read Only ビットを Base Address 0 Mask レジスタ (Offset: 0A0h) で設定可能です。
3	Prefetch	0: disable, 1: enable
2	Type	0: 32 bit address, 1: 64 bit address 64bitAddress を使用するため 1b 固定
1	Reserved	(0b 固定)
0	Memory Space Indicator	メモリ空間を示すため 0b 固定になります。

(2) Configuration Space 014h (Base Address Register 1)

		Base Address Register 1				
Bits	#					
Default		00000000h				
Reset						
RST_LOAD_B		—				
RST_RSM_B		—				
RST_CFG_B		0				
Attribute						
RC		RW				

Bit	Field	Description
31:0	Base Address Register 1	Base Address Register 1 (64bit Upper Address) ベースアドレスの上位 32 ビットを示します。

(Bus Number Register)



Bit	Field	Description
31:24	Secondary Latency Timer	PCI Express では使用しないため、00h 固定になります。
23:16	Subordinate Bus Number	<p>Subordinate Bus Number を設定します。</p> <p>The Subordinate Bus Number register is used to record the bus number of the highest numbered PCI bus segment which is behind (or subordinate to) the bridge. Configuration software programs the value in this register. The bridge uses this register in conjunction with the Secondary Bus Number register to determine when to respond to a Type 1 configuration transaction on the primary interface and to pass it to the secondary interface.</p> <p>The bridge also uses the Secondary Bus Number register and the Subordinate Bus Number register to determine when to forward Type 1 configuration transactions upstream. A bridge must implement this register as a read/write register and the default state after reset must be zero.</p>
15:8	Secondary Bus Number	<p>Secondary Bus Number を設定します。</p> <p>The Secondary Bus Number register is used to record the bus number of the PCI bus segment to which the secondary interface of the bridge is connected. Configuration software programs the value in this register. The bridge uses this register to determine when to respond to a Type 1 configuration transaction on the primary interface and convert it to a Type 0 transaction on the secondary interface. The bridge also uses the Secondary Bus Number register and the Subordinate Bus Number register to determine when to forward Type 1 configuration transactions upstream. A bridge must implement this register as a read/write register and the default state after reset must be zero.</p>
7:0	Primary Bus Number	<p>Primary Bus Number を設定します。</p> <p>The Primary Bus Number register is used to record the bus number of the PCI bus segment to which the primary interface of the bridge is connected. Configuration software programs the value in this register. The bridge uses this register to decode Type 1 configuration transactions on the secondary interface that must be converted to Special Cycle transactions on the primary interface. A bridge must implement this register as a read/write register and the default state after reset must be zero.</p>

(I/O Base/ Limit and Secondary Status)

Bit	Field	Description
31	Detected Parity Error	Bridge Control and Interrupt Register (Offset:03Ch) 内のParity Error Response Enable ビットの設定にかかわらず、Poisoned TLPを受信した場合1bにセットされます。
30	Received System Error	ERR_FATALもしくはERR_NONFATAL Messageを受信した時に1bにセットされます。
29	Received Master Abort	Completion Status フィールドが Unsupported Request の Completion を受信した時に 1b にセットされます。
28	Received Target Abort	Completion Status フィールドが Completer Abort の Completion を受信した時に 1b にセットされます。
27	Signaled Target Abort	Completion Status フィールドがCompleter Abort (Posted or Non-Posted Request) のCompletionを送信した時に1bにセットされます。
26:25	DEVSEL# Timing	PCI Express では使用しないため、00h 固定になります。
24	Master Data Parity Error	Parity Error Response ビットが 1b に設定されていて、以下の 2 つの条件が発生した時に 1b にセットされます。 1) Requester(BME)が Poisoned の Completion TLP を受信した。 2) Requester(BME)が Poisoned の Write Request TLP を送信した。 Parity Error Response ビットが 0b の場合、本ビットは 1b にセットされません。
23	Fast Back-to-Back Transactions Capable	PCI Express では使用しないため、00h 固定になります。
22	Reserved	(0b固定)
21	66MHz Capable	PCI Expressでは使用しないため、00h固定になります。
20:16	Reserved	(00000b固定)
15:8	I/O Limit	The lower nibble of base and limit are read only. The upper nibble is read/write. These bits have no affect on macro functionality.
7:0	I/O Base	

(5) Configuration Space 020h**(Memory Base/ Limit Register)**

	Memory Limit												Memory Base																	
Bits	#												#	#	0															
Default	0000h												0000h																	
Reset																														
RST_LOAD_B	—												—						—						—					
RST_RSM_B	—												—						—						—					
RST_CFG_B	0												—						0						—					
Attribute																														
RC	RW												RO						RW						RO					

Bit	Field	Description
31:16	Memory Limit	<p>The Memory Base and Memory Limit registers are both required registers that define a memory mapped I/O address range which is used by the bridge to determine when to forward memory transactions from one interface to the other.</p> <p>The upper 12 bits of both the Memory Base and Memory Limit registers are read/write and correspond to the upper 12 address bits of 32-bit addresses. For the purpose of address decoding, the bridge assumes that the lower 20 address bits of the memory base address (not implemented in the Memory Base register) are zero. Similarly, the bridge assumes that the lower 20 address bits of the memory limit address (not implemented in the Memory Limit register) are F FFFFh. Thus, the bottom of the defined memory address range will be aligned to a 1 MB boundary and the top of the defined memory address range will be one less than a 1 MB boundary.</p>
15:0	Memory Base	<p>The Memory Limit register must be programmed to a smaller value than the Memory Base register if there are no memory-mapped I/O addresses on the secondary side of the bridge. If there is no prefetchable memory, and there is no memory-mapped I/O on the secondary side of the bridge, then the bridge will not forward any memory transactions from the primary bus to the secondary bus and will forward all memory transactions from the secondary bus to the primary bus.</p> <p>The bottom four bits of both the Memory Base and Memory Limit registers are read-only and return zeros when read.</p> <p>These registers must be initialized by configuration software so default states are not specified.</p>

(6) Configuration Space 024h (Prefetchable Memory Base/ Limit Register)

Bits	#	#	#	0
Default	0001h		0001h	
Reset				
RST_LOAD_B	—	—	—	—
RST_RSM_B	—	—	—	—
RST_CFG_B	0	—	0	—
Attribute				
RC	RW	RO	RW	RO

Bit	Field	Description
31:16	Prefethable Memory Limit	<p>The Prefetchable Memory Base and Prefetchable Memory Limit registers are optional. They define a prefetchable memory address range which is used by the bridge to determine when to forward memory transactions from one interface to the other.</p> <p>If a bridge does not implement a prefetchable memory address range, then both Prefetchable Memory Base and Prefetchable Memory Limit registers must be implemented as read-only registers which return zero when read. If a bridge implements a prefetchable memory address range, then both of these registers must be implemented as read/write registers. If a bridge supports a prefetchable memory address range, then these registers must be initialized by configuration software so default states are not specified.</p> <p>If the bridge implements a prefetchable memory address range, the upper 12 bits of the register are read/write and correspond to the upper 12 address bits of 32-bit addresses. For the purpose of address decoding, the bridge assumes that the lower 20 address bits of the prefetchable memory base address (not implemented in the Prefetchable Memory Base register) are zero. Similarly, the bridge assumes that the lower 20 address bits of the prefetchable memory limit address (not implemented in the Prefetchable Memory Limit register) are F FFFh. Thus, the bottom of the defined prefetchable memory address range will be aligned to a 1-MB boundary and the top of the defined memory address range will be one less than a 1-MB boundary.</p>
15:0	Prefethable Memory Base	<p>The Prefetchable Memory Limit register must be programmed to a smaller value than the Prefetchable Memory Base register if there is no prefetchable memory on the secondary side of the bridge. If there is no prefetchable memory, and there is no memory-mapped I/O on the secondary side of the bridge, then the bridge will not forward any memory transactions from the primary bus to the secondary but will forward all memory transactions from the secondary bus to the primary bus.</p> <p>The bottom 4 bits of both the Prefetchable Memory Base and Prefetchable Memory Limit registers are read-only, contain the same value, and encode whether or not the bridge supports 64-bit addresses. If these four bits have the value 0h, then the bridge supports only 32 bit addresses. If these four bits have the value 01h, then the bridge supports 64-bit addresses and the Prefetchable Base Upper 32 Bits and Prefetchable Limit Upper 32 Bits registers hold the rest of the 64-bit prefetchable base and limit addresses respectively. All other encodings are reserved.</p>

(7) Configuration Space 028h**(Prefetchable Base Upper 32Bits Registers)**

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	0	
Attribute		
RC	RW	

Prefetchable Base
Upper 32Bits

Bit	Field	Description
31:0	Prefetchbale Base Upper 32bits	<p>The Prefetchable Base Upper 32 Bits and Prefetchable Limit Upper 32 Bits registers are optional extensions to the Prefetchable Memory Base and Prefetchable Memory Limit registers.</p> <p>If the Prefetchable Memory Base and Prefetchable Memory Limit registers indicate support for 32-bit addressing, then the Prefetchable Base Upper 32 Bits and Prefetchable Limit Upper 32 Bits registers are both implemented as read-only registers that return zero when read. If the Prefetchable Memory Base and Prefetchable Memory Limit registers indicate support for 64-bit addressing, then the Prefetchable Base Upper 32 Bits and Prefetchable Limit Upper 32 Bits registers are implemented as read/write registers. If these registers are implemented as read/write registers, they must be initialized by configuration software so default states are not specified.</p> <p>If a 64-bit prefetchable memory address range is supported, the Prefetchable Base Upper 32 Bits and Prefetchable Limit Upper 32 Bits registers specify the upper 32 bits of the 64-bit base and limit addresses which specify the prefetchable memory address range.</p>

(8) Configuration Space 02Ch**(Prefetchable Base Limit Upper 32Bits)**

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	0	
Attribute		
RC	RW	

Prefetchable Limit
Upper 32Bits

Bit	Field	Description
31:0	Prefetchbale Limit Upper 32bits	See above "Prefetchable Limit Lower 32bits".

(9) Configuration Space 030h

(I/O Base/ Limit Upper 16bits Register)

		I/O Limit Upper 16Bits		I/O Base Upper 16Bits	
Bits	#	#	#	#	0
Default	0001h		0001h		
Reset					
RST_LOAD_B	—		—		
RST_RSM_B	—		—		
RST_CFG_B	0		0		
Attribute					
RC	RW		RW		

Bit	Field	Description
31:16	I/O Limit Upper 16bits	The I/O Base Upper 16 Bits and I/O Limit Upper 16 Bits registers are optional extensions to the I/O Base and I/O Limit registers. If the I/O Base and I/O Limit registers indicate support for 16-bit I/O address decoding, then the I/O Base Upper 16 Bits and I/O Limit Upper 16 Bits registers are implemented as read-only registers which return zero when read. If the I/O Base and I/O Limit registers indicate support for 32-bit I/O addressing, then the I/O Base Upper 16 Bits and I/O Limit Upper 16 Bits registers must be initialized by configuration software so default states are not specified. If 32-bit I/O address decoding is supported, the I/O Base Upper 16 Bits and the I/O Limit Upper 16 Bits registers specify the upper 16 bits of the 32-bit base and limit addresses respectively, that specify the I/O address range.
15:0	I/O Base Upper 16bits	

(10) Configuration Space 034h

(Capabilities Pointer)

Bits	#	8	7	0
Default	000000h			0 1 0 0 0 0 0 0
Reset				
RST_LOAD_B	—			0 —
RST_RSM_B	—			— —
RST_CFG_B	—			— —
Attribute				
RC	RO			Hwlnit RO

Bit	Field	Description
7:0	Capabilities Pointer	Capability 実装開始アドレス 40H 40h から PCI Power Management Capability が実装されています。 下位 2bit は 00b 固定(reserved)で UDL 側からもライトできません。

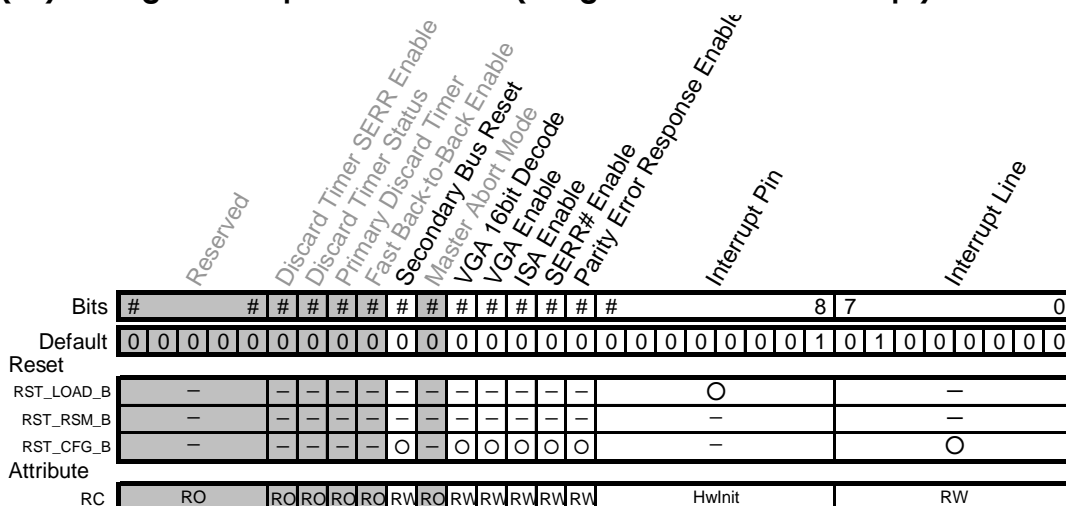
(11) Configuration Space 038h

(Expansion ROM Base Address)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
RC	RO	

Bit	Field	Description
31:0	Expansion ROM Base Address	Reserved

(Bridge Control and Interrupt)



Bit	Field	Description
31:28	Reserved	(0000b 固定)
27	Discard Timer SERR Enable	Reserved: Doesn't apply to PCI Express. (0b 固定)
26	Discard Timer Status	Reserved: Doesn't apply to PCI Express. (0b 固定)
25	Secondary Discard Timer	Reserved: Doesn't apply to PCI Express. (0b 固定)
24	Primary Discard Timer	Reserved: Doesn't apply to PCI Express. (0b 固定)
23	Fast Back-to-Back Enable	Reserved: Doesn't apply to PCI Express. (0b 固定)
22	Secondary Bus Reset	Setting this bit triggers a hot reset on PCIe Interface. Port configuration registers must not be affected, except as required to update Port status.
21	Master Abort Mode	Reserved: Doesn't apply to PCI Express.
20	VGA 16-bit Decode	This bit only has meaning if either bit 3 (VGA Enable) of this register or bit 5 (VGA Palette Snoop Enable) of the Command Register, is also set to 1, enabling VGA I/O decoding and forwarding by the bridge. Status after reset is 0. This read/write bit enables system configuration software to select between 10- and 16-bit I/O address decoding for all VGA I/O register accesses that are forwarded from primary to secondary. 0:execute 10-bit address decodes on VGA I/O accesses. 1:execute 16-bit address decodes on VGA I/O accesses.
19	VGA Enable	Modifies the response by the bridge to VGA compatible addresses. If the VGA Enable bit is set, the bridge will positively decode and forward the following accesses on the primary interface to the secondary interface (and, conversely, block the forwarding of these addresses from the secondary to primary interface): If the VGA Enable bit is set, forwarding of these accesses is independent of the I/O address range and memory address ranges defined by the I/O Base and Limit registers, the Memory Base and Limit registers, and the Prefetchable Memory Base and Limit registers of the bridge. (Forwarding of these accesses is also independent of the settings of the ISA Enable bit (in the Bridge Control register) or VGA Palette Snoop bits (in the Command register), when the VGA Enable bit is set. Forwarding of these accesses is qualified by the I/O Enable and Memory Enable bits in the Command register.) The default state of this bit after reset must be 0. 0:do not forward VGA compatible memory and I/O addresses from the primary to the secondary interface (addresses defined above) unless

Bit	Field	Description
		they are enabled for forwarding by the defined I/O and memory address ranges 1:forward VGA compatible memory and I/O addresses (addresses defined above) from the primary interface to the secondary interface (if the I/O Enable and Memory Enable bits are set) independent of the I/O and memory address ranges and independent of the ISA Enable bit
18	ISA Enable	Modifies the response by the bridge to ISA I/O addresses. This applies only to I/O addresses that are enabled by the I/O Base and I/O Limit registers and are in the first 64 KB of PCI I/O address space (0000 0000h to 0000 FFFFh). If this bit is set, the bridge will block any forwarding from primary to secondary of I/O transactions addressing the last 768 bytes in each 1-KB block. In the opposite direction (secondary to primary), I/O transactions will be forwarded if they address the last 768 bytes in each 1-KB block. The default state of this bit after reset must be 0. 0:forward downstream all I/O addresses in the address range defined by the I/O Base and I/O Limit registers 1:forward upstream ISA I/O addresses in the address range defined by the I/O Base and I/O Limit registers that are in the first 64 KB of PCI I/O address space (top 768 bytes of each 1-KB block)
17	SERR# Enable	This bit controls forwarding of ERR_COR, ERR_NONFATAL and ERR_FATAL from PCIe Interface to Rope Interface.
16	Parity Error Response Enable	This bit controls the response to Poisoned TLPs in the Master Data Parity Error bit of the Secondary Status register.
15:8	Interrupt Pin	01h 固定。 INTA#を使用。 The Interrupt Pin register is used to indicate which interrupt virtual wire. This register has no relationship to interrupt messages forwarded to PCI Express as a result of MSI/MSI-X transactions or INTx interrupts from PCIe devices on the PCIe Interface. A value of 1 is used in corresponding to INTA virtual wire.
7:0	Interrupt Line	システム・コンフィグレーションの結果、デバイスの割り込み出力がシステムの割り込み線のどの線に接続されたかを示します。システムの初期化プログラムによって値がセットされ、デバイス・ドライバや OS が必要に応じて値を読み取ります。ソフトウェア用のレジスタであり、デバイスの動作とレジスタ値の間に関係はありません。

(1) Configuration Space 040h (PM Capabilities)

Bit	Field	Description
31:27	PME Support	11001b: D0,D3hot and D3cold (Sprite-AXI マクロ) 各 Device State での PME のサポート有無を示します。 xxxx1 : D0 をサポート xxx1x : D1 をサポート xx1xx : D2 をサポート x1xxx : D3hot をサポート 1xxxx : D3cold をサポート
26	D2 Support	D2 Power Management State のサポート有無を示します。 0: not Support 1: Support
25	D1 Support	D1 Power Management State のサポート有無を示します。 0: not Support 1: Support
24:22	AUX_Current	3.3Vaux auxiliary current (補助電源から供給される、最大の電流値) を示します。 111: 375 mA 110: 320 mA 101: 250 mA 100: 220mA 011: 160 mA 010: 100 mA 001: 55 mA 000: 0 (self powered) D3cold をサポートしていない場合、read 値は 000b を返します。
21	Device Specific Initialization	DSI (Device Specific Initialization)使用の有無を示します。 0: not Support 1: Support
20	Reserved	(0b 固定)
19	PME Clock	Reserved: Doesn't apply to PCI Express.
18:16	Version	011b 固定です。 PCI Power Management Interface Specification Rev.1.2
15:8	Next Capability Pointer	xxh から MSI Capability が実装されています。 下位 2bit[9:8]は Reserved で 00b 固定です。
7:0	Capability ID	PCI Power Management Capability を示します。 01h 固定です。

(PM Status/Control)

Bits	#	#	#	#	#	#	#	#	#	9	8	7	4	3	2	1	0
Default	00h					0	0	00	0h	0	0		1	0	0	0	
Reset	—					—	—	—	—	—	—	—	—	—	—	—	—
RST_LOAD_B	—					—	—	—	—	—	—	—	—	—	—	—	—
RST_RSM_B	—					—	—	—	—	—	—	—	—	—	—	—	—
RST_CFG_B	—					—	—	—	—	—	—	—	—	—	—	—	—
Attribute	RO					RO	RO	RO	RO	RO	RW	RO	RO	RO	RO	RW	

Bit	Field	Description
31:24	Data	Doesn't support.
23	Bus Power/Clock Control Enable	Doesn't support.
22	B2/B3 Support	Doesn't support.
21:16	Reserved	(00h 固定)
15	PME Status	PME アサート要因が発生していることを示します。 1b で PME アサート要因があることを示します。
14:13	Data Scale	Doesn't support.
12:9	Data Select	Doesn't support.
8	PME Enable	PME のアサーションを制御します。 1b の場合に、PME のアサーションがイネーブルとなります。このとき PME_Status がセットされている場合に PME をアサートします。 PCI Express では、Link の Wake-up 処理を行い、その後 PM_PME Message を送信することで PME アサート処理を行います。
7:4	Reserved	(0h 固定)
3	No_Soft_Reset	D3hot から D0 への Power State 遷移において、Device 内部での Internal reset が行なわれないことを示します。
2	Reserved	(0b 固定)
1:0	PowerState	PCI Device State を設定します。 00b - D0 (Default) 01b - D1 10b - D2 11b - D3hot

(1) Configuration Space 050h (MSI Capability)

Bit	Field	Description
31:25	Reserved	(00h 固定)
24	Per-vector masking capable	1b に設定すると MSI per-vector masking をサポートすることを示します。当社マクロは MSI per-vector masking はサポートしていませんので 0b 固定となります。
23	64bit Address Capable	64bit Address の MSI Message を生成可能であることを示します。1b 固定。
22:20	Multiple Message Enable	Multiple Message の生成許可と数を設定します。 Multiple Message Capable フィールドで 000b を指定しているので、ソフトウェアの設定としては 000b(1 個)のみです。 000b: 1 (Default) 001b: 2 010b: 4 011b: 8 100b: 16 101b: 32 110b: Reserved 111b: Reserved
19:17	Multiple Message Capable	000b: 1 001b: 2 (Default) 010b: 4 011b: 8 100b: 16 101b: 32 110b: Reserved 111b: Reserved
16	MSI Enable	MSI Messageの生成の可否を制御します。 1bでMSI生成可能になります。
15:8	Next Capability Pointer	PCI Express Capability の開始アドレスを示します。 下位 2bit[9:8]は Reserved で 00b 固定です。 Default : 60h
7:0	Capability ID	MSI Capability を示します。 05h 固定。

(2) Configuration Space 054h (Message Address)

Bits	#	2	1	0
Default	00000000h	0	0	0
Reset				
RST_LOAD_B	—			
RST_RSM_B	—			
RST_CFG_B	0			
Attribute				
RC	RW			RO

Bit	Field	Description
31:2	Message Address	MSI Message の Destination Address[31 : 2]を設定します。
1:0	Reserved	(00b 固定)

(3) Configuration Space 058h (Message Upper Address)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	0	
Attribute		
RC	RW	

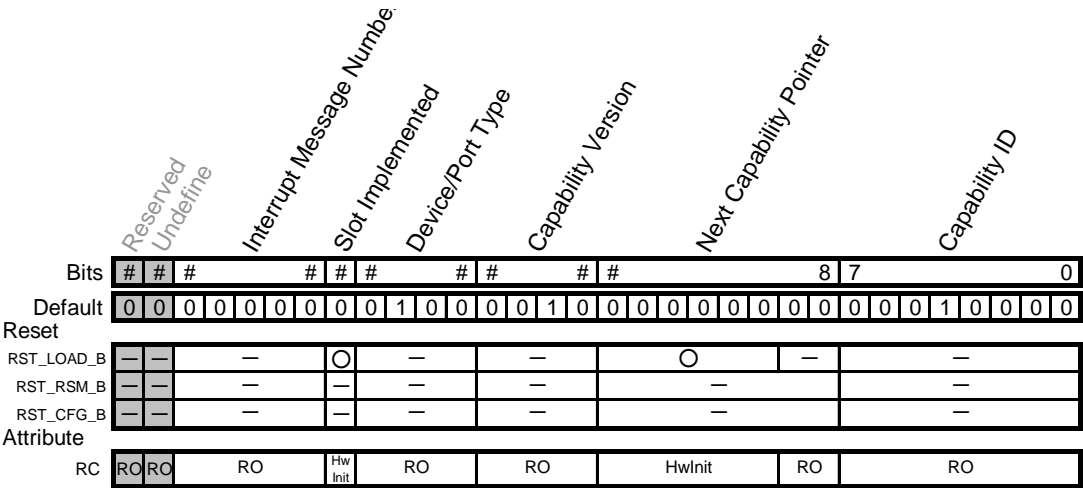
Bit	Field	Description
31:0	Message Upper Address	MSI Message の Destination Address[63 : 32]を設定します。

(4) Configuration Space 05Ch (Message Data)

Bits	#	#	#	0
Default	0000h			0000h
Reset				
RST_LOAD_B	—			—
RST_RSM_B	—			—
RST_CFG_B	—			0
Attribute				
RC	RO			RW

Bit	Field	Description
31:16	Reserved	(0000h 固定)
15:0	Message Data	MSI Message に設定する Data[15 : 0]を設定します。 Multiple Message Enable フィールドが 011b(8 個)の場合、Message データの下位 3bit を Function(UDL)側が変更することができ、8 種類の vector を Message_Data としてシステムに通知することができます。同様に 010b(4 個)の場合は下位 2bit を Function(UDL)側が変更することができて 4 種類の vector、001b(2 個)の場合は下位 1bit を Function(UDL)側が変更することができて 2 種類の vector、000b(1 個)の場合は設定されたデータのための 1 種類の vector となります。

24.14.6.5 PCI Express Capability Structure
(1) Configuration Space 060h (PCI Express Capability)



Bit	Field	Description
31	Reserved	(0b 固定)
29	Undefined	(0b 固定)
29:25	Interrupt Message Number	00000b 固定。
24	Slot Implemented	1b に設定することで、PCI Express Link (Down Port) が Slot に接続されていることを示します。
23:20	Device/Port Type	PCI Express Root Complex deviceであることを示します。 0000b PCI Express Endpoint device 0001b Legacy PCI Express Endpoint device 0100b Root Port of PCI Express Root Complex (Default) 0101b Upstream Port of PCI Express Switch 0110b Downstream Port of PCI Express Switch 0111b PCI Express-to-PCI/PCI-X Bridge 1000b PCI/PCI-X-to-PCI Express Bridge 1001b Root Complex Integrated Endpoint Device 1010b Root Complex Event Collector All other encodings are reserved.
19:16	Capability Version	PCI Express Capability Structureのバージョンを示します。 0010b固定。
15:8	Next Capability Pointer	この Capability List が最終 List であることを示します。 下位 2bit[9:8]は Reserved で 00b 固定です。 00h 固定。
7:0	Capability ID	PCI Express Capability を示します。 10h 固定。

(Device Capability)

[illegible]

Bit	Field	Description
31:29	Reserved	(000b 固定)
28	Function Level Reset Capability	Root Complex デバイスには適用されません。0b固定。
27:26	Captured Slot Power Limit Scale	Root Complex デバイスには適用されません。00b固定。
25:18	Captured Slot Power Limit Value	Root Complex デバイスには適用されません。00h固定。
17:16	Reserved	(00b 固定)
15	Role-Based Error Reporting	Error Reporting ECN や Rev1.1 で定義された機能を実装している場合に 1b にセットします。
14:12	Undefined	(000b 固定)
11:9	Endpoint L1 Acceptable Latency	Root Complex デバイスには適用されません。000b固定。
8:6	Endpoint L0s Acceptable Latency	Root Complex デバイスには適用されません。000b固定。
5	Extended Tag Field Supported	Extended Tagはサポートしておりません。5 Bit-Tagのみを使用します。 0b固定。
4:3	Phantom Function Supported	Phantom Function はサポートしておりません。00b 固定。
2:0	Max_Payload_Size Supported	000b 128B max payload size (Default) 001b 256B max payload size 010b 512B max payload size 011b 1024B max payload size 100b 2048B max payload size 101b 4096B max payload size 110b Reserved 111b Reserved

(Device Control/Status)

Reserved																					Transaction Pending										AUX Power Detected										Unsupported Request										Fatal Error Detected										Non Fatal Error Detected										Correctable Error Detected										Initiate Function Level Reset										Max Read Request size										Enable No Snoop										AUX Power PM Enable										Phantom Function Enable										Extended Tag Field Enable										Max payload size										Enable Relax Ordering										Unsupported Request Reporting Enable										Non Fatal Error Reporting Enable										Correctable Error Reporting Enable									
Bits	#	#										#	#	#	#	#	#	#	#	#	#	#	#	#	#	#	9	8	7	5	4	3	2	1	0																																																																																																																																																											
Default	0	0										0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0																																																																																																																																																												
Reset																																																																																																																																																																																														
RST_LOAD_B	—	—										—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—																																																																																																																																																											
RST_RSM_B	—	—										—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—																																																																																																																																																											
RST_CFG_B	—	—										—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—																																																																																																																																																											
Attribute																																																																																																																																																																																														
RC	RO	RO										RO	RO	RW 1C	RW 1C	RW 1C	RW 1C	RO	RW	RO	RW	RO	RO	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW																																																																																																																																																												

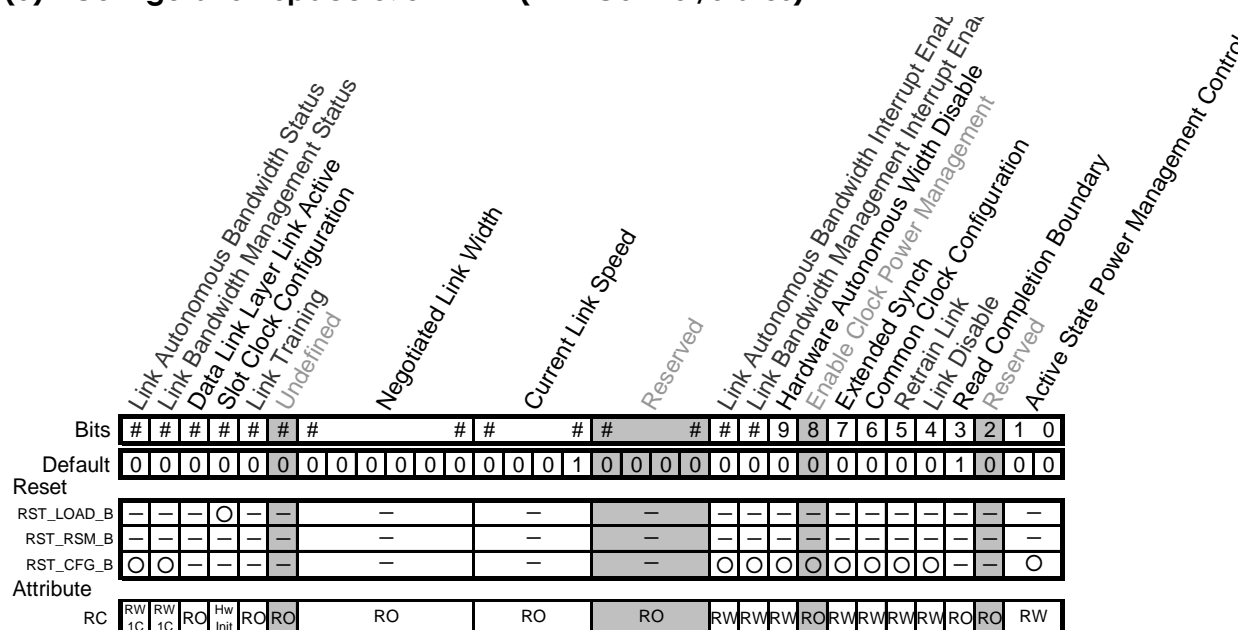
Bit	Field	Description
31:22	Reserved	(000h 固定)
21	Transaction Pending	Root Complex デバイスには適用されません。 0b固定。
20	AUX Power Detected	AUX Power が検出されていることを示します。
19	Unsupported Request Detected	Unsupported Request Error が検出されたことを示します。 1b で Error が検出されている事を示します。
18	Fatal Error Detected	Fatal Error が検出されたことを示します。 1b で Error が検出されている事を示します。
17	Non-Fatal Error Detected	Non-Fatal Error が検出されたことを示します。 1b で Error が検出されている事を示します。
16	Correctable Error Detected	Correctable Error が検出されたことを示します。 1b で Error が検出されている事を示します。
15	Initiate Function Level Reset	A write of 1b initiates Function Level Reset to the Function. The value read by software from this bit is always 0b.
14:12	Max_Read_Request_Size	Max_Read_request_Size を設定します。 000b 128B max payload size 001b 256B max payload size 010b 512B max payload size (Default) 011b 1024B max payload size 100b 2048B max payload size 101b 4096B max payload size 110b Reserved 111b Reserved
11	Enable No Snoop	当社マクロは Requester として No Snoop Attribute は使用しません。
10	Auxillary (AUX) Power PM Enable	Auxillary (AUX) power の使用有無を設定します。 1: Support 0: not Support (Default) このビットを 1b(Enable)に設定した場合、AUX_Current (Power Management Capabilities register)を設定する必要があります。
9	Phantom Function Enable	Phantom Function はサポートしておりません。 0b 固定。
8	Extended Tag Field Enable	Extended Tagはサポートしません。 5 Bit-Tagのみを使用します。 0b固定。

Bit	Field	Description
17:15	L1 Exit Latency 注1	000b Less than 1 μ s 001b 1 μ s to less than 2 μ s (Default: Gen2マクロ時) 010b 2 μ s to less than 4 μ s 011b 4 μ s to less than 8 μ s 100b 8 μ s to less than 16 μ s 101b 16 μ s to less than 32 μ s 110b 32 μ s to 64 μ s (Default: Gen1マクロ時) 111b More than 64 μ s
14:12	L0s Exit Latency 注1	000b Less than 64 ns 001b 64 ns to less than 128 ns (Default: Gen2マクロ時) 010b 128 ns to less than 256 ns 011b 256 ns to less than 512 ns 100b 512 ns to less than 1 μ s (Default: Gen1マクロ時) 101b 1 μ s to less than 2 μ s 110b 2 μ s-4 μ s 111b More than 4 μ s
11:10	Active State Power Management (ASPM) Support	00b Reserved 01b L0s Entry Supported 10b Reserved 11b L0s and L1 Entry Supported (Default)
9:4	Maximum Link Width 注2	000000b Reserved 000001b x1 000010b x2 000100b x4 001000b x8 001100b x12 010000b x16 100000b x32 注) ご使用になるマクロの Lane 数ごとに Default 値は設定されます。
3:0	Supported Link Speed 注1	0001b 2.5 GT/s Link speed supported 0010b 5.0 GT/s and 2.5 GT/s Link speeds supported All other encodings are reserved. 注) Gen1 マクロでは、0001b 固定となります。

注1：コンフィグレーションにより、PCI Express Gen1(2.5Gbps)を選択しています。

注2：コンフィグレーションにより、Multiple lane implementations x1 を選択しています。

(5) Configuration Space 070h (Link Control/Status)

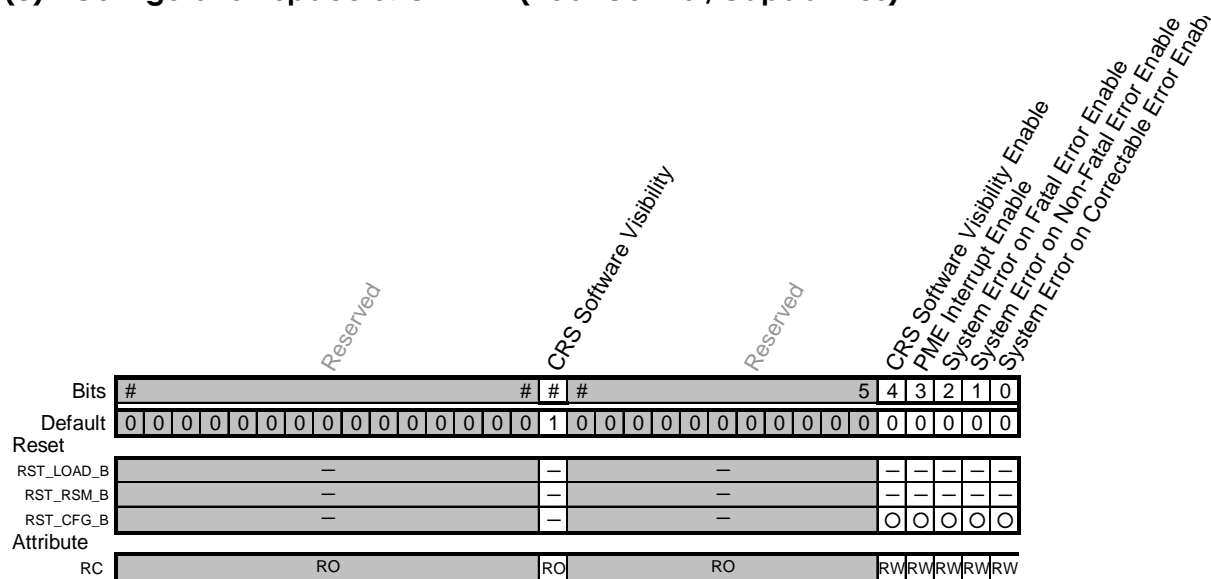


Bit	Field	Description
31	Link Autonomous Bandwidth Status	Link Autonomous Bandwidth Interrupt Enableがassertされた時、このbitが出力されます。
30	Link Bandwidth Management Status	Link Bandwidth Management Interrupt Enableがassertされた時、このbitが出力されます。
29	Data Link Layer Link Active	1b で Data Link Layer が Link Active の状態にあることを示します。
28	Slot Clock Configuration	Add-in Card 時に、Connector に供給されているレファレンスクロックを使用しているかどうかを示します。 0b : Connector Reference Clock を未使用 (Default) 1b : Connector Reference Clock を使用
27	Link Training	1bでPhysical layerのLTSSMがConfiguration stateもしくはRecovery stateであることを示します。このビットはConfiguration/Recovery stateをExitした際にクリアされます。
26	Undefined	(0b 固定)
25:20	Negotiated Link Width	ネゴシエーションの結果、確立した Link 幅を示します。 000001b: x1 000010b: x2 000100b: x4 001000b: x8 001100b: x12 010000b: x16 100000b: x32 他のエンコードは Reserved です。
19:16	Current Link Speed	0001b: 2.5GT/s PCI Express Link (Default) 0010b: 5.0 GT/s PCI Express Link
15:12	Reserved	(0000b 固定)
11	Link Autonomous Bandwidth Interrupt Enable	Link Bandwidth Management Status ビット(bit31) による、割り込み生成を制御します。 0b : Interrupt Disable (Default) 1b : Interrupt Enable
10	Link Bandwidth Management Interrupt Enable	Link Autonomous Bandwidth Status ビット(bit30)による、割り込み生成を制御します。 0b : Interrupt Disable (Default) 1b : Interrupt Enable
9	Hardware Autonomous Width	Link Width Change 機能を Disable に設定します。 0b : Link Width Change Enable (Default)

Bit	Field	Description
		1b Card Present in slot This bit must be implemented on all Downstream Ports that implement slots. For Downstream Ports not connected to slots (where the Slot Implemented bit of the PCI Express Capabilities register is 0b), this bit must be hardwired to 1b.
21	MRL Sensor State	This bit reports the status of the MRL sensor if implemented. 0b MRL Closed 1b MRL Open
20	Command Completed	If Command Completed notification is supported (if the No Command Completed Support bit in the Slot Capabilities register is 0b), this bit is Set when a hot-plug command has completed and the Hot-Plug Controller is ready to accept a subsequent command. The Command Completed status bit is Set as an indication to host software that the Hot-Plug Controller has processed the previous command and is ready to receive the next command; it provides no guarantee that the action corresponding to the command is complete. If Command Completed notification is not supported, this bit must be hardwired to 0b.
19	Presence Detect Changed	This bit is set when the value reported in the Presence Detect State bit is changed.
18	MRL Sensor Changed	If an MRL sensor is implemented, this bit is Set when a MRL Sensor state change is detected. If an MRL sensor is not implemented, this bit must not be Set.
17	Power Fault Detected	If a Power Controller that supports power fault detection is implemented, this bit is Set when the Power Controller detects a power fault at this slot. Note that, depending on hardware capability, it is possible that a power fault can be detected at any time, independent of the Power Controller Control setting or the occupancy of the slot. If power fault detection is not supported, this bit must not be Set.
16	Attention Button Pressed	If an Attention Button is implemented, this bit is Set when the attention button is pressed. If an Attention Button is not supported, this bit must not be Set.
15:13	Reserved	
12	Data Link Layer State Changed Enable	If the Data Link Layer Link Active Capability is implemented, when Set, this bit enables software notification when Data Link Layer Link Active Reporting bit is changed. If the Data Link Layer Link Active Reporting Capability is not implemented, this bit is permitted to be read-only with a value of 0b.
11	Electromechanical Interlock Control	If an Electromechanical Interlock is implemented, a write of 1b to this bit causes the state of the interlock to toggle. A write of 0b to this bit has no effect. A read of this bit always returns a 0b.
10	Power Controller Control	If a Power Controller is implemented, this bit when written sets the power state of the slot per the defined encodings. Reads of this bit must reflect the value from the latest write, even if the corresponding hot-plug command is not complete, unless software issues a write without waiting for the previous command to complete in which case the read value is undefined. Depending on the form factor, the power is turned on/off either to the slot or within the adapter. Note that in some cases the power controller may autonomously remove slot power or not respond to a power-up request based on a detected fault condition, independent of the Power Controller Control setting. 0b Power On 1b Power Off If the Power Controller Implemented bit in the Slot Capabilities register is Clear, then writes to this bit have no effect and the read value of this bit is undefined.
9:8	Power Indicator Control	If a Power Indicator is implemented, writes to this field set the Power Indicator to the Written state. Reads of this field must reflect the value from the latest write, even if the corresponding hot-plug command is not complete, unless software issues a write without waiting for the previous command to complete in which case the read value is undefined. 00b Reserved 01b On 10b Blink 11b Off

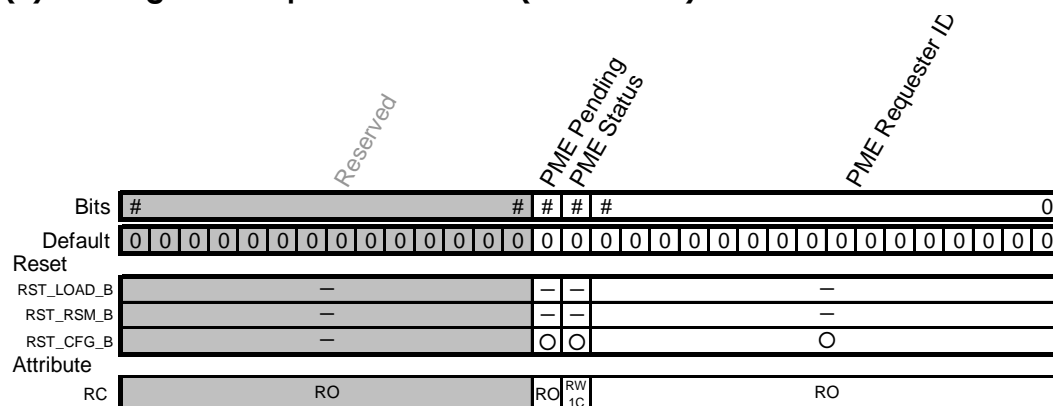
Bit	Field	Description
		Note: The default value of this field must be one of the non-Reserved values. If the Power Indicator Present bit in the Slot Capabilities register is 0b, this bit is permitted to be read-only with a value of 00b.
7:6	Attention Indicator Control	<p>If an Attention Indicator is implemented, writes to this field set the Attention Indicator to the Written state. Reads of this field must reflect the value from the latest write, even if the corresponding hot-plug command is not complete, unless software issues a write without waiting for the previous command to complete in which case the read value is undefined.</p> <p>00b Reserved 01b On 10b Blink 11b Off</p> <p>Note: The default value of this field must be one of the non-Reserved values. If the Attention Indicator Present bit in the Slot Capabilities register is 0b, this bit is permitted to be read-only with a value of 00b.</p>
5	Hot-Plug Interrupt Enable	When Set, this bit enables generation of an interrupt on enabled hot-plug events. If the Hot Plug Capable bit in the Slot Capabilities register is Clear, this bit is permitted to be read-only with a value of 0b.
4	Command Completed Interrupt Enable	If Command Completed notification is supported (if the No Command Completed Support bit in the Slot Capabilities register is 0b), when Set, this bit enables software notification when a hot-plug command is completed by the Hot-Plug Controller. If Command Completed notification is not supported, this bit must be hardwired to 0b.
3	Presence Detect Changed Enable	When Set, this bit enables software notification on a presence detect changed event. If the Hot-Plug Capable bit in the Slot Capabilities register is 0b, this bit is permitted to be read-only with a value of 0b.
2	MRL Sensor Changed Enable	When Set, this bit enables software notification on a MRL sensor changed event. If the MRL Sensor Present bit in the Slot Capabilities register is Clear, this bit is permitted to be read-only with a value of 0b.
1	Power Fault Detected Enable	When Set, this bit enables software notification on a power fault event. If a Power Controller that supports power fault detection is not implemented, this bit is permitted to be read-only with a value of 0b.
0	Attention Button Pressed Enable	When Set to 1b, this bit enables software notification on an attention button pressed event. If the Attention Button Present bit in the Slot Capabilities register is 0b, this bit is permitted to be read-only with a value of 0b.

(Root Control/Capabilities)



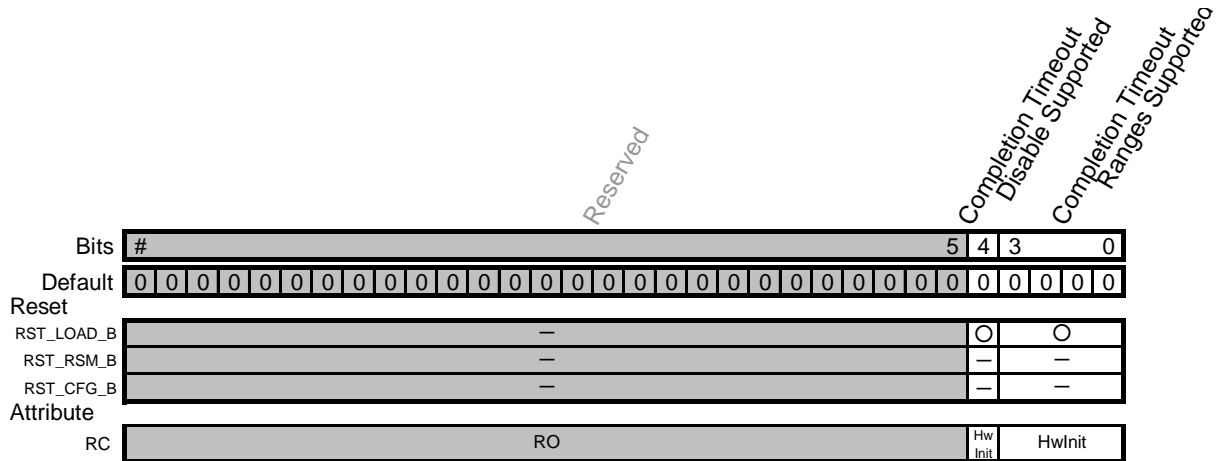
Bit	Field	Description
31:17	Reserved	(0000h固定)
16	CRS Software Visibility	When Set, this bit indicates that the Root Port is capable of returning Configuration Request Retry Status (CRS) Completion Status to software.
15:5	Reserved	(000h 固定)
4	CRS Software Visibility Enable	When Set, this bit enables the Root Port to return Configuration Request Retry Status (CRS) Completion Status to software.
3	PME Interrupt Enable	When Set, this bit enables PME interrupt generation upon receipt of a PME Message as reflected in the PME Status bit. A PME interrupt is also generated if the PME Status register bit is Set when this bit is changed from Clear to Set
2	System Error on Fatal Error Enable	If Set, this bit indicates that a System Error should be generated if a Fatal error (ERR_FATAL) is reported by any of the devices in the hierarchy associated with this Root Port, or by the Root Port itself. The mechanism for signaling a System Error to the system is system specific.
1	System Error on Non-Fatal Error Enable	If Set, this bit indicates that a System Error should be generated if a Non-fatal error (ERR_NONFATAL) is reported by any of the devices in the hierarchy associated with this Root Port, or by the Root Port itself. The mechanism for signaling a System Error to the system is system specific.
0	System Error on Correctable Error Enable	If Set, this bit indicates that a System Error should be generated if a correctable error (ERR_COR) is reported by any of the devices in the hierarchy associated with this Root Port, or by the Root Port itself. The mechanism for signaling a System Error to the system is system specific.

(Root Status)



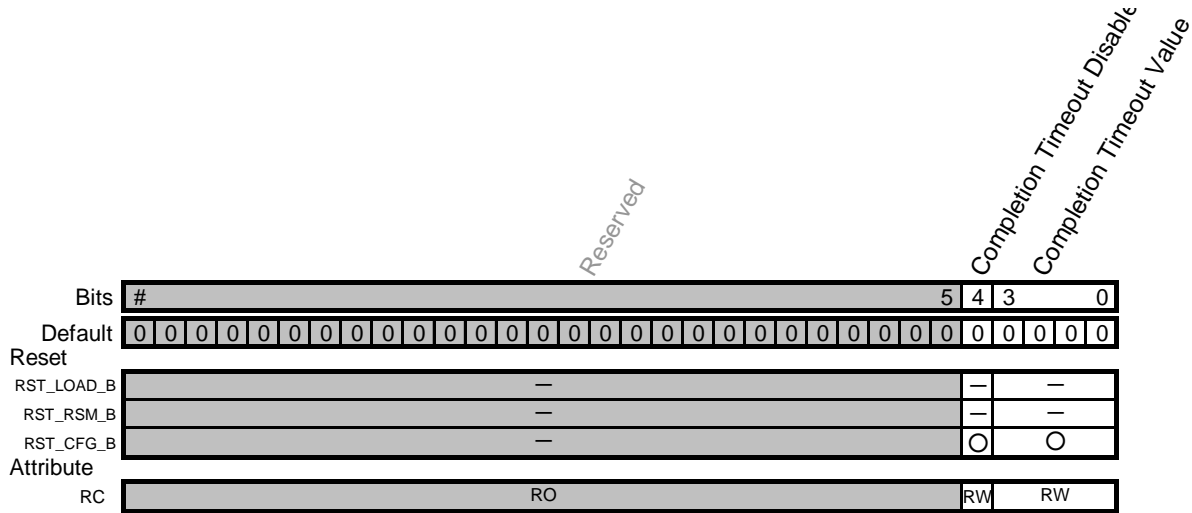
Bit	Field	Description
31:18	Reserved	(0000h固定)
17	PME Pending	This bit indicates that another PME is pending when the PME Status bit is Set. When the PME Status bit is cleared by software; the PME is delivered by hardware by setting the PME Status bit again and updating the Requester ID field appropriately. The PME pending bit is cleared by hardware if no more PMEs are pending.
16	PME Status	This bit indicates that PME was asserted by the PME Requester indicated in the PME Requester ID field. Subsequent PMEs are kept pending until the status register is cleared by software by writing a 1b.
15:0	PME Requester ID	This field indicates the PCI Requester ID of the last PME Requester. This field is only valid when the PME Status bit is Set.

(10) Configuration Space 084h (Device Capabilities 2)



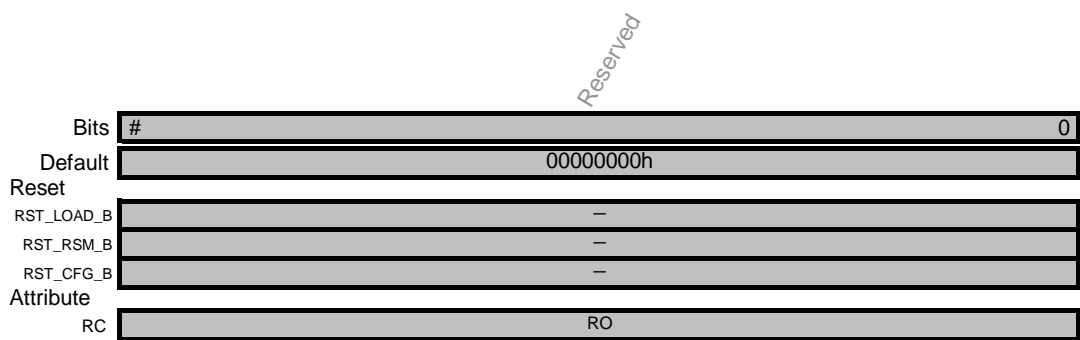
Bit	Field	Description
31:5	Reserved	(0000000h 固定)
4	Completion Timeout Disable Supported	Completion Timeout 機能のサポート有無の設定を行います。 0b: Disable 1b: Enable (Supported)
3:0	Completion Timeout Ranges Supported	Completion Timeout Rangeの設定を行います。 Range A: 50 μs to 10 ms Range B: 10 ms to 250 ms Range C: 250 ms to 4 s Range D: 4 s to 64 s 上記の 4 パターンが決められており、以下の組み合わせでの設定が可能です。 0001b Range A 0010b Range B 0011b Ranges A and B 0110b Ranges B and C 0111b Ranges A, B, and C 1110b Ranges B, C and D 1111b Ranges A, B, C, and D 他のエンコードは Reserved です。

(11) Configuration Space 088h (Device Control 2 / Status 2)



Bit	Field	Description
31:5	Reserved	(0000000h 固定)
4	Completion Timeout Disable	このビットを設定した場合、CompletionTimeout 機能は無効となります。
3:0	Completion Timeout Value	Completion Timeout Range の設定を行います。

(12) Configuration Space 08Ch (Link Capabilities 2)



Bit	Field	Description
31:0	Reserved	Reserved

(Link Control 2 / Status 2)

	#	#	#	#	#	#	#	#	9	7	6	5	4	3	0
Default	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Reset															
RST_LOAD_B	—	—	—	—	—	—	—	—	—	○	—	—	—	—	—
RST_RSM_B	—	—	—	○	○	○	—	—	—	—	—	○	○	—	—
RST_CFG_B	—	—	—	—	—	—	—	—	—	—	○	—	—	—	—
Attribute															
RC	RO	RO	RO	RW	RW	RW	RW	RW	RW	Hw Init	RW	RW	RW	RW	RW

Bit	Field	Description
31:17	Reserved	(0000h 固定)
16	Current De-emphasis Level	Gen2 動作時、このビットで設定した De-emphasis Level が反映されます。 1b: -3.5 dB 0b: -6 dB
15:13	Reserved	(000b 固定)
12	Compliance De-emphasis	Polling.Compliance State における、De-emphasis Level を設定します。 1b: -3.5 dB 0b: -6 dB
11	Compliance SOS	このビットを 1b に設定した場合、Compliance パターン送信中に SKP Ordered-set を定期的に挿入します。
10	Enter Modified Compliance	Modified Compliance パターン送信のための設定ビット。 1b: Modified Compliance Pattern 0b: Compliance Pattern
9:7	Transmit Margin	Transmitter の電圧レベルを調整します。 000b Normal operating range 001b 800-1200 mV for full swing and 400-700 mV for half-swing 010b - (n-1) Values must be monotonic with a non-zero slope. The value of n must be greater than 3 and less than 7. At least two of these must be below the normal operating range of n : 200-400 mV for full-swing and 100-200 mV for half-swing n - 111b reserved
6	Selectable De-emphasis	When the Link is operating at 5.0 GT/s speed, this bit selects the level of de-emphasis for an Upstream component. 1b -3.5 dB 0b -6 dB
5	Hardware Autonomous Speed Disable	When Set, this bit disables hardware from changing the Link speed for devicespecific reasons other than attempting to correct unreliable Link operation by reducing Link speed.
4	Enter Compliance	Software is permitted to force a Link to enter Compliance mode at the speed indicated in the Target Link Speed field by setting this bit to 1b in both components on a Link and then initiating a hot reset on the Link. Default value of this bit following Fundamental Reset is 0b.
3:0	Target Link Speed	For Downstream Ports, this field sets an upper limit on Link operational speed by restricting the values advertised by the Upstream component in its training sequences. Defined encodings are: 0001b: 2.5 GT/s Target Link Speed 0010b: 5.0 GT/s Target Link Speed All other encodings are reserved.

(14) Configuration Space 094h (Slot Capabilities 2)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	

Bit	Field	Description
31:0	Reserved	

(15) Configuration Space 098h (Slot Control 2 / Status 2)

Bits	#	0
Default	00000000h	
Reset		
RST_LOAD_B	—	
RST_RSM_B	—	
RST_CFG_B	—	
Attribute		
EP UDL	RO	
EP PCIe	RO	

Bit	Field	Description
31:0	Reserved	

24.14.6.6 Advanced Error Reporting Capability
(1) Configuration Space 100h (PCI Express Enhanced Capability Header)

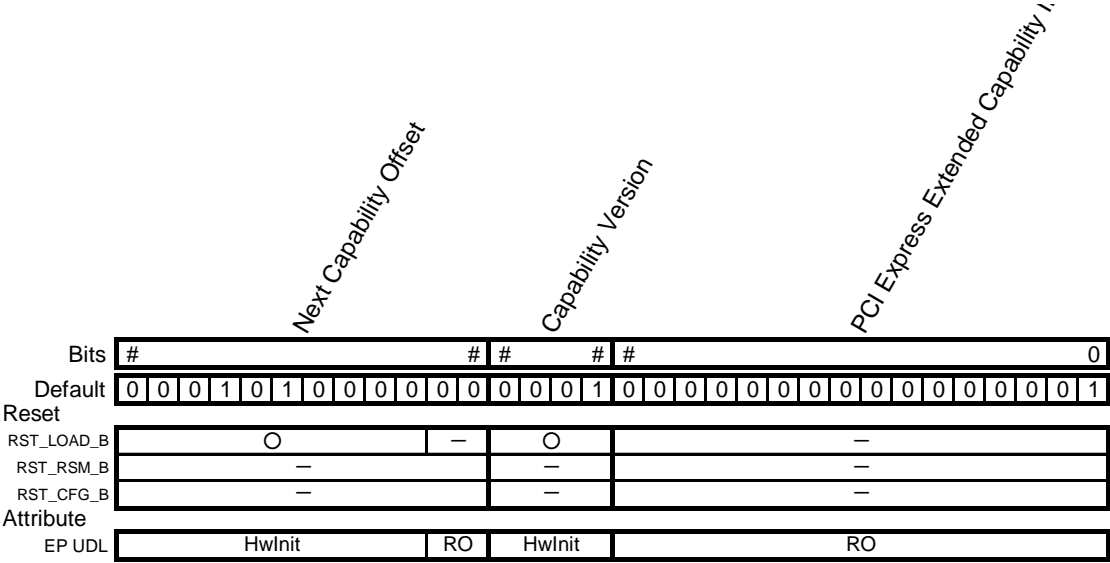


Table with 3 columns: Bit, Field, Description. It details the fields: Next Capability Offset (bits 31:20), Capability Version (bits 19:16), and PCI Express Extended Capability ID (bits 15:0).

(2) Configuration Space 104h (Uncorrectable Error Status Register)

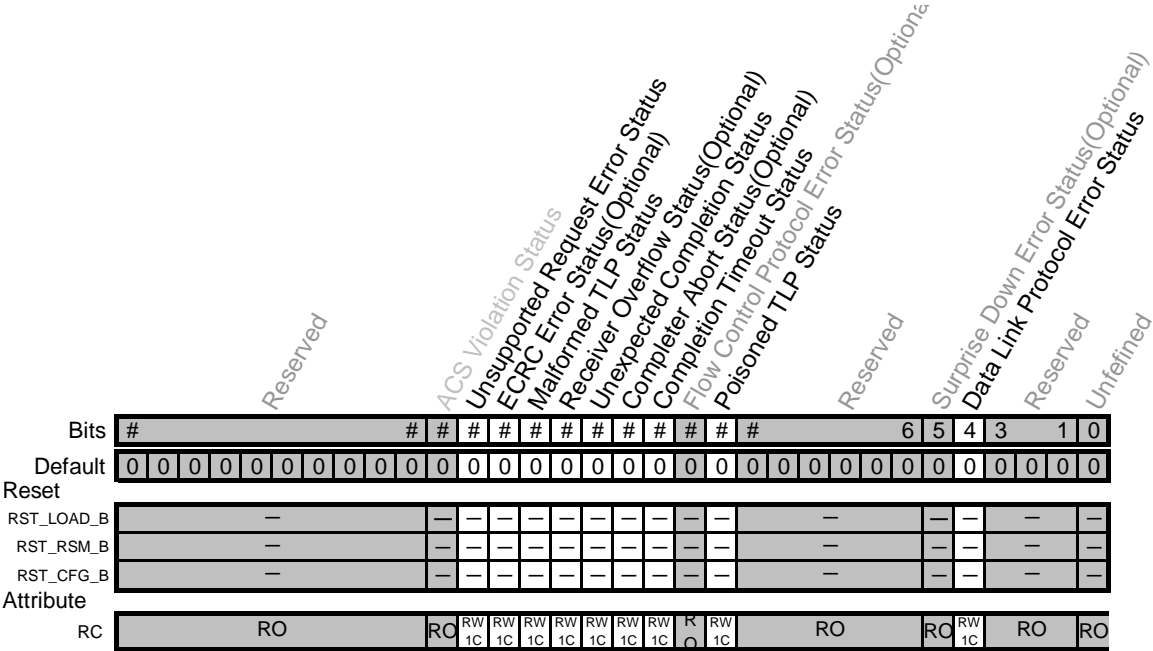


Table with 3 columns: Bit, Field, Description. It details the field: Reserved (bits 31:22) with a fixed value of 000h.

21	ACS Violation Status	Not Implemented
20	Unsupported Request Error Status	サポートしていない TLP を受信したことを示します。 0b: エラー未検出 1b: エラー検出
19	ECRC Error Status (Optional)	ECRC Error を受信したことを示します。 0b: エラー未検出 1b: エラー検出
18	Malformed TLP Status	Malformed TLP を受信したことを示します。 0b: エラー未検出 1b: エラー検出
17	Receiver Overflow Status (Optional)	受信バッファの空きクレジットよりも大きなサイズの TLP を受信したことを示します。 0b: エラー未検出 1b: エラー検出
16	Unexpected Completion Status	Completion を受信したが、対応する Non-Posted Request 送信の記録がない (Transaction Descriptor が一致しなかった)ことを示します。 0b: エラー未検出 1b: エラー検出
15	Completer Abort Status (Optional)	Non-Posted Request を受信後、Completion Status が Completer Abort(CA) である Completion を返送したことを示します。 0b: エラー未検出 1b: エラー検出
14	Completion Timeout Status	Non-Posted Request を送信後、規定時間内に対応する Completion を受信しなかったことを示します。 0b: エラー未検出 1b: エラー検出
13	Flow Control Protocol Error Status (Optional)	Not Implemented
12	Poisoned TLP Status	Poisoned TLP(payload 有りでヘッダの EP フィールドが 1b)の TLP を受信したことを示します。 0b: エラー未検出 1b: エラー検出
11:6	Reserved	(000000b 固定)
5	Surprise Down Error Status (Optional)	Not Implemented
4	Data Link Protocol Error Status	Data Link Layer において Sequence Number エラーを検出したことを示します。 0b: エラー未検出 1b: エラー検出
3:1	Reserved	(000b 固定)
0	Undefined	(0b 固定)

(Uncorrectable Error Mask Register)



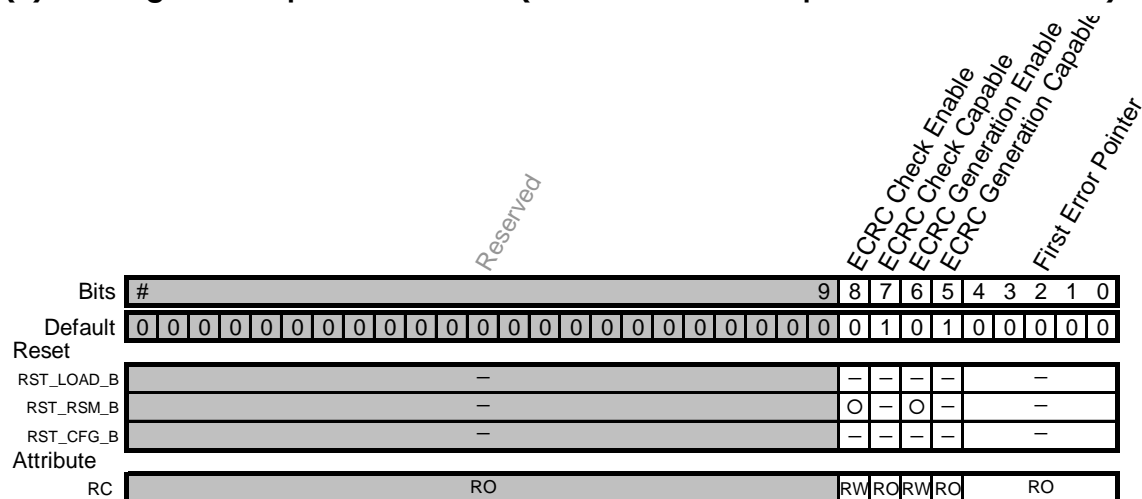
	(Optional)	1b: Fatal Error
14	Completion Timeout Severity	Completion Timeout Error 検出時の Error Severity を設定します。 0b: Non-Fatal Error 1b: Fatal Error
13	Flow Control Protocol Error Severity (Optional)	Not Implemented
12	Poisoned TLP Error Severity	Poisoned TLP Error 検出時の Error Severity を設定します。 0b: Non-Fatal Error 1b: Fatal Error
11:6	Reserved	(000000b 固定)
5	Surprise Down Error Severity (Optional)	Not Implemented
4	Data Link Protocol Error Severity	Data Link Protocol Error 検出時の Error Severity を設定します。 0b: Non-Fatal Error 1b: Fatal Error
3:1	Reserved	(000b 固定)
0	Undefined	(0b 固定)

(5) Configuration Space 110h (Correctable Error Status Register)

Reserved																																Advisory Non-Fatal Error Status				Replay Timer Timeout Status				Reserved				REPLAY_NUM Rollover Status				Bad DLLP Status				Bad TLP Status				Reserved				Receiver Error Status			
Bits	#																#	#	#	#	9	8	7	6	5					1	0																																
Default	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																													
Reset																																																															
RST_LOAD_B	—																—	—	—				—	—	—	—				—	—	—	—	—	—	—	—	—	—	—	—	—																					
RST_RSM_B	—																0	0	—				0	0	0	—				—	—	—	—	—	—	—	—	—	—	—	—	—	—																				
RST_CFG_B	—																—	—	—				—	—	—	—				—	—	—	—				—	—	—	—	—	—	—	—																			
Attribute																																																															
RC	RO																RW 1C	RW 1C	RO				RW 1C	RW 1C	RW 1C	RO																																					

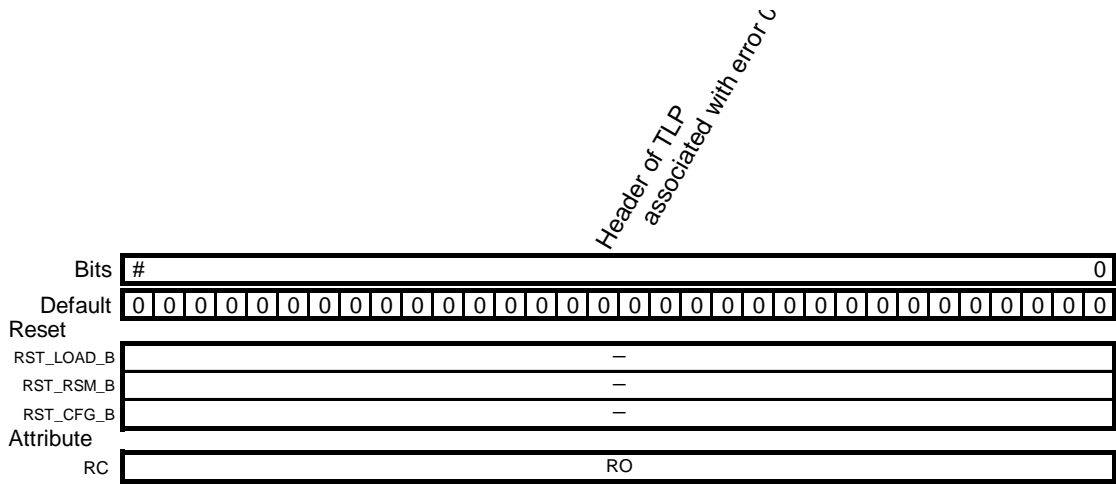
Bit	Field	Description
31:14	Reserved	(00000h 固定)
13	Advisory Non-Fatal Error Status	Advisory Non-Fatal Error を検出したことを示します。 0b: エラー未検出 1b: エラー検出
12	Replay Timer Timeout Status	TLP を送信して規定時間内に Ack または Nak DLLP を受信できずに Replay が発生したことを示します。 0b: エラー未検出 1b: エラー検出
11:9	Reserved	(000b 固定)
8	REPLAY_NUM Rollover Status	Replay が 4 回続けて発生し、REPLAY_NUM が 11b から 00b に Roll Over したことを示します。 0b: エラー未検出 1b: エラー検出
7	Bad DLLP Status	DLLP の CRC エラーを検出したことを示します。 0b: エラー未検出 1b: エラー検出

(Advanced Error Capabilities and Control)



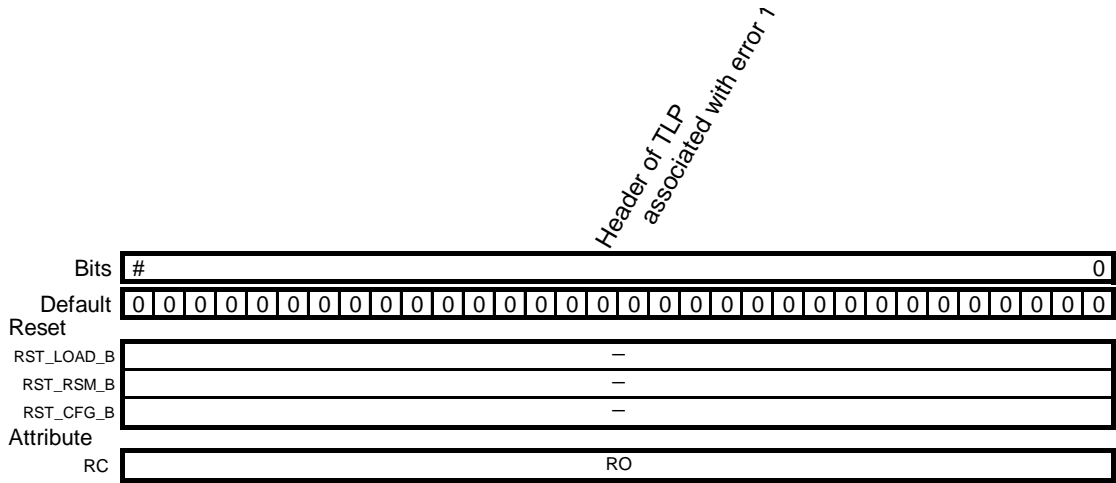
Bit	Field	Description
31:9	Reserved	(00000h 固定)
8	ECRC Check Enable	ECRC Check の Enable 設定 0b: Disable 1b: Enable (Default)
7	ECRC Check Capable	ECRC Check 機能の搭載有無 0b: なし 1b: あり
6	ECRC Generation Enable	ECRC Generation の Enable 設定 0b: Disable 1b: Enable (Default)
5	ECRC Generation Capable	ECRC Generation 機能の搭載有無 0b: なし 1b: あり
4:0	First Error Pointer	最初に検出した Uncorrectable Error について、Uncorrectable Error Status レジスタのフィールド値を示します

(8) Configuration Space 11Ch (Header Log Register 0)



Bit	Field	Description
31:0	Header of TLP associated with error 0	最初に検出した Uncorrectable Error について、Header の 1 ～ 4 DW 目 を示します。

(9) Configuration Space 120h (Header Log Register 1)



Bit	Field	Description
31:0	Header of TLP associated with error 1	最初に検出した Uncorrectable Error について、Header の 1 ～ 4 DW 目 を示します。

(10) Configuration Space 124h (Header Log Register 2)

Header of TLP associated with error 2

Bits

#

0

Default

00000000000000000000000000000000

Reset

RST_LOAD_B

—

RST_RSM_B

—

RST_CFG_B

—

Attribute

RC

RO

Bit	Field	Description
31:0	Header of TLP associated with error 2	最初に検出した Uncorrectable Error について、Header の 1 ~ 4 DW 目を示します。

(11) Configuration Space 128h (Header Log Register 3)

Header of TLP associated with error 3

Bits

#

0

Default

00000000000000000000000000000000

Reset

RST_LOAD_B

—

RST_RSM_B

—

RST_CFG_B

—

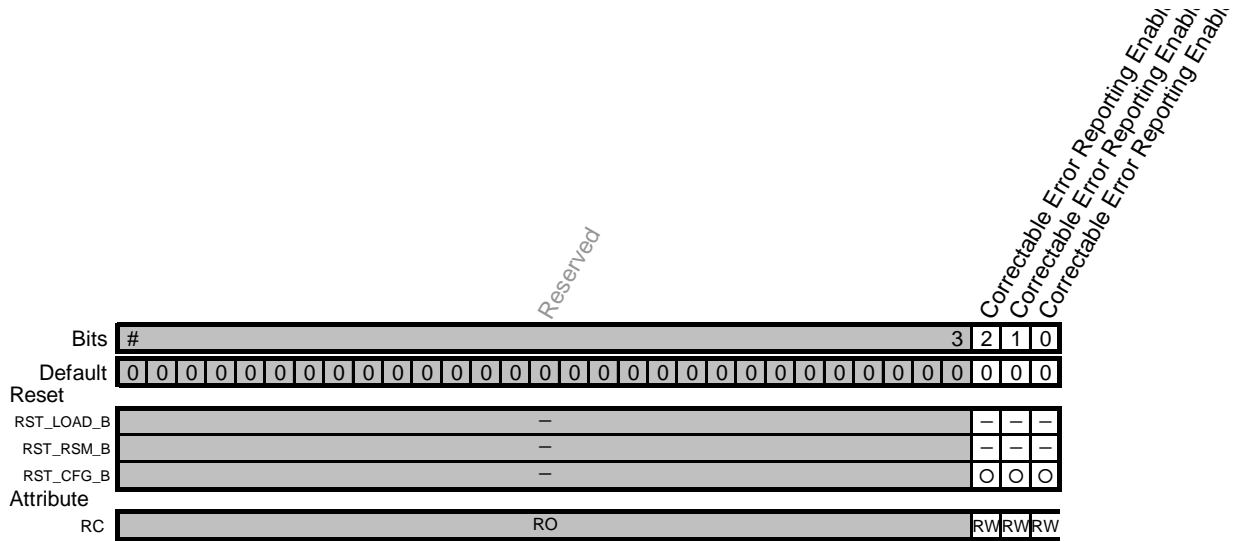
Attribute

RC

RO

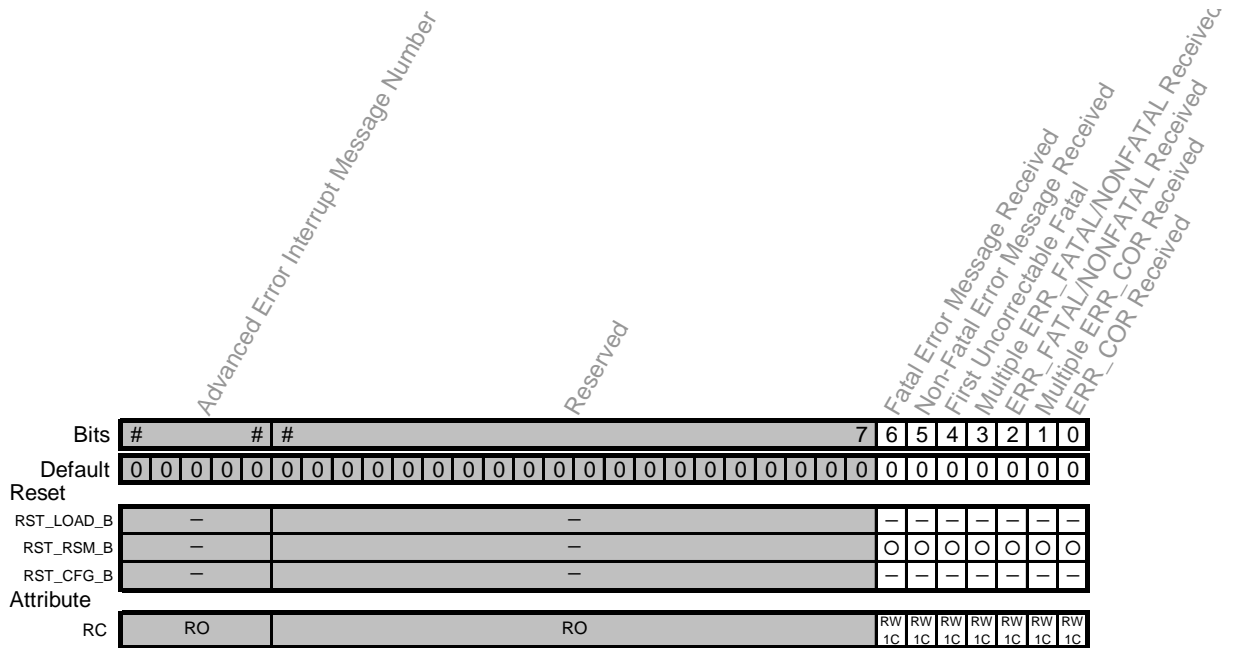
Bit	Field	Description
31:0	Header of TLP associated with error 3	最初に検出した Uncorrectable Error について、Header の 1 ~ 4 DW 目を示します。

(12) Configuration Space 12Ch (Root Error Command)



Bit	Field	Description
31:3	Reserved	(00000000h 固定)
2	Fatal Error Reporting Enable	When Set, this bit enables the generation of an interrupt when a Fatal error is reported by any of the Functions in the hierarchy associated with this Root Port.
1	Non-Fatal Error Reporting Enable	When Set, this bit enables the generation of an interrupt when a Non-fatal error is reported by any of the Functions in the hierarchy associated with this Root Port.
0	Correctable Error Reporting Enable	When Set, this bit enables the generation of an interrupt when a correctable error is reported by any of the Functions in the hierarchy associated with this Root Port.

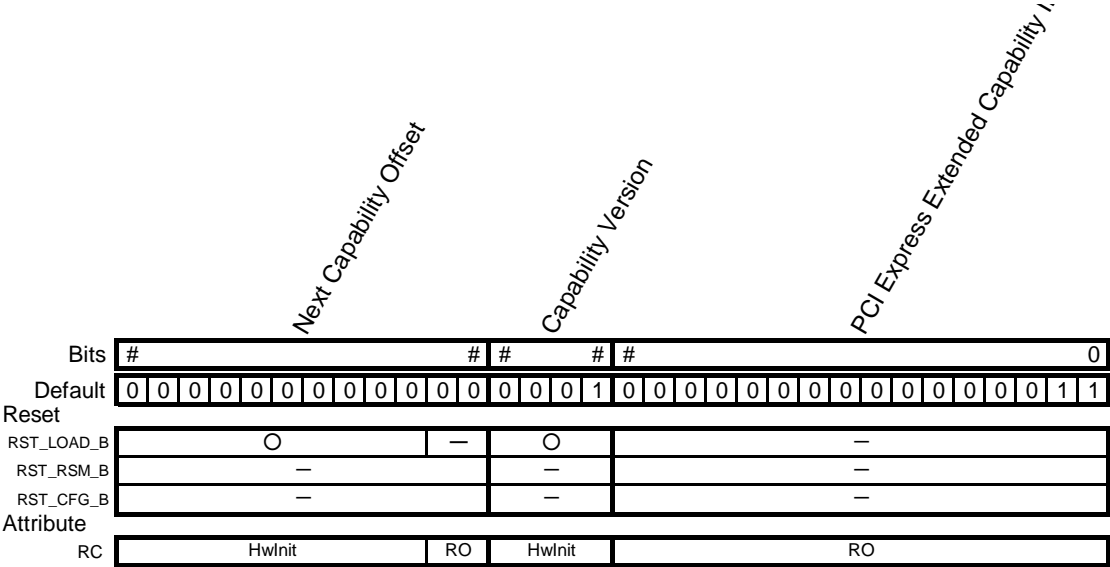
(13) Configuration Space 130h (Root Error Status)



Bit	Field	Description
31:27	Advanced Error Interrupt Message Number	Not Implemented

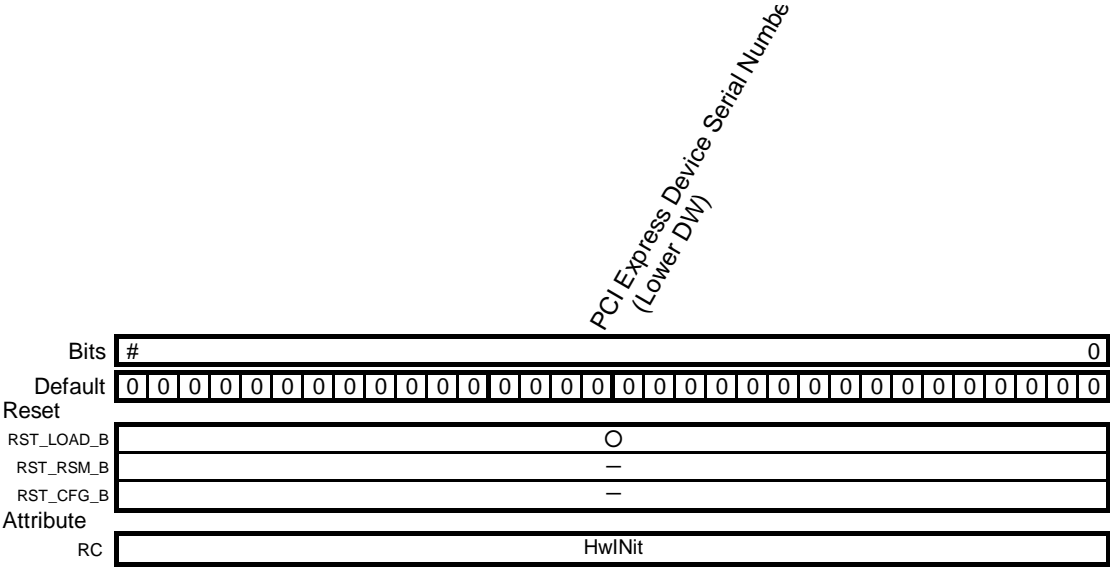
24.14.6.7 Device Serial Number Capability

(1) Configuration Space 140h (Device Serial Number Enhanced Capability)



Bit	Field	Description
31:20	Next Capability Offset	DeviceSerialNumberCapability の開始アドレスを示します。 下位 2bit は 0 固定 000b : PCI Express Extended Capability の最終 List であることを示す
19:16	Capability Version	Capability Structure のバージョンを示します。 Default : 0001b
15:0	PCI Express Extended Capability ID	Advanced Error Reporting Capability を示します。 Default: 0003h

(2) Configuration Space 144h (Serial Number Register (Lower DW))



Bit	Field	Description
31:0	PCI Express Device Serial Number (Lower DW)	This field contains the IEEE defined 64-bit extended unique identifier (EUI-64™). This identifier includes a 24-bit company id value assigned by IEEE registration authority and a 40-bit extension identifier assigned by the manufacturer.

(Serial Number Register (Upper DW))

PCI Express Device Serial Number
(Upper DNV)

Bits	#	0
Default	0 0	
Reset		
RST_LOAD_B		0
RST_RSM_B		—
RST_CFG_B		—
Attribute		
RC		HwInit

Bit	Field	Description
31:0	PCI Express Device Serial Number (Upper DW)	This field contains the IEEE defined 64-bit extended unique identifier (EUI-64™). This identifier includes a 24-bit company id value assigned by IEEE registration authority and a 40-bit extension identifier assigned by the manufacturer.

24.14.6.8 Special Register

以下に示す **Mask Register** は、該当する **Base Address Register** のどのビットを **0b** 固定にするかを設定します。例えば、**Base Address Register Mask00 [15:0]** ビットを全て 1 に設定すると、**Base Address Register 0** の [15:0] が **0b** 固定となり、**Host** に対して **16bit** のアドレス空間を要求することになります。
(**Base Address Register 0** の bit15~bit4 が 0 固定となり、**Host** に **64KByte** のメモリ空間を要求します)

(1) Configuration Space 0A0h (Base Address Register Mask00 (Lower))

Base Address Register Mask00 (Lower)

Bits # 0

Default 0

Reset

RST_LOAD_B 0

RST_RSM_B -

RST_CFG_B -

Attribute

EP PCIe HwInit

Bit	Field	Description
31:0	Base Address Register Mask00 (Lower)	Base Address Register 0 (BAR0)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(2) Configuration Space 0A4h (Base Address Register Mask00 (Upper))

Base Address Register Mask00 (Upper)

Bits # 0

Default 0

Reset

RST_LOAD_B 0

RST_RSM_B -

RST_CFG_B -

Attribute

RC HwInit

Bit	Field	Description
31:0	Base Address Register Mask00 (Upper)	Base Address Register 0 (BAR0)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(Base Address Register Mask01 (Lower))

Base Address Register Mask0
(Lower)

Bits	#
Default	00000000000000000000000000000000
Reset	
RST_LOAD_B	○
RST_RSM_B	—
RST_CFG_B	—
Attribute	
RC	HwInit

Bit	Field	Description
31:0	Base Address Register Mask01 (Lower)	Base Address Register 2 (BAR2)およびBase Address Register 3 (BAR3)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(Base Address Register Mask01 (Upper))

Base Address Register Mask0
(Upper)

Bits	#
Default	0
Reset	00000000000000000000000000000000
RST_LOAD_B	○
RST_RSM_B	—
RST_CFG_B	—
Attribute	
RC	Hwlnit

Bit	Field	Description
31:0	Base Address Register Mask01 (Upper)	Base Address Register 2 (BAR2)およびBase Address Register 3 (BAR3)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(Base Address Register Mask02 (Lower))

Base Address Register Mask0₂
(Lower)

Bits	#	0
Default	0 0	
Reset		
RST_LOAD_B		○
RST_RSM_B		—
RST_CFG_B		—
Attribute		
RC		HwInIt

Bit	Field	Description
31:0	Base Address Register Mask02 (Lower)	Base Address Register 3 (BAR3) および Base Address Register 4 (BAR4) 用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(Base Address Register Mask02 (Upper))

Base Address Register Mask0₂
(Upper)

Bits	#	0
Default	0 0	
Reset		
RST_LOAD_B		○
RST_RSM_B		—
RST_CFG_B		—
Attribute		
RC		HwInIt

Bit	Field	Description
31:0	Base Address Register Mask02 (Upper)	Base Address Register 3 (BAR3)およびBase Address Register 4 (BAR4)用のマスク・レジスタです。

備考) デフォルト値はパラメータによって、変更可能です。

(7) Configuration Space 0C0h (Base Size 00)

Bits	#	#	9	0
Default	0	0	0	0
Reset	0	0	0	0
RST_LOAD_B				0
RST_RSM_B				-
RST_CFG_B				-
Attribute				
RC			RO	Hwlnit

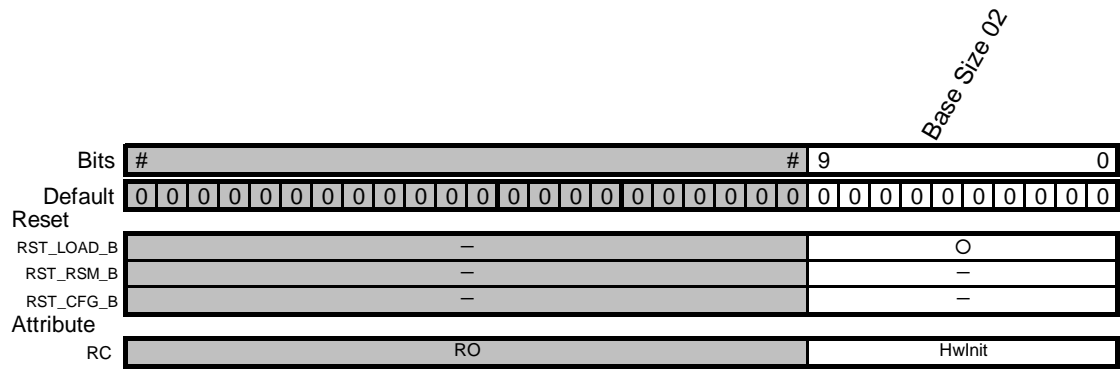
Bit	Field	Description
31:10	Reserved	(000000h固定)
9:0	Base Size 00	Base Address RegisterおよびBase Address Mask Registerで設定した Address Space (CFG_SPACE00_BASE) で受け入れられる、TLP (DW Size) のサイズを設定します。ここで設定したサイズより大きいパケット長のTLPを受信した場合 (Max Payload Sizeより小さかったとしても)、Completer Abort Error (CA)を検出します。 なお、デフォルト値は0000000000bでこの場合、この機能は無効となります。

(8) Configuration Space 0C4h (Base Size 01)

Bits	#	#	9	0
Default	0	0	0	0
Reset	0	0	0	0
RST_LOAD_B				0
RST_RSM_B				-
RST_CFG_B				-
Attribute				
RC			RO	Hwlnit

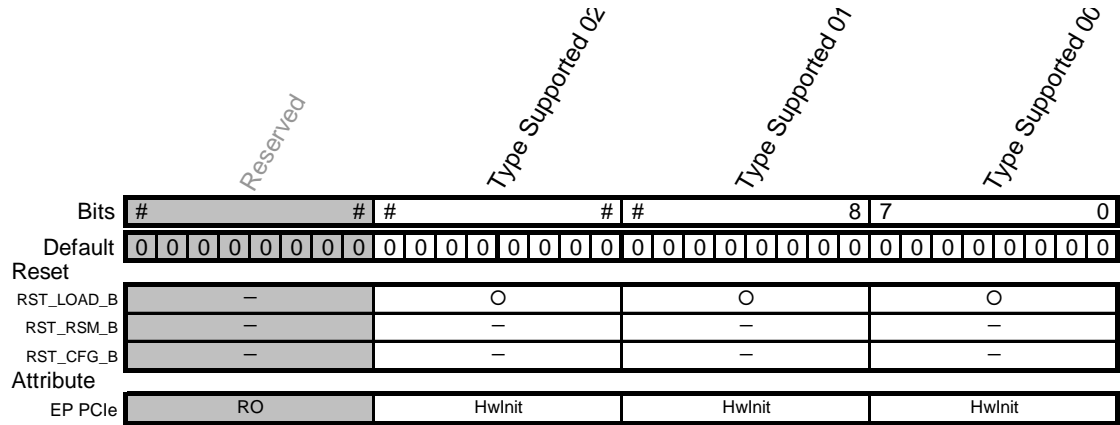
Bit	Field	Description
31:10	Reserved	(000000h固定)
9:0	Base Size 01	Base Address RegisterおよびBase Address Mask Registerで設定した Address Space (CFG_SPACE01_BASE) で受け入れられる、TLP (DW Size) のサイズを設定します。ここで設定したサイズより大きいパケット長のTLPを受信した場合 (Max Payload Sizeより小さかったとしても)、Completer Abort Error (CA)を検出します。 なお、デフォルト値は0000000000bでこの場合、この機能は無効となります。

(9) Configuration Space 0C8h (Base Size 02)



Bit	Field	Description
31:10	Reserved	(000000h固定)
9:0	Base Size 02	Base Address RegisterおよびBase Address Mask Registerで設定したAddress Space (CFG_SPACE02_BASE) で受け入れられる、TLP (DW Size) のサイズを設定します。ここで設定したサイズより大きいパケット長のTLPを受信した場合 (Max Payload Sizeより小さかったとしても)、Completer Abort Error (CA)を検出します。 なお、デフォルト値は0000000000bでこの場合、この機能は無効となります。

(10) Configuration Space 0D0h (Type Supported)



Bit	Field	Description
31:24	Reserved	(00h固定)
23:16	Type Supported 02	Space02 (CFG_SPACE02_BASE) でサポート可能なTransaction Typeを設定します。各々のビットの意味は欄外を参照下さい。
15:8	Type Supported 01	Space01 (CFG_SPACE01_BASE) でサポート可能なTransaction Typeを設定します。各々のビットの意味は欄外を参照下さい。
7:0	Type Supported 00	Space00 (CFG_SPACE00_BASE) でサポート可能なTransaction Typeを設定します。各々のビットの意味は欄外を参照下さい。

- Bit0: Memory read 32 bit
Bit1: Memory read 64 bit
Bit2: Memory read lock 32 bit
Bit3: Memory read lock 64 bit
Bit4: Memory write 32 bit
Bit5: Memory write 64 bit
Bit6: IO Read
Bit7: IO Write