

第15章 ~~I2C~~

削除: IIC

15.1 概要

15.1.1 特徴

- シリアル・クロック (IIC_SCL) とシリアル・データバス (IIC_SDA) の 2 本のラインを使用して、複数のデバイスとデータ転送を行うインターフェースです。
- データ長は 8 ビットです。
(ただし、8 ビットデータのあとに、ACK 信号の 1 ビットが付随します。)
- ~~I2C~~ バスフォーマット (Philips 社 1995 年 4 月発行「The I2C-bus and how to use it」) に準拠し、バスラインの状態により"スタート・コンディション", "ストップ・コンディション"を判断できます。
- 高速モード (ファースト・モード: 転送速度: ~~9.23MHz~~ 供給)
~~入力クロック 8.57MHz、9.23MHz、9.6MHz~~ の 3 段階に切替え可能。
※1.切り替えは「第 6 章 SCU の SSPROT_CLK_SEL レジスタ」で設定。

削除: I

削除: 384kbps(

削除:

削除:

削除: 動作レート

削除: 357kbps, 384kbps, 400kbps

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字

削除: ※2. ただし、400kbps 設定時は I2C 規格違反での動作となります。。

備考

本章の説明における IIC と I2C は同じ意味です。
また、IIC0 は、APB-SS に搭載されている I2C マクロ名になります。

15.1.2 IIC インタフェースの接続

IIC バスによるデバイスの接続例を以下に示します。IIC バスに接続されるデバイスはオープン・ドレイン駆動である必要があります。

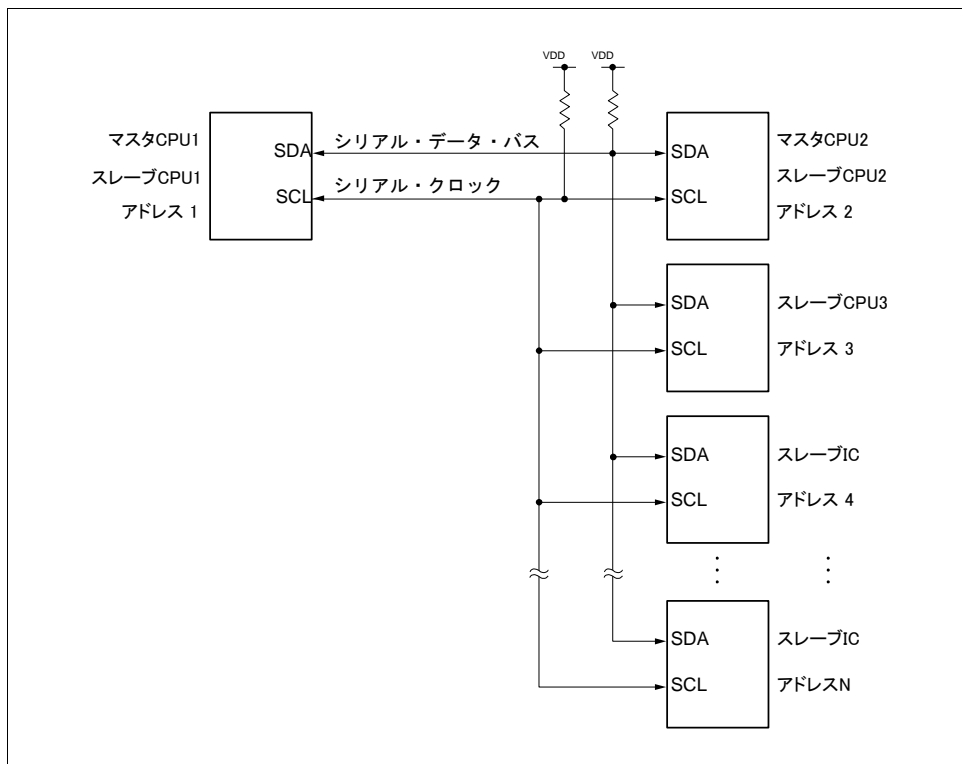


図 15-1 IIC インタフェースによるデバイス接続例

注意 図 15-1 は、一般的な IIC デバイスの信号接続を表しています。

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA) の機能と構造を次に示します。

IIC_SCL : シリアル・クロックを入出力するための端子。

マスタ、スレーブともに出力は **N-ch** オープン・ドレイン。入力は、シュミット入力。

IIC_SDA : シリアル・データの入出力兼用端子。

マスタ、スレーブともに出力は **N-ch** オープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が **N-ch** オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

※出力バッファは、**P_ch** トランジスタが端子に接続されていないものにしてください。

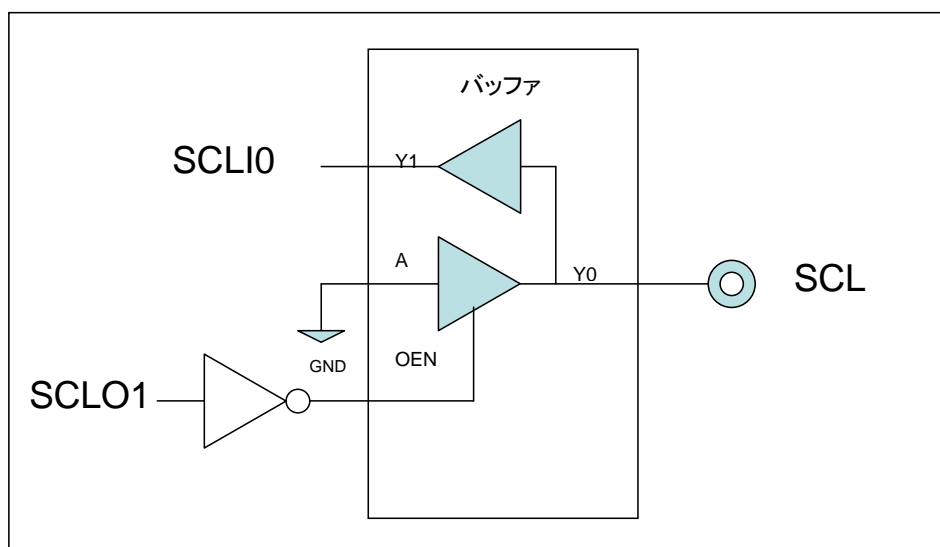
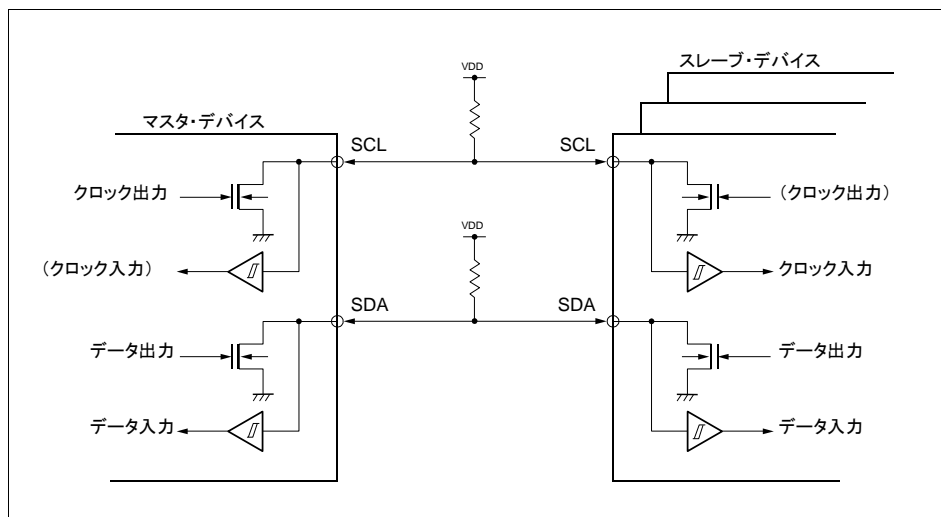
(理由) 複数のチップと IIC のバスを接続している場合。本チップの電源のみ **0V** にし、その他のチップだけでデータ転送を行う時に、**P_ch** のトランジスタが出力バッファに接続されていると、**Pull_up** されている **IIC_SCL** / **IIC_SDA** の各ラインが、この **P_ch** トランジスタにより **0V** にクランプされるために、転送ができなくなります。

削除: 図 15-1

削除: 図 15-1

書式変更: フォント: Century Gothic, 10 pt, 太字, フォントの色: 茶

書式変更: フォント: Century Gothic, 10 pt, 太字, フォントの色: 茶



注意 図 15-2 は、一般的な IIC デバイスの入出力信号の接続を表しています。

本マクロの SCLO、SDAO の出力はすべて正論理となっています。よって出力バッファと接続する場合には、そのバッファを含めて出力の論理が正論理になっている必要がありますので注意してください。

書式変更: インデント : 左 0 字, 最初の行 : 0 字

書式変更: フォント : Century Gothic,
10 pt, 太字, フォントの色 : 茶, (言語
1) 日本語

書式変更: フォント : Century Gothic,
10 pt, フォントの色 : 茶, (言語 1) 日
本語, スペル チェックと文章校正を行う

消除:  15-2

書式変更: フォント : Century Gothic,
10 pt, 太字, フォントの色 : 茶, (言語
1) 日本語

書式変更: フォント : Century Gothic,
10 pt, フォントの色 : 茶, (言語 1) 日
本語, スペル チェックと文章校正を行う

削除: 図 15-2

表の書式変更

15.1.3 クロックについて

15.1.3.1 本マクロへの入力クロック周波数

APBスレーブ用クロックであるPCLK、I2C転送用の内部サンプリング・クロックであるCLK1には、必ず下記周波数の範囲内でクロックを入力してください。制限を超えた周波数をCLK1に入力した場合、I2Cバスのスペック（I_{LOW}：SCLクロックのロウ幅）に違反します。

$$PCLK \geq 18.4\text{MHz}$$

$$2\text{MHz} \leq CLK1 \leq 9.2\text{MHz}$$

15.1.3.2 通信動作周波数に関する注意事項

本マクロはスレーブ動作時だけでなく、マスタ動作時にもSCLをコア内部に引き込んでシリアル・クロック入力であるCLK1で立ち上がり立ち下りをサンプリングして検出しています。SCLの入力の立ち上がりが遅くなると、サンプリング・タイミングが遅れてしまうので、レジスタに設定した周期よりSCLの周期が長くなることがあります。

注意 IIC SCL端子に接続するpull-up抵抗値によって、レジスタに設定した周期よりIIC SCLの周期が長くなることがあります。また、シリアルクロック(SCL)のL幅は、I2Cパファの立下り遅延の影響でI2Cマクロ出力のL幅よりも短くなります。

15.1.3.3 I2C転送クロックの設定について

本マクロを動作許可状態(IIC0動作許可レジスタ：IICE=1)にする前に、IIC0転送クロック選択レジスタの値を決定させてください。(周波数を変更させる場合にはIICEを"0"にして、IIC0転送クロック選択レジスタを書き換えてください。)

書式変更：二重取り消し線（なし）

書式変更：インデント：左 0 字，最初の行：0 字

書式変更：見出し 4, <(1) 見出し>，行頭文字または番号を削除

書式変更

書式変更

書式変更：インデント：左 0 字，最初の行：0 字

書式変更

書式変更：フォント：10 pt，フォントの色：自動

書式変更：インデント：左：6.3 mm，最初の行：3.2 mm

書式変更

書式変更：行間：最小値 12 pt

表の書式変更

書式変更：右 0.5 字，行間：最小値 12 pt

書式変更：フォント：10 pt

書式変更：フォント：10 pt，フォントの色：自動

書式変更：インデント：左：6.3 mm，最初の行：3.2 mm

書式変更

書式変更：フォント：10 pt，フォントの色：自動，二重取り消し線（なし）

書式変更：インデント：左 0 字，最初の行：0 字

15.2 レジスタ

15.2.1 レジスタ一覧

表 15-1 レジスタ一覧表

アドレス	オフセット PADDR5~2	レジスタ名	略語	R/W	リセット値
EFFE_5000H	0000	IIC0 動作許可レジスタ	IICACT0	R/W	00H
EFFE_5004H	0001	IIC0 シフト・レジスタ	IIC0	R/W	00H
EFFE_5008H	0010	IIC0 コントロール・レジスタ	IICCO	R/W	00H
EFFE_500CH	0011	スレーブ・アドレス・レジスタ	SVA0	R/W	00H
EFFE_5010H	0100	IIC0 転送クロック選択レジスタ	IICCL0	R/W	04H
EFFE_5014H	0101	IIC0 機能拡張レジスタ	IICX0	R/W	00H
EFFE_5018H	0110	IIC0 状態レジスタ	IICSO	R	00H
EFFE_501CH	0111	IIC0 状態レジスタ (エミュレーション用 リード専用レジスタ)	IICSE0	R	00H
EFFE_5020H	1000	IIC0 フラグ・レジスタ	IICF0	R/W	00H
EFFE_5024H	1001	RENESAS 予約レジスタ 1	—	—	—
EFFE_5028H	1010	RENESAS 予約レジスタ 2	—	—	—
EFFE_502CH	1011	RENESAS 予約レジスタ 3	—	—	—
EFFE_5030H	1100	RENESAS 予約レジスタ 4	—	—	—
EFFE_5034H	1101	RENESAS 予約レジスタ 5	—	—	—
EFFE_5038H	1110	RENESAS 予約レジスタ 6	—	—	—
EFFE_503CH	1111	RENESAS 予約レジスタ 7	—	—	—

RENESAS 予約レジスタ 1~7 は、アクセス禁止です。

15.2.1.1 レジスタビット一覧

表 15-2 レジスタビット一覧表

	7	6	5	4	3	2	1	0
IICACT0	-	-	-	-	-	-	-	IICE
IIC0	(送受信データ)							
IICCO	-	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT
SVA0	(スレーブ・アドレス)							
IICCL0	-	-	CLD	DAD	SMC	DFC	CL1	CL0
IICX0	-	-	-	-	-	-	-	CLX
IICSO	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD
IICSE0	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD
IICF0	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

15.2.2 レジスタ説明

15.2.2.1 IIC0 動作許可レジスタ (IICACT0)

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	IICE	EFFE_5000H
R/W	R	R	R	R	R	R	R	R/W	初期値
初期値	0	0	0	0	0	0	0	0	00H

ビット位置	ビット名	機 能
7 : 1	Reserved	予約。読み出すと 0 が返されます。書き込みは無効です。
0	IICE	IIC 動作許可ビット。注 1 : 許可 0 : フラグ、状態レジスタをリセット、内部動作も停止 PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により、 書き込まれたデータは本レジスタの読み出しデータとしてすぐには反映されません。

注 本レジスタへ書き込みを行った場合は、必ずその後読み出しを行い、書き込んだ値になったことを確認してから、他のレジスタ設定を行ってください。

本ビットを 0 にする場合は、マクロの動作が完全に終了した状態になったことを確認した後に行ってください。

例えば、IIC0 の STP ビットに書き込みを行った次のサイクルで本ビットに 0 を書き込んだ場合、ストップ・コンディションが発行されない場合があります。

図 15-4 IIC0 動作許可レジスタ

15.2.2.2 IIC0 シフト・レジスタ (IIC0)

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	SDA7	SDA6	SDA5	SDA4	SDA3	SDA2	SDA1	SDA0	EFFE_5004H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	初期値
初期値	0	0	0	0	0	0	0	0	00H

ビット位置	ビット名	機 能
7 : 0	SDA[7:0]	8 ビット・シリアル・データ。 ウェイト期間中に本レジスタへ書き込むと、データ転送を開始します。シリアル・データは、最上位(MSB)側から転送されます。 IIC0=0 (IIC0 動作許可レジスタ) で初期化されます。

IIC0 は、8 ビットのシリアル・データを 8 ビットのパラレル・データに、8 ビットのパラレル・データを 8 ビットのシリアル・データに変換するレジスタです。IIC0 は送信および受信の両方に使用されます。

IIC0 に対する書き込みにより、実際の送受信動作が制御されます。

注意 書き込みから転送が終了するまでは、本レジスタにアクセスしないでください。

また転送中は、ウェイト制御やアクノリッジ制御などの転送モードに関するレジスタの変更は行わないでください。

PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により、本レジスタ・アクセスで書き込まれたデータは、読み出しデータとしてすぐに反映されません。

削除: リセットは、PRESETn or

削除: かかります

図 15-5 IIC0 シフト・レジスタ

15.2.2.3 IIC0 コントロール・レジスタ (IICC0)

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	Reserved	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT	FFFF_5008H
R/W	R	R/W	R/W	R/W	R/W	R/W	W	W	初期値
初期値	0	0	0	0	0	0	0	0	00H

ビット位置	ビット名	機 能
7	Reserved	予約。読み出すと0が返されます。書き込みは無効です。
6	LREL	<p>通信回避ビット。</p> <p>1: 通信から回避後、待機状態</p> <p>0: 通常動作</p> <p>自局に関係ない拡張コードを受信した時などに使用します。1 をセットすると SCL/SDA 端子は Hi-Z 状態になります。また、以下のフラグがクリアされます。</p> <p>EXC, ACKD, TRC, STT, COI, MSTs, STD, SPT ビット</p> <p>書き込まれた 1 は自動的に 0 になりますが、PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により、すぐにはクリアされません。その間にこのレジスタへの書き込みは行わないでください。動作を保証するためには、読み出しを行い本ビットが"0"になったことを確認してから書き込みを行ってください。</p>
5	WREL	<p>ウェイト解除ビット。</p> <p>1: 解除</p> <p>0: 状態を保持</p> <p>IIC0 状態レジスタの TRC ビットが 1 の状態でこのビットに 1 を設定すると、ウェイト解除にあわせて TRC ビットが 0 にクリアされ、SDA 端子を開放 (Hi-Z) します。</p> <p>書き込まれた 1 は自動的に 0 になりますが、PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により、すぐにはクリアされません。その間にこのレジスタへの書き込みは行わないでください。動作を保証するためには、読み出しを行い本ビットが"0"になったことを確認してから書き込みを行ってください。</p>
4	SPIE	<p>ストップ・コンディション検出による割り込み発生許可ビット。</p> <p>1: 許可</p> <p>0: 禁止</p>
3	WTIM	<p>ウェイトおよび割り込み発生時の制御ビット (CBUS ではなく IIC で使う場合は 1 を設定して下さい)</p> <p>1: SCL クロック 9 サイクル目の立ち下がりで割り込み要求発生</p> <p>マスタの場合: SCL クロック 9 サイクル出力後に、SCL クロック出力を "Low" レベルのままウェイトします。</p> <p>スレーブの場合: SCL クロック 9 サイクル入力後に、SCL クロックをロウ・レベルにドライブしてマスタをウェイトさせます。</p> <p>0: SCL クロック 8 サイクル目の立ち下がりで割り込み要求発生</p> <p>マスタの場合: SCL クロック 8 サイクル出力後に、SCL クロック出力を "Low" レベルのままウェイトします。</p> <p>スレーブの場合: SCL クロック 8 サイクル入力後に、SCL クロックをロウ・レベルにドライブしてマスタをウェイトさせます。</p> <p>アドレス転送中は WTIM ビットの設定は無効です。転送終了時にこのビットの設定が参照されます。</p> <p>スレーブとして動作していて、拡張コードを受信した場合 (IIC0 状態レジスタ: EXC=1) は、クロック 8 サイクル目の立ち下がりにウェイトし割り込み要求が発生します。さらに、当フラグが 1 の場合は、クロック 9 サイクル目の立ち下がりにウェイトし割り込み要求が発生します。</p>

図 15-6 IIC0 コントロール・レジスタ (1/2)

ビット位置	ビット名	機 能
2	ACKE	<p>アクノリッジ制御ビット。</p> <p>1 : 許可 (9 クロック・サイクル中に、SDA 端子を"Low"レベルにします)</p> <p>0 : 禁止</p> <p>アドレス転送中は無効です。(フラグを参照せずにアクノリッジを返送します)。</p> <p>ただし、拡張コードを受信した場合 (IIC0 状態レジスタ : EXC=1) は、アドレス転送中でも有効です。</p>
1	STT	<p>スタート・コンディション・トリガ・ビット。</p> <p>1 書き込み :</p> <p>(1) バスが開放されている時 (ストップ状態)</p> <p>スタート・コンディションの生成 (マスタとしての起動)</p> <p>SDA 端子を"High"レベルから"Low"レベルに変化させ、スタート・コンディションを生成します。</p> <p>その後、規格の時間を確保してから SCL 端子を"Low"レベルにします。</p> <p>(2) バスに参加していない時</p> <p>スタート・コンディション出力を予約します (予約フラグ)</p> <p>本フラグをセットすると、バスが開放された後に、自動的にスタート・コンディションを生成します。</p> <p>(3) ウェイト状態 (マスタ時)</p> <p>ウェイトを解除して、リスタートします。</p> <p>0 書き込み : 何もしません。</p> <p>セット条件 : ・CPU のレジスタ書き込み命令によるセット</p> <p>クリア条件 : ・マスタでのスタート・コンディション生成後クリア</p> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・LREL=1 のとき ・IICE=0 のとき ・リセットによるクリア <p>読み出すと常に 0 が返されます。</p>
0	SPT	<p>ストップ・コンディション・トリガ・ビット注。</p> <p>1 書き込み : ストップ・コンディションの生成 (マスタとしての転送終了)</p> <p>SDA ラインを"Low"レベルにした後、SCL ラインを"High"レベルにするか、または、SCL が"High"レベルになるのを待ちます。その後、規格の時間を確保し、SDA ラインを"Low"レベルから"High"レベルに変化させ、ストップ・コンディションを生成します。</p> <p>ウェイト状態時にセットすることで、ウェイトを解除してストップ・コンディションを生成します。</p> <p>0 書き込み : 何もしません。</p> <p>セット条件 : ・CPU のレジスタ書き込み命令によるセット</p> <p>クリア条件 : ・ストップ・コンディション検出によるクリア</p> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・LREL=1 のとき ・IICE=0 のとき ・リセットによるクリア <p>読み出すと常に 0 が返されます。</p>

図 15-7 IIC0 コントロール・レジスタ (2/2)

注意 SPT ビットのセットは、マスタのときのみ行ってください。
STT ビットと同時にセットすることはできません。

15.2.2.4 スレーブ・アドレス・レジスタ（SVA0）

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	SVAD7	SVAD6	SVAD5	SVAD4	SVAD3	SVAD2	SVAD1	SVAD0	FFFF_500CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	初期値
初期値	0	0	0	0	0	0	0	0	00H

ビット位置	ビット名	機 能
[7:0]	SVAD[7:0]	スレーブ・アドレス

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

注意 IIC0 動作許可レジスタの IICE ビットをセットする前に値を設定してください。

図 15-8 スレーブ・アドレス・レジスタ

15.2.2.5 IIC0 転送クロック選択レジスタ (IICCL0)

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	Reserved	Reserved	CLD	DAD	SMC	DFC	CL1	CL0	EFF_F5010H
R/W	R	R	R	R	R/W	R/W	R/W	R/W	初期値
初期値	0	0	0	0	0	1	0	0	04H

ビット位置	ビット名	機 能
[7:6]	Reserved	予約。読み出すと 0 が返されます。書き込みは無効です。
5	CLD	SCL 端子のレベル検出ビット。 1 : SCL 端子が"High"レベルであることを検出 0 : SCL 端子が"Low"レベルであることを検出
4	DAD	SDA 端子のレベル検出ビット。 1 : SDA 端子が"High"レベルであることを検出 0 : SDA 端子が"Low"レベルであることを検出
3	SMC	動作モード切り換えビット。 1 : 高速モードで動作 0 : 標準モードで動作
2	DFC	デジタル・ノイズ・フィルタ動作許可ビット 常に ON 設定にして使用してください。OFF 設定は禁止とします。 1 : デジタル・ノイズ・フィルタ ON(初期値) 0 : デジタル・ノイズ・フィルタ OFF(禁止) SCL, SDAI への入力に対してフィルタリングをかけノイズを除去します。
[1:0]	CL[1:0]	選択クロック・スピード (以下を参照してください)。

注意 CLD, DAD ビットは IICE=1 の時のみ値が有効となります (IICE=0 の場合には 0 がリードされます)。
DFC ビットは、常に ON にして使用してください。

マスタ動作時における CLK1 への周波数制限 (スレーブ時には制限がありません)

CL1	CL0	選択クロック・スピード		選択クロック
		標準モード	高速モード	
0	0	$2.00\text{MHz} \leq F_{xx} \leq 4.19\text{MHz}$	$4.00\text{MHz} \leq F_{xx} \leq 9.2\text{MHz}$	CLK1
0	1	$4.19\text{MHz} \leq F_{xx} \leq 8.38\text{MHz}$	$4.00\text{MHz} \leq F_{xx} \leq 9.2\text{MHz}$	CLK1
1	0	設定禁止	設定禁止	—
1	1	設定禁止	設定禁止	—

注意 1 IIC0 動作許可レジスタの IICE ビットをセットする前に必ず転送クロックの設定をしてください。
ここに書かれている周波数は、選択クロックの周波数です。
Fxx : 選択クロックの周波数
標準モードは 2MHz 以上、高速モードは 4MHz 以上で使用可能です。

図 15-9 IIC0 転送クロック選択レジスタ (1/2)

CL[1:0]が"00b, 01b"のとき、高速モードでは同じ分周比となります。
標準モードの場合には、内部の時間を計測しているカウンタの値が変化するだけで回路としては同じ動作となります。

シングル・マスタで使用した場合の転送周波数			
CL1	CL0	標準モード	高速モード
0	0	Fxx/44	Fxx/24
0	1	Fxx/86	Fxx/24
1	0	設定禁止	設定禁止
1	1	設定禁止	設定禁止

Fxx : 選択クロックの周波数

図 15-10 IIC0 転送クロック選択レジスタ (2/2)

15.2.2.6 IIC0 機能拡張レジスタ (IICX0)

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	CLX	FFFF_5014H
R/W	R	R	R	R	R	R	R	R/W	初期値
初期値	0	0	0	0	0	0	0	0	00H

ビット位置	ビット名	機 能
[7:1]	Reserved	予約。読み出すと 0 が返されます。書き込みは無効です。
0	CLX	<p>高速モード転送クロック選択ビット。</p> <p>1 : シングル・マスタ時の転送周波数が、基準クロック (IIC0 転送クロック選択レジスタの CL ビットで選択) の 1/12 になります。</p> <p>0 : IIC0 転送クロック選択レジスタの SMC ビットに設定されている転送スピードで動作します。</p> <p>このビットは高速モード時のみ有効です。</p>

選択されたクロックの周波数は 4MHz~4.6MHz の間で使用してください。

<p>シングル・マスタで使用した場合の転送周波数</p> <p>高速モード</p> <p>Fxx/12</p> <p>Fxx : 選択クロックの周波数</p>

図 15-11 IIC0 機能拡張レジスタ

15.2.2.7 IIC0 状態レジスタ (IICS0)

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD	FFFF_5018H
R/W	R	R	R	R	R	R	R	R	初期値
初期値	0	0	0	0	0	0	0	0	00H

ビット位置	ビット名	機 能
7	MSTS	<p>マスタ状態確認フラグ</p> <p>1: マスタ通信状態</p> <p>0: スレーブ状態または通信待機状態</p> <p>セット条件: ・スタート・コンディション生成時</p> <p>クリア条件: ・ストップ・コンディション検出時</p> <p>・アービトレーション負けによるクリア</p> <p>・LREL=1 のとき 注1</p> <p>・IICE=0 のとき</p> <p>・リセットによるクリア</p>
6	ALD	<p>アービトレーション負け検出</p> <p>1: アービトレーションに負けた状態 (MSTS ビットがクリアされます)</p> <p>0: アービトレーションが起っていない状態、又は、アービトレーションに勝った状態</p> <p>セット条件: ・アービトレーションに負けたとき</p> <p>クリア条件: ・リード後、自動的にクリア</p> <p>・IICE=0 のとき</p> <p>・リセットによるクリア</p> <p>このビットは、本レジスタをリードするとクリアされますが、クリアには PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により読み出しデータにはすぐには反映されません。</p> <p>また、転送期間中に本レジスタの読み出しを行うと、アービトレーション負けが起こった場合でも、意図せずにマクロ内のアービトレーションフラグをクリアしてしまい、誤動作することがありますので転送期間中は必ず IICSE0 を使用するようになしてください。</p>
5	EXC	<p>拡張コード受信検出</p> <p>1: 拡張コードを受信</p> <p>0: 拡張コードを受信していません</p> <p>セット条件: ・受信したアドレスの上位 4bit が"0000"または"1111"の時 (SCL クロック 8 サイクル目立ち上がりタイミング時にセット)</p> <p>クリア条件: ・スタート・コンディション検出時</p> <p>・ストップ・コンディション検出時</p> <p>・LREL=1 によるクリア 注1</p> <p>・IICE=0 のとき</p> <p>・リセットによるクリア</p>

図 15-12 IIC0 状態レジスタ (1/3)

注1 IIC0 コントロール・レジスタの LREL=1 を書き込んだ場合でも、PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により、本ビットへのクリアはすぐには反映されません。クリアされたことを確認するには、読み出しを行い"0"になったことを確認してください。

ビット位置	ビット名	機 能
4	COI	<p>アドレス一致検出</p> <p>1: アドレスが一致</p> <p>0: アドレスが一致していません</p> <p>セット条件: ・受信アドレスが自局アドレス(SVA0)と一致した時 (SCL クロック 8 サイクル目立ち上がりタイミング時にセット)</p> <p>クリア条件: ・スタート・コンディション検出時</p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL=1 によるクリア 注 1 ・IICE=0 のとき ・リセットによるクリア
3	TRC	<p>送信／受信状態検出</p> <p>1: 送信状態</p> <p>SDA 端子にシリアル・データ値を出力できる状態にします。 (先頭バイトの SCL クロック 9 サイクル目の立ち下がり以降に有効)</p> <p>0: 受信状態 (送信状態以外) SDA 端子を Hi-Z にします。</p> <p>セット条件:</p> <p>マスタの場合</p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 (STD=1&MSTS=1) ・先頭バイトの LSB(転送方向指定ビット)に"Low"レベルを出力した時 <p>スレーブの場合</p> <ul style="list-style-type: none"> ・先頭バイトの LSB(転送方向指定ビット)で"High"レベルが入力された時 <p>クリア条件:</p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アービトラージ負けによるクリア ・LREL=1 によるクリア 注 1 ・IICE=0 のとき ・WREL=1 によるクリア (※) 注 1 ・リセットによるクリア ・通信不参加の場合 <p>マスタの場合</p> <ul style="list-style-type: none"> ・先頭バイトの LSB(転送方向指定ビット)に"High"レベルを出力した時 <p>スレーブの場合</p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 (STD=1&MSTS=0) ・先頭バイトの LSB(転送方向指定ビット)で"Low"レベルが入力されたとき <p>ウェイト期間中に WREL ビットをセットするとクリアされます。</p>

図 15-13 IIC0 状態レジスタ (2/3)

注 1 IIC0 コントロール・レジスタの LREL=1 を書き込んだ場合でも、PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により、本ビットへのクリアはすぐには反映されません。クリアされたことを確認するには、読み出しを行い"0"になったことを確認してください。

ビット位置	ビット名	機 能
2	ACKD	<p>アクノリッジ検出</p> <p>1: アクノリッジを検出 0: アクノリッジを検出していません</p> <p>セット条件: ・SCL クロック 9 サイクル目の立ち上がり時に、SDA 端子がロウ・レベルであったとき</p> <p>クリア条件: ・次バイトの、SCL クロック 1 サイクル目の立ち上がり時 ・ストップ・コンディション検出時 ・LREL=1 によるクリア 注 1 ・IICE=0 のとき ・リセットによるクリア</p>
1	STD	<p>スタート・コンディション検出</p> <p>1: スタート・コンディションを検出、アドレス転送期間であることを示します。 0: スタート・コンディションを検出していません。</p> <p>セット条件: ・スタート・コンディション検出時</p> <p>クリア条件: ・アドレス転送期間の次バイトの、SCL クロック 1 サイクル目の立ち上がり時 ・ストップ・コンディション検出時 ・LREL=1 によるクリア 注 1 ・IICE=0 のとき ・リセットによるクリア</p>
0	SPD	<p>ストップ・コンディション検出</p> <p>1: ストップ・コンディションを検出 あるマスタでの通信が終了し、バスが開放されていることを示します。 0: ストップ・コンディションを検出していません。</p> <p>セット条件: ・ストップ・コンディション検出時</p> <p>クリア条件: ・SPD セット後にスタート・コンディションを検出、その後のアドレス転送バイトの SCL クロック 1 サイクル目の立ち上がり時 ・IICE=0 のとき ・リセットによるクリア</p>

図 15-14 IIC0 状態レジスタ (3/3)

注 1 IIC0 コントロール・レジスタの LREL=1 を書き込んだ場合でも、PCLK と IIC 内部サンプリング・クロックの周波数帯域の差により、本ビットへのクリアはすぐには反映されません。クリアされたことを確認するには、読み出しを行い“0”になったことを確認してください。

15.2.2.8 IIC0 状態レジスタ (IICSE0) (エミュレーション用リード専用レジスタ)

ビット位置	7	6	5	4	3	2	1	0	アドレス EFFF_501CH 初期値 00H
ビット名	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD	
R/W	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

エミュレーション用状態レジスタ (IICSE0) を使用すると、ALD ビットをクリアせずに IIC0 状態レジスタ (IICS0) と同じステータス・ビットを読み出すことができます。

図 15-15 IIC0 状態レジスタ

15.2.2.9 IIC0 フラグ・レジスタ (IICF0)

ビット位置	7	6	5	4	3	2	1	0	アドレス
ビット名	STCF	IICBSY	Reserved	Reserved	Reserved	Reserved	STCEN	IICRSV	EFFE_5020H
R/W	R	R	R	R	R	R	RW	RW	初期値 00H
初期値	0	0	0	0	0	0	0	0	

ビット位置	ビット名	機 能
7	STCF	STT クリアフラグ 1 : STT フラグクリア 0 : スタート・コンディション発行 セット条件 通信予約禁止(IICRSV=1)設定時の STT のクリア クリア条件 STT セットによりクリア。 リセット入力によるクリア(PRESETn or IICE=0)
6	IICBSY	IIC バス状態フラグ 1 : バス通信状態 0 : バス開放状態 セット条件 スタート・コンディションの検出。 STCEN = 0 時の IICE のセット。 クリア条件 ストップ・コンディション検出。 リセット入力によるクリア(PRESETn or IICE=0)
[5:2]	Reserved	予約。読み出すと 0 が返されます。書き込みは無効です。

ビット位置	ビット名	機 能
1	STCEN	<p>初期スタート許可トリガ</p> <p>1 : 動作許可後(IICE=1)後、ストップ・コンディションを検出せずにスタート・コンディションを生成します</p> <p>0 : 動作許可(IICE=1)後、ストップ・コンディションを検出しないとスタート・コンディションを生成しません。</p> <p>セット条件</p> <p>命令による"1"書込み</p> <p>クリア条件</p> <p>命令による"0"書込み</p> <p>スタート・コンディション検出によるクリア。</p> <p>リセット入力によるクリア(PRESEtnのみ)</p> <p>本ビットを1にセットする場合は、他のIICが通信中でないときにセットしてください。</p> <p>他のIICが通信中に本ビットを1にセットしSTTを1にセットするとスタート・コンディションを発行し通信中であるデータを破壊します。</p> <p>したがって、本ビットを使用する際は十分に系統的に注意をしてください</p>
0	I I C R S V	<p>通信予約機能禁止ビット</p> <p>1 : 通信予約禁止</p> <p>0 : 通信予約許可</p> <p>セット条件</p> <p>命令による"1"書込み</p> <p>クリア条件</p> <p>命令による"0"書込み</p> <p>リセット入力によるクリア(PRESEtnのみ)</p>

図 15-16 IIC0 フラグ・レジスタ (2/2)

注意 STCEN ビットを1にセット後、IIC0 コントロール・レジスタの STT ビットでスタート・コンディション・トリガをセットした場合は、実際にスタート・コンディションが生成されるまでは STCEN ビットの値を0にしないでください。

15.2.3 レジスタ・アクセスに関する注意事項

本マクロを使用する場合に、APB の同期クロックである PCLK と、IIC 内部サンプリング・クロック (IIC0 クロック選択レジスタで選択されるクロック) の周波数帯域に差 (PCLK>IIC 内部サンプリング・クロック) があることが予想されます。

このため、プログラムを設計する際には、レジスタの設定順序、使用方法について、以下の注意事項を厳守してください。

削除: しかし、APB ではウェイト機能がサポートされていないため、レジスタ・アクセスの際の待ち合わせは行っておりません。

削除: このことを前提として

削除: 十分注意

表 15-3 レジスタ・アクセスに関する注意事項

レジスタ	ビット	提起事項
IICACT0	IICE	ライト後、リード・データとして反映されるまで、IIC 内部サンプリング・クロックで最大 3 クロックかかります。 ライト後は必ずリードを行い、期待するデータになったことを確認してください。 本ビットを 0 にする場合は、マクロの動作が完全に終了した状態になったことを確認してからにしてください。例えば、IICC0 の STP ビットに書き込みを行った次のサイクルで本ビットに 0 を書き込んだ場合、ストップ・コンディションが発行されない場合があります。
IIC0	-	ライトから転送が終了するまでは、アクセスしないでください。 また転送中は、転送モードにかかわる他のレジスタの設定変更は行わないでください。
IICC0	LREL	1 をライト後、自動的にクリアされるまで IIC 内部サンプリング・クロックで最大 3 クロックかかります。 1 をライト後は、リードを行いクリアされたことを確認してください。
	WREL	1 をライト後、自動的にクリアされるまで IIC 内部サンプリング・クロックで最大 3 クロックかかります。 1 をライト後は、リードを行いクリアされたことを確認してください。
SVA0	-	IICACT0 で動作を許可する前に設定してください。
IICCL0	CL[1:0]	IICACT0 で動作を許可する前に設定してください。
IICS0	ALD	リード後に自動的にクリアされるまで、IIC 内部サンプリング・クロックで最大 1 クロックかかります。 また転送動作中は、本レジスタの読み出しは行わないでください。
IICF0	STCEN	STCEN ビットを 1 にセットした後は、スタート・コンディションが生成されるまで STCEN ビットの値を 0 にしないでください。 IICC0 の STT ビットへ 1 を書き込んだ後に、本ビットを 1 に設定してスタート・コンディションを発生させると誤動作しますので、そのような使い方はしないでください。

15.3 動作

本 IIC バス機能は、IIC バスのマスタ及びスレーブ動作を行う場合に使用します。

本 IIC バス機能は、マルチ・マスタのシリアル・バスで、シリアル・クロック (IIC_SCL) と、シリアル・データ・バス (IIC_SDA) の 2 本の信号線で複数のデバイスとの通信を行うことができるようにクロック同期式のシリアル I/O 方式に、バス構成のための機能が追加されたフォーマットになっています。そのため、複数のマイコンや周辺 IC でシリアル・バスを構成する場合に、使用するポート数や基盤上の配線数を削減することが可能です。

マスタは、スレーブに対してシリアル・データ・バス上に"スタート・コンディション", "スレーブ・アドレス", "データ", および"ストップ・コンディション"を出力することができます。

スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により、応用プログラムの IIC バス制御部分を簡単にすることが可能です。

IIC バスでは、シリアル・クロック端子 (IIC_SCL) とシリアル・データ・バス端子 (IIC_SDA) は、オープン・ドレイン出力になっているため、シリアル・クロック・ライン及びシリアル・データバスラインにはプルアップ抵抗が必要です。

15.3.1 IIC バスの機能

IIC バスの機能について次に示します。

15.3.2 シリアル・データの自動判別機能

シリアル・データ・バス上の"スタート・コンディション", "スレーブ・アドレス", "データ", および"ストップ・コンディション"を自動的に検出します。

15.3.3 アドレスによるチップセレクト

マスタ動作時は、スレーブ・アドレスもしくは拡張コードを送信することにより、IIC バスに接続した特定のスレーブ・デバイスを選択し通信することができます。

15.3.4 ウェイクアップ機能

スレーブ動作時は、受信したアドレスがスレーブ・アドレス・レジスタ (SVA0) の値と一致した場合と、拡張コードを受信した場合にのみ割込みを発生します。したがって、IIC バス上の選択されたスレーブ以外の CPU はシリアル通信に関係なく動作することができます。

15.3.5 アクノリッジ (ACK) 制御機能

マスタ/スレーブ動作時に、シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御することができます。

15.3.6 ウェイト (WAIT) 制御機能

ウェイト状態を知らせるためのウェイト信号制御が行えます。

15.3.7 アービトレーション制御機能

複数のマスタが、同時に"スタート・コンディション"を発生した時に、シリアル・クロック (IIC_SCL) の同期調整の後に、シリアル・データ・バス (IIC_SDA) 端子のレベルの比較を行い、最終的にマスタを選択するための制御ができます。

15.3.8 IIC バスの動作

IIC バスのシリアル・データ通信フォーマット及び、使用する信号の意味について次に示します。

IIC バスのシリアル・データ・バス上に出力される“スタート・コンディション”, “スレーブ・アドレス”, “データ”, 及び“ストップ・コンディション”の各転送タイミングを、**図 15-17**に示します。

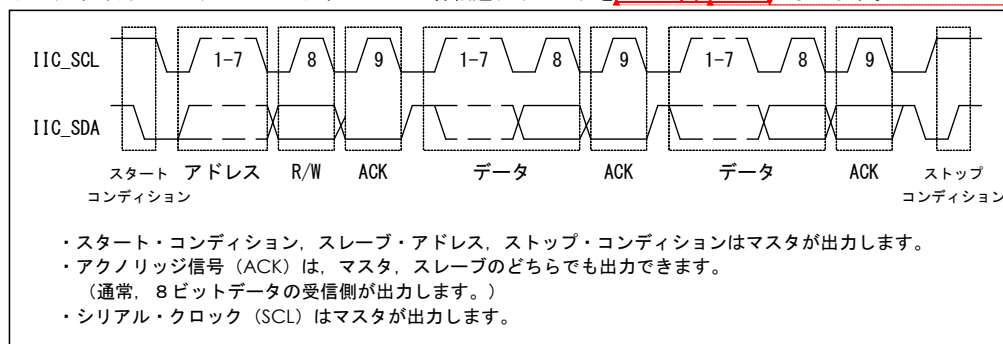


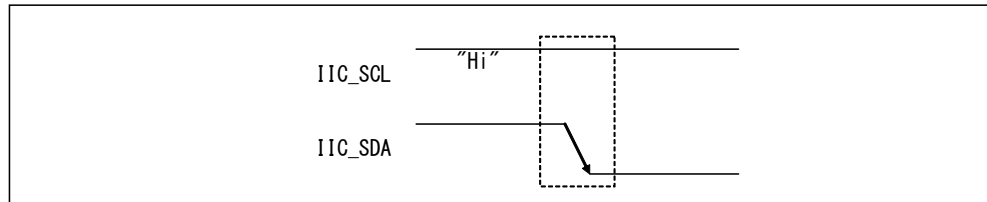
図 15-17 IIC バスのシリアル・データ転送タイミング

15.3.8.1 スタート・コンディション

SCL 端子が“High”レベルの時 (シリアル・クロックが出力されていない時) に、SDA 端子が“High”レベルから“Low”レベルに変化するとスタート・コンディションとなります。

スタート・コンディションは、マスタがスレーブに対してシリアル転送を開始する時に出力する信号です。

スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。



なお、後述のストップ・コンディションによりシリアル転送が終了しますが、スタート後、ストップ・コンディションが生成される前に再びスタート・コンディションが生成された場合、これをリスタート・コンディションと呼びます。

書式変更: フォント : Century Gothic, 10 pt, 太字, スペル チェックと文章校正を行う

書式変更: フォント : Century Gothic, 10 pt

削除: 図 15-17

15.3.8.2 アドレス

スタート・コンディションに続く 7 ビットデータはアドレスと定義されています。

アドレスは、バスラインに接続されている複数のスレーブの中から特定のスレーブを選択するために、マスタが出力する 7 ビットデータです。したがって、バスライン上のスレーブはすべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアによって **SDA** ライン上のデータがアドレスであることを検出し、さらに、7 ビットデータがスレーブ・アドレス・レジスタ (**SVA0**) と一致しているか調べます。この時、7 ビット・データとスレーブ・アドレス・レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

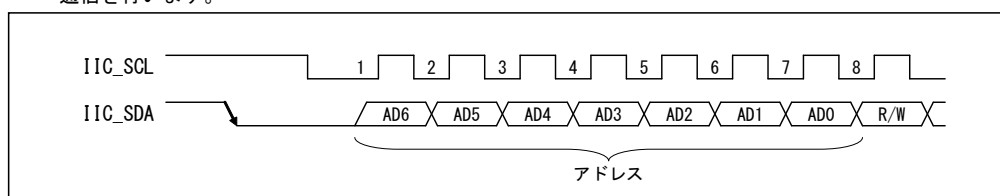


図 15-19 アドレス

15.3.8.3 転送方向指定

マスタは、7 ビットのアドレスに続いて、転送方向を指定するため 1 ビット・データを送信します。

この転送方向ビットが 0 の時、マスタがスレーブにデータを送信することを示します。

この転送方向ビットが 1 の時、マスタがスレーブからデータを受信することを示します。

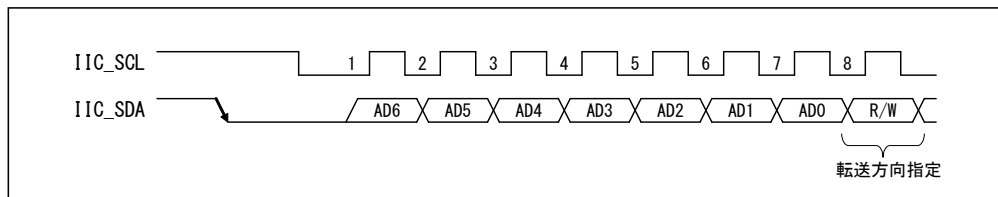


図 15-20 転送方向指定

15.3.8.4 アクノリッジ信号 (ACK)

アクノリッジ信号は、送信側と受信側における、シリアル・データ受信のための信号です。

受信側は、8ビット・データを受信する毎にアクノリッジ信号を返送します。アクノリッジ信号は IIC_SCL ライン上の9回目のクロック High 期間に IIC_SDA ラインを Low とすることにより生成されます。

送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。

アクノリッジ信号が返された時、受信が正しく行われたものとして次の処理を行います。

また、スレーブからアクノリッジ信号が返らない場合は受信が正しく行われないので、マスタは、ストップ・コンディションを出力し送信を中止します。

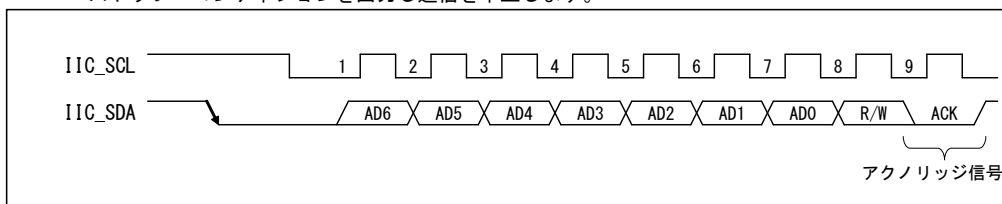


図 15-21 アクノリッジ信号

15.3.8.5 ストップ・コンディション

IIC_SCL 端子が "High" レベルの時 (シリアル転送が終了し、シリアル・クロックが出力されていない時) に、IIC_SDA 端子が "Low" レベルから "High" レベルに変化するとストップ・コンディションとなります。

ストップ・コンディションはマスタがスレーブに対してシリアル転送が終了した時に出力する信号です。スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

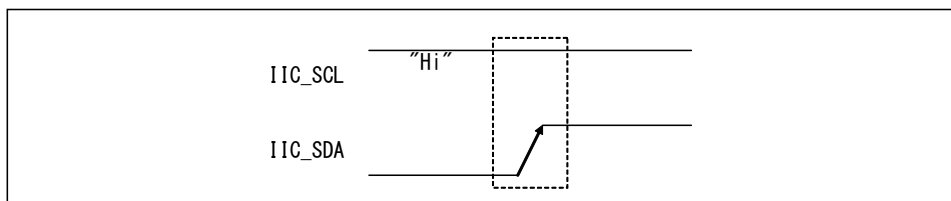


図 15-22 ストップ・コンディション

15.3.8.6 ウェイト信号 (WAIT)

ウェイト信号は、マスタ・スレーブがデータ送受信の準備中（ウェイト状態）であることを通信相手に知らせるための信号です。

本マクロは、IIC_SCL端子を"Low"レベルにすることにより、通信相手にウェイト状態を知らせます。マスタは、ウェイト信号が解除されると次の転送を開始することが可能となります。

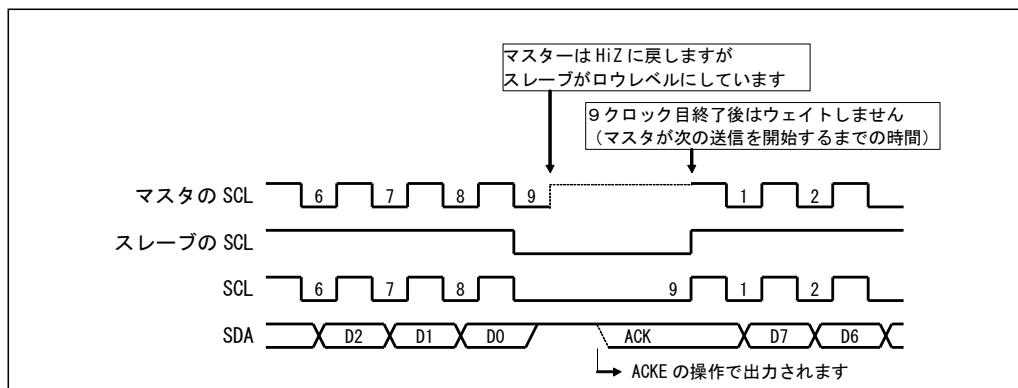


図 15-23 ウェイト信号 8クロック・ウェイト時

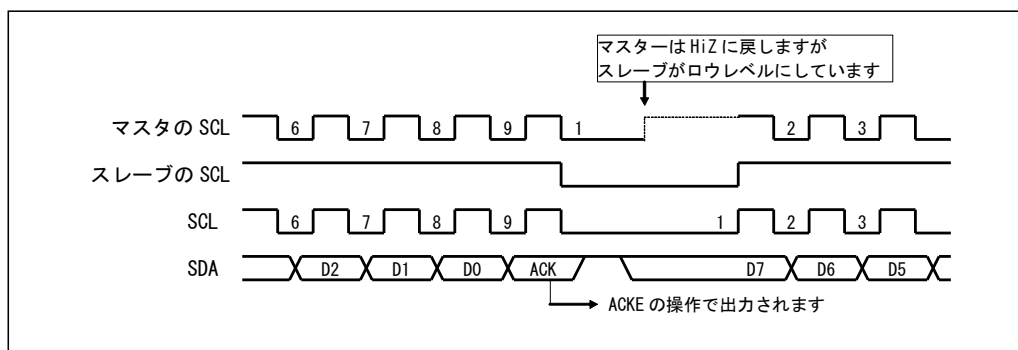


図 15-24 ウェイト信号 9クロック・ウェイト時

15.3.9 シフト・レジスタ（IIC0）の動作

IIC0 シフト・レジスタ（IIC0）は、シリアル・クロック（IIC_SCL）の立ち上がりで同期してシフト動作を行います。IIC_SCL の立ち上がりで最上位ビット側へ 1 ビットシフトし、同時に IIC_SDA ラインの値を最下位ビットに取り込みます。

図 15-25 にシフト動作例を示します。（アドレス転送、9 クロック・ウェイト時）

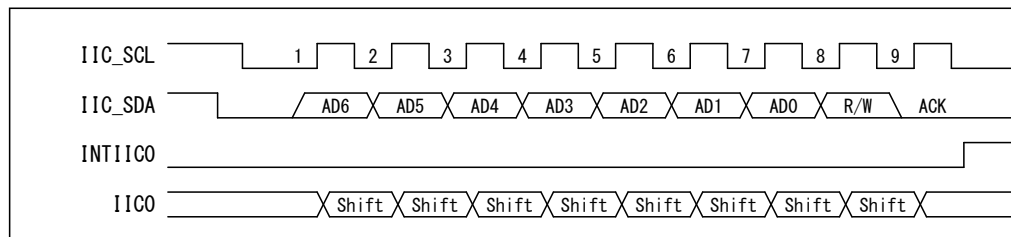


図 15-25 シフト・レジスタの動作例

書式変更: フォント : Century Gothic, 10 pt, 太字

書式変更: フォント : Century Gothic, 10 pt, スペル チェックと文章校正を行う

削除: 図 15-25

15.3.10 拡張コード

受信アドレスの上位4bitが"0000"および"1111"の時に拡張コード受信として、拡張コード受信フラグ(EXC)をセットし、8クロック目立ち下がりタイミングで割り込み要求信号(INTIIC0)を発生します。

SVA0レジスタに格納された自局アドレスは影響しません。

10ビットアドレス転送において、スレーブ・アドレス・レジスタに"11110xx"を設定し、マスタから"11110xx"が転送されてきた場合、上位4bitデータの一致によりEXC=1、7ビットデータの一致によりCOI=1となります。

但し、割り込み要求信号(INTIIC0)は、8クロック目立ち下がりタイミングで発生します。

割り込み要求信号発生後の処理においては、拡張コードに続くデータにより異なるため、ソフトウェアに任せることとします。

例えば、拡張コード受信後、スレーブとして動作したくない場合は、IIC0コントロール・レジスタにて通信回避状態(LREL=1)を設定します。

表 15-4 拡張コードのビット定義

スレーブ・アドレス	R/W ビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUS アドレス
0000 010	x	異なるバスフォーマット用に予約されているアドレス
0000 011	x	将来の利用のために予約済み
0000 1xx	x	
1111 1xx	x	
1111 0xx	x	10ビット・スレーブ・アドレス指定

15.3.11 アービトレーション

複数のマスタがスタート・コンディションを同時に発生した場合、データが異なるまでクロックの調整をしながらマスタ通信を行います。IIC_SCL ラインが"High"の時、IIC_SDA ラインに"High"を出力しようとするマスタ（図 15-26: マスタ 1）と"Low"を出力しようとするマスタ（図 15-26: マスタ 2）があったとします。このような場合、IIC_SDA ラインに"Low"を出力しようとするマスタの通信が優先され、"High"を出力しようとしたマスタは通信が許可されません。このような手順をアービトレーション（Arbitration）と呼び、通信を許可されない状態をアービトレーション負けと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IIC0 状態レジスタ：ALD）をセットし、IIC_SCL/ IIC_SDA ラインとも HiZ 状態のまま、スレーブ待機状態となります。

次の割り込み要求発生タイミングにて、ソフトウェアによりフラグの検出を行います。

割り込み発生タイミングについては、[「15.3.13 IIC 割り込み要求（INTIIC0）発生タイミングおよびウェイト制御」](#)を参照してください。

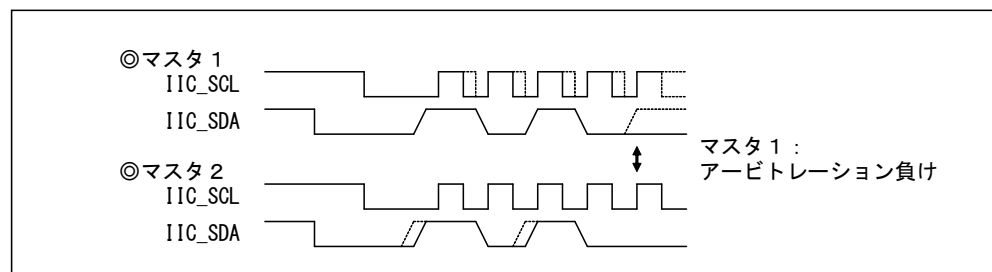


図 15-26 アービトレーションの例

書式変更: フォント: Century Gothic, 10 pt, 太字

削除: 図 15-26

書式変更: フォント: Century Gothic, 10 pt, スペル チェックと文章校正を行う

書式変更: フォント: Century Gothic, 10 pt, 太字

書式変更: フォント: Century Gothic, 10 pt, スペル チェックと文章校正を行う

削除: 図 15-26

削除:

削除: 0 .
IIC 割り込み要求（INTIIC0）発生タイミン
グおよびウェイト制御

アービトレーションが起こる状態を以下に示します。

表 15-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後 8 または 9 クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ受信後の ACK 転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション出力時（SPIE = 1 時） ^{注2}
リスタート・コンディションを出力しようとしたがデータが"Low"レベル	バイト転送後 8 または 9 クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時（SPIE = 1 時） ^{注2}
ストップ・コンディションを出力しようとしたがデータが"Low"レベル	バイト転送後 8 または 9 クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたが SCL が"Low"レベル	

注 1 WTIM= 1（IIC0 コントロール・レジスタ）の場合には、9 クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIM = 0 および拡張コードのスレーブ・アドレス受信時には、8 クロック目の立ち下がりタイミングで割り込み要求が発生します

注 2 アービトレーションが起こる可能性がある場合、マスタ動作では SPIE = 1（IIC0 コントロール・レジスタ）にしてください。

15.3.12 アドレスの一致検出方法

IIC バスでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。また、アドレス一致の検出はハードウェアで自動的に行われます。スレーブ・アドレス・レジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0 割り込み要求が発生します。

15.3.13 IIC 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IIC0 コントロール・レジスタの **WTIM** の設定で、次に示すタイミングで割り込み要求 **INTIIC0** が発生して、ウェイト制御を行います。表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

表 15-6 INTIIC0 発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 注1、2	8 注2	8 注2	9	8	8
1	9 注1、2	9 注2	9 注2	9	9	9

注1 スレーブの **INTIIC0** 要求およびウェイトは、スレーブ・アドレス・レジスタに設定しているアドレスと一致したときにのみ、9 クロック目の立ち下がりで発生します。

また、このとき、IIC0 コントロール・レジスタの **ACKE** の設定にかかわらず、**ACK** が出力されます。拡張コードを受信したスレーブは8 クロック目の立ち下がりで **INTIIC0** を発生します

注2 スレーブ・アドレス・レジスタと受信したアドレスが一致していない場合は、**INTIIC0** もウェイトも発生しません

(1) アドレス送受信時

- ・スレーブ動作時：**WTIM** ビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：**WTIM** ビットにかかわらず、割り込みおよびウェイト・タイミングは、9 クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ／スレーブ動作時：**WTIM** ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ／スレーブ動作時：**WTIM** ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IIC0 コントロール・レジスタの **WREL** = 1
- ・IIC0 シフト・レジスタのライト動作
- ・スタート・コンディションのセット (IIC0 コントロール・レジスタの **STT** = 1)
- ・ストップ・コンディションのセット (IIC0 コントロール・レジスタの **SPT** = 1)

8 クロック・ウェイト選択 (**WTIM** = 0) 時は、ウェイト解除前に **ACK** の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

INTIIC0 は、ストップ・コンディションを検出すると発生します。

15.3.13.1 動作シーケンスと IIC 割り込み要求 (INTIIC0)

次に、INTIIC0 割り込み要求発生タイミングと、INTIIC0 割り込みタイミングでの IIC 状態レジスタ (IICS0) の値を示します。

注意 1 LREL : IIC0 コントロール・レジスタ (通信回避)

SPIE : IIC0 コントロール・レジスタ (ストップ・コンディション割り込み許可)

WTIM : IIC0 コントロール・レジスタ (ウェイトおよび割り込み制御)

STT : IIC0 コントロール・レジスタ (スタート・コンディション・トリガ)

SPT : IIC0 コントロール・レジスタ (ストップ・コンディション・トリガ)

ALD : IIC0 状態レジスタ (アービトレーション負け検出)

注意 2 Δは、SPIE の状態によって、割り込みが発生しない場合があるために、▲と分けて表示します。

注意 3 IIC0 状態レジスタ (IICS0) の値の中で、"x" は不定ではなく、"1" または "0" のどちらの場合も存在することを意味します

注意 4 IIC マクロの割り込みの解除について。

以下に IIC マクロの割り込み解除タイミングを示します。

1. リセット時
2. IICE ビットがクリアされた場合
3. 割り込みが発生したのち、最初の SCLIO の立ち上がりサイクル

例) マスタ動作時

- (1) スレーブ・アドレス転送後に割り込み発生
- (2) 続くデータ転送最初の SCLIO の立ち上がりで割り込み解除

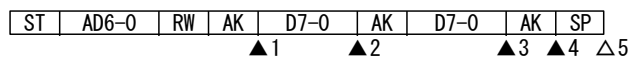
4. 割り込みが発生したのち、最初の SCLIO の立下りサイクルでかつそのタイミングで割り込みが発生する要因がない場合

例) マスタ動作時

- (1) ストップ・コンディション発行で割り込み発生
- (2) 続いてスタート・コンディション発行
- (3) スレーブ・アドレス転送開始までに発生する最初の SCLIO の立下りサイクルで割り込み解除

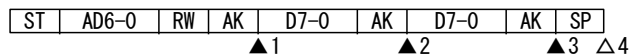
●マスタ動作

1-a) Start~Address~Data~Data~Stop (WTIM = 0 の時)



1. IICS0 = 1000x110
2. IICS0 = 1000x000
3. IICS0 = 1000x000 (WTIM をセット)
4. IICS0 = 1000xx00 (SPT をセット)
5. IICS0 = 00000001 (SPIE = 1 のときのみ)

1-b) Start~Address~Data~Data~Stop (WTIM = 1 の時)



1. IICS0 = 1000x110
2. IICS0 = 1000x100
3. IICS0 = 1000xx00 (SPT をセット)
4. IICS0 = 00000001 (SPIE = 1 のときのみ)

2-a) Start~Address~Data~~Start~Address~Data~~Stop (WTIM =0 の時)

ST	AD6-0	RW	AK	D7-0	AK	ST	AD6-0	RW	AK	D7-0	AK	SP
			▲1		▲2	▲3				▲4	▲5	▲6 △7

1. IICSO =1000x110
2. IICSO =1000x000 (WTIM をセット)
3. IICSO =1000xx00 (WTIM をクリア, STT をセット)
4. IICSO =1000x110
5. IICSO =1000x000 (WTIM をセット)
6. IICSO =1000xx00 (SPT をセット)
7. IICSO =00000001 (SPIE =1 のときのみ)

2-b) Start~Address~Data~~Start~Address~Data~~Stop (WTIM =1 の時)

ST	AD6-0	RW	AK	D7-0	AK	ST	AD6-0	RW	AK	D7-0	AK	SP
			▲1		▲2				▲3		▲4	△5

1. IICSO =1000x110
2. IICSO =1000xx00
3. IICSO =1000x110
4. IICSO =1000xx00 (SPT をセット)
5. IICSO =00000001 (SPIE =1 のときのみ)

3-a) Start~Code~Data~Data~~Stop (WTIM =0 の時)

ST	AD6-0	RW	AK	D7-0	AK	D7-0	AK	SP
			▲1		▲2		▲3	▲4 △5

1. IICSO =1010x110
2. IICSO =1010x000
3. IICSO =1010x000 (WTIM をセット)
4. IICSO =1010xx00 (SPT をセット)
5. IICSO =00000001 (SPIE =1 のときのみ)

3-b) Start~Code~Data~Data~~Stop (WTIM =1 の時)

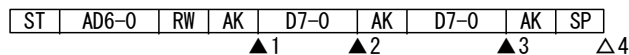
ST	AD6-0	RW	AK	D7-0	AK	D7-0	AK	SP
			▲1		▲2		▲3	△4

1. IICSO =1010x110
2. IICSO =1010x100
3. IICSO =1010xx00 (SPT をセット)
4. IICSO =00000001 (SPIE =1 のときのみ)

●スレーブ動作

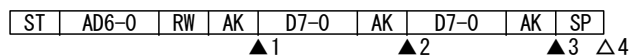
◎スレーブ・アドレス・データ受信時 (SVA0 一致)

1-a) Start~Address~Data~Data~~Stop (WTIM =0 の時)



1. IICSO =0001x110
2. IICSO =0001x000
3. IICSO =0001x000
4. IICSO =00000001 (SPIE =1 のときのみ)

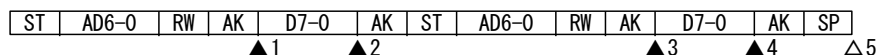
1-b) Start~Address~Data~Data~~Stop (WTIM =1 の時)



1. IICSO =0001x110
2. IICSO =0001x100
3. IICSO =0001xx00
4. IICSO =00000001 (SPIE =1 のときのみ)

2-a) Start~Address~Data~~Start~Address~Data~~Stop (WTIM =0 の時)

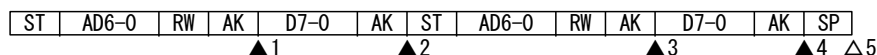
リスタート後, SVA0 一致



1. IICSO =0001x110
2. IICSO =0001x000
3. IICSO =0001x110
4. IICSO =0001x000
5. IICSO =00000001 (SPIE =1 のときのみ)

2-b) Start~Address~Data~~Start~Address~Data~~Stop (WTIM =1 の時)

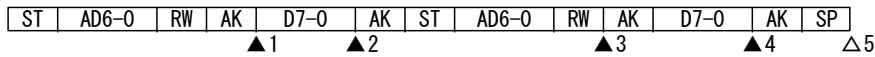
リスタート後, SVA0 一致



1. IICSO =0001x110
2. IICSO =0001xx00
3. IICSO =0001x110
4. IICSO =0001xx00
5. IICSO =00000001 (SPIE =1 のときのみ)

3-a) Start~Address~Data~~Start~Code~Data~~Stop (WTIM =0 の時)

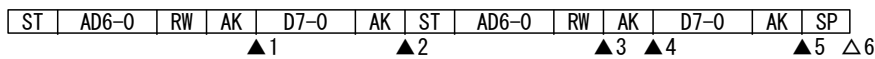
リスタート後、拡張コード受信



1. IICSO =0001x110
2. IICSO =0001x000
3. IICSO =0010x010
4. IICSO =0010x000
5. IICSO =00000001 (SPIE=1 のときのみ)

3-b) Start~Address~Data~~Start~Code~Data~~Stop (WTIM =1 の時)

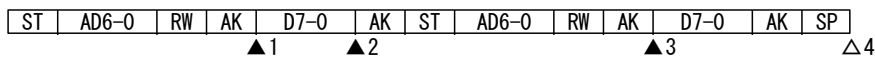
リスタート後、拡張コード受信



1. IICSO =0001x110
2. IICSO =0001xx00
3. IICSO =0010x010
4. IICSO =0010x110
5. IICSO =0010xx00
6. IICSO =00000001 (SPIE =1 のときのみ)

4-a) Start~Address~Data~~Start~Address~Data~~Stop (WTIM =0 の時)

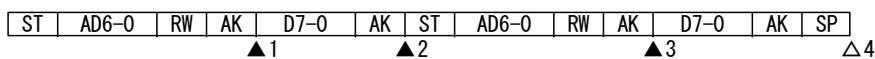
リスタート後、アドレス不一致 (拡張コード以外)



1. IICSO =0001x110
2. IICSO =0001x000
3. IICSO =00000x10
4. IICSO =00000001 (SPIE =1 のときのみ)

4-b) Start~Address~Data~~Start~Address~Data~~Stop (WTIM =1 の時)

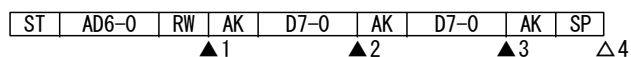
リスタート後、アドレス不一致 (拡張コード以外)



1. IICSO =0001x110
2. IICSO =0001xx00
3. IICSO =00000x10
4. IICSO =00000001 (SPIE =1 のときのみ)

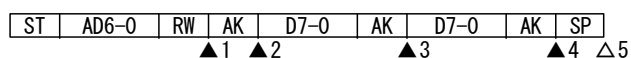
◎拡張コード受信時

1-a) Start~Code~Data~Data~Stop (WTIM =0 の時)



1. IICSO =0010x010
2. IICSO =0010x000
3. IICSO =0010x000
4. IICSO =00000001 (SPIE =1 のときのみ)

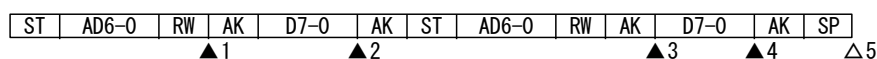
1-b) Start~Code~Data~Data~Stop (WTIM =1 の時)



1. IICSO =0010x010
2. IICSO =0010x110
3. IICSO =0010x100
4. IICSO =0010xx00
5. IICSO =00000001 (SPIE =1 のときのみ)

2-a) Start~Code~Data~Start~Address~Data~Stop (WTIM =0 の時)

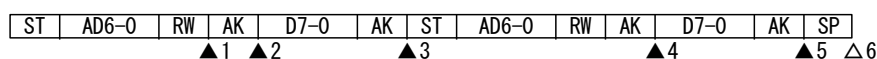
リスタート後, SVA0 一致



1. IICSO =0010x010
2. IICSO =0010x000
3. IICSO =0001x110
4. IICSO =0001x000
5. IICSO =00000001 (SPIE =1 のときのみ)

2-b) Start~Code~Data~Start~Address~Data~Stop (WTIM =1 の時)

リスタート後, SVA0 一致



1. IICSO =0010x010
2. IICSO =0010x110
3. IICSO =0010xx00
4. IICSO =0001x110
5. IICSO =0001xx00
6. IICSO =00000001 (SPIE =1 のときのみ)

3-a) Start~Code~Data~~Start~Code~Data~~Stop (WTIM =0 の時)

リスタート後、拡張コード受信

ST	AD6-0	RW	AK	D7-0	AK	ST	AD6-0	RW	AK	D7-0	AK	SP
		▲1		▲2				▲3		▲4		△5

1. IICSO =0010x010
2. IICSO =0010x000
3. IICSO =0010x010
4. IICSO =0010x000
5. IICSO =00000001 (SPIE =1 のときのみ)

3-b) Start~Code~Data~~Start~Code~Data~~Stop (WTIM =1 の時)

リスタート後、拡張コード受信

ST	AD6-0	RW	AK	D7-0	AK	ST	AD6-0	RW	AK	D7-0	AK	SP
		▲1	▲2		▲3			▲4	▲5		▲6	△7

1. IICSO =0010x010
2. IICSO =0010x110
3. IICSO =0010xx00
4. IICSO =0010x010
5. IICSO =0010x110
6. IICSO =0010xx00
7. IICSO =00000001 (SPIE =1 のときのみ)

4-a) Start~Code~Data~~Start~Address~Data~~Stop (WTIM =0 の時)

リスタート後、アドレス不一致 (拡張コード以外)

ST	AD6-0	RW	AK	D7-0	AK	ST	AD6-0	RW	AK	D7-0	AK	SP
		▲1		▲2					▲3			△4

1. IICSO =0010x010
2. IICSO =0010x000
3. IICSO =00000x10
4. IICSO =00000001 (SPIE =1 のときのみ)

4-b) Start~Code~Data~~Start~Address~Data~~Stop (WTIM =1 の時)

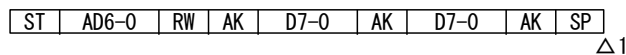
リスタート後、アドレス不一致 (拡張コード以外)

ST	AD6-0	RW	AK	D7-0	AK	ST	AD6-0	RW	AK	D7-0	AK	SP
		▲1	▲2		▲3				▲4			△5

1. IICSO =0010x010
2. IICSO =0010x110
3. IICSO =0010xx00
4. IICSO =00000x10
5. IICSO =00000001 (SPIE =1 のときのみ)

●アドレス不一致時の動作

1) Start~Code~Data~Data~~~Stop

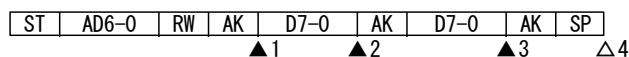


1. IICSO = 00000001 (SPIE = 1 のときのみ)

●アービトレーション負けの動作

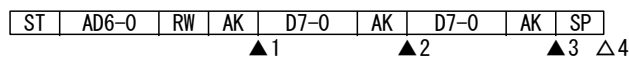
◎アービトレーション負けの後、スレーブとして動作

1-a) スレーブ・アドレスデータ送信中にアービトレーションに負けた場合 (WTIM = 0 の時)



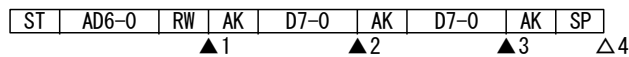
1. IICSO = 0101x110 (ex. 割込み処理中の ALD をリード)
2. IICSO = 0001x000
3. IICSO = 0001x000
4. IICSO = 00000001 (SPIE = 1 のときのみ)

1-b) スレーブ・アドレスデータ送信中にアービトレーションに負けた場合 (WTIM = 1 の時)



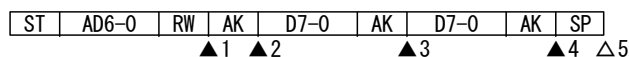
1. IICSO = 0101x110 (ex. 割込み処理中の ALD をリード)
2. IICSO = 0001x100
3. IICSO = 0001xx00
4. IICSO = 00000001 (SPIE = 1 のときのみ)

2-a) 拡張コード送信中にアービトレーションに負けた場合 (WTIM = 0 の時)



1. IICSO = 0110x010 (ex. 割込み処理中の ALD をリード)
2. IICSO = 0010x000
3. IICSO = 0010x000
4. IICSO = 00000001 (SPIE = 1 のときのみ)

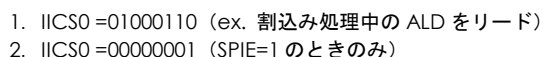
2-b) 拡張コード送信中にアービトレーションに負けた場合 (WTIM = 1 の時)



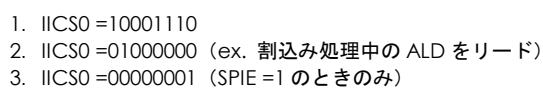
1. IICSO = 0110x010 (ex. 割込み処理中の ALD をリード)
2. IICSO = 0010x110
3. IICSO = 0010x100
4. IICSO = 0010xx00
5. IICSO = 00000001 (SPIE = 1 のときのみ)

1) スレーブ・アドレスデータ送信中にアービトレーションに負けた場合 (WTIM =1 の時)

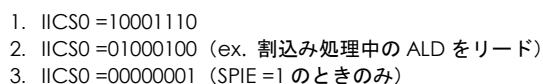
1) スレーブ・アドレスデータ送信中にアービトレーションに負けた場合 (WTIM =1 の時)



2-a) データ転送中にアービトレーションに負けた場合 (WTIM = 0 の時)

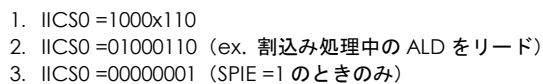


2-b) データ転送中にアービトレーションに負けた場合 (WTIM =1 の時)

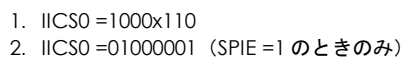


3) データ転送中にリスタート・コンディションで負けた場合

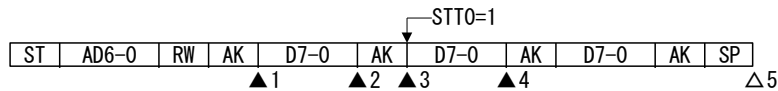
—拡張コード以外— (ex. SVA0 不一致, WTIM = 1)



4) データ転送中にストップ・コンディションで負けた場合

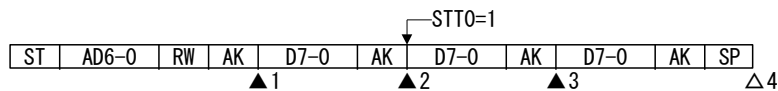


5-a) リスタート・コンディションを発生しようとして、データ"Low"でアービトレーションに負けた場合 (WTIM =0 の時)



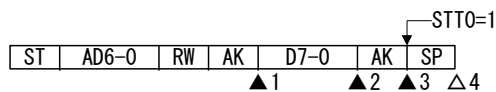
1. IICSO =1000x110
2. IICSO =1000x000 (WTIM をセット)
3. IICSO =1000xx00 (WTIM をクリア, STT をセット)
4. IICSO =01000000 (ex. 割込み処理中の ALD をリード)
5. IICSO =00000001 (SPIE=1 のときのみ)

5-b) リスタート・コンディションを発生しようとして、データ"Low"でアービトレーションに負けた場合 (WTIM =1 の時)



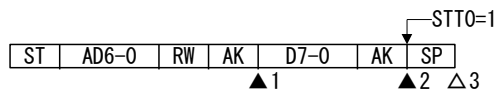
1. IICSO =1000x110
2. IICSO =1000x100 (STT をセット)
3. IICSO =01000100 (ex. 割込み処理中の ALD をリード)
4. IICSO =00000001 (SPIE =1 のときのみ)

6-a) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合 (WTIM =0 の時)



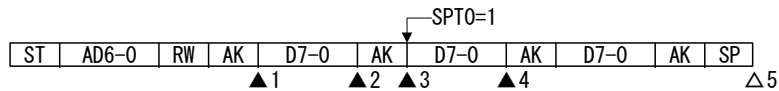
1. IICSO =1000x110
2. IICSO =1000x000 (WTIM をセット)
3. IICSO =1000xx00 (STT をセット)
4. IICSO =01000001 (SPIE =1 のときのみ)

6-b) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合 (WTIM =1 の時)



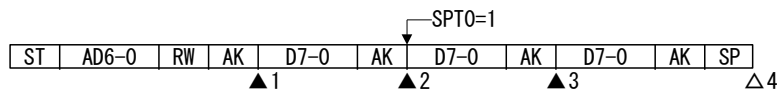
1. IICSO =1000x110
2. IICSO =1000xx00 (STT をセット)
3. IICSO =01000001 (SPIE = 1 のときのみ)

7-a) ストップ・コンディションを発生しようとして、データ"Low"でアービトレーションに負けた場合 (WTIM = 0 の時)



1. IICSO = 1000x110
2. IICSO = 1000x000 (WTIM をセット)
3. IICSO = 1000xx00 (WTIM をクリア, SPT をセット)
4. IICSO = 01000000 (ex. 割込み処理中の ALD をリード)
5. IICSO = 00000001 (SPIE = 1 のときのみ)

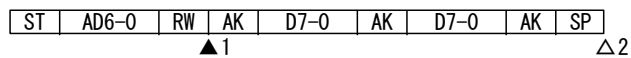
7-b) ストップ・コンディションを発生しようとして、データ"Low"でアービトレーションに負けた場合 (WTIM = 1 の時)



1. IICSO = 1000x110
2. IICSO = 1000xx00 (SPT をセット)
3. IICSO = 01000100 (ex. 割込み処理中の ALD をリード)
4. IICSO = 00000001 (SPIE = 1 のときのみ)

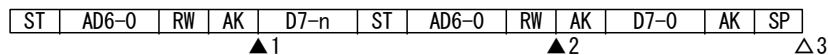
◎アービトレーション負けの後、通信に参加しない場合

1) 拡張コード送信中にアービトレーションに負けた場合



1. IICSO = 0110x010 (ex. 割込み処理中の ALD をリード)
ソフトで LREL = 1 を設定
2. IICSO = 00000001 (SPIE = 1 のときのみ)

2) データ転送中にリスタート・コンディションで負けた場合 - 拡張コード -



1. IICSO = 1000x110
2. IICSO = 0110x010 (ex. 割込み処理中の ALD をリード)
ソフトで LREL = 0 を設定
3. IICSO = 00000001 (SPIE = 1 のときのみ)

15.3.14 ウェイクアップ機能

IIC のスレーブ機能において、自局アドレス及び拡張コードを受信した時に割込み要求信号（INTIIC0）を発生する機能です。

アドレスが一致しない時は、不要な割込みを発生することなく、効率よい処理を行うことができます。

スタート・コンディションを検出することにより、ウェイクアップ待機状態となります。

マスタ(スタート・コンディションを発生した場合)であっても、アービトレーション負けで、スレーブになる可能性があることから、アドレスを送信しながら、ウェイクアップ待機状態となる必要があります。

注意 ただし、ストップ・コンディション割り込みにおいては、ウェイクアップ機能に関係なく SPIE (IIC0 コントロール・レジスタ) の設定により、発生許可／禁止が決定します。

15.3.15 アクノリッジ信号

受信側が、9クロック目に SDA ラインを"Low"にすることでアクノリッジ信号のアクティブを表します。

ACKE=1 (IIC0 コントロール・レジスタ) でアクノリッジ信号発生許可状態となります。

アドレスデータに続く 8 ビット目のデータにより、TRC フラグ (IIC0 状態レジスタ) が設定されますが、その TRC ビットの値が"0"であった場合、受信側であるため、ACKE=1 する必要があります。

スレーブ受信側 (TRC=0) は、複数バイト受信し、何らかの理由により、次のデータを必要としない場合は、ACKE=0 にすることで、マスタ側に次の転送を開始しない様に促すことが可能です。

マスタ受信側 (TRC=0) も同様に、次のデータを必要とせず、リスタート・コンディション若しくはストップ・コンディションを発生したい場合、スレーブ送信側が、SDA ラインにデータの MSB データを出力しないように警告するために、ACK 信号を発生しないように ACEK=0 とする必要があります。

15.3.16 通信予約

アービトレーションにて、マスタにもスレーブにもなれなかった場合。または、拡張コードを受信して、スレーブとして動作しない (ACK を返さず、IIC0 コントロール・レジスタの LREL=1 でバス開放を行った) 場合。次にマスタになりたい場合は、通信予約が可能であり、アービトレーションに参加することができます。

待機状態の時 IIC0 コントロール・レジスタのスタート・コンディション・トリガ (STT) をセットすることにより、バスが開放された後 (ストップ・コンディション検出後) に、自動的にスタート・コンディションを生成し、ウェイト状態となります。

バス開放検出 (ストップ・コンディション検出) の割込み発生において、IIC0 シフト・レジスタへのライト操作により、マスタとしてのアドレス転送を開始します。

この時、IIC0 コントロール・レジスタの SPIE ビットをセットしておく必要があります。

また、ストップ・コンディション検出の割込みタイミング以前に IIC0 シフト・レジスタへ書き込みを行った場合、データは無効となります。

15.3.17 通信動作

① マスタ動作

マスタにおける通信手段の例を以下に示します。

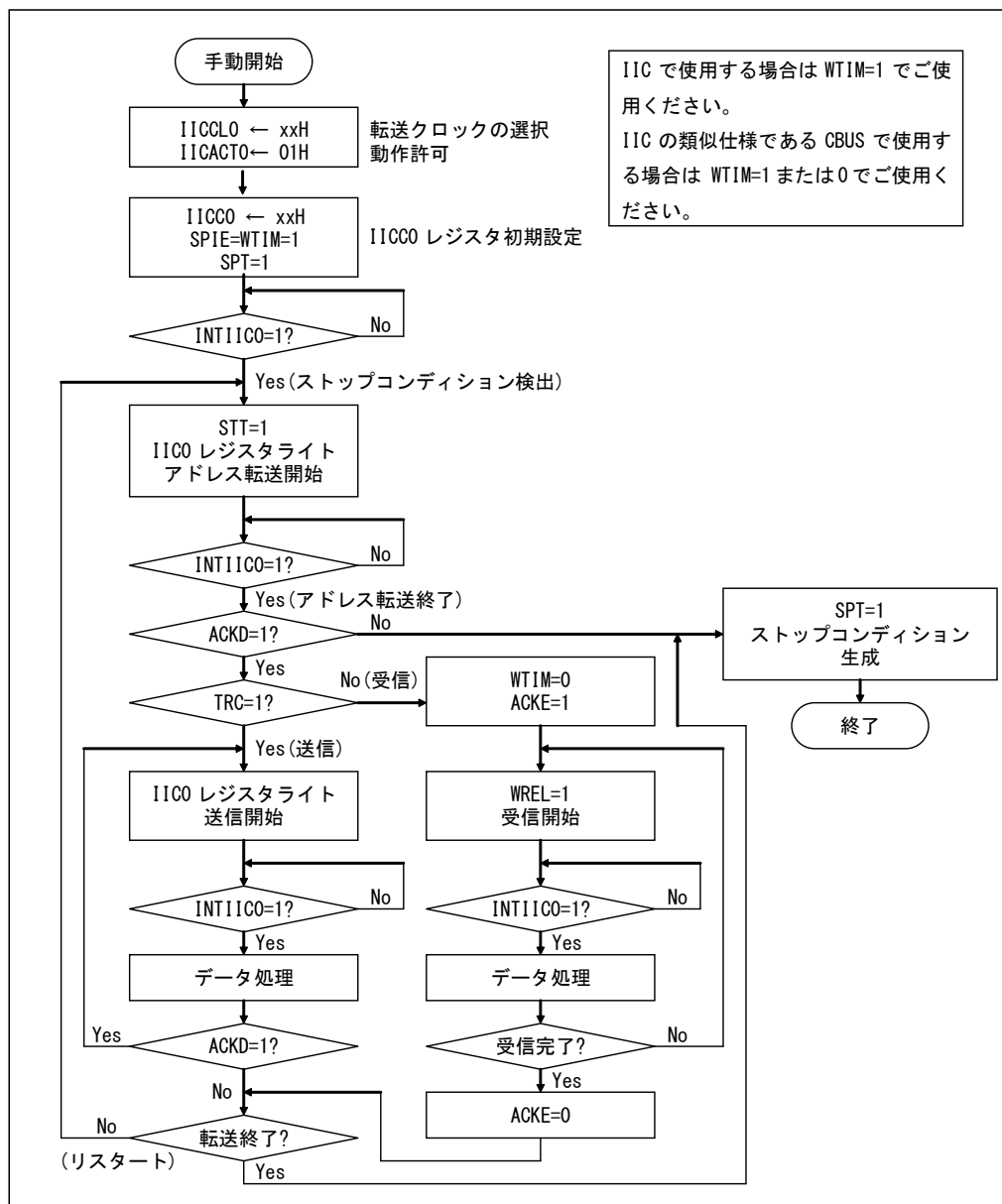


図 15-27 マスタ動作フローチャート 1 (通信予約許可時およびストップ・コンディション検出後スタート)

注意 IIC0 コントロール・レジスタのウェイト制御については 15.4.1.2 注意事項を参照してください。

マスタにおける通信手段の例 2 を以下に示します。

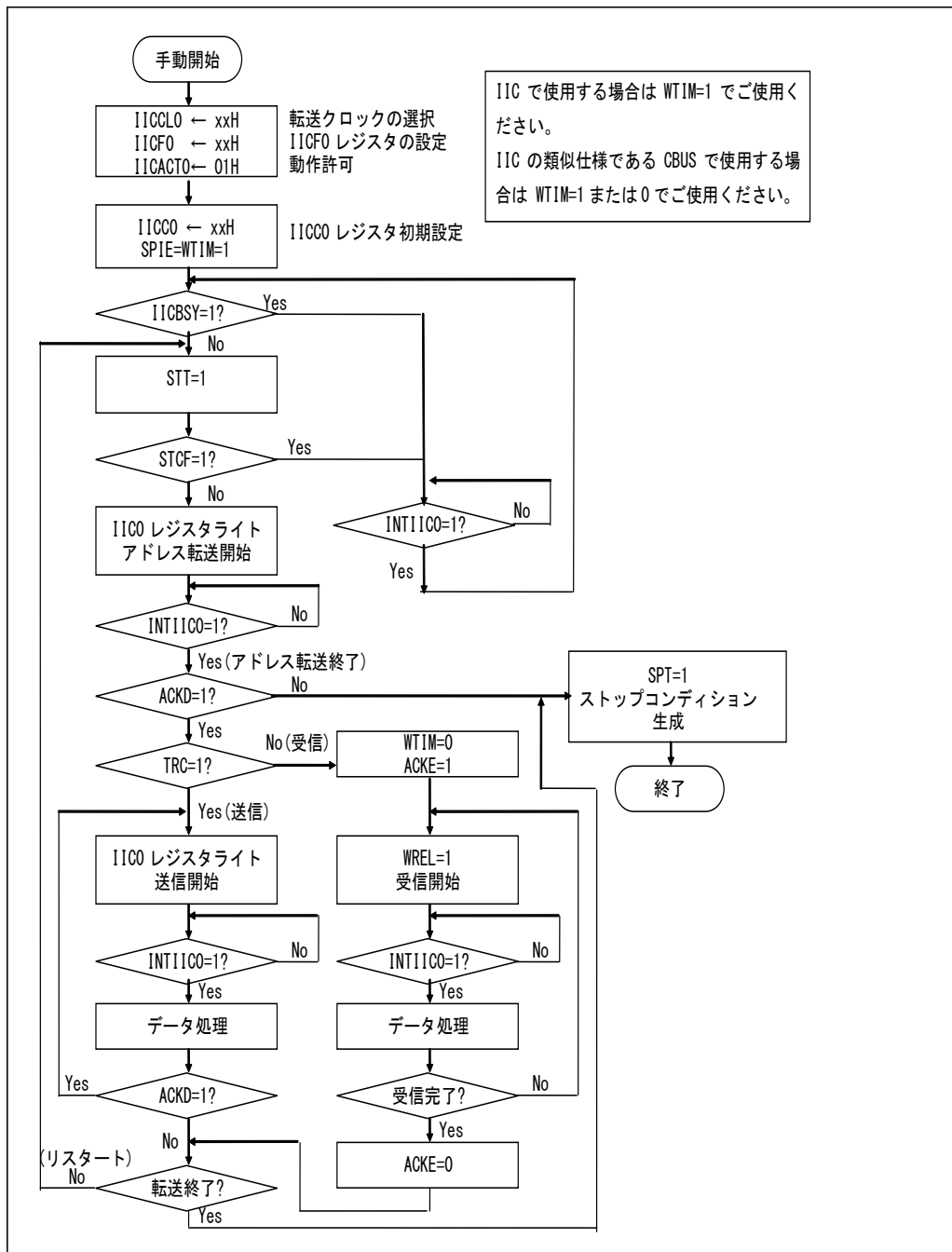


図 15-28 マスタ動作フローチャート 2 (通信予約禁止およびストップ・コンディション未検出によるスタート)

注意 IIC0 コントロール・レジスタのウェイト制御については 15.4.1.2 注意事項を参照してください。

②スレーブ動作

スレーブにおける通信手段の例を以下に示します。

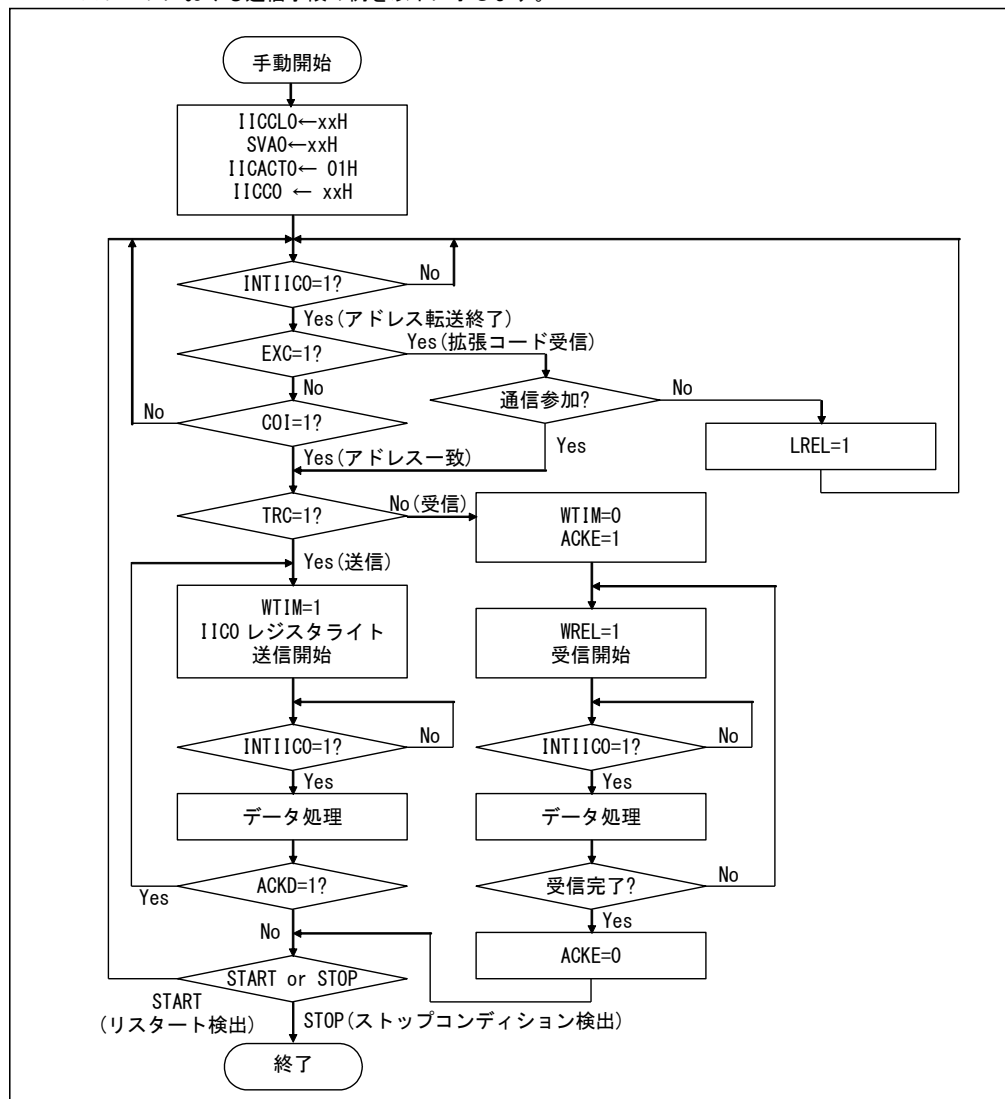


図 15-29 スレーブ動作フロチャート

15.3.18 スタンバイ機能

サポートしていません。

削除: CLK1 クロックが停止した場合は動作しません。CLK1 クロックが動作しているのであれば、動作可能です

15.3.19 エミュレーション動作

IIC0 は以下に示すエミュレーション機能を有します。

- IIC0 状態レジスタの **ALD** は、IIC 状態レジスタをリードするとクリアされますが、エミュレーション用リードアドレス (IICSE0) をリードすることで、**ALD** をクリアせずに IIC0 状態レジスタをリードすることが可能です。

15.3.20 タイムチャート

図 15-30、図 15-31 に、マスタ送信、スレーブ受信を例として、データ通信のタイムチャートを示します。
また、スタート・コンディション生成前の IIC0 コントロール・レジスタ (IICC0) と IIC0 状態レジスタ (IICS0) の値を示します。以降は、タイムチャートにしたがって値が変化します。
ここでは、アドレスに拡張コードは指定しないものとし、マスタ、スレーブ共に 9 クロック・ウェイト (WTIM=1) とします。

表 15-7 スタート・コンディション生成前の各レジスタ値

	IICC0	IICS0
マスタ	00011110	00000001
スレーブ	00011100	00000001

削除: 図 15-30

削除: 図 15-31

削除: 図 15-27

書式変更: フォント : 10 pt, 太字

書式変更: フォント : 10 pt, 太字

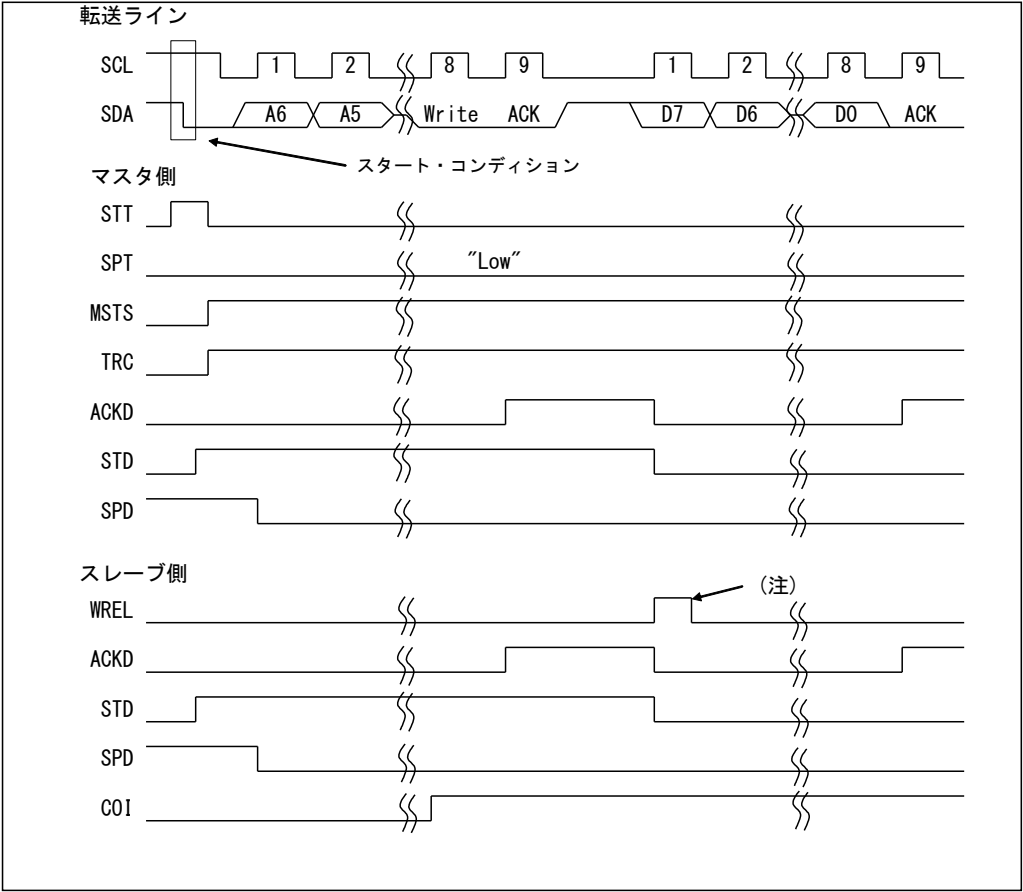
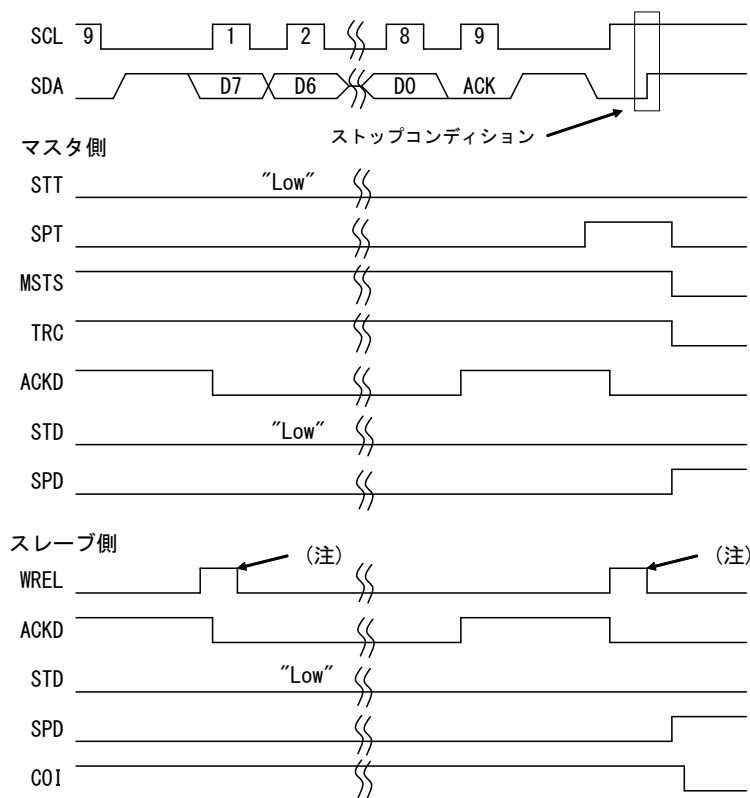


図 15-30 データ転送時の動作例 (1)



注 スレーブのウェイト解除は IIC0 コントロール・レジスタのウェイト解除ビット (WREL) のセット, または IIC0 シフト・レジスタへの書き込みによって行います。マスタは IIC0 シフト・レジスタへデータがセットされる時にウェイトの解除が行われているので, WREL のセットの必要はありません

図 15-31 データ転送時の動作例 (2)

15.4 使用上の注意

15.4.1.1 リスタートの判断について

複数のマスタが存在している通信中に、リスタートをかけるマスタと、データ"1"を送信するマスタが同時に存在した場合、リスタートをかけるマスタが IIC_SDA ラインを落とすタイミングと、データ"1"を送信するマスタが IIC_SCL ラインを落とすタイミングが同じようなタイミングになる場合が存在します。

本マクロでは、マクロの動作クロックの 1 クロック以内では、リスタートと判断せず現状の動作を継続する設計となっています。

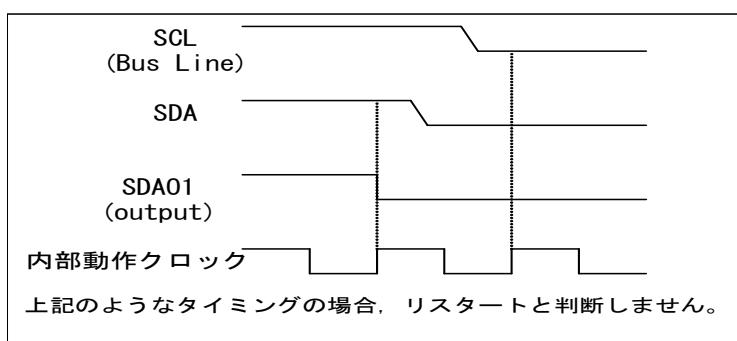


図 15-32 リスタート生成側から見た場合の動作

15.4.1.2 ストップ・コンディション・トリガのセット・タイミングについて

ストップ・コンディション・トリガ (IIC0 コントロールレジスタ : SPT) は、以下のタイミングでセットしてください。

- ①転送初期状態
- ②マスタ状態

マスタ受信：転送中のセットは禁止。

ACK を返さずに (ACKE=0)、スレーブに対して受信終了を伝えた後の

シリアル・クロック (SCL) 9 クロック目のウェイト期間中にセットしてください。

マスタ送信：ACK の期間中は正常に動作しないことが考えられます。

基本的に SCL9 クロック目のウェイト期間中にセットしてください。

注意 IIC0 コントロール・レジスタでウェイトと割り込みを SCL8 クロック目に設定した状態 (WTIM=0) で、SCL8 クロック目にウェイトをかけた場合。ここでストップ・コンディション (IIC0 コントロール・レジスタ : SPT) をセットすると、SCL9 クロック目の "High" 期間 (ACK 期間中) にストップ・コンディションを生成しようとします。よって、SCL8 クロック目のウェイト期間に、IIC0 コントロール・レジスタでウェイトと割り込みを SCL9 クロック目に設定 (WTIM=1) し、9 クロック目にもう一度ウェイトさせてストップ・コンディション (IIC0 コントロール・レジスタ : SPT) をセットすることによって、正常にストップを生成させてください。

15.4.1.3 スタート・コンディションのセット・タイミングについて

スタート・コンディション・トリガ (IIC0 コントロール・レジスタ : STT) は、以下のタイミングでセットしてください。

- ① 転送不参加時 (通信予約)
- ② マスタ状態

マスタ受信 : 転送中のセットは禁止。

ACK を返さずに (ACK=0) , スレーブに対して受信終了を伝えた後の SCL9 クロック目のウェイト期間中にセットしてください。

マスタ送信 : ACK の期間中は正常に動作しないことが考えられます。

基本的に SCL9 クロック目のウェイト期間中にセットしてください。

- ③ ストップ・コンディション状態

15.4.1.4 ストップ・コンディション・トリガ, スタート・コンディション・トリガの再セットについて

ストップ・コンディション・トリガ (IIC0 コントロール・レジスタ : SPT) , スタート・コンディション・トリガ (IIC0 コントロール・レジスタ : STT) をセット後、クリア条件がくる前の再セットは禁止です。

15.4.1.5 通信予約をした場合のストップ・コンディション割り込みについて

通信予約をした場合には、ストップ・コンディション割り込み (IIC0 コントロール・レジスタ : SPIE) をセットして、ストップ・コンディション検出で割り込みが立つようにしてください。

(割り込み後に、IIC0 シフト・レジスタに通信データをライトすることによってウェイト解除し転送を開始します。STOP 検出で割り込みを立たせないと、スタート時は割り込みが発生しないので WAIT 状態で停止します。ただし、ソフトウェアで本マクロの通信状態 (IIC0 状態レジスタ : MSTS0) を検出させるのであれば、ストップ・コンディション割り込みをセットしなくても構いません。)

15.4.1.6 他マクロの IIC 通信中の動作許可について

IIC バスが他のマクロ間で通信に使用されている状態で、動作許可 (IICE=1) して通信に参加しないでください。SCL = High, SDA = Low の状態で通信に参加した場合、スタート・コンディションを検出してしまい、通信を破壊する場合があります。

IIC バスが通信中に、動作許可 (IICE=1) にする場合の手順を次に説明します。

IICE ビットに"1"を設定後、IIC マクロの動作クロック 4 クロック以上、80 クロック以内に、LREL ビットに"1"をセットしてください。