

第25章 CoreSight

25.1 概要

CoreSight サブシステムは、ARM 社の各種デバッグモジュールをサブシステム化したもので、ASIC-PF に準拠した Cortex 系 CPU サブシステムと組み合わせることでトレースを含むデバッグ機能を実現します。

25.1.1 特徴

テクノロジー : 非依存
準拠規格 : ARM Debug Interface v5.1 (ADIv5.1)
デバッグ・インタフェース : JTAG、SWD ^{注 1}

注 1 JL-086A では Serial Wire 接続は使用できません(制限事項)

以下に表に JL-086A に搭載している CoreSight のコンフィギュレーションを記載します。

表25-1 CoreSightコンフィギュレーション

カテゴリ	コンフィギュレーション項目	設定値	備考
Cortex 系 CPU の接続	CPU0	TYPE-R4	
	CPU1	なし	
	CPU2	なし	
	Cortex-M 使用時		Cortex-M 系を使用時は、トレース機能 (ATB バスの口数)を指定してください。
CPU-SS 旧 ARM 系	旧 ARM 系 CPU の接続	なし	On Chip JTAG インタフェースの利用を指定します。
AHB-AP	AHB インタフェースの利用	あり	システムの AHB バスにアクセスする機能を利用するか指定します。
Debug ROM	パーツナンバー	000H	デバッガが、本サブシステムが搭載された SoC を識別するために用いるパーツナンバーです。 識別が不要の場合には 000H を指定してください。 本項目で設定した値は、DAP のペリフェラル ID レジスタ、および TARGETID レジスタに反映されます。
ソフトウェア トレース	ITM	なし	ITM の有無
	SWO ポート		SWO 機能を利用するには ITM が必要です
ハードウェア トレース	TPIU	なし	TPIU の有無
	ETB	あり	ETB の有無
	RAM 容量(kB)	4	ETB の RAM 容量

25.1.2 ブロック概要

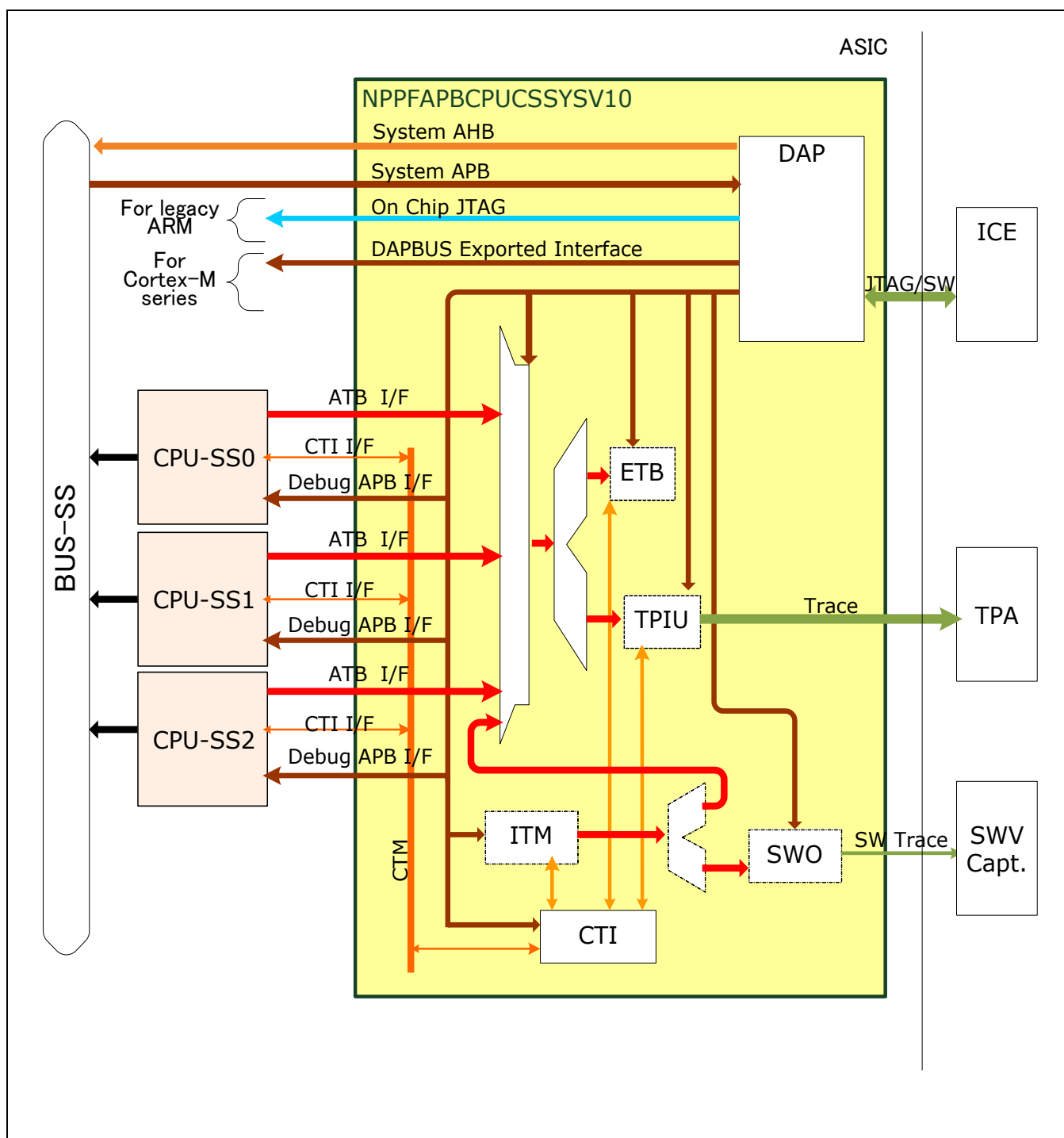


図25-1 ブロック図^{注1}

注 1

- ・ JL-086A では Serial Wire 接続は使用できません(制限事項)
- ・ コンフィギュレーションにより、JL-086A では、CPU-SS0 は TYPE-R4 となります。
- ・ コンフィギュレーションにより、JL-086A では以下は存在しません。

CPU-SS1、CPU-SS2
DAPBUS Exported Interface
TPIU (ハードウェアトレース)
ITM、SWO (ソフトウェアトレース)

(1) CTI

デバッグに関わるトリガを相互にやり取りするための ARM 社 CTI(Cross Trigger Interface)モジュールです。

(2) DAP

ARM 社 DAP(Debug Access Port)モジュールです。DAP は、デバッグのために、CoreSight components にアクセスするための手段を提供します。ADI v5.1 に準拠した JTAG デバッグ・インタフェースまたは SWD インタフェース^{注1}を持つデバッガを接続することができます。デバッガとの接続については、25.1.1を参照してください。

注 1 JL-086A では Serial Wire 接続は使用できません(制限事項)

(3) ETB

ARM 社 ETB(Embedded Trace Buffer)モジュールです。ETB 経由のトレース・データを内部専用 RAM に格納するための制御機能を提供します。

25.2 端子機能

25.2.1 端 子 表

表25-2 CoreSight 端子一覧

端子名	I/O	説明	Active Level	未使用時端子処置
TCK	I	CPU JTAG クロック入力	H	OPEN
TRSTZ	I	CPU JTAG 回路リセット入力	L	OPEN
TMS	I	CPU JTAG TAP モード選択	H	OPEN
TDI	I	CPU JTAG シリアル入力	H	OPEN
TDO	O	CPU JTAG シリアル出力	H	OPEN

注 1 JL-086A では Serial Wire 接続は使用できません(制限事項)

25.2.2 AMBA インタフェース

表25-3 AHB マスタ・インタフェース信号一覧

端子グループ	バス幅	同期クロック	端子グループの説明	AHB タイプ
MH*	32bit	HCLK	AHB-AP	Lite

表25-4 AHB-Lite マスタ バースト/サイズ

端子グループ	バースト・タイプ MHBURST[2:0]								転送サイズ (bit) MHSIZE[2:0]							
	000	001	010	011	100	101	110	111	000	001	010	011	100	101	110	111
	SINGLE	INCR	WRAP4	INCR4	WRAP8	INCR8	WRAP16	INCR16	8	16	32	64	128	256	512	1024
AHB マスタ (AHB-AP)	○	×	×	×	×	×	×	×	○	○	○	×	×	×	×	×

- 対応した転送が発生します。
- ×

対応した転送は発生しません。

表25-5 AHB-Lite マスタ その他転送

端子グループ	Endian			EBT	プロテクション MHPROT[3:0]				アンアラインド転送	エラー応答の反応
	LE	BE32	BE8	早期バースト終了 アクセス	オペコード/データ	ユーザ/特権	バッファ可/ 不可	キャッシュ可/不可		
AHB マスタ (AHB-AP)	○	×	×	×	●	●	●	●	×	バースト転送を 行わないため対象外

- 対応 / 生成する
- ×
- 両状態が起こります。

非対応 / 生成しない

両状態が起こります。

25.3 メモリ・マップ

25.3.1 デバッグ APB アクセス

各 CoreSight コンポーネントを制御するデバッグ・レジスタは、デバッグ APB バスに配置されます。CoreSight コンポーネントの配置情報を収めた ROM テーブル、CPU のデバッグ・レジスタ、および CTI の制御レジスタが配置されています。

25.3.1.1 システム・バスからのアクセス

システム APB インタフェース経由で、システム・バスからデバッグ APB 領域にアクセスすることができます。この場合のアドレスマップは、図 25-2(a)を参照してください。

システム・バスからデバッグ・レジスタにアクセスした場合、ロック機構により書き込み無効・制限読み出し可能な状態に制限されています。各デバッグ・コンポーネントに存在するロック・アクセス・レジスタを操作する事により、ロックを解除しフル・アクセスが可能になります。

デバッグ APB 領域は、表 25-6 に示す領域サイズの境界にアラインさせて配置してください。また配置アドレスを、CPU サブシステムの DBGROMADDR 端子に設定してください。^{注1}

注 1 JL-086A では、DBGROMADDR[31:12]=0xE_FF40 に固定されています。

25.3.1.2 デバッガからのアクセス

デバッガからのアクセスは、JTAG/SWD^{注2} 経由で行います。この場合のアドレスマップは、図 25-2(b) を参照してください。デバッガからアクセスした場合、デバッグ APB 領域は 0H 番地、および 80000000H 番地にミラー配置されているように見えます。

アドレスの MSB がハイの領域にアクセスした場合、ロック機構が無効化されフル・アクセスが可能です。

アドレスの MSB がローの領域にアクセスした場合、ロック機構が有効となり、システム APB バス経由のアクセスをエミュレートする事が可能です。

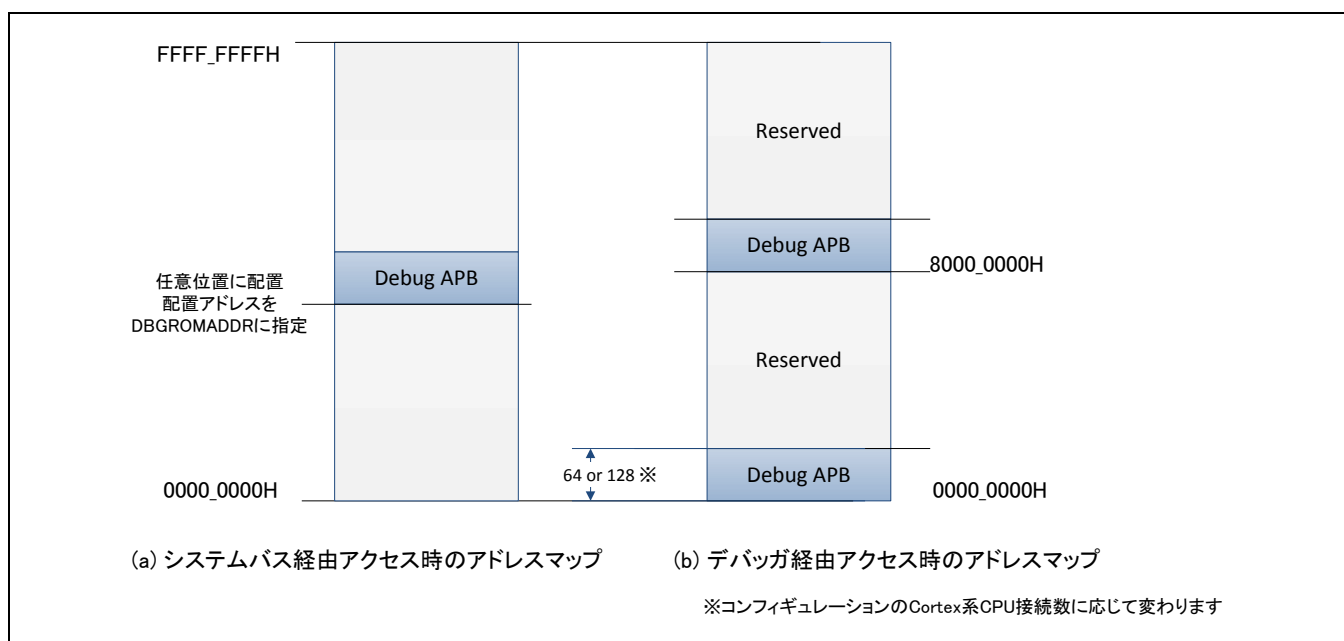


図25-2 システム・バス、ICE から見えるデバッグ APB の配置^{注3}

注 2 JL-086A では、Serial Wire 接続は使用できません(制限事項)

注 3 システムバス経由アクセス時のアドレスは、DBGROMADDR を足しこんだアドレス(EFF4_0000H)

25.3.2 デバッグ APB 領域のアドレスマップ

図 25-3にデバッグ APB 領域のアドレスマップを示します。

デバッグ APB インタフェース 0 に接続した CPU サブシステムは 08000H から 0BFFFH の範囲に、デバッグ APB インタフェース 1 に接続した CPU サブシステムは 0C000H から 0FFFFH の範囲に配置されます。デバッグ APB インタフェース 2 に接続した CPU サブシステム 10000H はから 13FFFH の範囲に配置されます。^{注 1}

注 1 JL-086A では、デバッグ APB インタフェース 0 には、CPU-SS(TYPE-R4F)が接続されます。
デバッグ APB インタフェース 1/2 は未使用のため、未使用領域となります。

デバッグ APB0 領域内、デバッグ APB1 領域内、デバッグ APB2 領域内のアドレスマップは接続する CPU サブシステムに依存します。

図 25-4 に示す CSSYS 領域を除きコンフィギュレーションにより未使用とした領域および N/A 領域にアクセスした場合、書き込み無視、0 読み出しが行われます。PSLVERR は発生しません。図 25-5 に示す CSSYS 領域内でコンフィギュレーションによりコンポーネントが存在しない領域にアクセスした場合、PSLVERR が発生します。コンポーネントが存在する領域および N/A 領域へのアクセスは PSLVERR を発生しません。

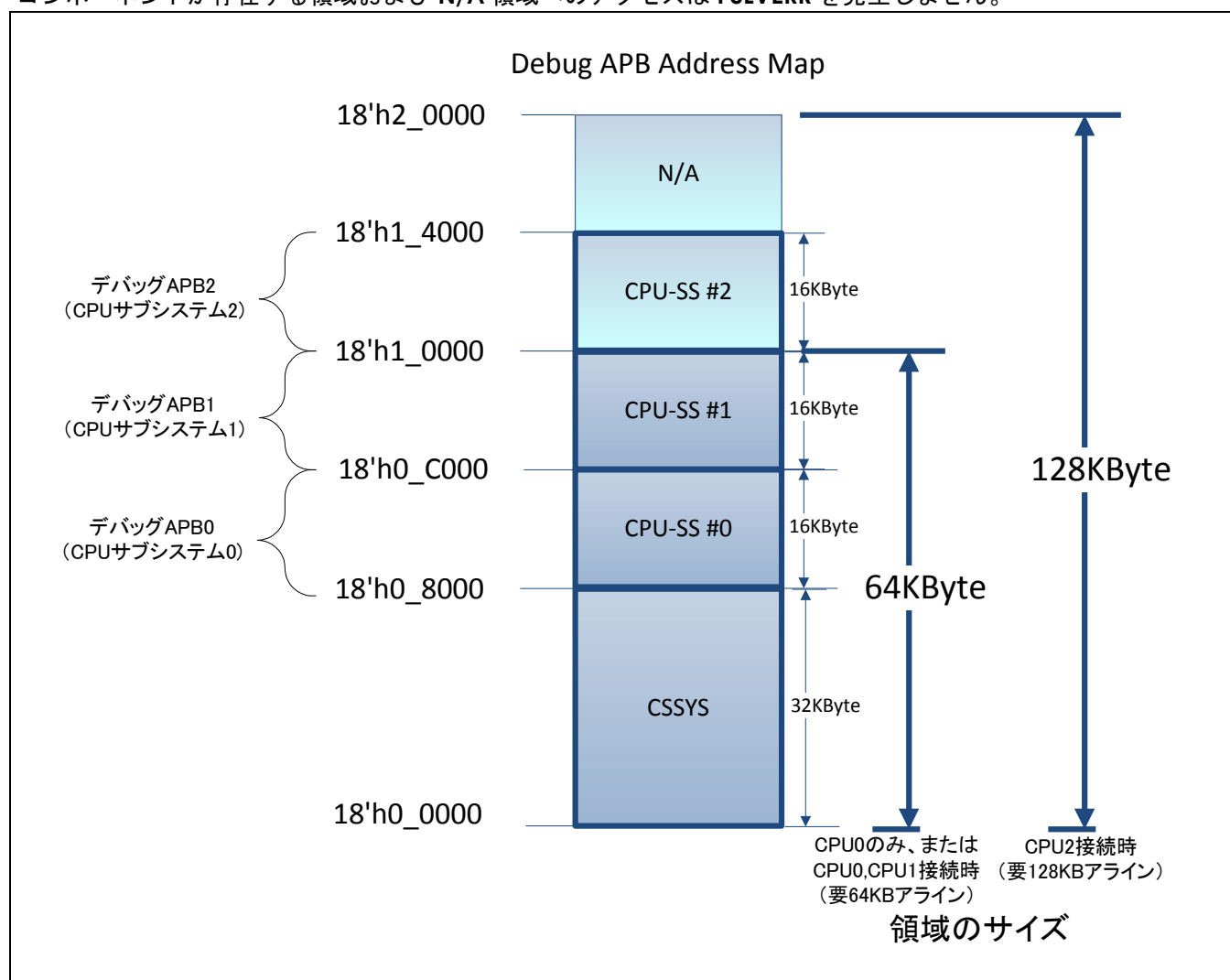


図25-3 デバッグ APB 内アドレスマップ例^{注 2}

注 2 デバッグ APB1/2 は未使用のため、18'h0_C000~18'h0_3FFF は未使用領域となります。

表25-6 Cortex 系 CPU 接続数による必要領域

Cortex 系 CPU	領域サイズ
CPU0 使用時	64KB

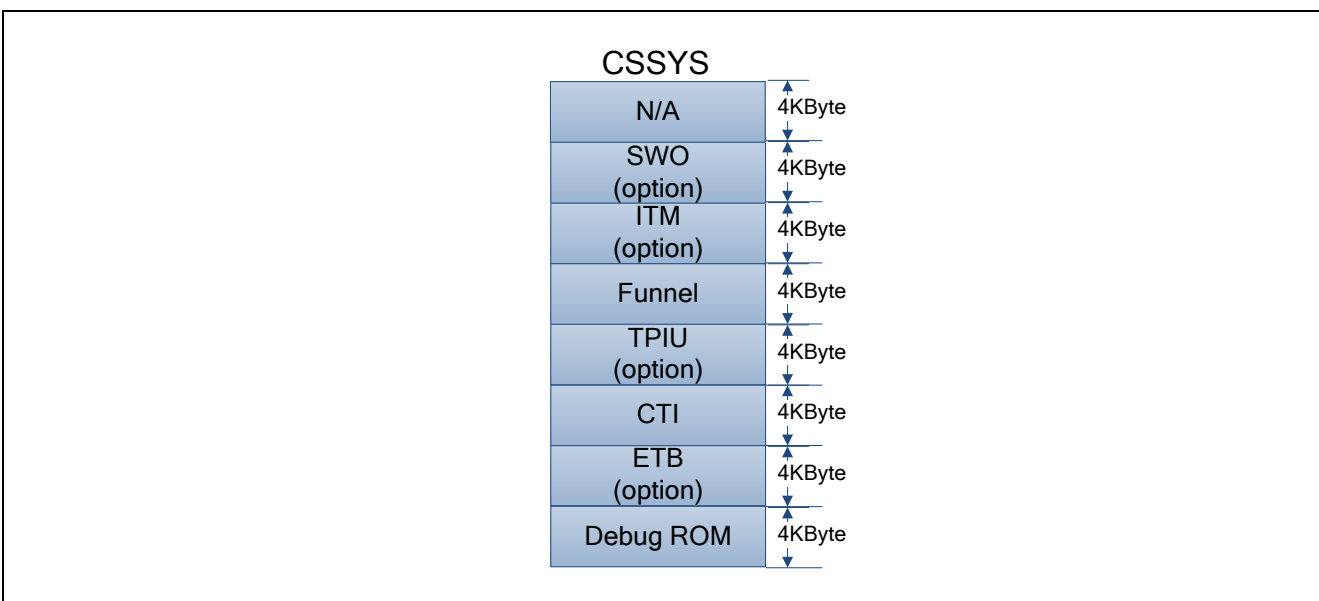


図25-4 本サブシステム内に存在する CoreSight コンポーネントのアドレスマップ^{注1}

注1 JL-086A では、コンフィギュレーションにより、以下の領域が存在しません。

SWO (4KByte)

ITM (4KByte)

TPIU (4KByte)

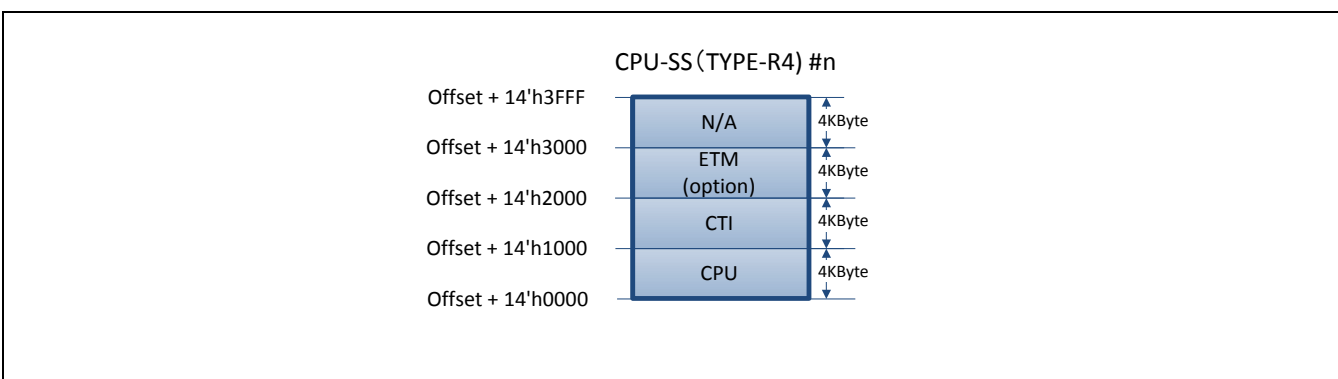


図25-5 CPU-SS のアドレスマップ例^{注2}

注2 図中の Offset は EFF4_8000H です。

よって、CPU-SS(TYPE-R4F)領域は、EFF4_8000H～EFF4_BFFFH となります。

表25-7 デバッグ APB アドレス内アドレスマップ

インタフェース	DBGSELFADDR指定値	領域	サイズ	用途
デバッグ APB 0	20'h00008	0x00008000 – 0x0000BFFF	16KB	CPU-SS(TYPE-R4F)接続用

25.4.1.2 JTAG インタフェース(ADiv5)

JTAG インタフェースを使用する場合は、下図のような接続およびデータ・フローになります。

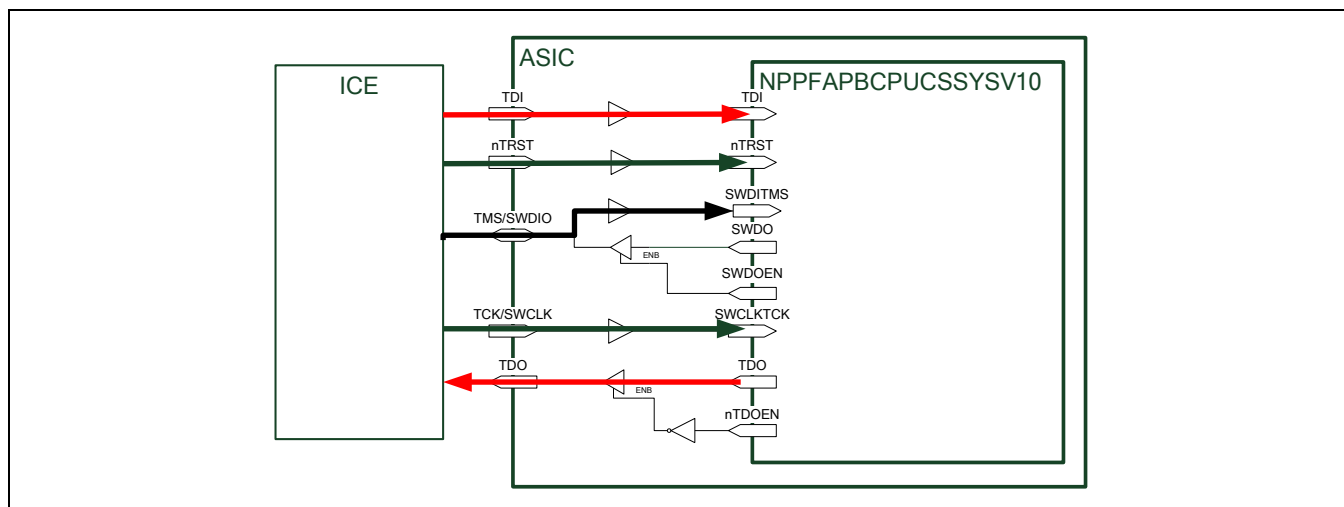


図25-7 JTAG インタフェース端子接続^{注1}

注1 JL-086A では、図 25-7 中の外部端子 TMS/SWDIO、TCK/SWCLK の端子名称は以下になります。
TMS/SWDIO : TMS
TCK/SWCLK : TCK

25.4.2 TRSTZ 入力タイミング

デバッガが供給する **TRSTZ** および **TCK** について、下記制限が守られていることを確認してください。

TRSTZ 解除 (**Low**→**Hi**)と **TCK** の立ち上がりに関して、セットアップ・ホールド制約が守られていることを確認してください。

また **TRSTZ** を使用しない場合には、デバッガが **Test-Logic-Reset** ステートへの遷移を用いた **TAP** リセットを行えることを確認してください。

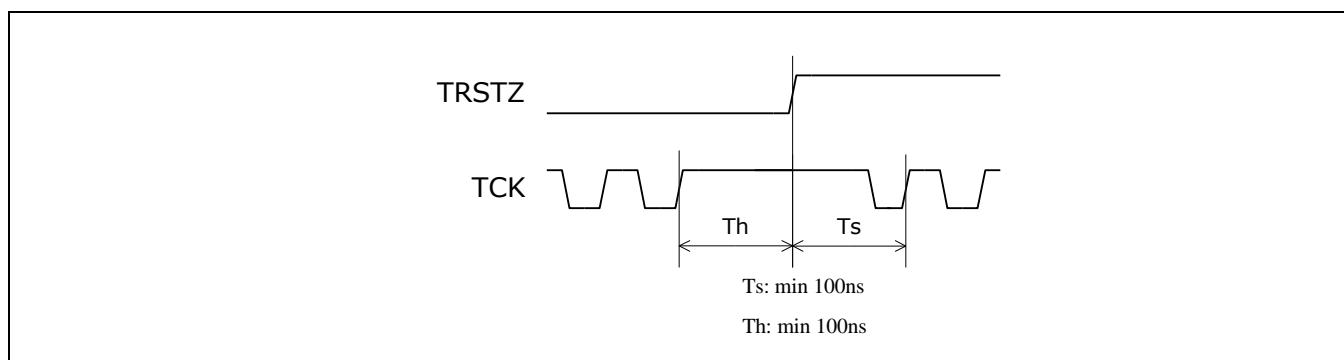


図25-8 TRSTZ、TCK 間タイミング

なおパワーオン・リセット信号についても **TCK** との間に同様のタイミング制約が存在しますが、リセット解除時にはデバッガとの通信が行われておらず **TCK** は発振していないため、制限としておりません。