第8章　　割り込みコントローラ

8.1　概要

FIQ, IRQ の双方をサポートし、IRQ 割り込みでは割り込みアドレス・レジスタ（HVA）により、ARM CPU にベクタ・アドレスを提供します。専用のベクタ割り込み端子を利用したインタフェースも可能で、HVA レジスタを介するよりも高速な割り込み応答が可能です。

16 レベルの優先レベル制御、割り込み検出タイプの選択をサポートしています。

割り込み要因本数
64 本

補足　JL-086A では FIQ を使用しないこととします。詳細は、3.2.1 TCM の使用に関する注意点をご参照ください。

8.1.1　特徴

本割り込みコントローラの特徴を表 **8-1**に示します。

表**8-1**　本割り込みコントローラの特徴

項　目	機　能
搭載マクロ名	**NBPFAHB32VIC64**
割り込み要因数	**64**
IRQ 割り込み	**FIQ** 以外すべての割り込みを **IRQ** 割り込みに割り当て可能 ベクタ・アドレスを **ARM CPU** コアへ供給 優先レベルに従った、多重割り込みに対応
マスク機能	あり
ソフトウエア割り込み	あり
特権モード	あり
レジスタ・アクセス	**AHB** バス・アクセス
割り込み検出	・レベル（ハイ・レベル／ロー・レベル） ・エッジ（立ち上がり／立ち下がり／両エッジ）
割り込み優先レベル	**16** 段階
割り込み優先レベル・マスク	**16** 段階
割り込み優先レベル制御	割り込み優先レベルと割り込み優先レベル・マスク・レジスタ（**PRLM**）により選択可 割り込み優先レベルが同じ場合、ベクタ番号の小さい方が優先
スタンバイ対応	**CPU** の **Wait for interrupt** に対応させるため、スタンバイ時も本割り込みコントローラにはクロック（**HCLK**）を供給してください。
ベクタ割り込み端子	あり
カスケード接続	なし

備考　HCLK：AHB バス・クロック入力

8.1.2　サポートしている AHB 転送

AHB バス・アクセスに対する、本割り込みコントローラの動作を以下に示します。

(a)　AHB バス・アクセスのレスポンス

本割り込みコントローラのレジスタ・アクセスを行ったときの、**AHB** バス・アクセスに対するレスポンスを表 **8-2**に示します。

表**8-2**　**AHB** バス・アクセスに対するレスポンス

HTRANS[1:0]	HSIZE[2:0]	HPROT1	応答	説　明
IDLE (00)	―	―	OKAY	
BUSY (01)	―	―	OKAY	
NONSEQ (10)	010	0（ユーザ）	OKAY /ERROR	特権モードでのアクセスのみ許可されている場合（UEN レジスタの UE = 0 の場合）、ERROR で応答します。 特権モード／ユーザ・モードでのアクセスが許可されている場合（UEN レジスタの UE = 1 の場合）、OKAY で応答し、32 ビットのリード／ライトは正常に行えます。
		1（特権）	OKAY	32 ビットのリード／ライトは正常に行えます。
	010 以外	―	ERROR	HSIZE が 32 ビット以外を示す場合、ERROR で応答します。
SEQ (11)	010	0（ユーザ）	OKAY /ERROR	特権モードでのアクセスのみ許可されている場合（UEN レジスタの UE = 0 の場合）、ERROR で応答します。 特権モード／ユーザ・モードでのアクセスが許可されている場合（UEN レジスタの UE = 1 の場合）、OKAY で応答し、32 ビットのリード／ライトは正常に行えます。
		1（特権）	OKAY	32 ビットのリード／ライトは正常に行えます。
	010 以外	―	ERROR	HSIZE が 32 ビット以外を示す場合、ERROR で応答します。

(b)　レスポンスの種類

本割り込みコントローラのレジスタ・アクセスを行ったときの、AHB バス・アクセスに対するレスポンスの種類を表 **8-3**に示します。

表**8-3**　レスポンスの種類

種　類	発　行	備　　考
SPLIT	しない	SPLIT は発行しません。
ERROR	する	対応しない転送方式でアクセスされた場合、およびアクセス・モード（特権モード／ユーザ・モード）違反発生時に ERROR で応答します。
RETRY	しない	RETRY は発行しません。

8.2 割り込み端子一覧

JL-086A では、以下の割り込み信号を割り込みコントローラに接続いたします。
※**JL-086A** では **FIQ** 機能を使用しません。

表 **8-4** 割り込み端子一覧(1/3)

信号名	発生源	INTC 接続 No.	Default 優先順位	同期クロック	備考
INTUDL0	**UDL**	**0**	**0**	**PCLK**	
INTUDL1	**UDL**	**1**	**1**	**PCLK**	
INTUDL2	**UDL**	**2**	**2**	**PCLK**	
INTUDL3	**UDL**	**3**	**3**	**PCLK**	
INTUDL4	**UDL**	**4**	**4**	**PCLK**	
INTUDL5	**UDL**	**5**	**5**	**PCLK**	
INTUDL6	**UDL**	**6**	**6**	**PCLK**	
INTUDL7	**UDL**	**7**	**7**	**PCLK**	
INTPZ0	外部端子	**10**	**30**	**PCLK**	同期化、NF 必要
INTPZ1	外部端子	**11**	**31**	**PCLK**	同期化、NF 必要
INTPZ2	外部端子	**12**	**32**	**PCLK**	同期化、NF 必要
INTPZ3	外部端子	**13**	**33**	**PCLK**	同期化、NF 必要
INTTAUJ2I0	TAUJ2 チャネル 0	**14**	**34**	**PCLK**	
INTTAUJ2I1	TAUJ2 チャネル 1	**15**	**35**	**PCLK**	
INTTAUJ2I2	TAUJ2 チャネル 2	**16**	**36**	**PCLK**	
INTTAUJ2I3	TAUJ2 チャネル 3	**17**	**37**	**PCLK**	
INTTM0	APB-SS タイマ 0	**18**	**38**	**TIM_CLK**	
INTTM1	APB-SS タイマ 1	**19**	**39**	**TIM_CLK**	
INTTM2	APB-SS タイマ 2	**20**	**40**	**TIM_CLK**	
INTTM3	APB-SS タイマ 3	**21**	**41**	**TIM_CLK**	
INTDMAERR	**DMA-SS TYPE-AXI**	**22**	**25**	**ACLK**	
INTDMA0	**DMA-SS TYPE-AXI**	**23**	**26**	**ACLK**	
INTDMA1	**DMA-SS TYPE-AXI**	**24**	**27**	**ACLK**	
INTDMA2	**DMA-SS TYPE-AXI**	**25**	**28**	**ACLK**	
INTDMA3	**DMA-SS TYPE-AXI**	**26**	**29**	**ACLK**	

表 8-5　割り込み端子一覧(2/3)

信号名	発生源	INTC 接続 No.	Default 優先順位	同期クロック	備考
CSI_INT	APB-SS CSI0	27	42	PCLK	
UART_INT	APB-SS UART	28	43	PCLK	
IIC_INT	APB-SS I2C	29	44	IIC_CLK	
BUS_ERRINT0	BUS-SS	30	45	ACLK	
BUS_ERRINT1	BUS-SS	31	46	ACLK	
INTETH	GbEther-SS	32	24	ACLK	
INTAD	APB-SS ADC	33	47	PCLK	
INTU2H	USB ホスト BRIDGE	34	17	HCLK	
INTU2HOHCI	USB ホスト OHCI	35	18	HCLK	
INTU2HEHCI	USB ホスト EHCI	36	19	HCLK	
INTU2HPME	USB ホスト PME	37	20	HCLK	
INTU2F	USB ファンクション BRIDGE	38	21	HCLK	
INTU2FEPC	USB ファンクション EPC	39	22	HCLK	
PCIe_INTA_RC	PCIe INTA	40	8	HCLK	
PCIe_INTB_RC	PCIe INTB	41	9	HCLK	
PCIe_INTC_RC	PCIe INTC	42	10	HCLK	
PCIe_INTD_RC	PCIe INTD	43	11	HCLK	
PCIe_INTMSI_RC	PCIe MSI	44	12	HCLK	
PCIe_MSG_INT	PCIe メッセージ	45	13	HCLK	
PCIe_PCIE_ERR_INT	PCIe PCIe Error	46	14	HCLK	
PCIe_AXI_ERR_INT	PCIe AXI Error	47	15	HCLK	
PCIe_INTALL	PCIe PCIe 割り込み論理和	48	16	HCLK	
SFMEMC_INT	MEM-SS TYPE-SROM	49	23	HCLK	

表 8-6　割り込み端子一覧(3/3)

信号名	発生源	INTC 接続 No.	Default 優先順位	同期クロック	備考
BUS_ERRINT2	BUS-SS (AXIIC2 と APBBUS 間の AXIAHB)	50	48	HCLK	
BUS_ERRINT3	BUS-SS (AHBIC と AXIIC1 間の AHBAXI)	51	49	HCLK	
BUS_ERRINT4	BUS-SS (CoreSight と AXIIC1 間の AHBAXI)	52	50	HCLK	
INTETH_AXI	GbEther-SS (AXI 割り込み)	53	51	HCLK	
CPUSS_FPIXC	CPU-SS FPU 不正確例外	54	52	CPUCK	
CPUSS_FPOFC	CPU-SS FPU オーバーフロー例外	55	53	CPUCK	
CPUSS_FPUFC	CPU-SS FPU アンダーフロー例外	56	54	CPUCK	
CPUSS_FPIOC	CPU-SS FPU 無効演算例外	57	55	CPUCK	
CPUSS_FPDZC	CPU-SS FPU ゼロ除算例外	58	56	CPUCK	
CPUSS_FPIDC	CPU-SS FPU 入力非正規例外	59	57	CPUCK	
CPUSS_TRIGINT	CPU-SS CTI からの クロストリガ割り込み出力	60	58	CPUCK	
PCISS_GPO[0]	PCIe-SS General purpose Output レジスタ出力	61	59	ACLK	

8.3　レジスタ

8.3.1　レジスター覧

本割り込みコントローラのレジスター覧を表 **8-7**に示します。
配置アドレスは、本割り込みコントローラが配置されているベース・アドレスからのオフセット・アドレスで表現しています。

表**8-7**　レジスター覧（1/2）

アドレス	レジスタ名称	略　号	R/W	初期値
EFFD_F000H-EFFD_F004H	IRQ ステータス・レジスタ 0-1（irq status register）	IRQS0-IRQS1	R	0000_0000H
EFFD_F008H-EFFD_F01FH	Reserved 注1	—	—	—
EFFD_F020H-EFFD_F024H	FIQ ステータス・レジスタ 0-1（fiq status register）注2	FIQS0-FIQS1	R	0000_0000H
EFFD_F028H-EFFD_F03FH	Reserved 注1	—	—	—
EFFD_F040F-EFFD_F044H	割り込み入力ステータス・レジスタ 0-1 (raw interrupt status register)	RAIS0-RAIS1	R	0000_0000H
EFFD_F048H-EFFD_F05FH	Reserved 注1	—	—	—
EFFD_F060H-EFFD_F064H	IRQ／FIQ 割り込み選択レジスタ 0-1 (interrupt select register)	ISL0-ISL1	R/W	0000_0000H
EFFD_F064H-EFFD_F07FH	Reserved 注1	—	—	—
EFFD_F080H-EFFD_F084H	割り込みイネーブル・レジスタ 0-1（interrupt enable register)	IEN0-IEN1	R/W	0000_0000H
EFFD_F088H-EFFD_F09FH	Reserved 注1	—	—	—
EFFD_F0A0H-EFFD_F0A4H	割り込みイネーブル・クリア・レジスタ 0-1 (interrupt enable clear register)	IEC0-IEC1	W	0000_0000H
EFFD_F0A8H-EFFD_F0BFH	Reserved 注1	—	—	—
EFFD_F0C0H-EFFD_F0C4H	ソフトウエア割り込みレジスタ 0-1 (software interrupt register)	SWI0-SWI1	R/W	0000_0000H
EFFD_F0C8H-EFFD_F0DFH	Reserved 注1	—	—	—
EFFD_F0E0H-EFFD_F0E4H	ソフトウエア割り込みクリア・レジスタ 0-1 (software interrupt clear register)	SWC0-SWC1	W	0000_0000H
EFFD_F0E8H-EFFD_F0FFH	Reserved 注1	—	—	—
EFFD_F100H-EFFD_F104H	割り込み検出タイプ選択レジスタ 0-1 (pulse select register)	PLS0-PLS1	R/W	0000_0000H
EFFD_F118H-EFFD_F11FH	Reserved 注1	—	—	—
EFFD_F120H-EFFD_F124H	エッジ検出ビット・クリア・レジスタ 0-1 (pulse interrupt clear register)	PIC0-PIC1	W	0000_0000H
EFFD_F128H-EFFD_F13FH	Reserved 注1	—	—	—
EFFD_F140H-EFFD_F14CH	割り込みエッジ・コントロール・レジスタ 0-3 (edge control register)	EDGC0-EDGC3	R/W	5555_5555H
EFFD_F150H-EFFD_F17FH	Reserved 注1	—	—	—
EFFD_F180H-EFFD_F18CH	割り込みレベル・コントロール・レジスタ 0-3 (level control register)	LVLC0-LVLC3	R/W	5555_5555H
EFFD_F190H-EFFD_F1BFH	Reserved 注1	—	—	—

注 1. ライトは無視され、リードは 0000_0000H が読み出されます。

表 **8-8** レジスター覧（2/2）

アドレス	レジスタ名称	略　号	R/W	初期値
EFFD_F1C0H	割り込み優先レベル・マスク・レジスタ （priority level mask register）	PRLM	R/W	0000_0000H
EFFD_F1C4H	割り込み優先レベル・マスク・クリア・レジスタ （priority level mask clear register）	PRLC	W	0000_0000H
EFFD_F1C8H	ユーザ・モード・イネーブル・レジスタ （usermode enable register）	UEN	R/W	0000_0001H
EFFD_F1CCH-EFFD_F1FFH	Reserved 注1	—	—	—
EFFD_F200H	割り込みアドレス・レジスタ （high priority vector address register）	HVA	R/W	0000_0000H
EFFD_F204H-EFFD_F20FH	Reserved 注1	—	—	—
EFFD_F210H-EFFD_F214H	割り込みサービス・ステータス・レジスタ 0-1 （interrupt service status register）	ISS0-ISS1	R	0000_0000H
EFFD_F218H-EFFD_F22FH	Reserved 注1	—	—	—
EFFD_F230H-EFFD_F234H	割り込みサービス・カレント・レジスタ 0-1 （interrupt service current register）	ISC0-ISC1	R	0000_0000H
EFFD_F238H-EFFD_F3FFH	Reserved 注1	—	—	—
EFFD_F400H-EFFD_F4FCH	割り込みアドレス格納レジスタ 0-63 （vector address register）	VAD0-VAD63	R/W	0000_0000H
EFFD_F500H-EFFD_F7FFH	Reserved 注1	—	—	—
EFFD_F800H-EFFD_F8FCH	割り込み優先レベル格納レジスタ 0-63 （priority level register）	PRL0-PRL63	R/W	0000_0000H
EFFD_F900H-EFFD_FBFFH	Reserved 注1	—	—	—
EFFD_FC00H	テスト・モード選択レジスタ（test mode control register）	TCR	R/W	0000_0000H
EFFD_FC04H	テスト・モード割り込み入力制御レジスタ （test mode interrupt input control register）	TICR	R/W	0000_0000H
EFFD_FC08H	テスト・モード割り込みアドレス制御レジスタ （test mode address input control register）	TACR	R/W	0000_0000H
EFFD_FC0CH	割り込み要求ステータス・レジスタ （interrupt output status register）	IOS	R	0000_0000H
EFFD_FC10H	割り込みアドレス・ステータス・レジスタ （vector address output status register）	VAOS	R	0000_0000H

注 1. ライトは無視され、リードは 0000_0000H が読み出されます。

2. JL-086A では、FIQ 機能を使用しません。

8.3.2　レジスタ相関図

本割り込みコントローラのレジスタ相関図を図 **8-1**に示します。

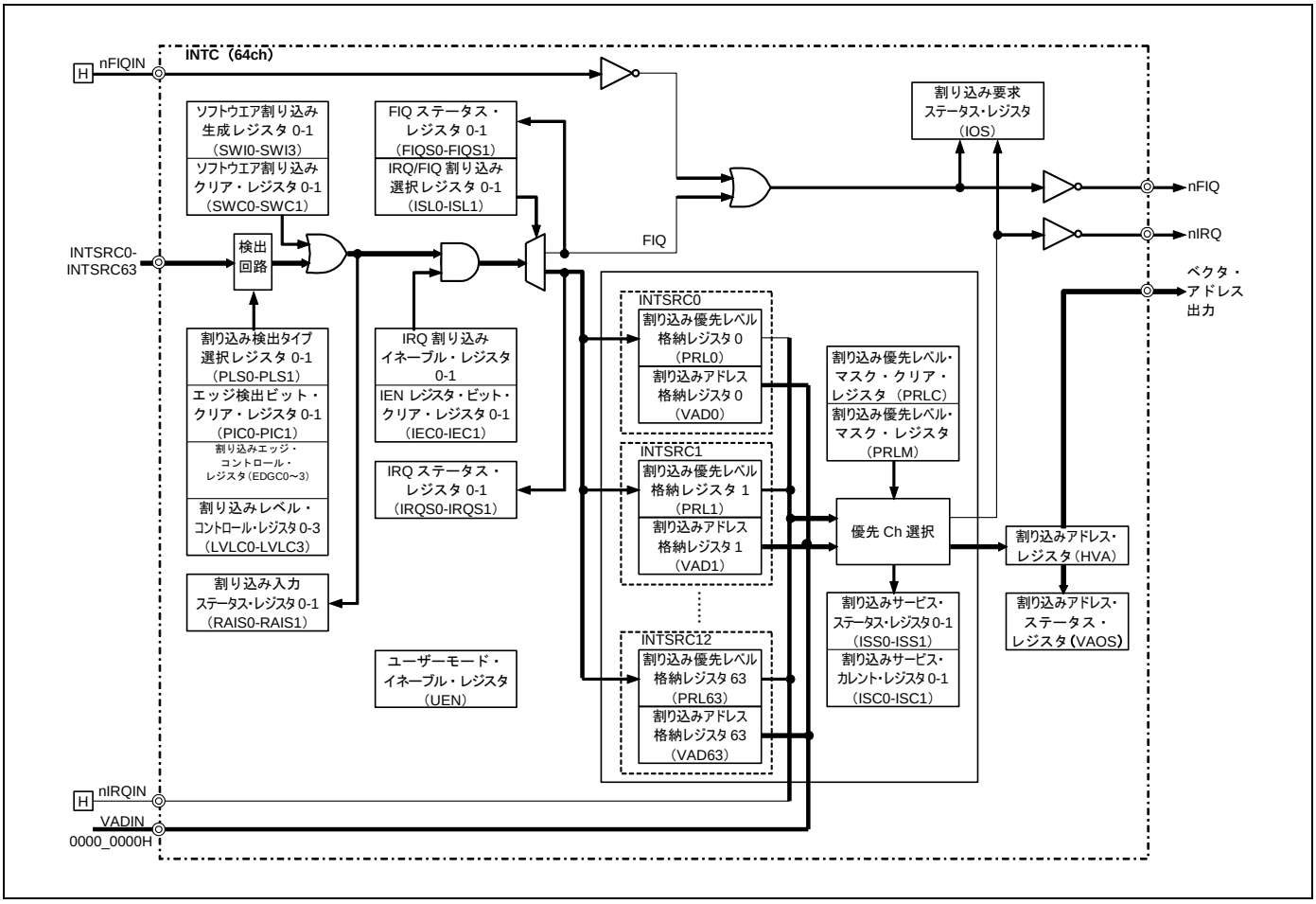


図**8-1**　レジスタ相関図

8.3.3　レジスタ機能説明

本割り込みコントローラのレジスタを操作するときには、以下の点を注意してください。

(1)　初期化について

リセット解除の時点では、本割り込みコントローラは割り込み優先レベルの設定などのレジスタが動作可能な状態になっていません。必ず「**8.4.1**レジスタ初期化手順」に従い、初期化してください。

以下のレジスタをライトする際には、必ず「**8.4.1**レジスタ初期化手順」または、「**8.4.2**レジスタ書き換え手順」に従ってください。

- **ISL**（**IRQ**／**FIQ** 割り込み選択レジスタ）
- **IEC**（割り込みイネーブル・クリア・レジスタ）
- **PLS**（割り込み検出タイプ選択レジスタ）
- **EDGC**（割り込みエッジ・コントロール・レジスタ）
- **LVLC**（割り込みレベル・コントロール・レジスタ）
- **PRLM**（割り込み優先レベル・マスク・レジスタ）
- **VAD**（割り込みアドレス格納レジスタ）
- **PRL**（割り込み優先レベル格納レジスタ）
- **TCR**（テスト・モード選択レジスタ）

(2)　Reserved 領域等へのリード／ライト

Reserved 領域へのライトは無視され、リードは **0** が読み出されます。

ライトのみ可能なレジスタへのリードは **0** が読み出されます。

8.3.3.1　IRQ ステータス・レジスタ 0-1（IRQS0-IRQS1）

IRQS0-IRQS1 レジスタは、**IRQ** マスク後の割り込みステータスを示します。
IRQS0-IRQS1 レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
IRQS0	IRQ 31	IRQ 30	IRQ 29	IRQ 28	IRQ 27	IRQ 26	IRQ 25	IRQ 24	IRQ 23	IRQ 22	IRQ 21	IRQ 20	IRQ 19	IRQ 18	IRQ 17	IRQ 16	000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IRQ 15	IRQ 14	IRQ 13	IRQ 12	IRQ 11	IRQ 10	IRQ 9	IRQ 8	IRQ 7	IRQ 6	IRQ 5	IRQ 4	IRQ 3	IRQ 2	IRQ 1	IRQ 0	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
IRQS1	IRQ 63	IRQ 62	IRQ 61	IRQ 60	IRQ 59	IRQ 58	IRQ 57	IRQ 56	IRQ 55	IRQ 54	IRQ 53	IRQ 52	IRQ 51	IRQ 50	IRQ 49	IRQ 48	004H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IRQ 47	IRQ 46	IRQ 45	IRQ 44	IRQ 43	IRQ 42	IRQ 41	IRQ 40	IRQ 39	IRQ 38	IRQ 37	IRQ 36	IRQ 35	IRQ 34	IRQ 33	IRQ 32	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
各 31-0	IRQ63-IRQ0	IEN レジスタと ISL レジスタによるマスク後の割り込みのステータスを示します。 0：IRQ 割り込み要求なし 1：IRQ 割り込み要求あり

備考 1. 関連レジスタ … IEN レジスタ：8.3.3.5,　ISL レジスタ：8.3.3.4 参照

8.3.3.2　FIQ ステータス・レジスタ 0-1（FIQS0-FIQS1）

FIQS0-FIQS1 レジスタは、**FIQ** マスク後の割り込みステータスを示します。
FIQS0-FIQS1 レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
FIQS0	FIQ 31	FIQ 30	FIQ 29	FIQ 28	FIQ 27	FIQ 26	FIQ 25	FIQ 24	FIQ 23	FIQ 22	FIQ 21	FIQ 20	FIQ 19	FIQ 18	FIQ 17	FIQ 16	020H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	FIQ 15	FIQ 14	FIQ 13	FIQ 12	FIQ 11	FIQ 10	FIQ 9	FIQ 8	FIQ 7	FIQ 6	FIQ 5	FIQ 4	FIQ 3	FIQ 2	FIQ 1	FIQ 0	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
FIQS1	FIQ 63	FIQ 62	FIQ 61	FIQ 60	FIQ 59	FIQ 58	FIQ 57	FIQ 56	FIQ 55	FIQ 54	FIQ 53	FIQ 52	FIQ 51	FIQ 50	FIQ 49	FIQ 48	024H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	FIQ 47	FIQ 46	FIQ 45	FIQ 44	FIQ 43	FIQ 42	FIQ 41	FIQ 40	FIQ 39	FIQ 38	FIQ 37	FIQ 36	FIQ 35	FIQ 34	FIQ 33	FIQ 32	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
各 31-0	FIQ63-FIQ0	IEN レジスタと ISL レジスタによるマスク後の割り込みのステータスを示します。 0：FIQ 割り込み要求なし 1：FIQ 割り込み要求あり

備考 1. 関連レジスタ … IEN レジスタ：8.3.3.5,　ISL レジスタ：8.3.3.4 参照
2. JL-086A では、FIQ 機能を使用しません。

8.3.3.3　割り込み入力ステータス・レジスタ 0-1（RAIS0-RAIS1）

RAIS0-RAIS1 レジスタは、マスク前の **INTSRC** 入力、ソフトウエア割り込み入力のステータスを示します。**RAIS0-RAIS1** レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
RAIS0	RAI 31	RAI 30	RAI 29	RAI 28	RAI 27	RAI 26	RAI 25	RAI 24	RAI 23	RAI 22	RAI 21	RAI 20	RAI 19	RAI 18	RAI 17	RAI 16	040H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	RAI 15	RAI 14	RAI 13	RAI 12	RAI 11	RAI 10	RAI 9	RAI 8	RAI 7	RAI 6	RAI 5	RAI 4	RAI 3	RAI 2	RAI 1	RAI 0	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
RAIS1	RAI 63	RAI 62	RAI 61	RAI 60	RAI 59	RAI 58	RAI 57	RAI 56	RAI 55	RAI 54	RAI 53	RAI 52	RAI 51	RAI 50	RAI 49	RAI 48	044H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	RAI 47	RAI 46	RAI 45	RAI 44	RAI 43	RAI 42	RAI 41	RAI 40	RAI 39	RAI 38	RAI 37	RAI 36	RAI 35	RAI 34	RAI 33	RAI 32	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
各 31-0	RAI63-RAI0	マスク前の割り込み要求の入力およびソフトウエア割り込み入力のステータスを示します。 0：割り込み要求なし 1：割り込み要求あり

備考 1. 関連レジスタ … IEN レジスタ：8.3.3.5,　ISS レジスタ：8.3.3.17 参照

8.3.3.4　IRQ／FIQ 割り込み選択レジスタ 0-1（ISL0-ISL1）

ISL0-ISL1 レジスタは、対応する割り込み要因が **FIQ** 割り込みを発生するか、**IRQ** 割り込みを発生するかを選択します。**FIQ** 割り込みは、**ISL0-ISL1** のうち **1** ビットのみを割り当ててください。

ISL0-ISL1 レジスタは、**32** ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISL0	ISL 31	ISL 30	ISL 29	ISL 28	ISL 27	ISL 26	ISL 25	ISL 24	ISL 23	ISL 22	ISL 21	ISL 20	ISL 19	ISL 18	ISL 17	ISL 16	060H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISL 15	ISL 14	ISL 13	ISL 12	ISL 11	ISL 10	ISL 9	ISL 8	ISL 7	ISL 6	ISL 5	ISL 4	ISL 3	ISL 2	ISL 1	ISL 0	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISL1	ISL 63	ISL 62	ISL 61	ISL 60	ISL 59	ISL 58	ISL 57	ISL 56	ISL 55	ISL 54	ISL 53	ISL 52	ISL 51	ISL 50	ISL 49	ISL 48	064H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISL 47	ISL 46	ISL 45	ISL 44	ISL 43	ISL 42	ISL 41	ISL 40	ISL 39	ISL 38	ISL 37	ISL 36	ISL 35	ISL 34	ISL 33	ISL 32	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
各 31-0	ISL63- ISL0	割り込みソースを FIQ 割り込みと IRQ 割り込みから選択します。 1：FIQ 割り込み(設定禁止) 0：IRQ 割り込み

備考 1. 関連レジスタ … EDGC レジスタ：8.3.3.11，　LVLC レジスタ：8.3.3.12 参照
2. JL-086A では、FIQ 機能を使用しません。

8.3.3.5　割り込みイネーブル・レジスタ 0-1（IEN0-IEN1）

IEN0-IEN1 レジスタは、**FIQ** および **IRQ** 割り込みの許可／マスクを選択します。リセット時は、すべての割り込み要求はマスクされています。

このレジスタは、ビットをセット（**1**）すると、クリア（**0**）はできません。クリアは割り込みイネーブル・クリア・レジスタ **0-1**（**IEC0-IEC1**）で行ってください。

IEN0-IEN1 レジスタは、**32** ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
IEN0	IEN 31	IEN 30	IEN 29	IEN 28	IEN 27	IEN 26	IEN 25	IEN 24	IEN 23	IEN 22	IEN 21	IEN 20	IEN 19	IEN 18	IEN 17	IEN 16	080H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEN 15	IEN 14	IEN 13	IEN 12	IEN 11	IEN 10	IEN 9	IEN 8	IEN 7	IEN 6	IEN 5	IEN 4	IEN 3	IEN 2	IEN 1	IEN 0	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
IEN1	IEN 63	IEN 62	IEN 61	IEN 60	IEN 59	IEN 58	IEN 57	IEN 56	IEN 55	IEN 54	IEN 53	IEN 52	IEN 51	IEN 50	IEN 49	IEN 48	084H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEN 47	IEN 46	IEN 45	IEN 44	IEN 43	IEN 42	IEN 41	IEN 40	IEN 39	IEN 38	IEN 37	IEN 36	IEN 35	IEN 34	IEN 33	IEN 32	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
各 31-0	IEN63- IEN0	割り込み要求の許可設定を行います。一度許可に設定すると IEN0-IEN1 レジスタではマスクすることはできません。マスクは、IEC0-IEC1 レジスタで行ってください。 0：割り込みマスク（ディスエーブル）状態 1：割り込み許可（イネーブル）状態

備考 1. 関連レジスタ … IEC レジスタ：8.3.3.6,　ISS レジスタ：8.3.3.17 参照
2. JL-086A では、FIQ 機能を使用しません。

8.3.3.6　割り込みイネーブル・クリア・レジスタ 0-1（IEC0-IEC1）

IEC0-IEC1 レジスタは、**IEN0-IEN1** レジスタのビットをクリアし、該当する割り込み要求をマスク（ディスエーブル）状態に設定します。

IEC0-IEC1 レジスタは、**32** ビット単位でライトのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
IEC0	IEC 31	IEC 30	IEC 29	IEC 28	IEC 27	IEC 26	IEC 25	IEC 24	IEC 23	IEC 22	IEC 21	IEC 20	IEC 19	IEC 18	IEC 17	IEC 16	0A0H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEC 15	IEC 14	IEC 13	IEC 12	IEC 11	IEC 10	IEC 9	IEC 8	IEC 7	IEC 6	IEC 5	IEC 4	IEC 3	IEC 2	IEC 1	IEC 0	0000_0000H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
IEC1	IEC 63	IEC 62	IEC 61	IEC 60	IEC 59	IEC 58	IEC 57	IEC 56	IEC 55	IEC 54	IEC 53	IEC 52	IEC 51	IEC 50	IEC 49	IEC 48	0A4H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	IEC 47	IEC 46	IEC 45	IEC 44	IEC 43	IEC 42	IEC 41	IEC 40	IEC 39	IEC 38	IEC 37	IEC 36	IEC 35	IEC 34	IEC 33	IEC 32	0000_0000H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意　味
各 31-0	IEC63- IEC0	割り込み要求のマスク（ディスエーブル）設定を行います。あるビットをセット（1）すると、IEN レジスタの同ビットがクリア（0）され、その割り込み要求はマスク（ディスエーブル）状態になります。 0：何も変わりません。 1：割り込みマスク（ディスエーブル）状態、IEN レジスタの該当ビットをクリア（0）

備考 1. 関連レジスタ … IEN レジスタ：8.3.3.5 参照

8.3.3.7　ソフトウエア割り込みレジスタ 0-1（SWI0-SWI1）

SWI0-SWI1 レジスタは、ソフトウエア割り込みの生成に使用します。
SWI0-SWI1 レジスタは、**32** ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
SWI0	SWI 31	SWI 30	SWI 29	SWI 28	SWI 27	SWI 26	SWI 25	SWI 24	SWI 23	SWI 22	SWI 21	SWI 20	SWI 19	SWI 18	SWI 17	SWI 16	0C0H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWI 15	SWI 14	SWI 13	SWI 12	SWI 11	SWI 10	SWI 9	SWI 8	SWI 7	SWI 6	SWI 5	SWI 4	SWI 3	SWI 2	SWI 1	SWI 0	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
SWI1	SWI 63	SWI 62	SWI 61	SWI 60	SWI 59	SWI 58	SWI 57	SWI 56	SWI 55	SWI 54	SWI 53	SWI 52	SWI 51	SWI 50	SWI 49	SWI 48	0C4H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWI 47	SWI 46	SWI 45	SWI 44	SWI 43	SWI 42	SWI 41	SWI 40	SWI 39	SWI 38	SWI 37	SWI 36	SWI 35	SWI 34	SWI 33	SWI 32	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
各 31-0	SWI63-SWI0	ビットをセット（1）することで、ソフトウエア割り込みを生成します。割り込みをマスクした場合は、割り込みは発生しません。一度セット（1）すると、SWI0-SWI1 レジスタではクリア（0）できません。SWC0-SWC1 の同ビットをセット（1）すると SWI0-SWI1 の該当ビットがクリア（0）されます。 クリア（0）した場合は、何も変わりません。 セット（1）した場合は、対応するソフトウエア割り込みが生成されます。

備考 1. 関連レジスタ … SWC レジスタ：8.3.3.8 参照

8.3.3.8　ソフトウエア割り込みクリア・レジスタ 0-1（SWC0-SWC1）

SWC0-SWC1 レジスタは、**SWI0-SWI1** レジスタのビットをクリア（**0**）します。
SWC0-SWC1 レジスタは、**32** ビット単位でライトのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
SWC0	SWC 31	SWC 30	SWC 29	SWC 28	SWC 27	SWC 26	SWC 25	SWC 24	SWC 23	SWC 22	SWC 21	SWC 20	SWC 19	SWC 18	SWC 17	SWC 16	0E0H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWC 15	SWC 14	SWC 13	SWC 12	SWC 11	SWC 10	SWC 9	SWC 8	SWC 7	SWC 6	SWC 5	SWC 4	SWC 3	SWC 2	SWC 1	SWC 0	0000_0000H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
SWC1	SWC 63	SWC 62	SWC 61	SWC 60	SWC 59	SWC 58	SWC 57	SWC 56	SWC 55	SWC 54	SWC 53	SWC 52	SWC 51	SWC 50	SWC 49	SWC 48	0E4H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	SWC 47	SWC 46	SWC 45	SWC 44	SWC 43	SWC 42	SWC 41	SWC 40	SWC 39	SWC 38	SWC 37	SWC 36	SWC 35	SWC 34	SWC 33	SWC 32	0000_0000H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意　味
各 31-0	SWC63-SWC0	ソフトウエア割り込み要求のクリア（0）を行います。あるビットをセット（1）すると、SWI レジスタの同ビットがクリア（0）され、そのソフトウエア割り込み要求はクリア（0）されます。 0：何も変わりません。 1：ソフトウエア割り込みをクリア（SWI0-SWI1 レジスタの該当ビットをクリア（0））。

備考 1. 関連レジスタ … SWI レジスタ：8.3.3.7 参照

8.3.3.9　割り込み検出タイプ選択レジスタ 0-1（PLS0-PLS1）

PLS0-PLS1 レジスタは、割り込み入力ごとのエッジ検出／レベル検出を選択するレジスタです。
PLS0-PLS1 レジスタは、**32** ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
PLS0	PLS 31	PLS 30	PLS 29	PLS 28	PLS 27	PLS 26	PLS 25	PLS 24	PLS 23	PLS 22	PLS 21	PLS 20	PLS 19	PLS 18	PLS 17	PLS 16	100H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PLS 15	PLS 14	PLS 13	PLS 12	PLS 11	PLS 10	PLS 9	PLS 8	PLS 7	PLS 6	PLS 5	PLS 4	PLS 3	PLS 2	PLS 1	PLS 0	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
PLS1	PLS 63	PLS 62	PLS 61	PLS 60	PLS 59	PLS 58	PLS 57	PLS 56	PLS 55	PLS 54	PLS 53	PLS 52	PLS 51	PLS 50	PLS 49	PLS 48	104H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PLS 47	PLS 46	PLS 45	PLS 44	PLS 43	PLS 42	PLS 41	PLS 40	PLS 39	PLS 38	PLS 37	PLS 36	PLS 35	PLS 34	PLS 33	PLS 32	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
各 31-0	PLS63-PLS0	割り込み入力の検出タイプを選択します。 PLS63-PLS0 に INTSRC63-INTSRC0 が対応します。 0：レベル検出を行います 1：エッジ検出を行います

備考 1. 関連レジスタ … EDGC レジスタ：8.3.3.11, LVLC レジスタ：8.3.3.12 参照

8.3.3.10　エッジ検出ビット・クリア・レジスタ 0-1（PIC0-PIC1）

本割り込みコントローラでエッジ検出を行った場合、割り込み入力ビットごとの割り込みを保持します。
PIC0-PIC1 レジスタは、エッジ検出を行った割り込み入力ビットのエッジ検出をクリア（**0**）します。
PIC0-PIC1 レジスタは、**32** ビット単位でライトのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
PIC0	PIC 31	PIC 30	PIC 29	PIC 28	PIC 27	PIC 26	PIC 25	PIC 24	PIC 23	PIC 22	PIC 21	PIC 20	PIC 19	PIC 18	PIC 17	PIC 16	120H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PIC 15	PIC 14	PIC 13	PIC 12	PIC 11	PIC 10	PIC 9	PIC 8	PIC 7	PIC 6	PIC 5	PIC 4	PIC 3	PIC 2	PIC 1	PIC 0	0000_0000H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
PIC1	PIC 63	PIC 62	PIC 61	PIC 60	PIC 59	PIC 58	PIC 57	PIC 56	PIC 55	PIC 54	PIC 53	PIC 52	PIC 51	PIC 50	PIC 49	PIC 48	124H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PIC 47	PIC 46	PIC 45	PIC 44	PIC 43	PIC 42	PIC 41	PIC 40	PIC 39	PIC 38	PIC 37	PIC 36	PIC 35	PIC 34	PIC 33	PIC 32	0000_0000H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意　味
各 31-0	PIC63-PIC0	エッジ検出を行った割り込み要求を、割り込み要求ごとにエッジ検出回路のクリアを行います。 該当ビットをセット（1）することで、エッジ検出をクリアします。 クリア（0）した場合は何の影響も与えません。

備考 1. 関連レジスタ … EDGC レジスタ：8.3.3.11, PLS レジスタ：8.3.3.9参照

8.3.3.11　割り込みエッジ・コントロール・レジスタ 0-3（EDGC0-EDGC3）

EDGC0-EDGE3 レジスタは、**INTSRC** 割り込み入力ごとに有効エッジを指定します。各 **INTSRC** ごとに 2 ビットずつ割り当てられています。指定できる有効エッジは、立ち上がり／立ち下がり／両エッジです。

EDGC0-EDGE3 レジスタは、**32** ビット単位でリード／ライト可能です。

備考 関連レジスタ … PLS レジスタ：8.4.3.9 参照

（1/4）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
EDGC0	EDG 151	EDG 150	EDG 141	EDG 140	EDG 131	EDG 130	EDG 121	EDG 120	EDG 111	EDG 110	EDG 101	EDG 100	EDG 91	EDG 90	EDG 81	EDG 80	140H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	EDG 71	EDG 70	EDG 61	EDG 60	EDG 51	EDG 50	EDG 41	EDG 40	EDG 31	EDG 30	EDG 21	EDG 20	EDG 11	EDG 10	EDG 01	EDG 00	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	EDG151, EDG150	INTSRC15 の有効エッジを指定します。
29, 28	EDG141, EDG140	INTSRC14 の有効エッジを指定します。
27, 26	EDG131, EDG130	INTSRC13 の有効エッジを指定します。
25, 24	EDG121, EDG120	INTSRC12 の有効エッジを指定します。
23, 22	EDG111, EDG110	INTSRC11 の有効エッジを指定します。
21, 20	EDG101, EDG100	INTSRC10 の有効エッジを指定します。
19, 18	EDG91, EDG90	INTSRC9 の有効エッジを指定します。
17, 16	EDG81, EDG80	INTSRC8 の有効エッジを指定します。
15, 14	EDG71, EDG70	INTSRC7 の有効エッジを指定します。
13, 12	EDG61, EDG60	INTSRC6 の有効エッジを指定します。
11, 10	EDG51, EDG50	INTSRC5 の有効エッジを指定します。
9, 8	EDG41, EDG40	INTSRC4 の有効エッジを指定します。
7, 6	EDG31, EDG30	INTSRC3 の有効エッジを指定します。
5, 4	EDG21, EDG20	INTSRC2 の有効エッジを指定します。
3, 2	EDG11, EDG10	INTSRC1 の有効エッジを指定します。
1, 0	EDG01, EDG00	INTSRC0 の有効エッジを指定します。

EDGm1	EDGm0	有効エッジの指定
0	0	検出なし
0	1	立ち上がり
1	0	立ち下がり
1	1	両エッジ

備考 m = 0-15

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
EDGC1	EDG 311	EDG 310	EDG 301	EDG 300	EDG 291	EDG 290	EDG 281	EDG 280	EDG 271	EDG 270	EDG 261	EDG 260	EDG 251	EDG 250	EDG 241	EDG 240	144H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	EDG 231	EDG 230	EDG 221	EDG 220	EDG 211	EDG 210	EDG 201	EDG 200	EDG 191	EDG 190	EDG 181	EDG 180	EDG 171	EDG 170	EDG 161	EDG 160	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	EDG311, EDG310	INTSRC31 の有効エッジを指定します。
29, 28	EDG301, EDG300	INTSRC30 の有効エッジを指定します。
27, 26	EDG291, EDG290	INTSRC29 の有効エッジを指定します。
25, 24	EDG281, EDG280	INTSRC28 の有効エッジを指定します。
23, 22	EDG271, EDG270	INTSRC27 の有効エッジを指定します。
21, 20	EDG261, EDG260	INTSRC26 の有効エッジを指定します。
19, 18	EDG251, EDG250	INTSRC25 の有効エッジを指定します。
17, 16	EDG241, EDG240	INTSRC24 の有効エッジを指定します。
15, 14	EDG231, EDG230	INTSRC23 の有効エッジを指定します。
13, 12	EDG221, EDG220	INTSRC22 の有効エッジを指定します。
11, 10	EDG211, EDG210	INTSRC21 の有効エッジを指定します。
9, 8	EDG201, EDG200	INTSRC20 の有効エッジを指定します。
7, 6	EDG191, EDG190	INTSRC19 の有効エッジを指定します。
5, 4	EDG181, EDG180	INTSRC18 の有効エッジを指定します。
3, 2	EDG171, EDG170	INTSRC17 の有効エッジを指定します。
1, 0	EDG161, EDG160	INTSRC16 の有効エッジを指定します。

EDGm1	EDGm0	有効エッジの指定
0	0	検出なし
0	1	立ち上がり
1	0	立ち下がり
1	1	両エッジ

備考 m = 16-31

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
EDGC2	EDG 471	EDG 470	EDG 461	EDG 460	EDG 451	EDG 450	EDG 441	EDG 440	EDG 431	EDG 430	EDG 421	EDG 420	EDG 411	EDG 410	EDG 401	EDG 400	148H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	EDG 391	EDG 390	EDG 381	EDG 380	EDG 371	EDG 370	EDG 361	EDG 360	EDG 351	EDG 350	EDG 341	EDG 340	EDG 331	EDG 330	EDG 321	EDG 320	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	EDG471, EDG470	INTSRC47 の有効エッジを指定します。
29, 28	EDG461, EDG460	INTSRC46 の有効エッジを指定します。
27, 26	EDG451, EDG450	INTSRC45 の有効エッジを指定します。
25, 24	EDG441, EDG440	INTSRC44 の有効エッジを指定します。
23, 22	EDG431, EDG430	INTSRC43 の有効エッジを指定します。
21, 20	EDG421, EDG420	INTSRC42 の有効エッジを指定します。
19, 18	EDG411, EDG410	INTSRC41 の有効エッジを指定します。
17, 16	EDG401, EDG400	INTSRC40 の有効エッジを指定します。
15, 14	EDG391, EDG390	INTSRC39 の有効エッジを指定します。
13, 12	EDG381, EDG380	INTSRC38 の有効エッジを指定します。
11, 10	EDG371, EDG370	INTSRC37 の有効エッジを指定します。
9, 8	EDG361, EDG360	INTSRC36 の有効エッジを指定します。
7, 6	EDG351, EDG350	INTSRC35 の有効エッジを指定します。
5, 4	EDG341, EDG340	INTSRC34 の有効エッジを指定します。
3, 2	EDG331, EDG330	INTSRC33 の有効エッジを指定します。
1, 0	EDG321, EDG320	INTSRC32 の有効エッジを指定します。

EDGm1	EDGm0	有効エッジの指定
0	0	検出なし
0	1	立ち上がり
1	0	立ち下がり
1	1	両エッジ

備考 1. m = 32-47

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
EDGC3	EDG 631	EDG 630	EDG 621	EDG 620	EDG 611	EDG 610	EDG 601	EDG 600	EDG 591	EDG 590	EDG 581	EDG 580	EDG 571	EDG 570	EDG 561	EDG 560	14CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	EDG 551	EDG 550	EDG 541	EDG 540	EDG 531	EDG 530	EDG 521	EDG 520	EDG 511	EDG 510	EDG 501	EDG 500	EDG 491	EDG 490	EDG 481	EDG 480	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	EDG631, EDG630	INTSRC63 の有効エッジを指定します。
29, 28	EDG621, EDG620	INTSRC62 の有効エッジを指定します。
27, 26	EDG611, EDG610	INTSRC61 の有効エッジを指定します。
25, 24	EDG601, EDG600	INTSRC60 の有効エッジを指定します。
23, 22	EDG591, EDG590	INTSRC59 の有効エッジを指定します。
21, 20	EDG581, EDG580	INTSRC58 の有効エッジを指定します。
19, 18	EDG571, EDG570	INTSRC57 の有効エッジを指定します。
17, 16	EDG561, EDG560	INTSRC56 の有効エッジを指定します。
15, 14	EDG551, EDG550	INTSRC55 の有効エッジを指定します。
13, 12	EDG541, EDG540	INTSRC54 の有効エッジを指定します。
11, 10	EDG531, EDG530	INTSRC53 の有効エッジを指定します。
9, 8	EDG521, EDG520	INTSRC52 の有効エッジを指定します。
7, 6	EDG511, EDG510	INTSRC51 の有効エッジを指定します。
5, 4	EDG501, EDG500	INTSRC50 の有効エッジを指定します。
3, 2	EDG491, EDG490	INTSRC49 の有効エッジを指定します。
1, 0	EDG481, EDG480	INTSRC48 の有効エッジを指定します。

EDGm1	EDGm0	有効エッジの指定
0	0	検出なし
0	1	立ち上がり
1	0	立ち下がり
1	1	両エッジ

備考 1. m = 48-63

8.3.3.12　割り込みレベル・コントロール・レジスタ 0-3（LVLV0-LVLC3）

LVLC0-LVLC3 レジスタは、**INTSRC** 割り込み入力ごとに有効レベルを指定します。各 **INTSRC** ごとに **2** ビットずつ割り当てられています。検出なし／ハイ・レベル検出／ロー・レベル検出を指定できます。

LVLC0-LVLC 3 レジスタは、**32** ビット単位でリード／ライト可能です。

備考 関連レジスタ … PLS レジスタ：8.4.3.9 参照

（1/4）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
LVLC0	LVC 151	LVC 150	LVC 141	LVC 140	LVC 131	LVC 130	LVC 121	LVC 120	LVC 111	LVC 110	LVC 101	LVC 100	LVC 91	LVC 90	LVC 81	LVC 80	180H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	LVC 71	LVC 70	LVC 61	LVC 60	LVC 51	LVC 50	LVC 41	LVC 40	LVC 31	LVC 30	LVC 21	LVC 20	LVC 11	LVC 10	LVC 01	LVC 00	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	LVC151, LVC150	INTSRC15 の有効レベルを指定します。
29, 28	LVC141, LVC140	INTSRC14 の有効レベルを指定します。
27, 26	LVC131, LVC130	INTSRC13 の有効レベルを指定します。
25, 24	LVC121, LVC120	INTSRC12 の有効レベルを指定します。
23, 22	LVC111, LVC110	INTSRC11 の有効レベルを指定します。
21, 20	LVC101, LVC100	INTSRC10 の有効レベルを指定します。
19, 18	LVC91, LVC90	INTSRC9 の有効レベルを指定します。
17, 16	LVC81, LVC80	INTSRC8 の有効レベルを指定します。
15, 14	LVC71, LVC70	INTSRC7 の有効レベルを指定します。
13, 12	LVC61, LVC60	INTSRC6 の有効レベルを指定します。
11, 10	LVC51, LVC50	INTSRC5 の有効レベルを指定します。
9, 8	LVC41, LVC40	INTSRC4 の有効レベルを指定します。
7, 6	LVC31, LVC30	INTSRC3 の有効レベルを指定します。
5, 4	LVC21, LVC20	INTSRC2 の有効レベルを指定します。
3, 2	LVC11, LVC10	INTSRC1 の有効レベルを指定します。
1, 0	LVC01, LVC00	INTSRC0 の有効レベルを指定します。

LVCm1	LVCm0	有効レベルの指定
0	0	検出なし
0	1	ハイ・レベル
1	0	ロー・レベル
1	1	検出なし

備考 m = 00-15

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
LVLC1	LVC 311	LVC 310	LVC 301	LVC 300	LVC 291	LVC 290	LVC 281	LVC 280	LVC 271	LVC 270	LVC 261	LVC 260	LVC 251	LVC 250	LVC 241	LVC 240	184H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	LVC 231	LVC 230	LVC 221	LVC 220	LVC 211	LVC 210	LVC 201	LVC 200	LVC 191	LVC 190	LVC 181	LVC 180	LVC 171	LVC 170	LVC 161	LVC 160	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	LVC311, LVC310	INTSRC31 の有効レベルを指定します。
29, 28	LVC301, LVC300	INTSRC30 の有効レベルを指定します。
27, 26	LVC291, LVC290	INTSRC29 の有効レベルを指定します。
25, 24	LVC281, LVC280	INTSRC28 の有効レベルを指定します。
23, 22	LVC271, LVC270	INTSRC27 の有効レベルを指定します。
21, 20	LVC261, LVC260	INTSRC26 の有効レベルを指定します。
19, 18	LVC251, LVC250	INTSRC25 の有効レベルを指定します。
17, 16	LVC241, LVC240	INTSRC24 の有効レベルを指定します。
15, 14	LVC231, LVC230	INTSRC23 の有効レベルを指定します。
13, 12	LVC221, LVC220	INTSRC22 の有効レベルを指定します。
11, 10	LVC211, LVC210	INTSRC21 の有効レベルを指定します。
9, 8	LVC201, LVC200	INTSRC20 の有効レベルを指定します。
7, 6	LVC191, LVC190	INTSRC19 の有効レベルを指定します。
5, 4	LVC181, LVC180	INTSRC18 の有効レベルを指定します。
3, 2	LVC171, LVC170	INTSRC17 の有効レベルを指定します。
1, 0	LVC161, LVC160	INTSRC16 の有効レベルを指定します。

LVCm1	LVCm0	有効レベルの指定
0	0	検出なし
0	1	ハイ・レベル
1	0	ロー・レベル
1	1	検出なし

備考 m = 16-31

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
LVLC2	LVC 471	LVC 470	LVC 461	LVC 460	LVC 451	LVC 450	LVC 441	LVC 440	LVC 431	LVC 430	LVC 421	LVC 420	LVC 411	LVC 410	LVC 401	LVC 400	188H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	LVC 391	LVC 390	LVC 381	LVC 380	LVC 371	LVC 370	LVC 361	LVC 360	LVC 351	LVC 350	LVC 341	LVC 340	LVC 331	LVC 330	LVC 321	LVC 320	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	LVC471, LVC470	INTSRC47 の有効レベルを指定します。
29, 28	LVC461, LVC460	INTSRC46 の有効レベルを指定します。
27, 26	LVC451, LVC450	INTSRC45 の有効レベルを指定します。
25, 24	LVC441, LVC440	INTSRC44 の有効レベルを指定します。
23, 22	LVC431, LVC430	INTSRC43 の有効レベルを指定します。
21, 20	LVC421, LVC420	INTSRC42 の有効レベルを指定します。
19, 18	LVC411, LVC410	INTSRC41 の有効レベルを指定します。
17, 16	LVC401, LVC400	INTSRC40 の有効レベルを指定します。
15, 14	LVC391, LVC390	INTSRC39 の有効レベルを指定します。
13, 12	LVC381, LVC380	INTSRC38 の有効レベルを指定します。
11, 10	LVC371, LVC370	INTSRC37 の有効レベルを指定します。
9, 8	LVC361, LVC360	INTSRC36 の有効レベルを指定します。
7, 6	LVC351, LVC350	INTSRC35 の有効レベルを指定します。
5, 4	LVC341, LVC340	INTSRC34 の有効レベルを指定します。
3, 2	LVC331, LVC330	INTSRC33 の有効レベルを指定します。
1, 0	LVC321, LVC320	INTSRC32 の有効レベルを指定します。

LVCm1	LVCm0	有効レベルの指定
0	0	検出なし
0	1	ハイ・レベル
1	0	ロー・レベル
1	1	検出なし

備考 1. m = 32-47

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
LVLC3	LVC 631	LVC 630	LVC 621	LVC 620	LVC 611	LVC 610	LVC 601	LVC 600	LVC 591	LVC 590	LVC 581	LVC 580	LVC 571	LVC 570	LVC 561	LVC 560	18CH
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	LVC 551	LVC 550	LVC 541	LVC 540	LVC 531	LVC 530	LVC 521	LVC 520	LVC 511	LVC 510	LVC 501	LVC 500	LVC 491	LVC 490	LVC 481	LVC 480	5555_5555H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31, 30	LVC631, LVC630	INTSRC63 の有効レベルを指定します。
29, 28	LVC621, LVC620	INTSRC62 の有効レベルを指定します。
27, 26	LVC611, LVC610	INTSRC61 の有効レベルを指定します。
25, 24	LVC601, LVC600	INTSRC60 の有効レベルを指定します。
23, 22	LVC591, LVC590	INTSRC59 の有効レベルを指定します。
21, 20	LVC581, LVC580	INTSRC58 の有効レベルを指定します。
19, 18	LVC571, LVC570	INTSRC57 の有効レベルを指定します。
17, 16	LVC561, LVC560	INTSRC56 の有効レベルを指定します。
15, 14	LVC551, LVC550	INTSRC55 の有効レベルを指定します。
13, 12	LVC541, LVC540	INTSRC54 の有効レベルを指定します。
11, 10	LVC531, LVC530	INTSRC53 の有効レベルを指定します。
9, 8	LVC521, LVC520	INTSRC52 の有効レベルを指定します。
7, 6	LVC511, LVC510	INTSRC51 の有効レベルを指定します。
5, 4	LVC501, LVC500	INTSRC50 の有効レベルを指定します。
3, 2	LVC491, LVC490	INTSRC49 の有効レベルを指定します。
2, 1	LVC481, LVC480	INTSRC48 の有効レベルを指定します。

LVCm1	LVCm0	有効レベルの指定
0	0	検出なし
0	1	ハイ・レベル
1	0	ロー・レベル
1	1	検出なし

備考 1. m = 48-63

8.3.3.13 割り込み優先レベル・マスク・レジスタ（PRLM）

PRLM レジスタは、割り込み優先レベルに対するマスク制御をします。

このレジスタは、ビットをセット（**1**）すると、クリア（**0**）はできません。クリアは割り込み優先レベル・マスク・クリア・レジスタ（**PRLC**）で行ってください。

PRLM レジスタは、**32** ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
PRLM	0																1C0H
R/W	0																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PRLM 15	PRLM 14	PRLM 13	PRLM 12	PRLM 11	PRLM 10	PRLM 9	PRLM 8	PRLM 7	PRLM 6	PRLM 5	PRLM 4	PRLM 3	PRLM 2	PRLM 1	PRLM 0	0000_0000H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-16	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-0	PRLM15-PRLM0	割り込み優先レベルに対するマスクを設定します。 レジスタのビット位置は、それぞれの優先レベル数に等しいです。セット（1）すると、対応するビット番号と同じ優先レベルをマスクします。 0：何も変わりません。 1：書き込みで対応するビット番号と同じ優先レベルをマスクします。

備考 関連レジスタ … PRL レジスタ：8.3.3.20, PRLC レジスタ：8.3.3.14 参照

8.3.3.14　割り込み優先レベル・マスク・クリア・レジスタ（PRLC）

PRLC レジスタは、**PRLM** レジスタのビットをクリアします。
PRLC レジスタは、**32** ビット単位でライトのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
PRLC	0																1C4H
R/W	0																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	PRLC 15	PRLC 14	PRLC 13	PRLC 12	PRLC 11	PRLC 10	PRLC 9	PRLC 8	PRLC 7	PRLC 6	PRLC 5	PRLC 4	PRLC 3	PRLC 2	PRLC 1	PRLC 0	0000_0000H
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	

ビット位置	ビット名	意　味
31-16	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
15-0	PRLC15-PRLC0	割り込み優先レベル・マスク・レジスタ（PRLM）のクリアを行います。 セット（1）すると、そのセットしたビットの番号に対応するビットがクリア（0）されます。 0：何も変わりません。 1：書き込みで、ビットの番号に対応するビットがクリア（0）されます。

備考 関連レジスタ … PRLM レジスタ：8.3.3.13 参照

8.3.3.15　ユーザ・モード・イネーブル・レジスタ（UEN）

UEN レジスタは、バス・マスタが出力する特権モードを示す **HPROT1** による、割り込み制御レジスタ・アクセスの許可／禁止を選択します。

バス・マスタが正確にプロテクション情報を生成できない場合は UE ビットをセット（**1**）し、ユーザ・モードによる割り込み制御レジスタ・アクセスを許可してください。UE ビットの初期値は **1** で、ユーザ・モードによる割り込み制御レジスタ・アクセスが許可されています。

UEN レジスタは、**32** ビット単位でリード可能です。

UEN レジスタは他のレジスタと異なり、特権モード時のみ **32** ビット単位でライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
UEN	0																1C8H
R/W	0																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0															UE	0000_0001H
R/W	0															R/W	

ビット位置	ビット名	意　味
31-1	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	UE	割り込み制御レジスタへのアクセスの許可／禁止を設定します。 0 : ユーザ・モードによるアクセスを禁止します。特権モードによるアクセスのみ許可されます。 1 : ユーザ・モードによるアクセスを許可します。ユーザ・モードと特権モードの両方で割り込み制御レジスタのアクセスが可能です。（初期値） **注意 本レジスタへのライト・アクセスは、特権モードのみ可能です。**

備考 1. UE = 1 の場合、UEN レジスタにユーザ・モードでライトすると OKAY レスポンスを返しますが、実際の値の書き込みは行われません。

2. UE ビットへの書き込みが実際に反映されるには、HCLK×1 必要です。UEN レジスタへの書き込み後、IDLE サイクルをはさまずに割り込み制御レジスタへのアクセスを行った場合、UE ビットは書き込み前の値となります。

8.3.3.16　割り込みアドレス・レジスタ（HVA）

HVA レジスタは、優先レベルの最も高い割り込み処理（**Interrupt Service Routine**（**ISR**））のベクタ・アドレスが格納されます。割り込み処理（**ISR**）を実行しているときには、割り込み処理（**ISR**）中のベクタ・アドレスが格納されています。

HVA レジスタは、**32** ビット単位でリード／ライト可能です。

	31 … 0	オフセット・アドレス	初期値
HVA	HVA31-HVA0	200H	0000_0000H
R/W	R/W		

ビット位置	ビット名	意　味
31-0	HVA31-HVA0	優先レベルが最も高いベクタ・アドレス、または現在割り込みサービス・ルーチン（ISR）が行われているベクタ・アドレスが格納されます。 本割り込みコントローラを 1 個で使用する場合 　要因の優先レベルに該当する VADm レジスタの値が反映されます。

注意 1. 割り込み処理開始時のリード、および割り込み処理完了時のライト以外でこのレジスタをアクセスしないでください。割り込み処理開始時のリード、および割り込み処理完了時のライト以外でこのレジスタをアクセスすると不適当な割り込み動作を引き起こす可能性があります。
2. ベクタ割り込みインタフェースを利用している場合は、HVA レジスタをリードしないでください。

ベクタ割り込み端子を使用しない場合、割り込みが受け付けられると **ARM CPU** コアは **0000_0018H** 番地に分岐します。割り込みサービス・ルーチン（**ISR**）では **0000_0018H** 番地で **HVA** レジスタをリードしてベクタ・アドレスに分岐してください。本割り込みコントローラは **ARM CPU** コアが **HVA** レジスタをリードすることで、割り込み処理の開始を認識します。

ベクタ割り込み端子を使用する場合は、ベクタ割り込み端子のハンドシェークにより割り込み処理の開始を認識します。

本割り込みコントローラは、受け付けた割り込みの優先レベルを記憶します。これにより、受け付けられた割り込み優先レベルより低い割り込み要求は保留されます。

割り込み処理（**ISR**）の最後で、**HVA** レジスタへ任意の値をライトする必要があります。**HVA** レジスタへのライトにより、割り込みコントローラは割り込み処理が終了することを認識して、記憶していた割り込みの優先レベルをクリアします。これにより今完了した割り込み処理の、次の優先レベルの割り込み処理の割り込みが処理されます。なお、**HVA** レジスタへライトしたデータは反映されません。

備考 1. 関連レジスタ … VADm レジスタ：8.3.3.19 参照

8.3.3.17　割り込みサービス・ステータス・レジスタ 0-1（ISS0-ISS1）

ISS0-ISS1 レジスタは、**IRQ** 割り込みのサービス状態を示します。

CPU が割り込みサービス・ルーチン（**ISR**）を実行中、または保留中であるかどうかの情報が格納されています。

ISS0-ISS1 レジスタは、**32** ビット単位でリードのみ可能です。

（**1/2**）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISS0	ISS 31	ISS 30	ISS 29	ISS 28	ISS 27	ISS 26	ISS 25	ISS 24	ISS 23	ISS 22	ISS 21	ISS 20	ISS 19	ISS 18	ISS 17	ISS 16	210H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISS 15	ISS 14	ISS 13	ISS 12	ISS 11	ISS 10	ISS 9	ISS 8	ISS 7	ISS 6	ISS 5	ISS 4	ISS 3	ISS 2	ISS 1	ISS 0	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISS1	ISS 63	ISS 62	ISS 61	ISS 60	ISS 59	ISS 58	ISS 57	ISS 56	ISS 55	ISS 54	ISS 53	ISS 52	ISS 51	ISS 50	ISS 49	ISS 48	214H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISS 47	ISS 46	ISS 45	ISS 44	ISS 43	ISS 42	ISS 41	ISS 40	ISS 39	ISS 38	ISS 37	ISS 36	ISS 35	ISS 34	ISS 33	ISS 32	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
各 31-0	ISS63- ISS0	INTSRC0-INTSRC63 からの IRQ 割り込み要求のサービス状態を示します。 0：サービスされていない割り込み 1：割り込みサービス・ルーチン（ISR）が実行中、または、保留中の割り込みビット

例えば、割り込みコントローラに複数の割り込み要求があった場合、ISS0-ISS1 レジスタの状態は以下のようになります。

ビット	31							24	23						16	15							8	7							0
ISSn	1H								2H							FH								1H							
バイナリ	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	1

現在、INRSRC24, 17, 15-8, 0 から割り込み要求があることを示しています。割り込みサービス・ルーチン（ISR）は PRLm レジスタで設定された優先レベルが高い順にから順にサービスされます。PRLm レジスタの値が同じ場合は、ベクタ番号の小さい割り込み要求の優先レベルが高くなります。ISR が終了すると、ISS0-ISS1 レジスタの該当ビットはクリアされ、次に優先レベルの高い ISR を開始します。また、ISR 中に他の割り込み要求があると、それも本レジスタに反映されます。

備考 1. 関連レジスタ … IRQS レジスタ：8.3.3.1,
RAIS レジスタ：8.3.3.3,
IEN レジスタ：8.3.3.5,
PRLM レジスタ：8.3.3.13,
PRL レジスタ：8.3.3.20 参照

8.3.3.18　割り込みサービス・カレント・レジスタ 0-1（ISC0-ISC1）

ISC0-ISC1 レジスタは、割り込みサービス・ステータス・レジスタ **0-1**（**ISS0-ISS1**）で、セット（**1**）されている **IRQ** 割り込みの中で、最も優先レベルの高い **IRQ** 割り込みを示します。

ISC0-ISC1 レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISC0	ISC 31	ISC 30	ISC 29	ISC 28	ISC 27	ISC 26	ISC 25	ISC 24	ISC 23	ISC 22	ISC 21	ISC 20	ISC 19	ISC 18	ISC 17	ISC 16	230H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISC 15	ISC 14	ISC 13	ISC 12	ISC 11	ISC 10	ISC 9	ISC 8	ISC 7	ISC 6	ISC 5	ISC 4	ISC 3	ISC 2	ISC 1	ISC 0	0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
ISC1	ISC 63	ISC 62	ISC 61	ISC 60	ISC 59	ISC 58	ISC 57	ISC 56	ISC 55	ISC 54	ISC 53	ISC 52	ISC 51	ISC 50	ISC 49	ISC 48	234H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	ISC 47	ISC 46	ISC 45	ISC 44	ISC 43	ISC 42	ISC 41	ISC 40	ISC 39	ISC 38	ISC 37	ISC 36	ISC 35	ISC 34	ISC 33	ISC 32	0000 0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
各 31-0	ISC63-ISC0	割り込みサービス・ステータス・レジスタ 0-1（ISS0-ISS1）の IRQ 割り込み要求のサービス状態を示します。 0：優先レベルが高くないか、割り込みサービス・ルーチン（ISR）が実行されていない 1：最も優先レベルの高い割り込みビット

備考 1. 関連レジスタ … ISS レジスタ：8.3.3.17 参照

8.3.3.19　割り込みアドレス格納レジスタ 0-63（VAD0-VAD63）

VAD0-VAD63 レジスタは、各割り込み入力に対応したベクタ・アドレスを格納します。
VAD0-VAD63 レジスタは、**32** ビット単位でリード／ライト可能です。

	31 … 0	オフセット・アドレス	初期値
VAD0-VAD63	VADm31-VADm0	400H-4FCH	0000_0000H
R/W	R/W		

ビット位置	ビット名	意　味
31-0	VADm31-VADm0	各割り込み入力に対応したベクタ・アドレスを格納します。 VAD0-VAD63 と INTSRC0-INTSRC63 の各ビットがペアで対応しています。

備考 1. 関連レジスタ … PRL レジスタ：8.3.3.20 参照
2. m = 0, 1

8.3.3.20　割り込み優先レベル格納レジスタ 0-63（PRL0-PRL63）

PRL0-PRL63 レジスタは、各割り込み入力に対応した割り込み優先レベルを格納します。
PRL0-PRL63 レジスタは、**32** ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
PRL0-PRL63	0																800H-8FCH
R/W	0																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0												PRL3	PRL2	PRL1	PRL0	0000_0000H
R/W	0												R/W	R/W	R/W	R/W	

ビット位置	ビット名	意　味
31-4	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
3-0	PRL3-PRL0	INTSRC0-INTSRC63 の割り込み優先レベルを格納します。 割り込み優先レベルは、0 が最も高く、15 が最も低くなります。

備考 1. 関連レジスタ … VAD レジスタ：8.3.3.19, PRLM レジスタ：8.3.3.13 参照

8.3.3.21　テスト・モード選択レジスタ（TCR）

TCR レジスタは、テスト・モードを選択します。
TCR レジスタは、**32** ビット単位でリード／ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
TCR	0																C00H
R/W	0																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0															ITEN	0000_0000H
R/W	0															R/W	

ビット位置	ビット名	意　味
31-1	ー	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
0	ITEN	テスト・モードを選択します。リセットでクリア（0）されます。 0：ノーマル・モード 1：テスト・モード

備考 関連レジスタ … TICR レジスタ：8.3.3.22, TACR レジスタ：8.3.3.23 参照

8.3.3.22　テスト・モード割り込み入力制御レジスタ（TICR）

TICR レジスタは、**nIRQIN** 入力および **nFIQIN** 入力の端子レベルの確認、テスト・モードにおける状態の指定を行います。

TCR レジスタの **ITEN = 1** のときは、**TICR** レジスタは、**32** ビット単位でリード／ライト可能です。

TCR レジスタの **ITEN = 0** のときは、**TICR** レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
TICR	0																C04H
R/W	0																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0								I	F	0						**0000_0000H**
R/W	0								注 1	注 1	0						

ビット位置	ビット名	意　味
31-8	―	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7	I	nIRQIN 入力端子のステータスです。 このビットが 1 の場合、nIRQIN 割り込み要求が発生しています。注 2
6	F	nFIQIN 入力端子のステータスです。 このビットが 1 の場合、nFIQIN 割り込み要求が発生しています。注 2
5-0	―	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

注 1. TCR レジスタの ITEN = 1 のときは、TICR レジスタは、32 ビット単位でリード／ライト可能です。
TCR レジスタの ITEN = 0 のときは、TICR レジスタは、32 ビット単位でリードのみ可能です。
2. I ビットは nIRQIN 端子の反転値、F ビットは nFIQIN 端子の反転値が入ります。
JL-086A では、nIRQIN 端子、nFIQIN 端子を"1"に固定しています。

備考 関連レジスタ … TCR レジスタ：8.3.3.21 参照

8.3.3.23　　テスト・モード割り込みアドレス制御レジスタ（TACR）

TACR レジスタは、カスケード接続で拡張した本割り込みコントローラからのベクタ・アドレスの値（**VADIN[31:0]**入力端子の状態）の確認、テスト・モードにおけるベクタ・アドレスの指定を行います。
TCR レジスタの **ITEN** = **1** のときは、**TACR** レジスタは、**32** ビット単位でリード／ライト可能です。
TCR レジスタの **ITEN** = **0** のときは、**TACR** レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
TACR	TACR 31	TACR 30	TACR 29	TACR 28	TACR 27	TACR 26	TACR 25	TACR 24	TACR 23	TACR 22	TACR 21	TACR 20	TACR 19	TACR 18	TACR 17	TACR 16	C08H
R/W	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	TACR 15	TACR 14	TACR 13	TACR 12	TACR 11	TACR 10	TACR 9	TACR 8	TACR 7	TACR 6	TACR 5	TACR 4	TACR 3	TACR 2	TACR 1	TACR 0	**0000_0000H**
R/W	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	注 1	

ビット位置	ビット名	意　味
31-0	TACR31-TACR0	カスケード接続で拡張した本割り込みコントローラからのベクタ・アドレスの値（VADIN[31:0]入力端子の状態）を確認します。 JL-086A では、カスケード接続は使用しておらず、VADIN[31:0]は all0 固定の為、本レジスタをリードすると all0 が読み出せます。

注 1. TCR レジスタの ITEN = 1 のときは、TACR レジスタは、32 ビット単位でリード／ライト可能です。
TCR レジスタの ITEN = 0 のときは、TACR レジスタは、32 ビット単位でリードのみ可能です。

備考　・関連レジスタ　… TCR レジスタ：8.3.3.21 参照

8.3.3.24　　割り込み要求ステータス・レジスタ（IOS）

IOS レジスタは、**ARM CPU** への **nIRQ** 割り込み要求出力および **nFIQ** 割り込み要求出力の端子レベルを示します。

IOS レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
IOS	0																C0CH
R/W	0																

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	0								I	F	0						0000_0000H
R/W	0								R	R	0						

ビット位置	ビット名	意　味
31-8	―	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）
7	I	nIRQ 出力端子のステータスです。 このビットが 1 の場合、nIRQ 割り込み要求が発生しています。
6	F	nFIQ 出力端子のステータスです。 このビットが 1 の場合、nFIQ 割り込み要求が発生しています。
5-0	―	Reserved（ライトは 0 を書き込んでください。リードは 0 が読み出されます。）

備考　・JL-086A では、FIQ 機能を使用していません。

8.3.3.25 割り込みアドレス・ステータス・レジスタ（VAOS）

VAOS レジスタは、**HVA** レジスタと **VADOUT[31:0]**出力端子の値を参照するレジスタです。
VAOS レジスタは、**32** ビット単位でリードのみ可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	オフセット・アドレス
VAOS	VAOS 31	VAOS 30	VAOS 29	VAOS 28	VAOS 27	VAOS 26	VAOS 25	VAOS 24	VAOS 23	VAOS 22	VAOS 21	VAOS 20	VAOS 19	VAOS 18	VAOS 17	VAOS 16	C10H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	初期値
	VAOS 15	VAOS 14	VAOS 13	VAOS 12	VAOS 11	VAOS 10	VAOS 9	VAOS 8	VAOS 7	VAOS 6	VAOS 5	VAOS 4	VAOS 3	VAOS 2	VAOS 1	VAOS 0	0000_0000H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意　味
31-0	VAOS31-VAOS0	VADOUT[31:0]端子（割り込みアドレス・レジスタ（HVA）の値）を示します。

備考 関連レジスタ … HVA レジスタ：8.3.3.16 参照

8.4　操作方法

8.4.1　レジスタ初期化手順

図 **8-2**にレジスタ初期化手順を示します。

リセット解除の時点では、本割り込みコントローラは割り込み優先レベルの設定などのレジスタが動作可能な状態になっていません。リセット解除後に、必ず初期化してください。

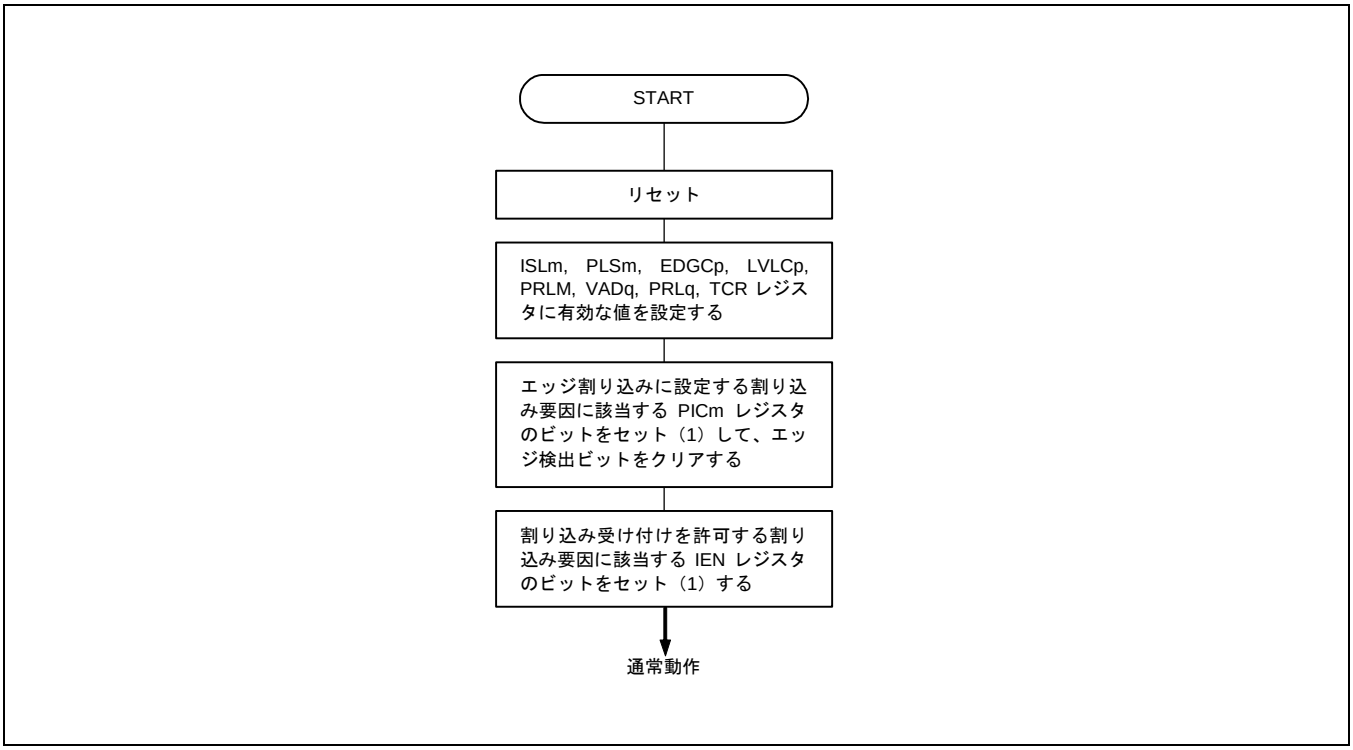


図8-2　レジスタ初期化手順

8.4.2　レジスタ書き換え手順

8.4.2.1　IEC レジスタ書き換え手順

本割り込みコントローラが動作中に、**IEC**（割り込みイネーブル・クリア・レジスタ）レジスタを書き換える場合は、割り込み禁止状態にて書き換えてください。

割り込み禁止は、**ARM CPU** の **CPSR** レジスタの **I** ビットをセット（**1**）することで行ってください。

8.4.2.2　ISL／PLS／EDGC／LVLC／PRLM／VAD／PRL／TCR レジスタ書き換え手順

本割り込みコントローラが動作中に、以下のレジスタを書き換える場合は、割り込み処理をすべて終了させ、割り込み禁止状態のフォアグランド処理にて書き換えてください。

割り込み禁止は、**ARM CPU** の **CPSR** レジスタの **I** ビットをセット（**1**）することで行ってください。また、FIQ 割り込みの設定を書き換える場合は、**ARM CPU** の **CPSR** レジスタの **F** ビットをセット（**1**）することで、FIQ 割り込みを禁止してください。JL-086A では、FIQ 機能を使用していません。

- **ISL**（**IRQ**／**FIQ** 割り込み選択レジスタ）
- **PLS**（割り込み検出タイプ選択レジスタ）
- **EDGC**（割り込みエッジ・コントロール・レジスタ）
- **LVLC**（割り込みレベル・コントロール・レジスタ）
- **PRLM**（割り込み優先レベル・マスク・レジスタ）
- **VAD**（割り込みアドレス格納レジスタ）
- **PRL**（割り込み優先レベル格納レジスタ）
- **TCR**（テスト・モード選択レジスタ）

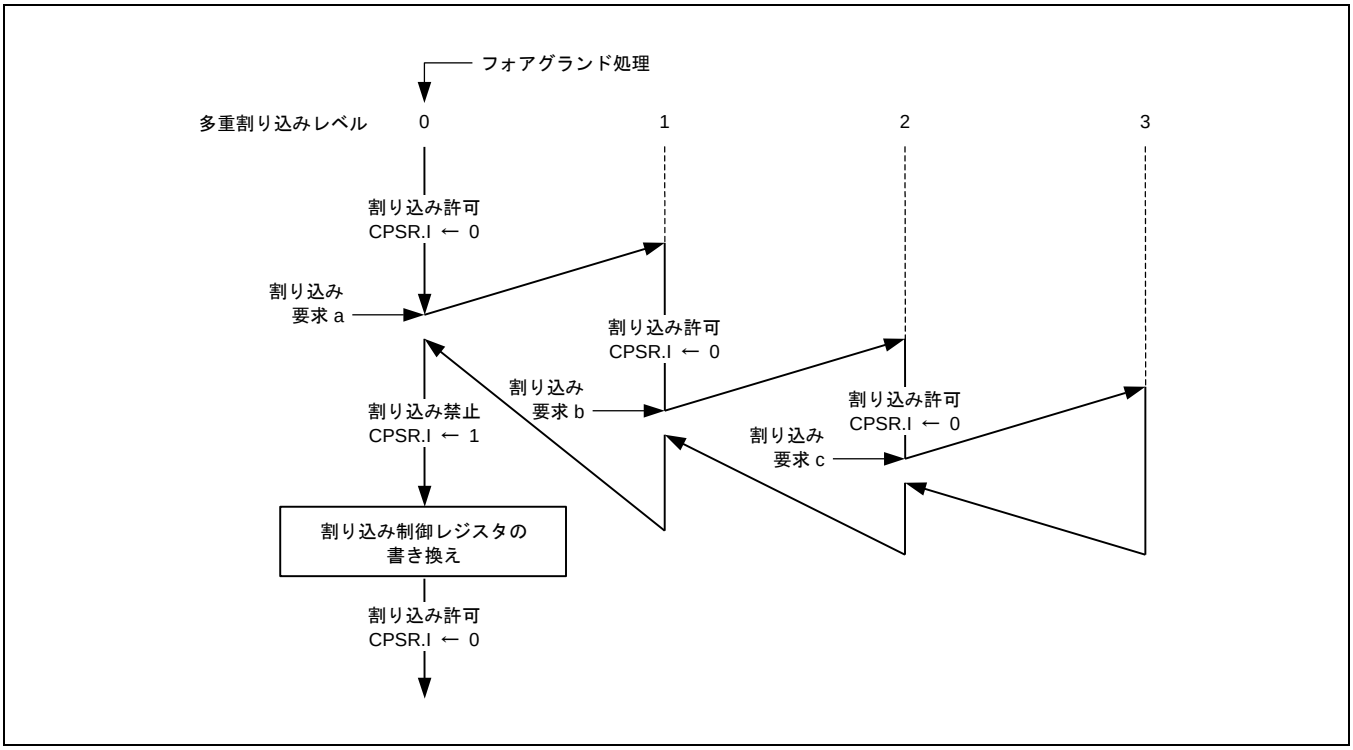


図8-3　レジスタ設定変更可能期間

実際の書き換え処理は、以下のフローに従ってソフトウエアで処理してください。

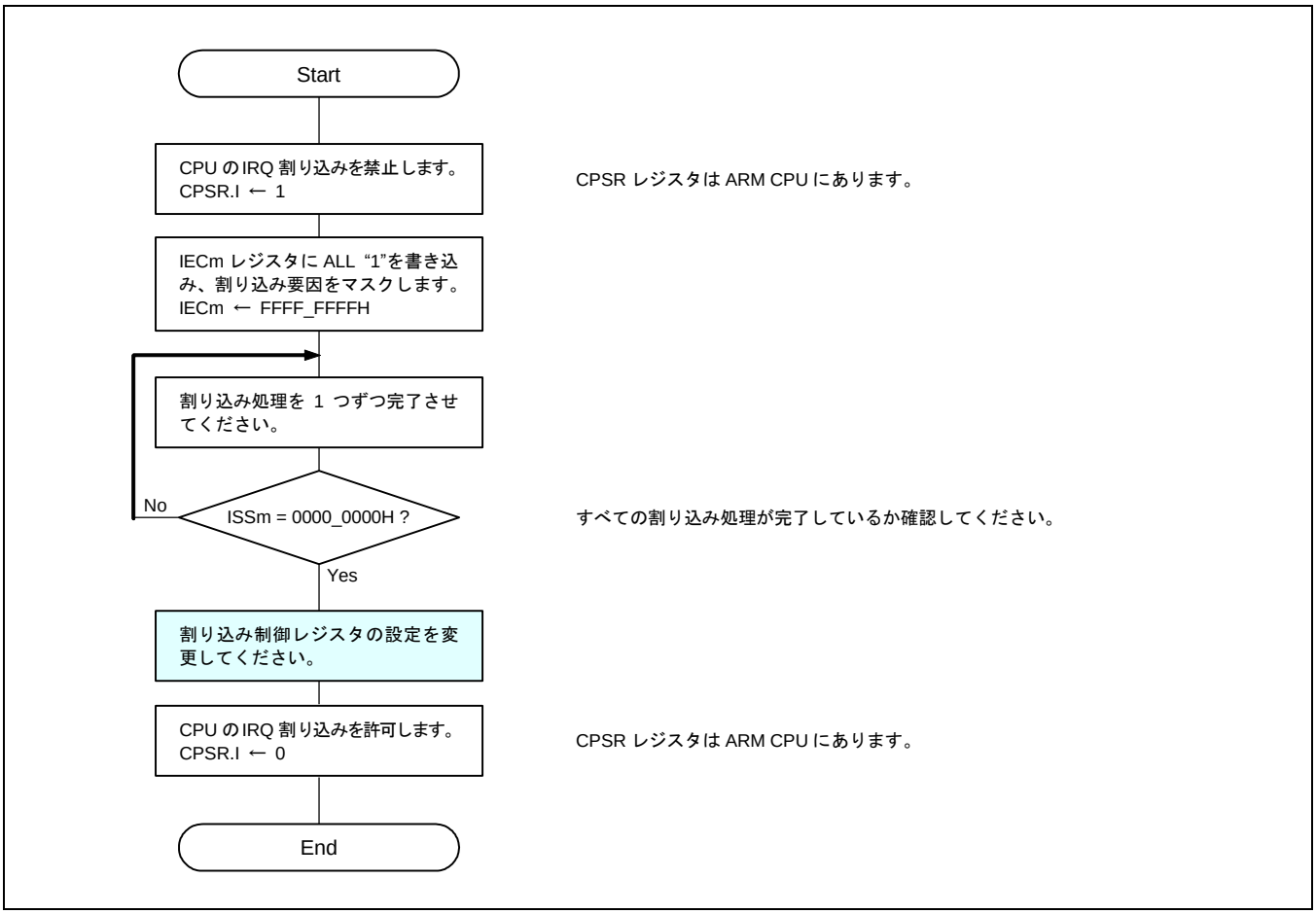


図8-4　レジスタ設定変更フロー

8.4.3　IRQ（Interrupt ReQuest）割り込み

IRQ 割り込みの検出は、検出タイプ（レベル：ハイ／ロー、エッジ：立ち上がり／立ち下がり／両エッジ）を各レジスタにて指定してください。

割り込み検出タイプ選択レジスタ **m**（**PLSm**）でレベル検出を選択した場合、**IRQ** 割り込み処理で割り込み要求発生元の **IRQ** を取り下げるまでは、割り込み要求を保持してください。

8.4.3.1　レベル割り込み

図 **8-5**にレベル割り込み動作を示します。

なお、レベル割り込みを完了させるとき、レベル割り込みの発生元の割り込み出力を停止させると同時に、**IRQ** ステータス・レジスタ **m**（**IRQSm**）の該当ビットがクリア（**0**）され、その割り込み要求が発生していないことを確認してください。複雑なバス・システムの採用など、ソフトウエアによる割り込み発生元の割り込み出力停止処理が、割り込み発生元のハードウエアに反映されるまでに遅延が生じ、復帰後に同一の割り込みが受け付けられてしまうことを防止するためです。また、割り込み発生元の割り込み出力停止処理は、発生元の動作に応じて、割り込みサービス・ルーチン（**ISR**）の適切な箇所で行ってください。

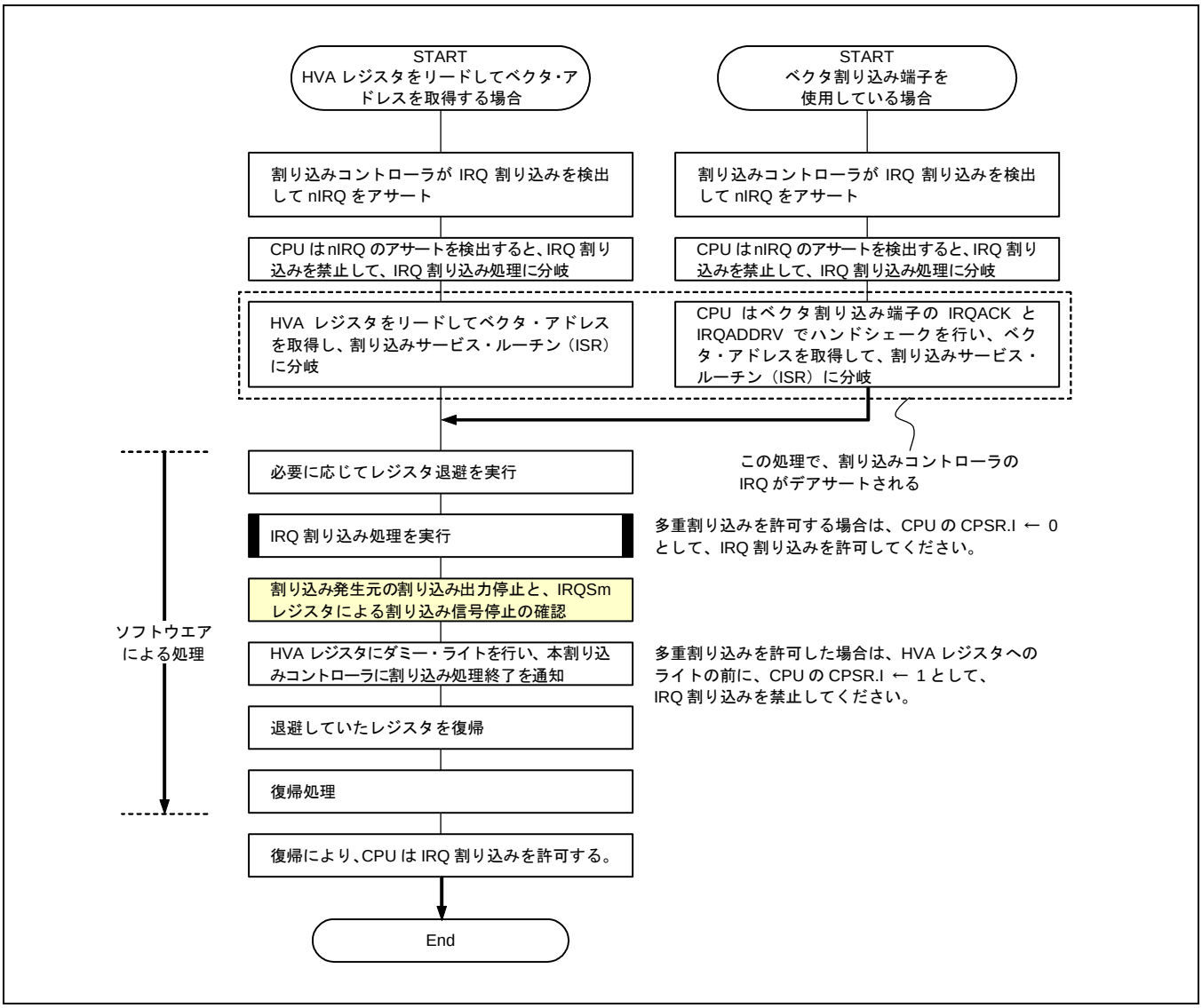


図8-5　IRQ 割り込み動作（レベル割り込み）

8.4.3.2　エッジ割り込み

図 **8-6**にエッジ割り込み動作を示します。

なお、エッジ割り込み要求のクリアは、エッジ検出ビット・クリア・レジスタ（**PICm**）で行ってください。

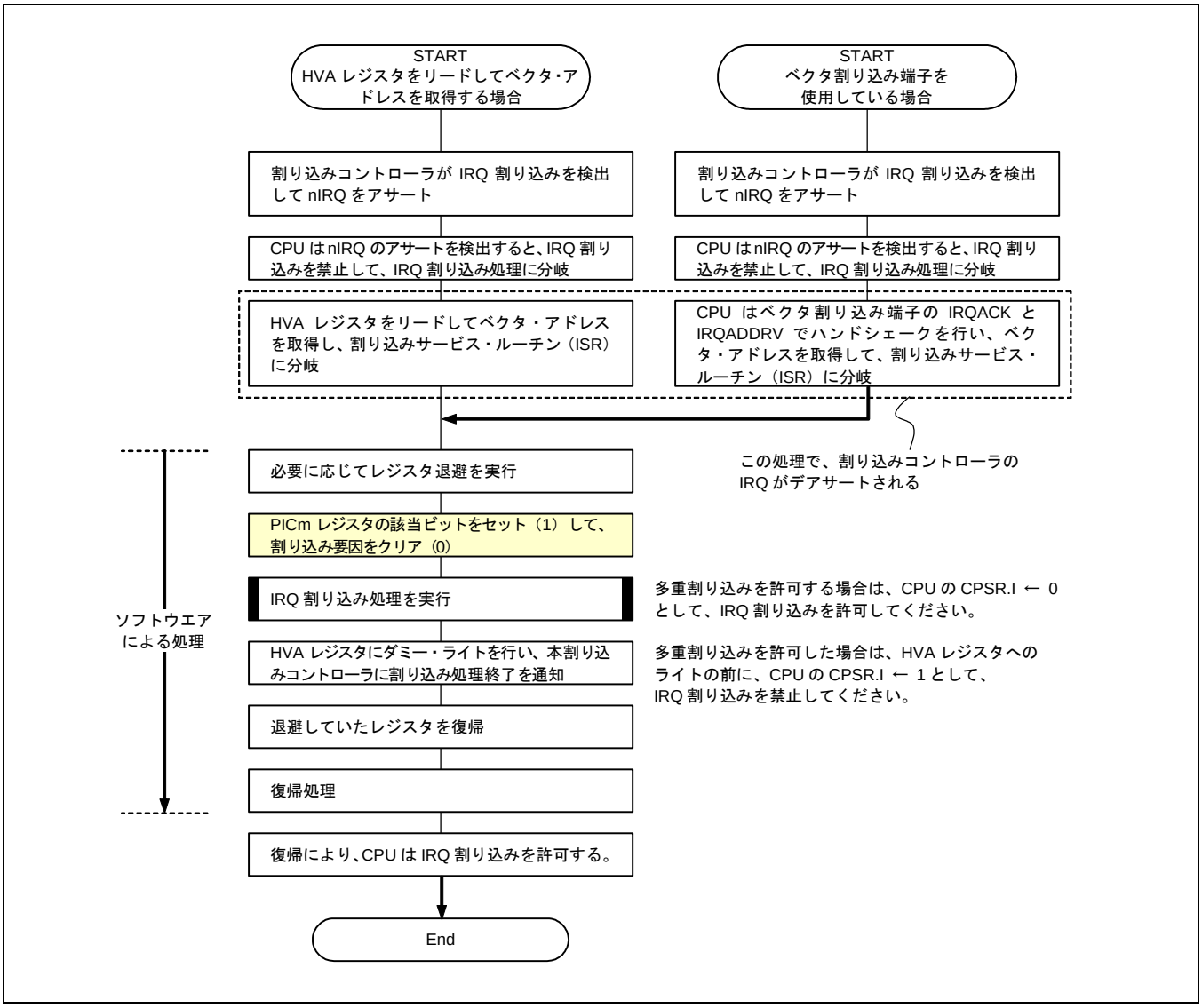


図8-6　IRQ 割り込み動作（エッジ割り込み）

8.4.3.3　ソフトウエア割り込み

図 **8-7**にソフトウエア割り込み動作を示します。

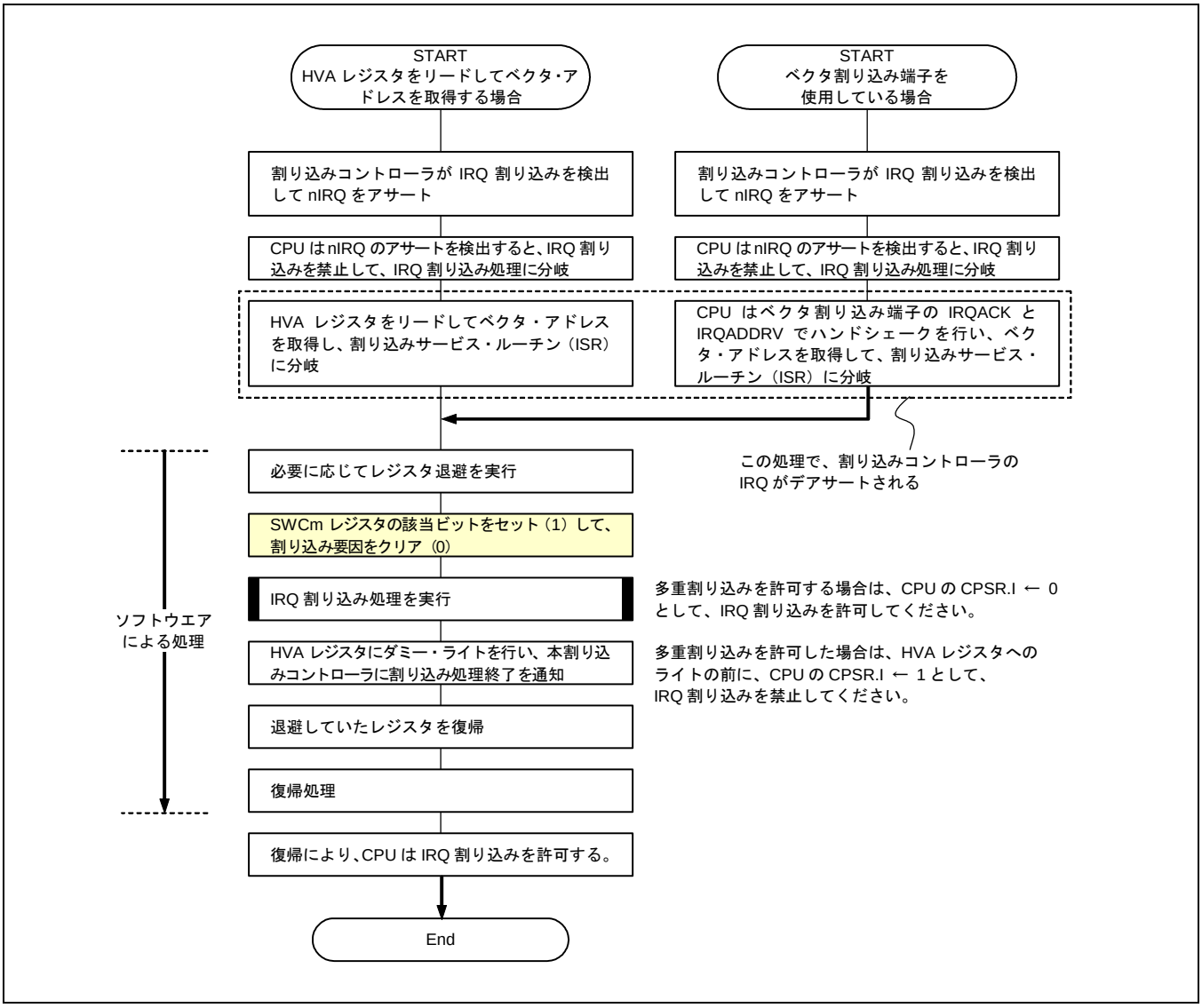


図8-7　IRQ 割り込み動作（ソフトウエア割り込み）

8.4.4　割り込み優先レベル

本割り込みコントローラは、割り込み優先レベル格納レジスタ m（PRLm）で、割り込みの優先レベルを設定できます。

割り込み優先レベルは、16 段階あり 0 が最も優先レベルが高く、15 が最も優先レベルが低くなります。

割り込み優先レベルが同じ場合、割り込みチャネル番号の小さい順に割り込みの優先レベルが決まります。カスケード接続は使用していません。

割り込みを受け付けると、受け付けた割り込みの割り込み優先レベル以下のレベルはマスクされます。

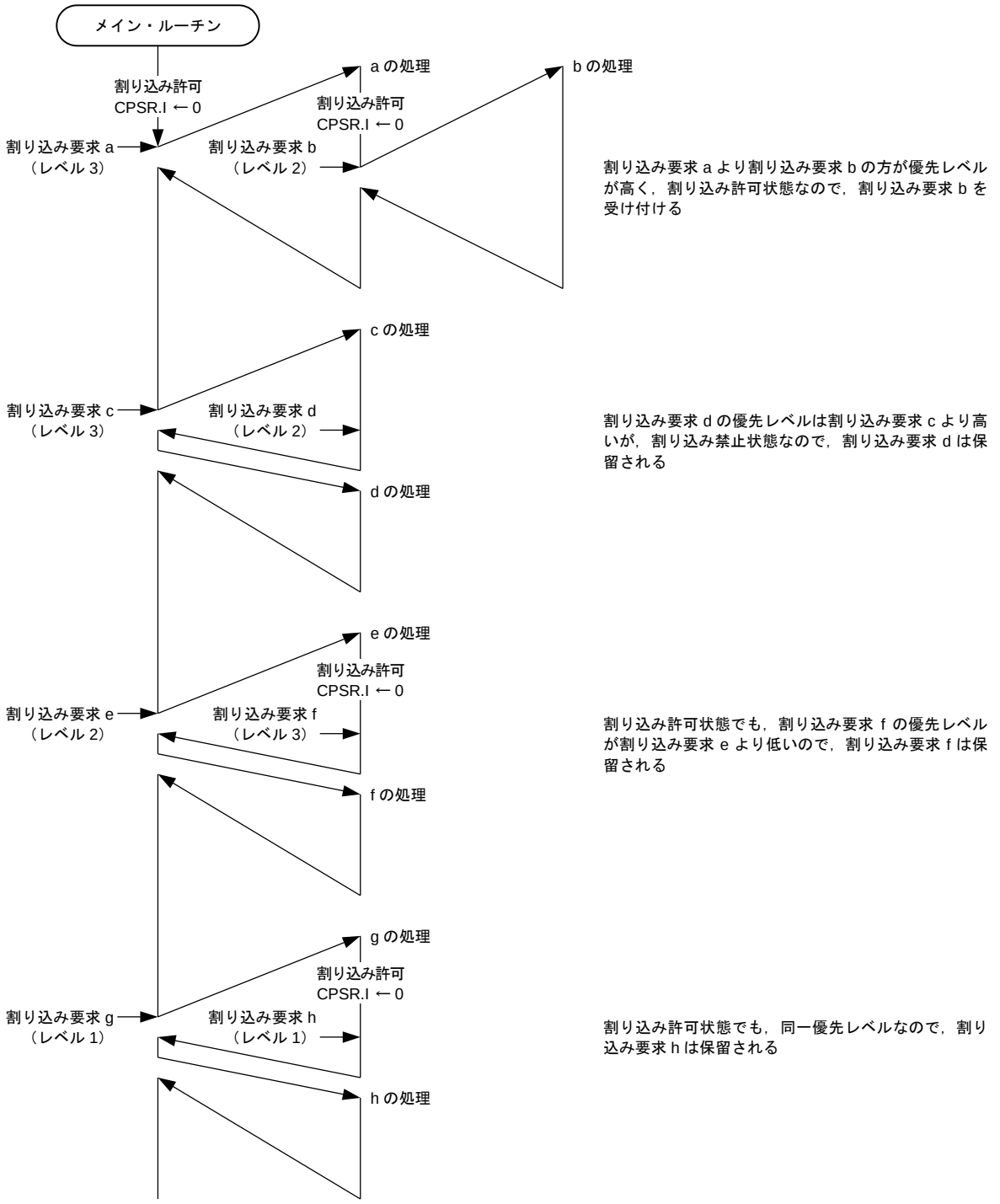
8.4.4.1　割り込み多重制御における優先レベル

割り込み処理中（割り込み多重制御を行っている場合に限る）の場合、現在サービス中の割り込みより優先レベルの高い割り込みのみ受け付けます。このとき、サービス中の割り込みの優先レベル以下のレベルはマスクされます。

受け付け可能な割り込み要求に対して、「**8.4.4** 割り込み優先レベル」に記載された方法で優先レベルの判定が行われます。

8.4.4.2　多重割り込み処理

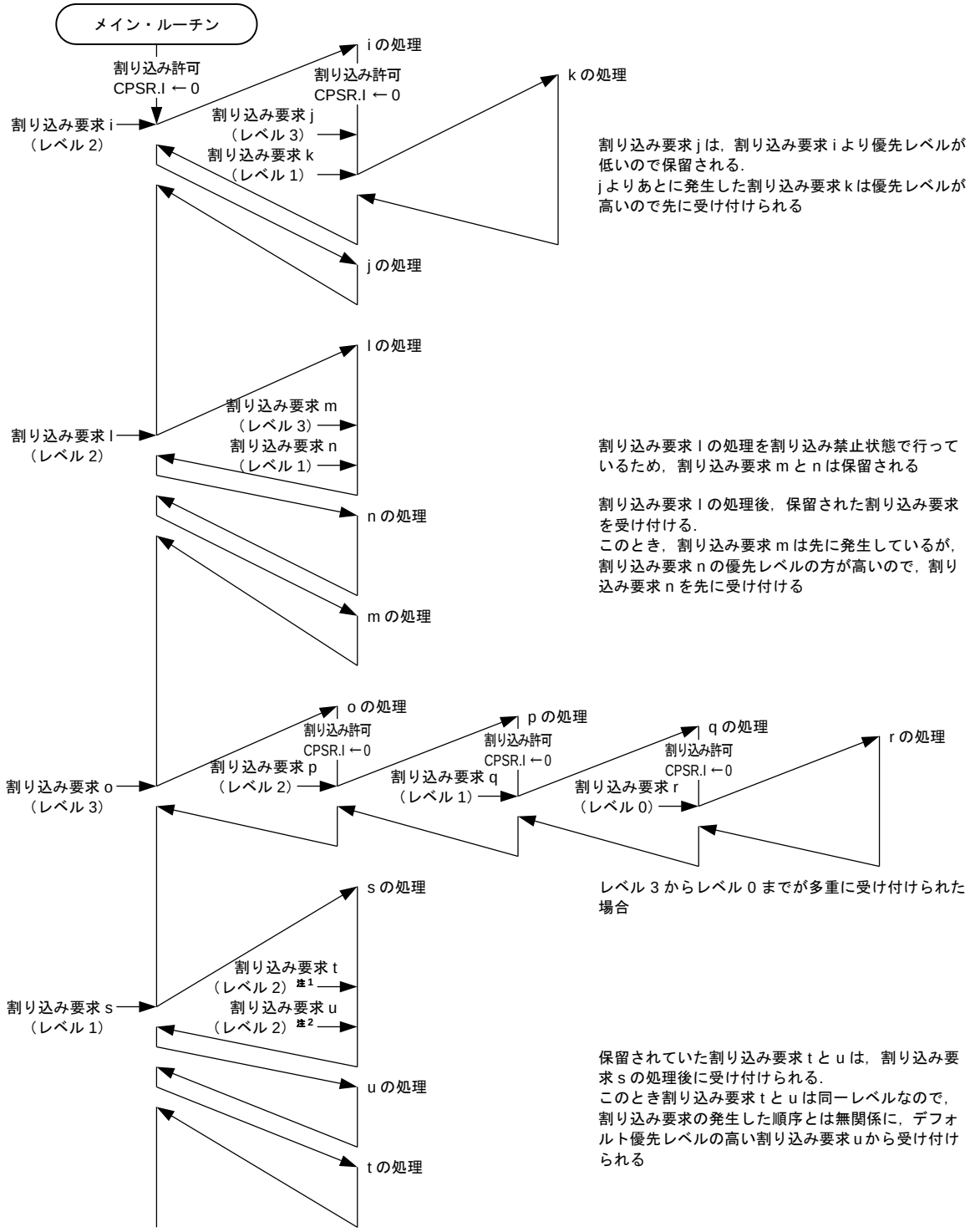
割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を図 **8-8**に示します。



備考 1. 図中（2/2 を含む）の a-u は，各割り込み要求信号を区別するために付けた仮の名称です。

2. 図中のデフォルト優先レベルの高い／低いは，2 つの割り込み要求信号間の相対的な優先レベルの高さを示します。

図**8-8**　多重割り込み処理概念図（1/2）



注 1. デフォルト優先順位が低い

2. デフォルト優先順位が高い

図 **8-9** 多重割り込み処理概念図（2/2）

8.5　IRQ 動作タイミング図

8.5.1　AHB バス使用時の IRQ 動作タイミング

本割り込みコントローラを単体で使用したときの、**IRQ** 動作タイミングを図 **8-10**、図 **8-11**に示します。
HVA レジスタ・リードにより **IRQ** がデアサートされます。
データ・フェーズでは **3** クロックのウエイトが挿入されます。
（割り込み信号：非同期）

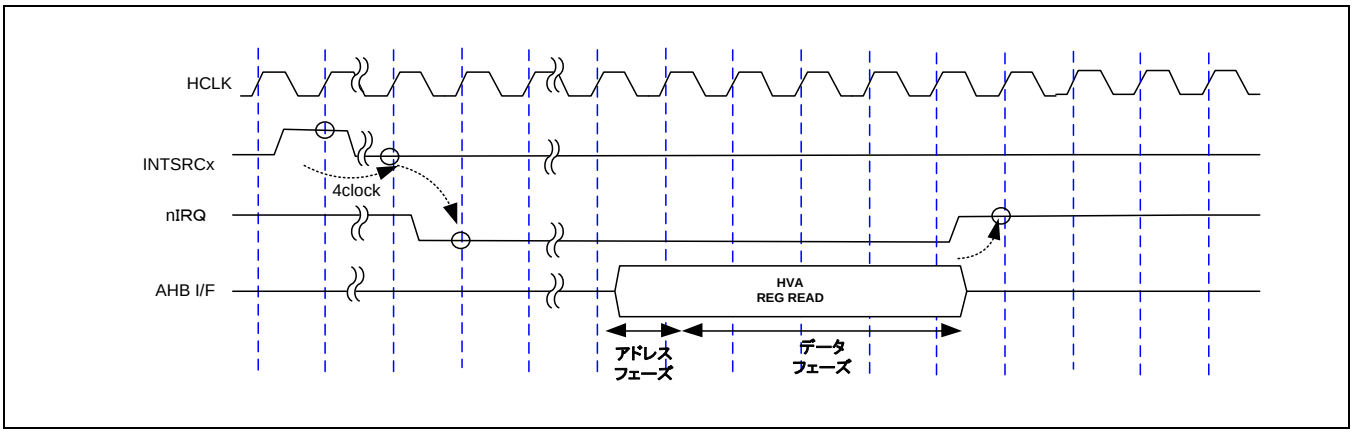


図**8-10**　IRQ 動作タイミング（エッジ検出）

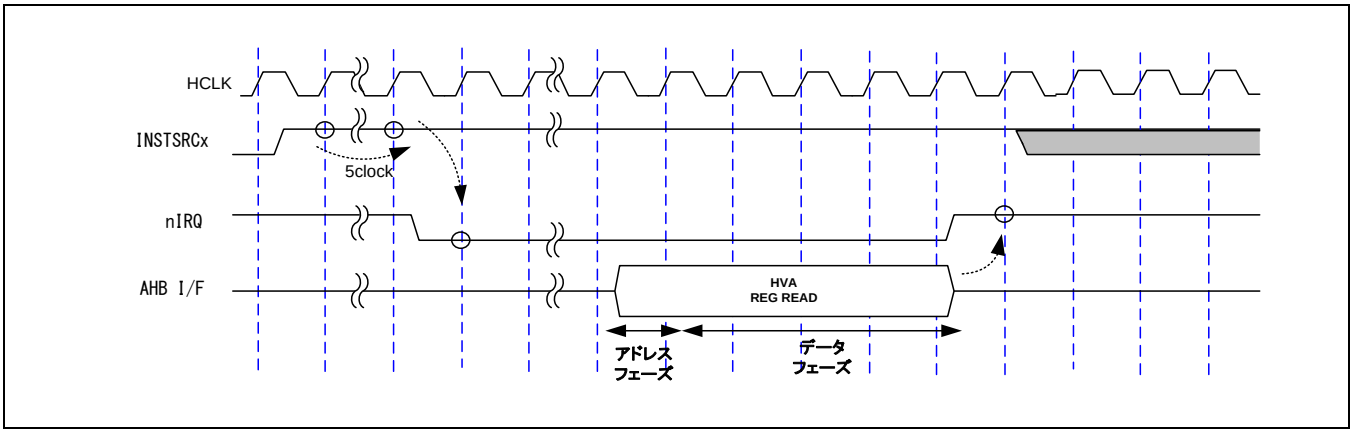


図**8-11**　IRQ 動作タイミング（レベル検出）

8.5.2　ベクタ割り込み使用時の IRQ 動作タイミング

ベクタ割り込み使用時のエッジ検出時の **IRQ** 動作タイミングを図 **8-12**、図 **8-13**に示します。

ARM CPU とのハンドシェーク規格による **VADOUT hold** 期間があり、**IRQADDRV** のアサートから **IRQACK** のデアサートまで **VADOUT** の値を保持します。

（割り込み信号：非同期、ベクタ割り込み端子：同期）

IRQACK と **IRQADDRV** のハンドシェーク期間中に **IRQ** はデアサートされます。

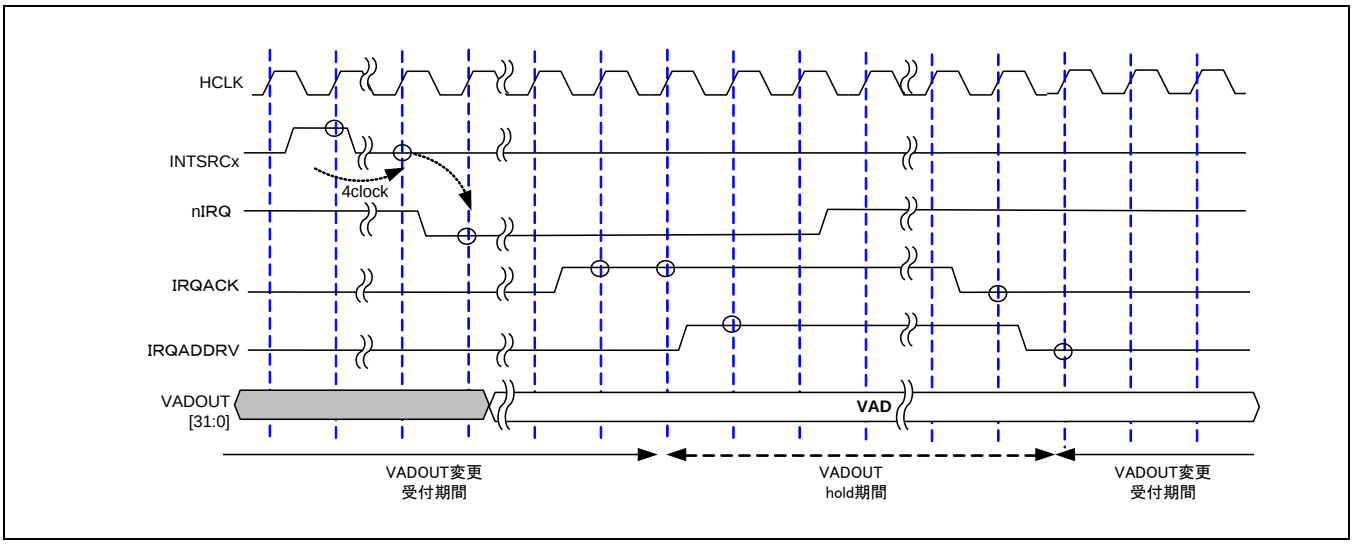


図**8-12**　IRQ 動作タイミング（エッジ検出）

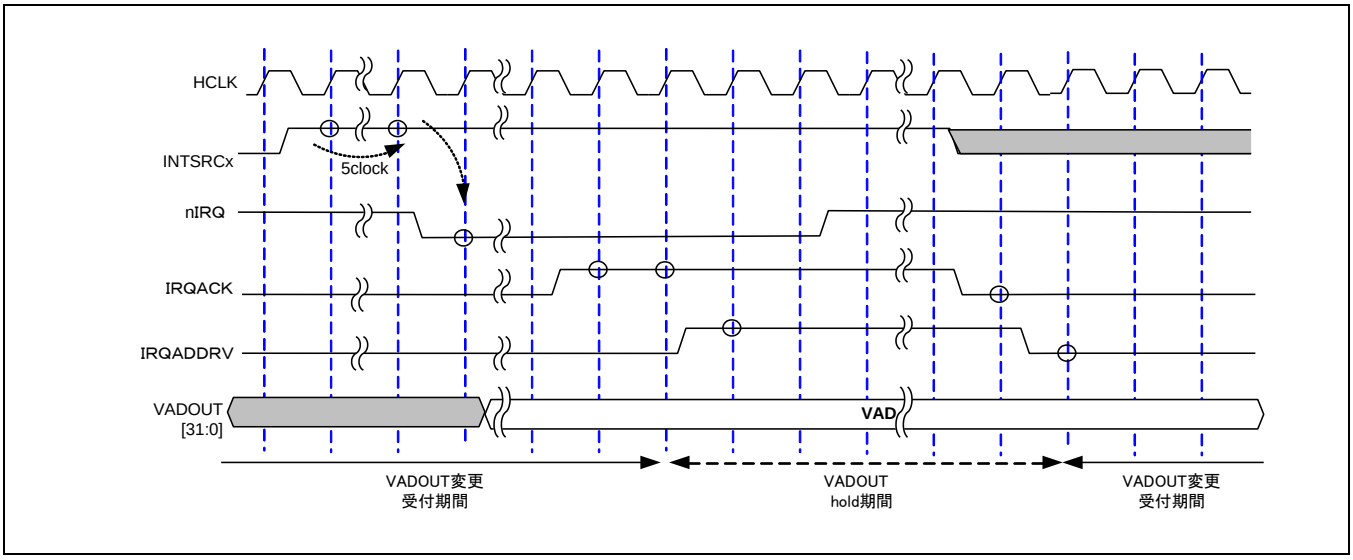


図**8-13**　IRQ 動作タイミング（レベル検出）

備考　**INTSRCx：周辺回路からの割り込み入力**
nIRQ：IRQ 出力
IRQACK：CPU、または上位の本割り込みコントローラからの IRQ アクノリッジ出力
IRQADDRV：CPU、または上位の本割り込みコントローラへのベクタ・アドレス有効出力
VADOUT：CPU、または上位の本割り込みコントローラへのベクタ・アドレス出力

8.5.3　多重割り込み要求時の IRQ 動作タイミング

(1)　高プライオリティ要求時

割り込み動作中に、高プライオリティ要求があったときの IRQ 動作タイミングを図 **8-14**に示します。

（割り込み信号：非同期）

INTSRC_low のアサートを確認した後に、**CPU** は **HVA** リードで **VAD_low** を取り込み **INTSRC_low** 処理ルーチンに移行します。処理ルーチン実行中に、よりプライオリティの高い **INTSRC_high** のアサートを検出したので、**CPU** は **INTSRC_low** 処理ルーチンを一時中断し、**HVA** リードで **VAD_High** を取り込み **INTSRC_high** 処理ルーチンに移行します。

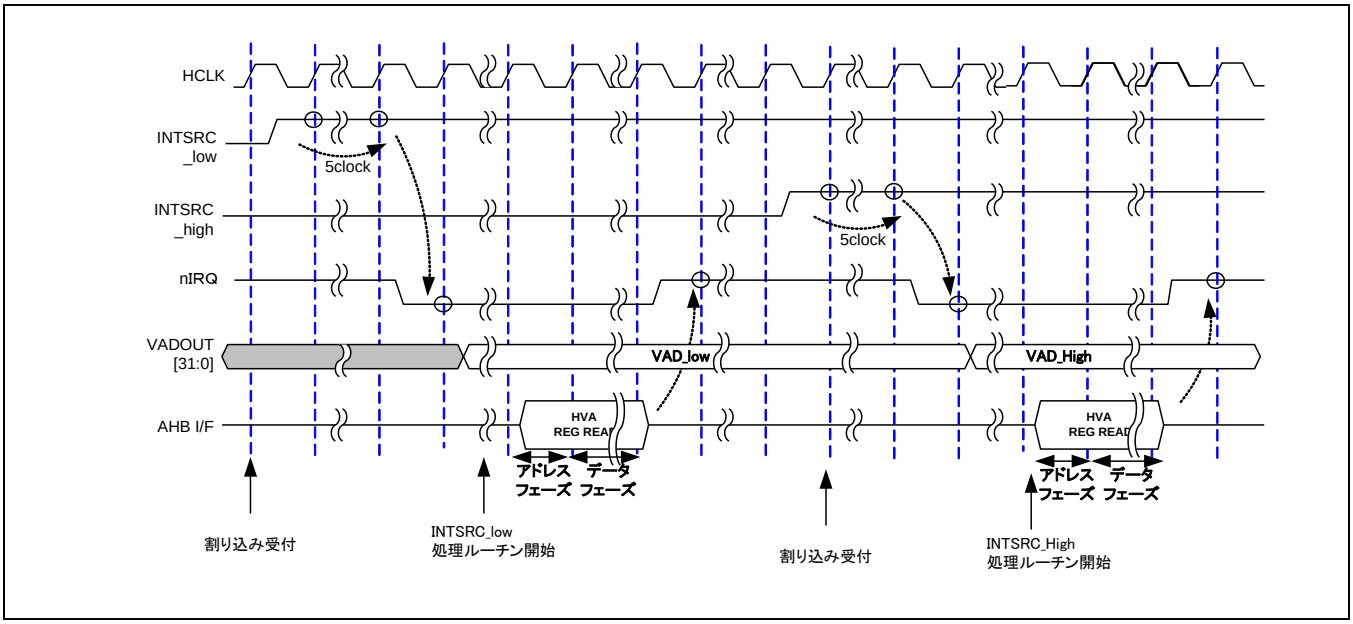


図**8-14**　IRQ 動作タイミング（多重割り込み要求：高プライオリティ要求）

(2)　低プライオリティ要求時

割り込み動作中に、低プライオリティ要求があったときの **IRQ** 動作タイミングを図 **8-15**に示します。

（割り込み信号：非同期）

INTSRC_high のアサートを確認した後に、**CPU** は **HVA** リードで **VAD_high** を取り込み **INTSRC_high** 処理ルーチンに移行します。処理ルーチン実行中に、プライオリティの低い **INTSRC_low** のアサートがありますがマスクされます。**CPU** は **INTSRC_high** 処理ルーチン終了を示す **HVA** ライトを行います。その後、マスクが解除され **INTSRC_low** のアサートを確認します。

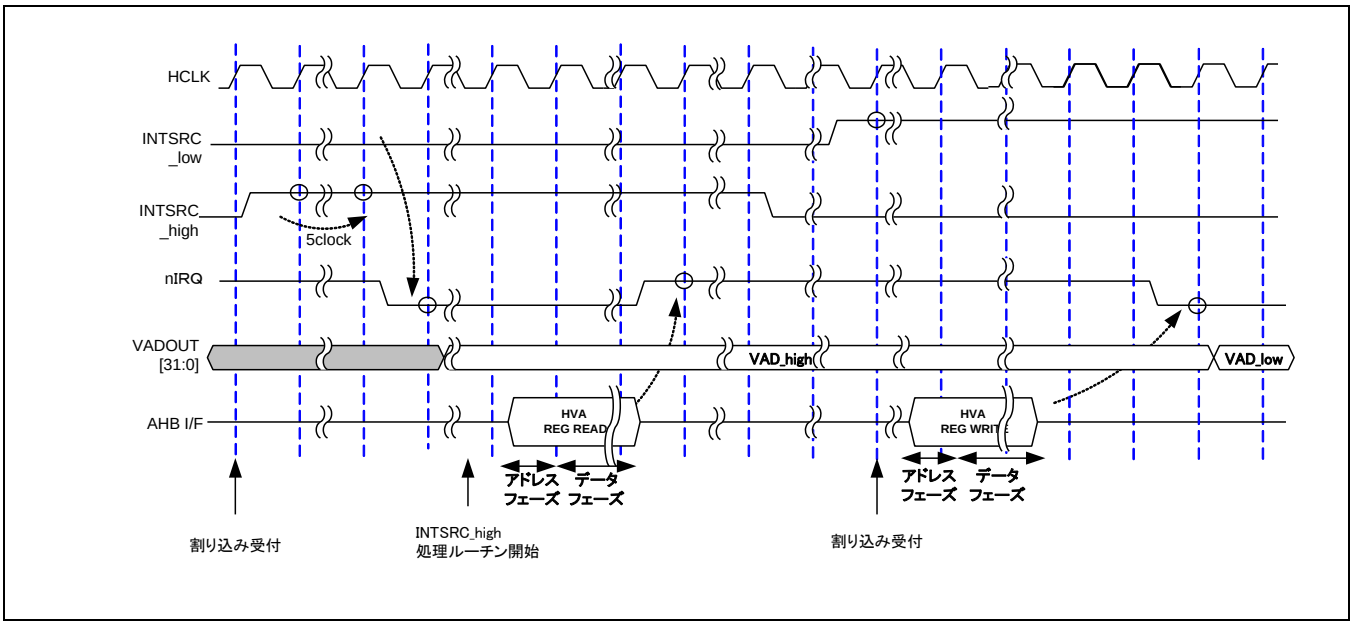


図8-15　IRQ 動作タイミング（多重割り込み要求：低プライオリティ要求）

(3)　HVA リードと高プライオリティ要求の競合時

割り込み動作中に、**HVA** レジスタのリードと高プライオリティ要求が競合したときの **IRQ** 動作タイミングを図 **8-16**に示します。（割り込み信号：非同期）

INTSRC_low が先にアサートされ、その後に **INTSRC_mid** がアサートされています。**CPU** が **HVA** リードし、**VAD_mid** を取り込み **INTSRC_mid** 処理ルーチンに移行します。処理ルーチン実行中に、よりプライオリティの高い **INTSRC_high** のアサートを検出したので、**CPU** は **INTSRC_mid** 処理ルーチンを一時中断し、**HVA** リードで **VAD_High** を取り込み **INTSRC_high** 処理ルーチンに移行します。**CPU** は **INTSRC_high** 処理ルーチン終了を示す **HVA** ライトを行います。その後、中断していた **INTSRC_mid** 処理ルーチンを再開します。**CPU** は **INTSRC_mid** 処理ルーチン終了を示す **HVA** ライトを行います。その後、**INTSRC_low** のアサートを確認します。

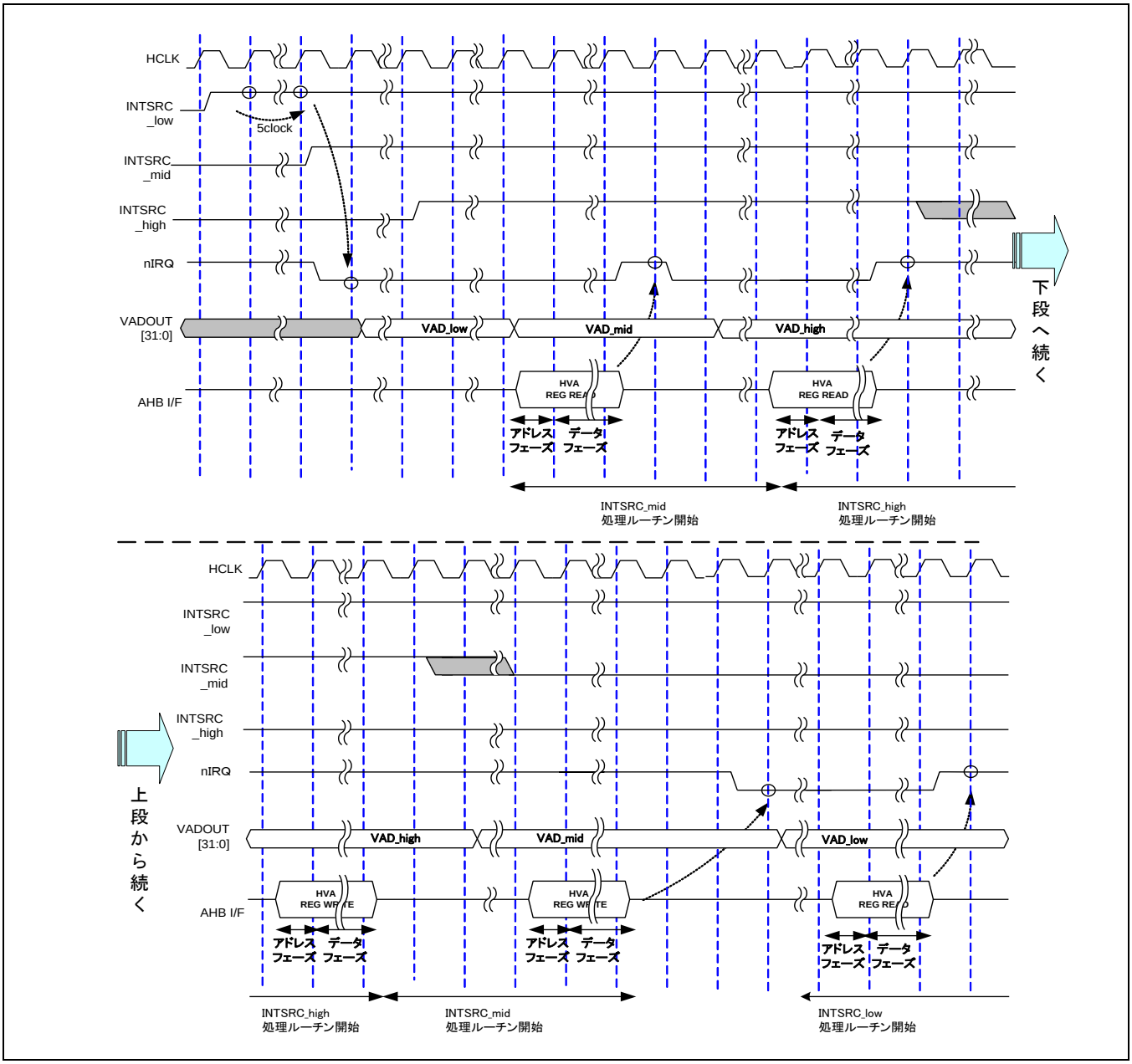


図**8-16**　IRQ 動作タイミング（多重割り込み要求：競合）

8.5.4　ベクタ割り込み使用時の多重割り込み要求時の IRQ タイミング

ARM CPU とのハンドシェーク規格による **VADOUT hold** 期間があり、**IRQADDRV** のアサートから **IRQACK** のデアサートまで **VADOUT** の値を保持します。

(1)　　低プライオリティ要求と高プライオリティ要求の競合

ベクタ割り込み使用時に、低プライオリティ要求と高プライオリティ要求が競合したときの **IRQ** 動作タイミングを図 **8-17**に示します。

（割り込み信号：非同期、ベクタ割り込み端子：同期）

INTSRC_low が先にアサートされ、その後に **INTSRC_high** がアサートされています。**CPU** は、**IRQACK** をアサートした後 **IRQADDRV** のアサートを確認して、**VAD_high** を取り込み **INTSRC_high** 処理ルーチンに移行します。

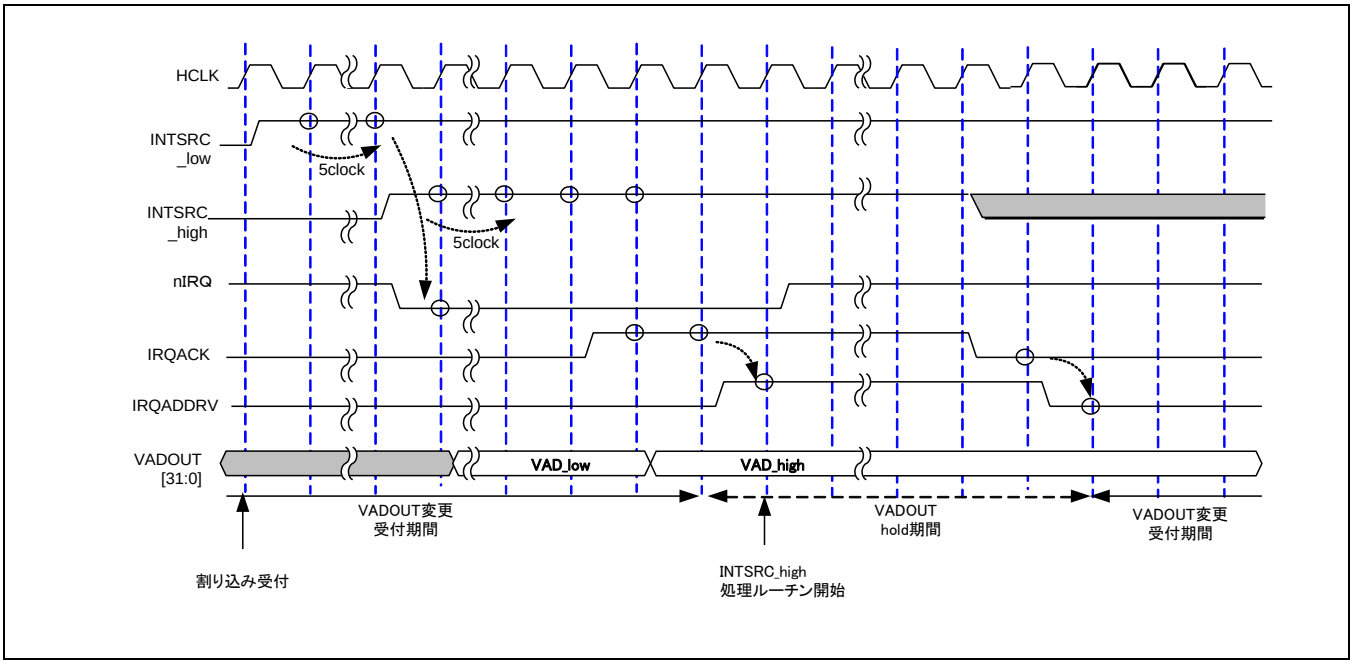


図8-17　IRQ 動作タイミング（多重割り込み要求：高プライオリティ要求）

(2)　VADOUT hold 期間と高プライオリティ要求の競合

ベクタ割り込み利用時に **VADOUT hold** 期間と高プライオリティ要求が競合したときの **IRQ** 動作タイミングを図 **8-18**に示します。

（割り込み信号：非同期、ベクタ割り込み端子：同期）

INTSRC_low が先にアサートされ、その後に **INTSRC_high** がアサートされています。**CPU** は、**IRQACK** をアサートした後に **IRQADDRV** のアサートを確認して、**VAD_low** を取り込み **INTSRC_low** 処理ルーチンに移行します。

IRQACK をデアサートした後に **INTSRC_high** のアサートを確認したので、**IRQACK** を再度アサートします。

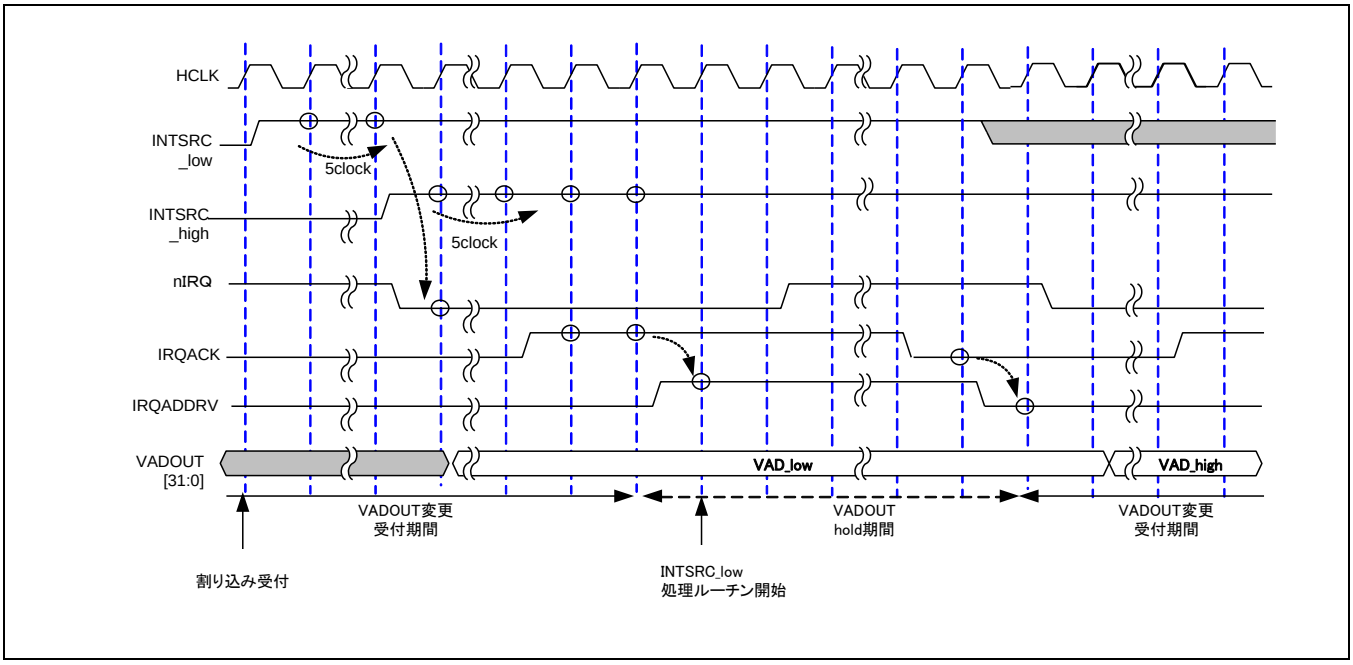


図**8-18**　IRQ 動作タイミング（多重割り込み要求：VADOUT hold 期間）

8.6　使用上の注意点

8.6.1　ベクタ割り込み端子使用時の注意点

AHB バスとベクタ割り込み端子はそれぞれ個別に動作するため、AHB バスを使用した HVA レジスタ・リード／ライトとベクタ割り込み端子の競合が考えられます。競合が起こった場合、正常なベクタ・アドレスが出力されなくなる可能性があります。

ベクタ割り込み端子と HVA レジスタ・ライトとの競合時は、AHB バスが HVA レジスタにダミー・ライトを行い、そのライト完了応答がくるまで CPU の IRQ 割り込みを禁止することによってベクタ割り込み端子（IRQACK）のアサートがされないようにしています。

HVA レジスタ・ライトを行う場合、ライト完了応答を必ず待ってから CPU の IRQ 割り込みを許可するようにしてください。

図 8-5に示す順序通りの動作を行うことにより競合を回避するようにしていますので、必ず守るようにしてください。

8.6.2　レベル検出選択時の注意点

割り込み要求をレベル検出に設定している場合、一度アサートされた割り込みを CPU からの割り込み解除処理以外でディアサートしないでください。正常なベクタ・アドレスが出力されない可能性があります。

また、多重割り込みを許可している割り込み処理中に、割り込み要求が過渡的なタイミングで取り下げられた場合、サービス中の割り込みに再びジャンプします。この割り込み処理で HVA レジスタ・ライトを行うと、本割り込みコントローラは割り込み処理が終了したと認識するため、CPU が認識している割り込み要因とずれてしまいます。