

19.1 ADC 性能

19.1.1 概要

ACAD12B200K12CCR3VV10(本 ADC)は、12 ビット逐次比較方式アナログ／デジタル・コンバータです。

19.1.2 特徴

- 分解能 : 12 bits
- 変換レート (fs) : 200 ksps (MAX.)
- 微分非直線性 (DNL) : ± 1.0 LSB (MAX.) *1
- 積分非直線性 (INL) : ± 4.0 LSB (MAX.) *1
- 入力電圧範囲 (VAIN) : 0.0 V～AVDD
- 対応ライブラリ : MVT
- アナログ入力数 : 4ch マルチプレクサ
- 変換方式 : 逐次比較方式

*1.fCLK = 4 MHz **注 1**, VAIN = 0.0 V～AVDD

備考 DNL : Differential Nonlinearity, INL : Integral Nonlinearity

注 1. JL-086Aでは、ADCブリッジへの入力クロック(ADCLK)の周波数は62.5MHzです。
(第5章 クロック機能 表5-2 出力クロック仕様(1)をご参照ください)

本ADCマクロへの入力クロック(ADIVCLK)の周波数は、4MHz以下とする必要があります。
そのため、ADIVCレジスタにて16分周以上に設定し、ご使用ください。
レジスタ設定の詳細は、19.2.5 (7) A/Dコンバータクロック分周設定レジスタをご参照ください。

19.1.3 端子説明

表 19-1 外部端子一覧

端子名	説明
AVDD AGND	<p>A/D コンバータのアナログ部用電源端子、(3.3V)</p> <p>およびA/Dコンバータのアナログ部用GND 端子。</p> <ul style="list-style-type: none"> – A/D コンバータで使用する電源， GND 端子です。 – A/D コンバータで使用される電源， GND， およびセルベースIC で用いられる標準電源， VSSは， 各々分離しています。 – A/D コンバータのデジタル部で使用されているデジタル部用電源およびVSS は， ユーザ・ロジック部のVDD およびVSS と接続されています。 – これらの電源系は， 実装基板上でも分離し， パターンはできるだけ広くとり， 安定するように設計してください。 – これらの電源系と対応するGND との間に， バイパス・コンデンサを挿入してください。 – バイパス・コンデンサは， 高周波特性の良いものを使用して， できるだけA/D コンバータ端子の近くに接続してください。 – 必ず， AVREFP よりも先にAVDD を立ち上げてください。
AVREFP AVREFM	<p>基準電圧端子（高電位側）</p> <p>基準電圧端子（低電位側）</p> <ul style="list-style-type: none"> – A/D コンバータの基準電圧を入力する端子です。 – 電圧源には， 十分なドライブ能力を持ったものを使用してください。 – 基準電圧とアナログ用 GND との間には， バイパス・コンデンサを挿入してください。 – バイパス・コンデンサは， 高周波特性の良いものを使用し， できるだけ A/D コンバータ端子の近くで接続してください。 – 必ず， AVREFP よりも先に AVDD を立ち上げてください。
AIN3-0	<p>アナログ入力端子。A/D コンバータで変換するアナログ信号を入力する端子です。</p> <ul style="list-style-type: none"> – A/D コンバータで変換するアナログ信号を入力する端子です。 – 必ず， AIN よりも先にAVDD を立ち上げてください。

19.1.4 変換特性

表 19-2 変換特性

アナログ入力電圧	デジタル出力コード											
	D11 (MSB)	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)
AVREFM + 0.5 LSB	0	0	0	0	0	0	0	0	0	0	0	0
AVREFM + 1.5 LSB to AVREFM + 2.5 LSB	0	0	0	0	0	0	0	0	0	0	0	1
AVREFM + 1.5 LSB to AVREFM + 2.5 LSB	0	0	0	0	0	0	0	0	0	0	1	0
...												
AVREFM + 4093.5 LSB to AVREFM + 4094.5 LSB	1	1	1	1	1	1	1	1	1	1	1	0
AVREFM + 4094.5 LSB to AVREFP	1	1	1	1	1	1	1	1	1	1	1	1

備考 **AVREFP** : 高電位側基準電圧
AVREFM : 低電位側基準電圧

19.1.5 電気的特性

19.1.5.1 絶対最大定格

表 19-3 絶対最大定格

項目	略号	条件	定格	単位
アナログ電源電圧	AV _{DD}		-0.5~+4.6	V
基準電圧(高電位側)	V _{AVREFP}	V _{AVREFP} < AV _{DD} + 0.5 V, V _{AVREFP} > AGND - 0.5 V	-0.45~1.8	V
基準電圧(低電位側)	V _{AVREFM}	V _{AVREFM} < AV _{DD} + 0.5 V, V _{AVREFM} > AGND - 0.5 V	-0.5~+4.6	V
アナログ入力電圧	V _{AIN}	V _{AIN} < AV _{DD} + 0.5 V, V _{AIN} > AGND - 0.5 V	-0.5~+4.6	V
ジャンクション温度	T _j		-40~+125	°C
保存温度	T _{stg}		-65~+125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

19.1.5.2 推奨動作範囲

表 19-4 推奨動作範囲

項目	略号	条件	MIN	TYP	MAX	単位
電源電圧	AV _{DD}	アナログ電源電圧	3.0	3.3	3.6	V
クロック周波数	f _{CLK}		1.0		4.0	MHz
基準電圧（高電位側）	V _{AVREFP}	V _{AVREFP} - V _{AVREFM} > AV _{DD} /2	AV _{DD} /2		AV _{DD}	V
基準電圧（低電位側）	V _{AVREFM}		0.0		AV _{DD} /2	V
アナログ入力範囲	V _{AIN}		V _{AVREFM}		V _{AVREFP}	V
信号源許容インピーダンス	R _S	外付け容量 (C _e) ≤ 30 pF			1	KΩ

19.1.5.3 DC、タイミング特性

($T_j = -40$ to $+125^{\circ}\text{C}$, $V_{DD} = 1.0$ to 1.2 V , $AV_{DD} = 3.0$ to 3.6 V , $f_{CLK} = 4\text{ MHz}$, $V_{AVREFP} = AV_{DD}$, $V_{AVREFM} = 0.0\text{ V}$, $R_s \leq 1\text{ k}\Omega$, $C_e < 30\text{ pF}$)

表 19-5 DC およびタイミング特性

項目	略号	MIN	TYP	MAX	単位
分解能	RES		12		bits
精度					
微分非直線性	DNL 注1		± 0.5	± 1.0	LSB
積分非直線性	INL 注1		± 1.0	± 4.0	LSB
ゼロスケール誤差	ZSE 注1		± 1.0	± 8.0	LSB
フルスケール誤差	FSE 注1		± 1.0	± 8.0	LSB
タイミング特性					
クロックサイクル時間	t_{cyc}	250		1000	ns
変換時間	t_c 注2	4.75		19	μs
パイプライン遅延				19	Cycle
アナログ入力サンプリング時間	t_{AS} 注3	1.25		5	μs

注1：これらの誤差には外付け回路によるサンプリング誤差は含まれていません。また、 $AV_{REFP} < AV_{DD}$ 、および $AV_{REFM} > 0.0\text{ V}$ の場合、値はさらに大きくなります。

注2：変換時間の概算値： $t_c = 19/f_{CLK}$

注3：アナログ入力サンプリング時間： $t_{AS} = 5/f_{CLK}$

19.1.6 注意事項

電源立ち上げ後は内部回路が安定していないため、ADCブリッジでソフトリセットを実行するか、ソフトリセットを使用しない場合にはダミー変換（1回）を必ず行ってください。

【補足】ソフトリセットについては、19.2.5.1(1) A/Dコンバータモードレジスタ0をご参照ください。

19.2 ADC ブリッジ

19.2.1 概 要

本マクロは、中低速 A/D コンバータ用ブリッジマクロです。AMBA®3.0APB バスに接続して使うことができます。レジスタ設定により様々な動作設定ができ、多彩な用途に用いることができます。

19.2.1.1 特 徴

- ・搭載する A/D コンバータの変換方式：逐次比較型
- ・コンフィギュレーション：チャンネル数・4
- ・変換チャンネル指定：レジスタ設定で使用するチャンネルを指定
- ・分解能：12 ビット
- ・トリガモード：
 - ソフトウェアトリガモード：ソフトウェアで A/D 変換を開始します
- ・動作モード：2 つの A/D 変換機能に対応しています
 - (a)セレクトモード：指定した 1 チャンネルを変換することができます
 - (i) 1 バッファモード：選択したアナログ入力を 1 回 A/D 変換し、レジスタに格納します
 - (ii) 4 バッファモード：選択したアナログ入力を 4 回 A/D 変換し、4 つのレジスタに格納します
 - (b)スキャンモード：選択した複数のチャンネルを順番に A/D 変換します
- ・変換回数：
 - (a)シングルモード：A/D 変換後、A/D 変換を停止します
 - (b)リピートモード：A/D 変換を開始したら、連続して変換を繰り返します

19.2.2 注意事項

(1) クロック制御方法

本マクロへのADCLK 供給を開始する場合には、A/D変換停止中に設定してください。また、ADCLK供給を停止する場合には、停止手順に従いA/D変換を停止させてからクロック停止を設定してください。本マクロの ADCLK 分周比設定を変更する場合には、A/D 変換停止中に設定してください。

補足：ADCLK の供給、停止の制御は第 6 章 SCU をご参照ください。

19.2.3 割り込み信号

表 19-6 割り込み一覧

割り込み 端子名	割り込みの種類	Pulse/ Level(*1)	最小 Pulse 幅	Active Level	同期クロック
INTAD	以下のいずれかを満たす時に割り込みが発生 します(*2)。 1. A/D 変換完了 2. A/D 変換チャネル選択エラー	Pulse/Level	2×PCLK	H	PCLK

【注】*1: ADINT レジスタの INTS ビットでパルスとレベルを選択できます。

*2: 割り込み要因の詳細と解除方法は "19.2.6.2 割り込み機能" を参照願います。

パルス時の割り込み信号の波形を下記図に示します。

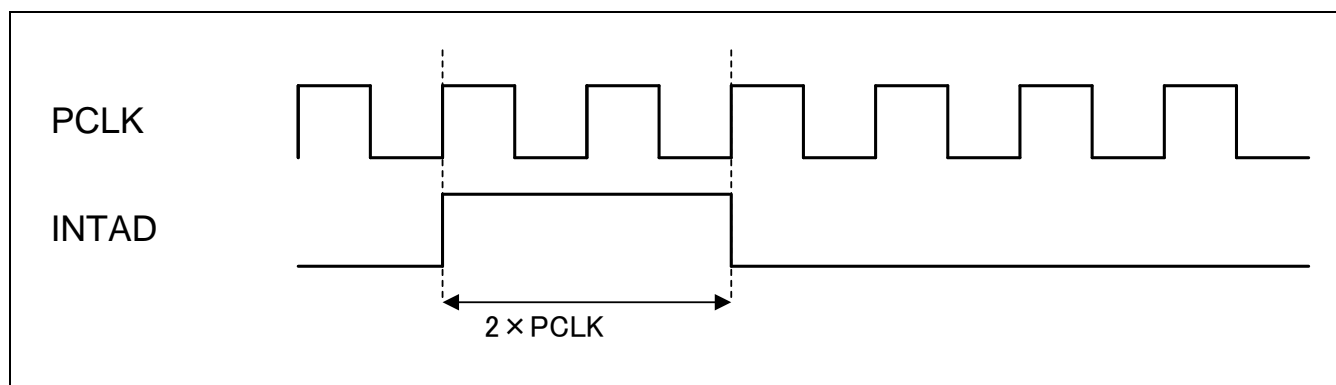


図 19-1 パルス時の割り込み信号出力

レベル時の割り込み信号のクリアは、ADSTS レジスタの INTSTn(n=0-3)で A/D 変換完了となっているチャネルに対応するビットへハイをライトすることで行います。

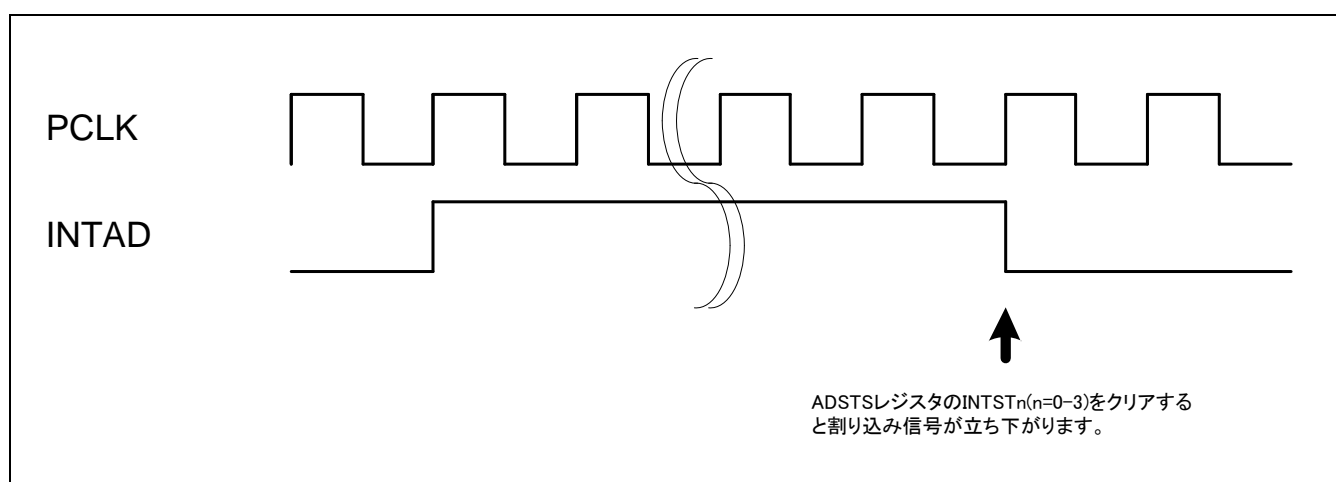


図 19-2 レベル時の割り込み信号クリア

19.2.4 レジスタ一覧

19.2.4.1 A/D 制御レジスタ一覧

表 19-7 A/D 制御レジスタ一覧

アドレス	レジスタ名	略称	R/W	初期値	アクセス サイズ
FFFF_9000H	A/D コンバータモードレジスタ 0	ADM0	RW	0000_0000H	32-bit
FFFF_9004H	A/D コンバータモードレジスタ 1	ADM1	RW	0000_0000H	32-bit,
FFFF_9008H	A/D コンバータモードレジスタ 2	ADM2	RW	0000_0000H	32-bit
FFFF_900CH	A/D コンバータモードレジスタ 3	ADM3	RW	0000_0000H	32-bit
FFFF_9010H - FFFF_901FH	Reserved	--	R	0000_0000H	32-bit
FFFF_9020H	A/D コンバータ割り込み制御レジスタ	ADINT	RW	0000_0000H	32-bit
FFFF_9024H	A/D コンバータステータスレジスタ	ADSTS	RW	0000_0000H	32-bit
FFFF_9028H	A/D コンバータクロック分周設定レジスタ	ADIVC	RW	0000_0000H	32-bit
FFFF_902CH- FFFF_902FH	Reserved	--	R	0000_0000H	32-bit
FFFF_9030H	A/D 変換結果レジスタ 0	ADCR0	R	0000_0000H	32-bit
FFFF_9034H	A/D 変換結果レジスタ 1	ADCR1	R	0000_0000H	32-bit
FFFF_9038H	A/D 変換結果レジスタ 2	ADCR2	R	0000_0000H	32-bit
FFFF_903CH	A/D 変換結果レジスタ 3	ADCR3	R	0000_0000H	32-bit
FFFF_9040H- FFFF_906FH	Reserved	--	R	0000_0000H	32-bit
FFFF_9070- FFFF_907FH	RENESAS 予約領域(*1)	--	RW	不定	32-bit

【注】 *1:RENESAS 予約領域へのライトは禁止します。

【注意】 同一の APB レジスタに連続してライトする場合は"19.2.6.1 タイミング制限"に示す注意事項を守る必要があります。

19.2.5 機能詳細

19.2.5.1 レジスタ機能

(1) A/D コンバータモードレジスタ 0 (ADM0 : Address EFFF_9000H)

ADM0 レジスタは、A/D 変換動作の制御、A/D コンバータのパワーダウン制御、ソフトウェアリセットを行う 32 ビットのレジスタです。

32 ビット単位でリード／ライト可能です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRESB	RFU												PWDW NB	ADBSY	ADCE

Bits	ビット名	R/W	初期値	機能説明
31:16	RFU	R	0000H	予約領域。0 を設定してください。リード時は 0 が読めます。
15	SRESB	RW	0B	A/D コンバータへのソフトウェアリセットです。A/D コンバータ以外の回路(レジスタなど)はリセットされません。リセットを解除するには、ハイをライトしてください。 0 : リセット 1 : リセット解除
14:3	RFU	R	000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
2	PWDWNB	RW	0B	A/D コンバータをパワーダウン状態にします。 0 : パワーダウンモード 1 : ノーマルモード
1	ADBSY	R	0B	A/D コンバータの状態を示します。このビットはリード専用です。ライトは無視されます。 0 : A/D コンバータ変換停止中 1 : A/D コンバータ変換動作中 ADBSY ビットの動作は図 19-3 を参照願います。
0	ADCE	RW	0B	A/D 変換動作の許可／停止を指定します。 0 : A/D 変換動作停止 1 : A/D 変換動作許可 ADCE ビットにローをライトすると内蔵 A/D コンバータマクロはその場で動作を停止します。リード時の ADCE ビットの動作は図 19-3 を参照願います。

【注意】 次ページに ADM0 レジスタに関する注意事項があります。

- 【注意】1. **ADCE** ビットは、**PWDWNB=0**(パワーダウンモード)から **PWDWNB=1**(ノーマルモード)に切り替えたのちに安定待ち時間以上経過してから **A/D 変換動作許可 (ADCE=1)**にしてください。安定待ち時間は **19.2.6.3(1)**を参照願います。
2. **PWDWNB** ビットは、**A/D 変換動作停止 (ADCE=0)**に設定し、**A/D 変換が完了したことを確認 (ADBSY=0 であること)**してからパワーダウンモード(**PWDWNB=0**)にしてください。

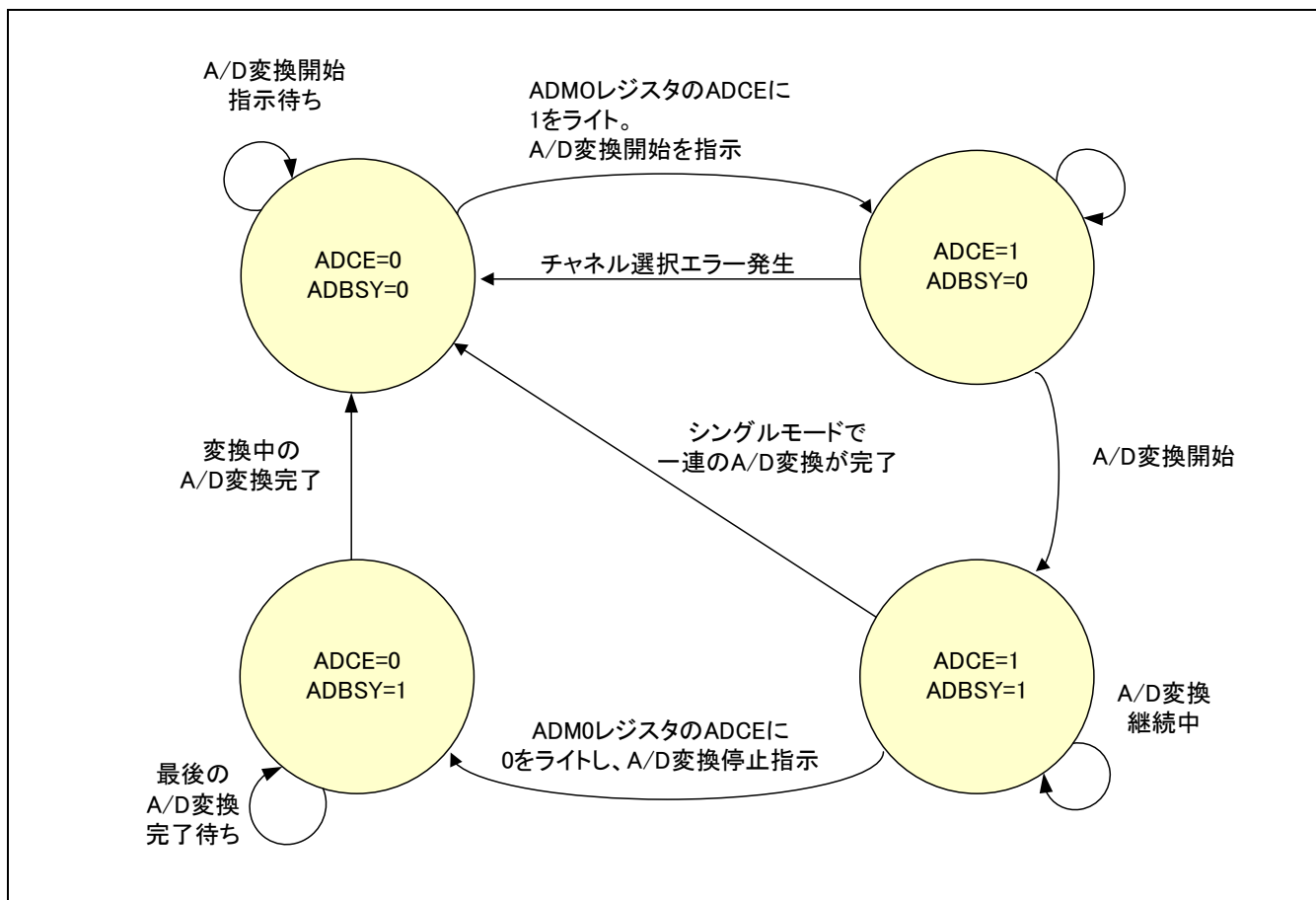


図 19-3 ADCE ビットと ADBSY ビットの状態遷移図

(2) A/D コンバータモードレジスタ 1 (ADM1 : Address EFFF_9004H)

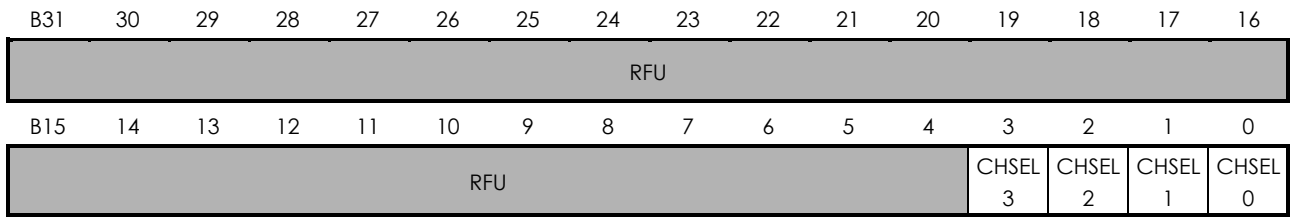
ADM1 レジスタは、A/D 変換動作の制御、ハードウェアトリガのモード設定を行う 32 ビットのレジスタです。32 ビット単位でリード／ライト可能です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU				RFU				RFU				BS	RPS	MS	TRG

Bits	ビット名	R/W	初期値	機能説明
31:14	RFU	R	0_0000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
13:12	RFU	RW	00B	予約領域。00 を設定してください。 その他は禁止となります。
11:10	RFU	R	00B	予約領域。0 を設定してください。リード時は 0 が出力されます。
9:8	RFU	RW	00B	予約領域です。00 を設定してください。 その他は禁止となります。
7:5	RFU	R	000B	予約領域。0 を設定してください。リード時は 0 が出力されます。
4	BS	RW	0B	セレクトモード時のバッファモードを指定します。 0 : 1 バッファモード 1 : 4 バッファモード
3	RPS	RW	0B	変換回数を設定します。 0 : シングル 1 : リピート
2	MS	RW	0B	動作モードを指定します。 0 : スキャンモード 1 : セレクトモード
1	RFU	RW	0B	予約領域。0 を設定してください。
0	TRG	RW	0B	トリガモードを指定します。 0 : ソフトウェアトリガモード 1 : 設定禁止です

(3) A/D コンバータモードレジスタ 2 (ADM2 : Address EFFF_9008H)

ADM2 レジスタは、A/D 変換するアナログ入力チャネルの指定を行う 32 ビットのレジスタです。
32 ビット単位でリード／ライト可能です。



Bits	ビット名	R/W	初期値	機能説明
31:4	RFU	R	000_0000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
3:0	CHSEL3-0	RW	0H	A/D 変換するアナログ入力チャネルを指定します。 0 : アナログ入力チャネル n を A/D 変換しません。 1 : アナログ入力チャネル n を A/D 変換します。

- 【注意】 1.セレクトモードでは、1 つのチャネルのみ選択してください。
2:セレクトモードで、複数のチャネルが選択されている場合はチャネル選択エラーが発生します。

(4) A/D コンバータモードレジスタ 3 (ADM3 : Address EFFF_900CH)

A/D コンバータのサンプリング期間、IDLE 期間を設定するための 32 ビットのレジスタです。
 本レジスタは A/D コンバータブリッジをリセット解除した後は必ず設定してください。
 32 ビット単位でリード/ライト可能です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADIL7	ADIL6	ADIL5	ADIL4	ADIL3	ADIL2	ADIL1	ADIL0	ADCM P7	ADCM P6	ADCM P5	ADCM P4	ADCM P3	ADCM P2	ADCM P1	ADCM P0
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXWAI T7	EXWAI T6	EXWAI T5	EXWAI T4	EXWAI T3	EXWAI T2	EXWAI T1	EXWAI T0	ADSM P7	ADSM P6	ADSM P5	ADSM P4	ADSM P3	ADSM P2	ADSM P1	ADSM P0

Bits	ビット名	R/W	初期値	機能説明
31:24	ADIL7-0	RW	00H	A/D コンバータの変換完了から次の変換開始までの期間を分周後の ADCLK 数で設定します。0 のときは、連続で変換します。
23:16	ADCM P7-0	RW	00H	逐次変換期間のクロック数を分周後の ADCLK (ADIVCLK) 数で設定します。 JL-086A では、0EH(14)を設定します。 その他の設定は禁止となります。
15:8	EXWAIT7-0	R	00H	ロー固定です。
7:0	ADSM P7-0	RW	00H	A/D コンバータのサンプリング期間を設定します。 JL-086A では、07H(7)を設定します。 その他の設定は禁止となります。

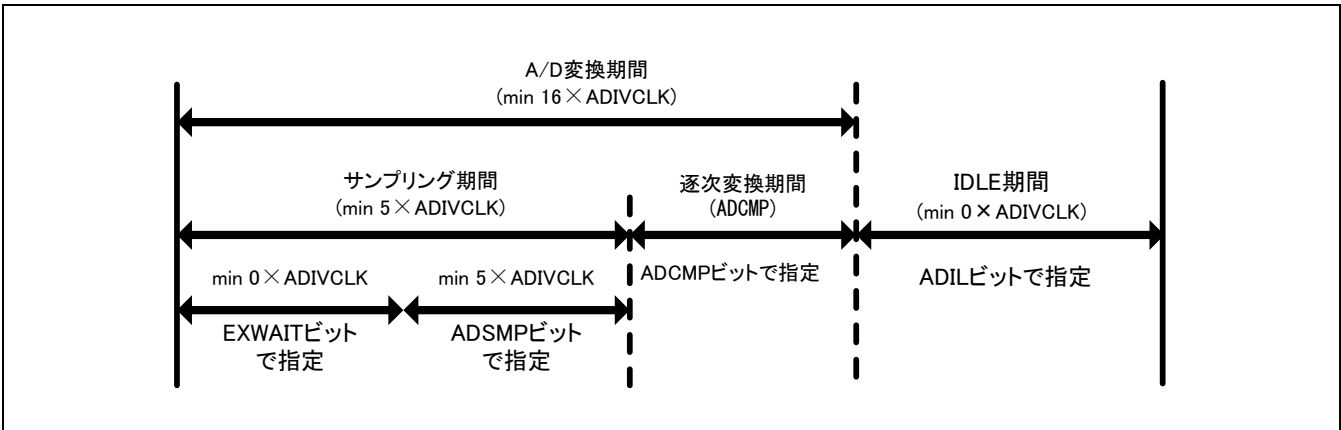


図 19-4 ADM3 レジスタと A/D 変換期間との対応

(5) A/D コンバータ割り込み制御レジスタ (ADINT : Address EFFF_9020H)

ADINT レジスタは、割り込みの制御を行う 32 ビットのレジスタです。

32 ビット単位でリード／ライト可能です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INTS	RFU														CSEEN
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU												INTEN3	INTEN2	INTEN1	INTEN0

Bits	ビット名	R/W	初期値	機能説明
31	INTS	RW	0B	割り込み信号のパルス、レベルを指定します。 0 : パルス信号 1 : レベル信号
30:17	RFU	R	0000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
16	CSEEN	RW	0B	A/D 変換チャネル選択エラー割り込み出力許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
15:4	RFU	R	000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
3:0	INTEN3-0	RW	0H	チャネル n(n=3-0)の A/D 変換完了時の割り込み出力を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可

ADINT レジスタの INTS ビットをレベルに指定した場合、ADINT レジスタで割り込み許可された割り込みステータスの論理和を割り込み信号 INTAD として出力します。

割り込み信号をパルスに指定した場合は、

(a)ADM2 レジスタが A/D 変換チャネル選択エラーの状態である時に A/D 変換要求の到来を検出したタイミング

(b)ADINT レジスタで割り込み許可に選択されたチャネルが変換完了となったタイミング

(c)スキャンモードで 4 バッファを指定した状態である時に A/D 変換要求の到来を検出したタイミングでパルスの割り込み信号を出力します。

(6) A/D コンバータステータスレジスタ (ADSTS : Address EFFF_9024H)

ADSTS レジスタは、ステータス制御を行う 32 ビットのレジスタです。

32 ビット単位でリード／ライト可能です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															CSEST
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU												INTST3	INTST2	INTST1	INTST0

Bits	ビット名	R/W	初期値	機能説明
31	RFU	RW	0B	予約領域。0 を設定してください。
30:17	RFU	R	0000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
16	CSEST	RW	0B	A/D 変換チャンネル選択エラー割り込みステータスです。 A/D 変換開始時に A/D 変換を実行するチャンネルが ADM2 レジスタの CHSEL3-0 で何も指定されてなかったときに発生するエラー割り込みのステータスです。 リード時 0 : A/D 変換チャンネル選択エラーなし 1 : A/D 変換チャンネル選択エラーあり ライト時 0 : 何も変化しません 1 : ステータスをクリアします
15:4	RFU	R	000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
3:0	INTST3-0	RW	0H	チャンネル n(n=3-0)の変換完了割り込みステータスです。 リード時 0 : 変換未了 1 : 変換完了 ライト時 0 : 何も変化しません 1 : ステータスをクリアします(*1)

【注】 *1:割り込み要因の発生と割り込み要因のクリアが同時の場合は、クリアが無視されます。変換完了割り込みステータスは変換完了状態のままとなります。

(7) A/D コンバータクロック分周設定レジスタ (ADIVC : Address EFFF_9028H)

ADIVC レジスタは、ADCLK を分周して A/D コンバータマクロのクロックに供給する分周比設定を行う 32 ビットのレジスタです。

32 ビット単位でリード／ライト可能です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU							DIVAD C8	DIVAD C7	DIVAD C6	DIVAD C5	DIVAD C4	DIVAD C3	DIVAD C2	DIVAD C1	DIVAD C0

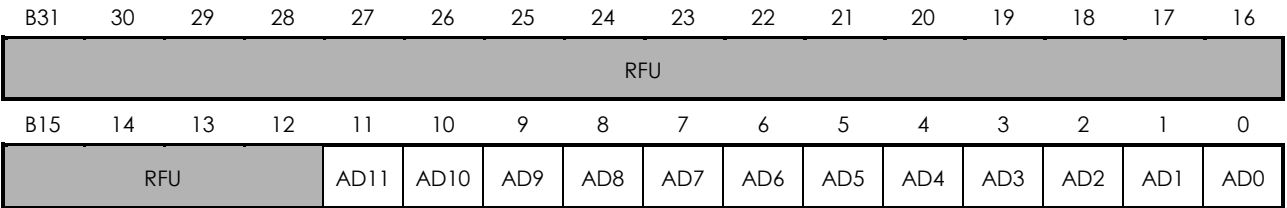
Bits	ビット名	R/W	初期値	機能説明
31:9	RFU	R	00_0000H	予約領域。0 を設定してください。リード時は 0 が出力されます。
8:0	DIVADC8-0	RW	000H	分周比を設定するレジスタです。(*1) 以下の値のいずれかを設定可能で、その他の値は動作保証しません。 000000000B : ADCLK を A/D コンバータマクロのクロック端子へバイパスします。 000010000B : 16 分周 000100000B : 32 分周 001000000B : 64 分周 010000000B : 128 分周 100000000B : 256 分周

【注】 *1: JL-086A では、本レジスタを 0x0000_0010 (16 分周)以上に設定し、4MHz 以下でご使用ください。

(8) A/D 変換結果レジスタ 3-0 (ADCR3-0 : Address EFFF_9030H-EFFF_903CH)

ADCR3-0 レジスタは、A/D 変換の結果を保持する 12 ビットレジスタです。4 本の 12 ビットレジスタを備えています。32 ビット単位でリードします。

分解能 12-bit の A/D コンバータマクロを搭載した場合、ADCR3-0 レジスタから A/D 変換結果の 12 ビットデータを読み出すと下位の 12 ビットだけが有効となり、上位 20 ビットは常に 0 が読み出されます。



Bits	ビット名	R/W	初期値	機能説明		
31:12	RFU	R	0_0000H	予約領域。0 を設定してください。リード時は 0 が出力されます。		
11:0	AD11-0	R	000H	アナログ変換結果を保持します。		
				アナログ 入力チャ ネル	ADCR3-0 レジスタ(*1)	
					セレクト1バッファモード またはスキャンモード	セレクト4バッファ モード
				0	ADCR0	ADCR3-0
				1	ADCR1	
				2	ADCR2	
				3	ADCR3	

アナログ入力端子（**AIN3-0**）に入力されたアナログ入力電圧と **A/D** 変換結果（**A/D** 変換結果レジスタ（**ADCR3-0**））には次式に示す関係があります。

$$ADCR = INT\left(\frac{V_{in}}{AVREFP - AVREFM} \times 2^d + 0.5\right)$$

または

$$(ADCR - 0.5) \times \frac{AVREFP - AVREFM}{2^d} \leq V_{in} < (ADCR + 0.5) \times \frac{AVREFP - AVREFM}{2^d}$$

- INT** () : () 内の値の整数部を返す関数
V_{in} : アナログ入力電圧
AVREFP : アナログ部用電源端子電圧
AVREFM : アナログ部用 **GGND** 端子電圧
ADCR : **A/D** 変換結果レジスタ **ADCR3-0** の値
d : **A/D** コンバータマクロの分解能

以下にアナログ入力電圧と **A/D** 変換結果の関係を示します。

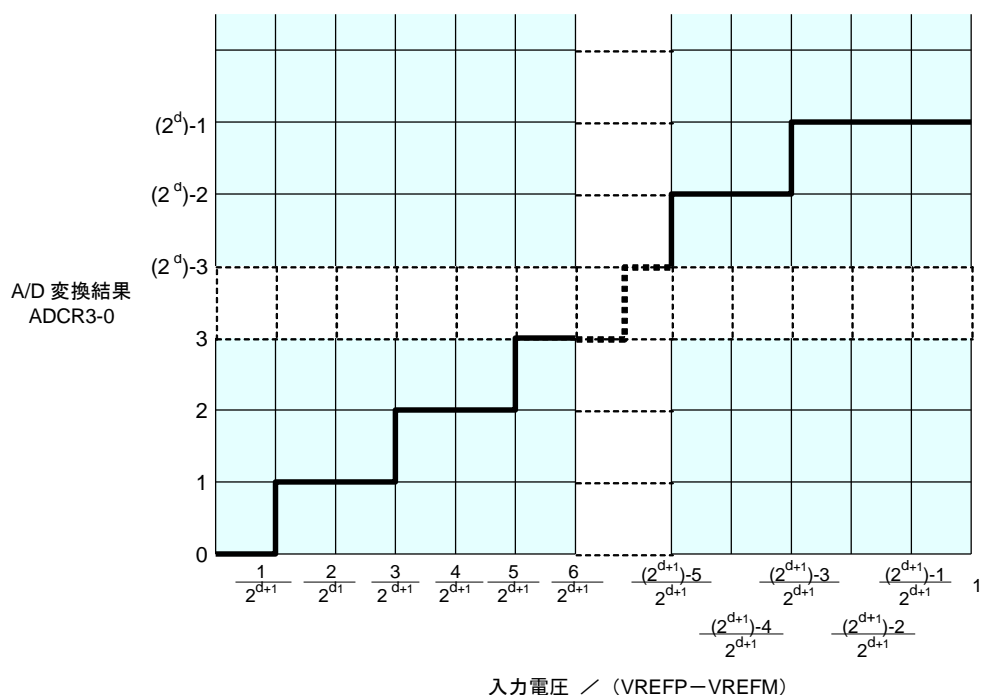


図 19-5 アナログ入力と **A/D** 変換結果の関係

19.2.6 オペレーション

以下では端子構成を基にオペレーションを説明します。

19.2.6.1 A/D 変換モードの種類

本マクロは、以下の A/D 変換モードを指定できます。A/D 変換モードは、ADM1 レジスタで設定します。

表 19-8 A/D 変換モード

トリガ モード	トリガ入力	動作モード	変換回数	バッファ数	動作説明	A/D 変換例 参照先
ソフトウェア トリガ	—	セレクト	シングル	1 バッファ	選択した 1ch×1 回変換	19.2.5.4(1)セレクトモ ード/シングルモード による A/D 変換例
				4 バッファ	選択した 1ch×4 回変換	—
			リピート	1 バッファ	(選択した 1ch×1 回変換)×繰り返し	19.2.5.4(2)セレクトモ ード/リピートモード による A/D 変換例
				4 バッファ	(選択した 1ch×4 回変換)×繰り返し	19.2.5.4(3)4 バッファモ ードによる A/D 変換例
		スキャン	シングル	1 バッファ	選択した全 ch×1 回変換	19.2.5.4(4)スキャンモ ード/シングルモード での A/D 変換例
				4 バッファ	(設定禁止)	
			リピート	1 バッファ	(選択した全 ch×1 回変換)×繰り返し	19.2.5.4(5) スキャンモ ード/リピートモード での A/D 変換例
				4 バッファ	(設定禁止)	

【注意】 スキャンモード時の 4 バッファモードを設定するとチャネル選択エラーが発生します。

(1) トリガモード

A/D 変換処理の開始タイミングとなるトリガモードには、ソフトウェアトリガモードがあります。トリガモードは、ADM1 レジスタの TRG ビットで設定します。

● ソフトウェアトリガモード

ADM0 レジスタの ADCE ビットを 1 に設定することで AIN3-0 端子入力の A/D 変換を開始するモードです。変換動作中は ADM0 レジスタの ADBSY ビットがハイになります。

(2) 動作モード

動作モードには、セレクトモードとスキャンモードの2通りがあります。セレクトモードには、サブモードとして、1バッファモードと4バッファモードがあります。これらのモードは、ADM1レジスタのBS、MSビットで設定します。

(a) セレクトモード

ADM2レジスタのCHSEL3-0ビットで指定したアナログ入力をA/D変換します。変換結果は、AIN3-0端子に対応したADCR3-0レジスタに格納します。このモードでは、A/D変換結果の格納方法として、1バッファモードと4バッファモードを備えています。

セレクトモードではA/D変換するチャンネルは一つだけ選択できます。

セレクトモードで複数のアナログ入力チャンネルを選択した場合はチャンネル選択エラーが発生します。

●1 バッファモード

ADM2レジスタで指定したアナログ入力を1回だけA/D変換し、その結果をAIN3-0端子に対応するADCR3-0レジスタに格納します。

AIN3-0端子とADCR3-0レジスタは1対1に対応しています。A/D変換するチャンネルがADINTレジスタのINTEN3-0で割り込み出力許可にしている場合、1回のA/D変換終了ごとにA/D変換終了割り込み(INTAD)が発生します。

1回のA/D変換ごとに結果を読み出すような用途で使います。

●4 バッファモード

ADM2レジスタで指定したアナログ入力を4回A/D変換し、その結果をADCR[3-0]レジスタに格納します。アナログ入力とA/D変換レジスタの対応は表19-10を参照願います。

A/D変換終了割り込み(INTAD)は、1バッファ時のA/D変換結果が格納されるADCR3-0レジスタに相当するチャンネルがADINTレジスタのINTEN3-0で割り込み出力許可になっている場合、ADCR3-0レジスタにA/D変換結果を格納した時に発生します。例えば、AIN0を選択し、4回目のA/D変換で割り込みを発生させたい場合はADINTレジスタのINTEN3ビットを1に設定します。

4バッファモード使用時のADINTレジスタ設定値とA/D変換完了割り込みの出力動作の関係は表19-9を参照願います。

本モードは、A/D変換結果の平均を求めるような応用に使います。

表 19-9 4バッファモード時の ADINT 設定と A/D 変換完了割り込みの発生動作

A/D変換チャンネル	ADINTレジスタの設定値		A/D変換完了割り込み
AIN3-0の1chを選択	INTEN[0]	1:割り込み許可	チャンネル0 A/D変換終了時に割り込みを出力する
		0:割り込み禁止	チャンネル0 A/D変換終了時に割り込みを出力しない
	INTEN[1]	1:割り込み許可	チャンネル1 A/D変換終了時に割り込みを出力する
		0:割り込み禁止	チャンネル1 A/D変換終了時に割り込みを出力しない
	INTEN[2]	1:割り込み許可	チャンネル2 A/D変換終了時に割り込みを出力する
		0:割り込み禁止	チャンネル2 A/D変換終了時に割り込みを出力しない
	INTEN[3]	1:割り込み許可	チャンネル3 A/D変換終了時に割り込みを出力する
		0:割り込み禁止	チャンネル3 A/D変換終了時に割り込みを出力しない

表 19-10 4バッファモード時のアナログ入力と A/D 変換結果レジスタの対応

アナログ入力	A/D変換結果レジスタ
AIN3-0 の 1ch を選択	ADCR0(1 回目)
	ADCR1(2 回目)
	ADCR2(3 回目)
	ADCR3(4 回目)

(b) スキャンモード

ADM2 レジスタで選択したチャンネルを小さいチャンネルから順に選択して A/D 変換します。A/D 変換結果は、アナログ入力に対応した ADCR3-0 レジスタに格納します。A/D 変換するチャンネルが ADINT レジスタの INTEN3-0 で割り込み出力許可にしている場合、そのチャンネルの A/D 変換が終了すると A/D 変換終了割り込み (INTAD) が発生します。

複数のアナログ信号を常時監視するような用途で使します。

スキャンモードでは 1 バッファモードのみを指定できます。スキャンモードで 4 バッファモードを指定した場合はチャンネル指定エラーが発生します。

(3) 変換回数

変換回数には、シングルモードとリピートモードがあります。変換回数は、ADM1 レジスタの **RPS** ビットで設定します。

(a) シングルモード

変換回数分の A/D 変換が終了すると **ADM0** レジスタの **ADCE** ビットを自動で **0** にします。変換を行う回数は、表 19-8 の動作説明を参照してください。

(b) リピートモード

ADM0 レジスタの **ADCE** ビットにハイをライトすると **ADM1** レジスタで指定した A/D 変換モードで A/D 変換を繰り返して実行し、**ADM0** レジスタの **ADCE** ビットにローをライトするとその直後に A/D 変換を終了します。

変換を行う回数は、表 19-8 の動作説明を参照してください。

19.2.6.2 割り込み機能

A/D コンバータブリッジの割り込み要因と発生条件、確認、解除方法を表 19-11 に示します。INTAD 端子の割り込み要求出力動作は ADINT レジスタの INTS ビットで設定します。

表 19-11 割り込み機能一覧

割り込み要因	発生条件	割り込み許可	割り込み要因の確認	解除方法
		ADINTレジスタ	ADSTSレジスタ(*1)	ADSTSレジスタ
A/D変換完了	指定したチャンネルのA/D変換が完了した	INTEN3-0(*2)	INTST3-0	リード時にハイのビットにハイをライト
A/D変換チャンネル選択エラー	A/D変換開始時にADM2レジスタのCHSEL3-0ビットがALL-0だった(*3) セレクトモード使用時に複数のアナログ入力チャンネルを選択していた(*3) スキャンモードで4パツファモードを指定した(*3)	CSEEN	CSEST	CSESTIにハイをライト

【注】 *1:ADINT レジスタの INTEN11-0、CSEEN ビットの設定とは関係なしに割り込み要因が成立すると ADSTS レジスタの割り込み要因に対応するビットがハイになります。

*2:A/D 変換完了の割り込みはチャンネルごとに許可/禁止を設定できます。

*3:A/D 変換チャンネル選択エラーが発生すると ADM0 レジスタの ADCE ビットがローになって A/D 変換動作は停止します。

19.2.6.3 A/D 変換手順

A/D 変換は次の手順で行います。

1. A/D 変換するアナログ入力チャンネルの選択、トリガモード（ソフトウェアトリガ）、動作モード（セレクト、スキャン）などの指定を、ADM3-0 レジスタによって設定します(*1)。ADM0 レジスタの ADCE ビットを 1 に設定すると、ソフトウェアトリガモード時は A/D 変換を開始します。

【注】 *1: ADM3-0 レジスタの設定は、A/D コンバータ変換停止中(ADM0 レジスタの ADBSY ビットがローのとき)に行ってください。

2. A/D 変換を開始します。

3. A/D 変換が終了したとき、ADCR3-0 レジスタに変換結果が格納されます。また、ADINT レジスタの INTEN ビットで指定したチャンネルの A/D 変換が終了したとき、A/D 変換終了割り込み（INTAD）が発生します。

(1) 安定待ち時間について

A/Dコンバータをパワーダウンモードからノーマルモードに遷移させた場合は安定待ち時間分のウェイトが必要になります。JL-086Aでは1 μ secです。

(2) A/D変換開始手順

A/D変換開始は以下のフローで行ってください。

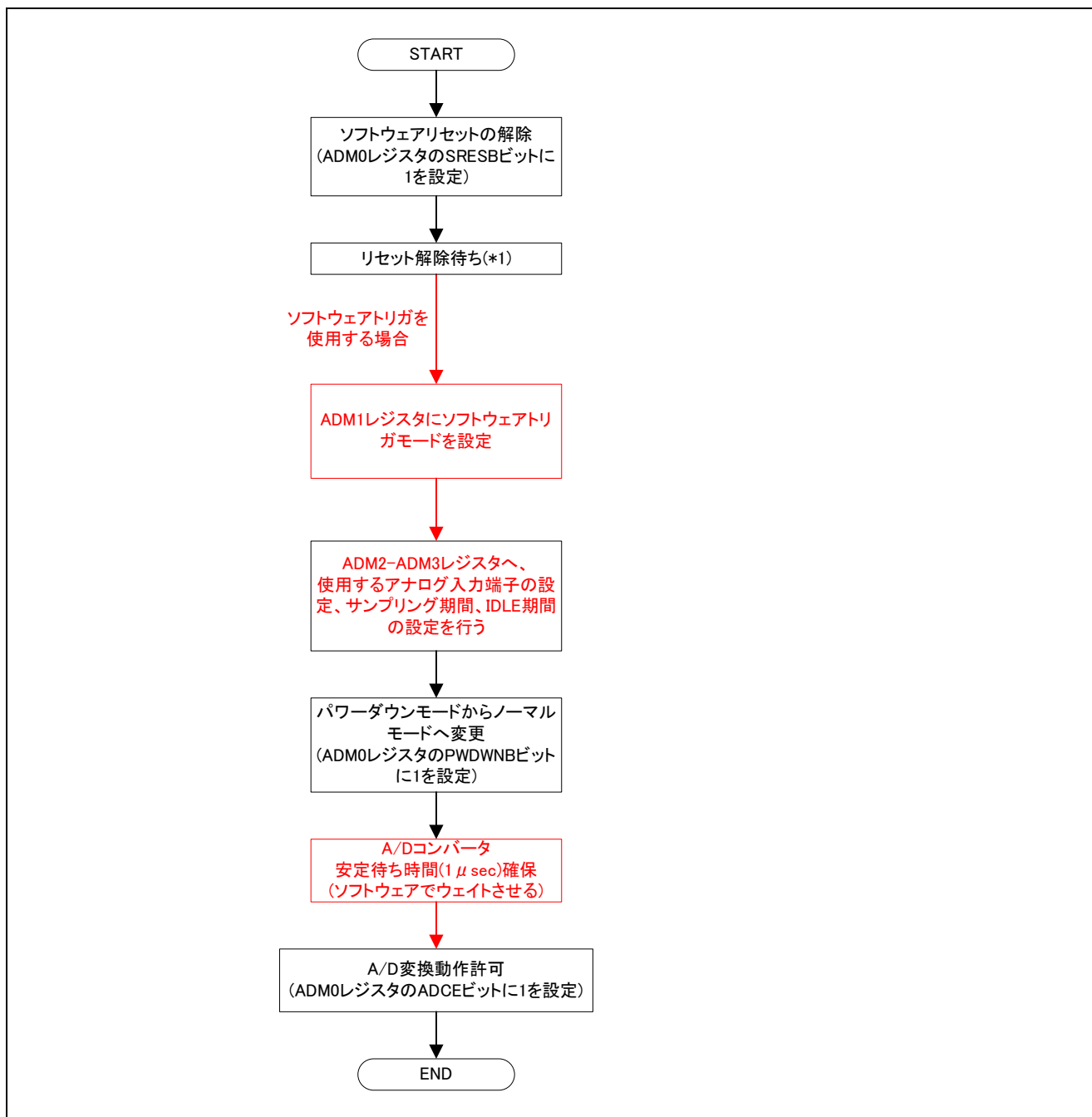


図 19-6 A/D 変換開始手順

(3) A/D 変換停止手順

A/D 変換停止は以下のフローで行ってください。

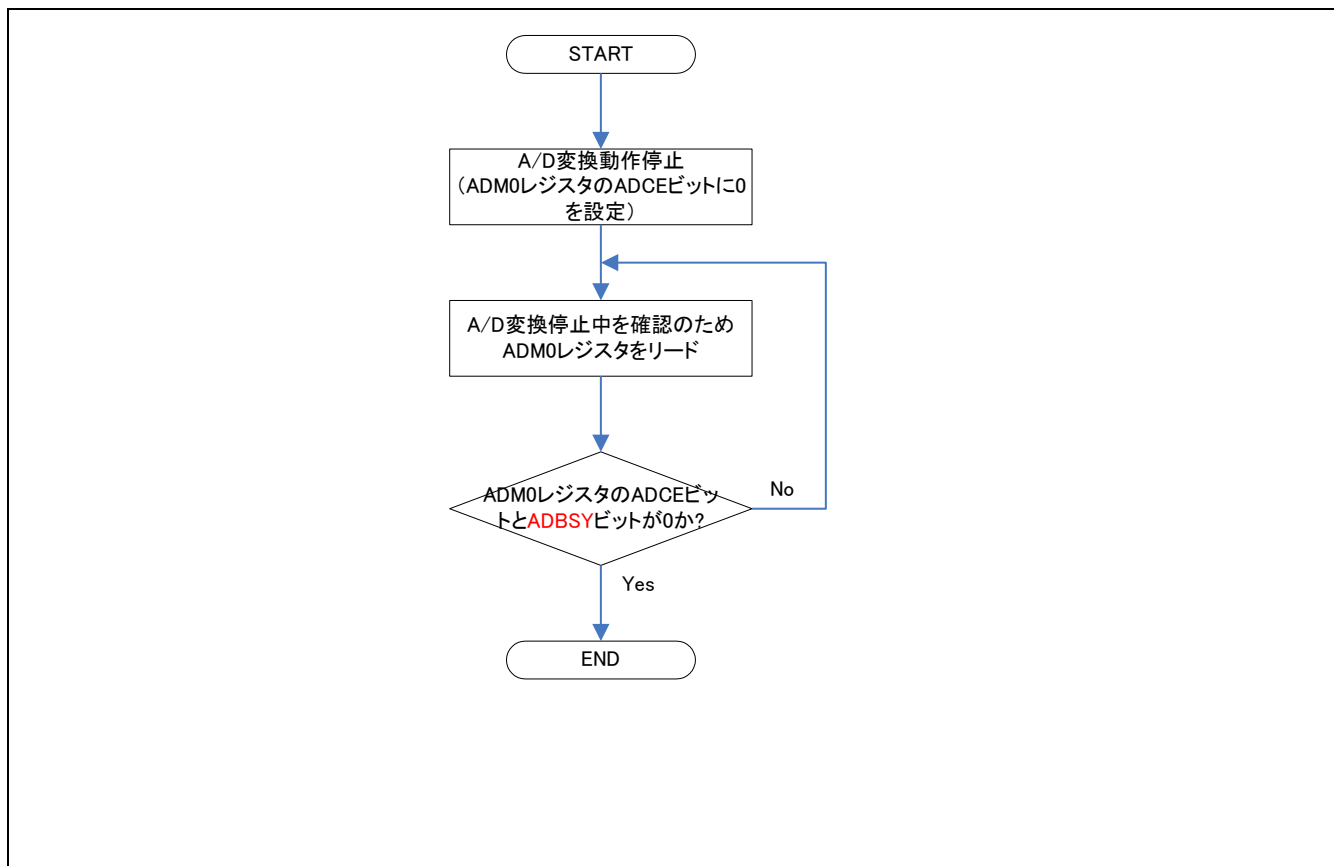


図 19-7 A/D 変換停止手順

(4) A/D 変換停止から A/D 変換再開手順

A/D 変換停止手順で A/D 変換停止してから A/D 変換再開する場合には、以下のフローで行ってください。

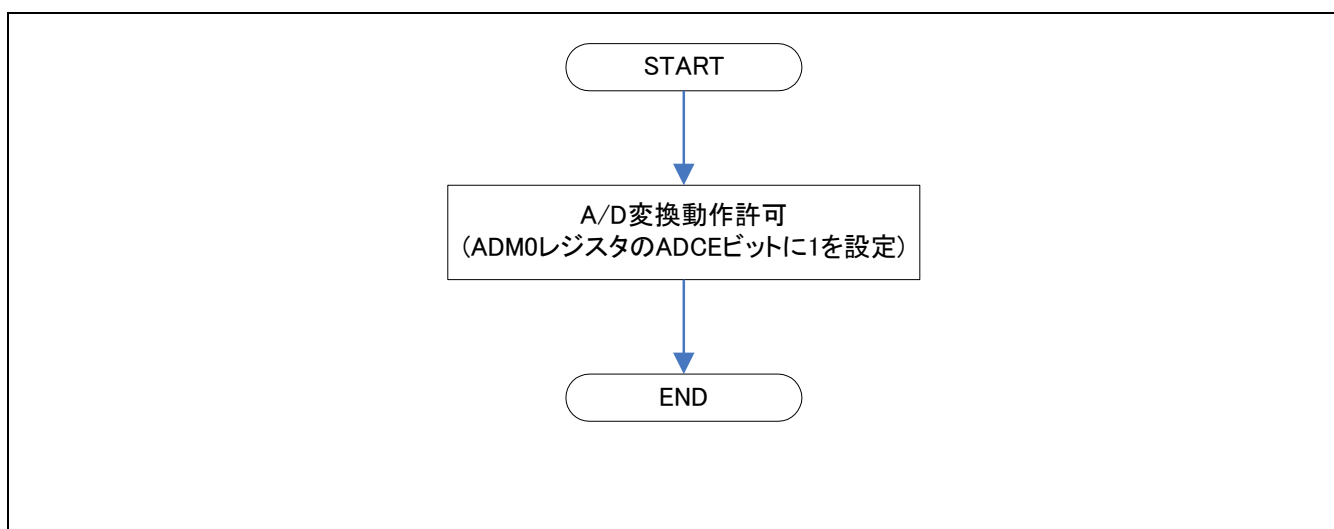


図 19-8 A/D 変換停止から A/D 変換再開手順

(5) パワーダウン手順

パワーダウンモードへの移行は、以下のフローで行ってください。

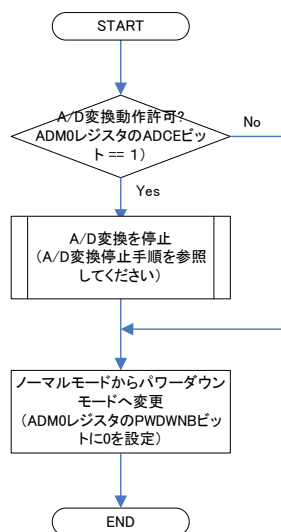
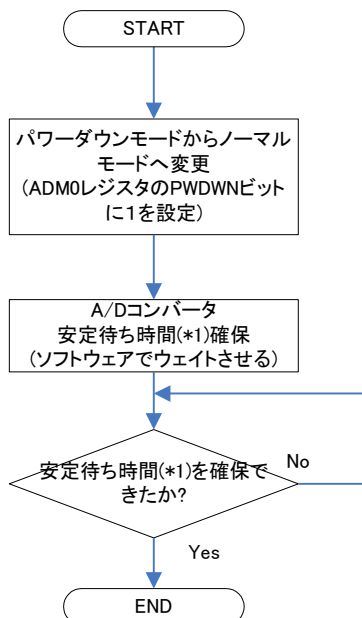


図 19-9 パワーダウン手順

(6) パワーダウン解除手順

パワーダウンモードの解除は、以下のフローで行ってください。



(*1) = 1 μ sec

図 19-10 パワーダウン解除手順

(7) ソフトウェアリセット手順

ソフトウェアリセットを行う場合には、以下のフローで行ってください。

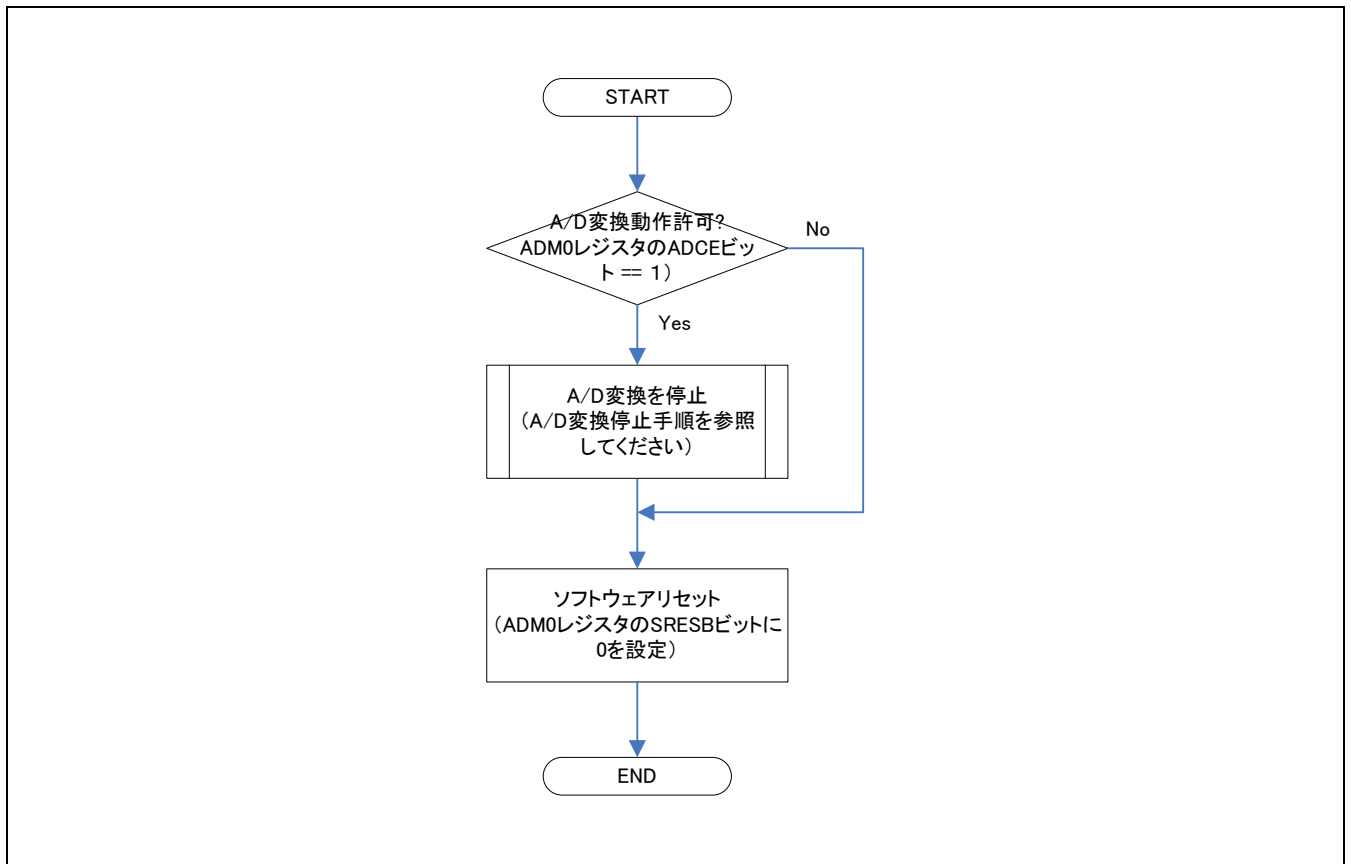


図 19-11 ソフトウェアリセット手順

(8) ソフトウェアリセットからの A/D 変換再開手順

A/D 変換動作を行った後、ソフトウェアリセット手順でソフトウェアリセットを実行し、再度 A/D 変換を開始する場合は、以下のフローで行ってください。

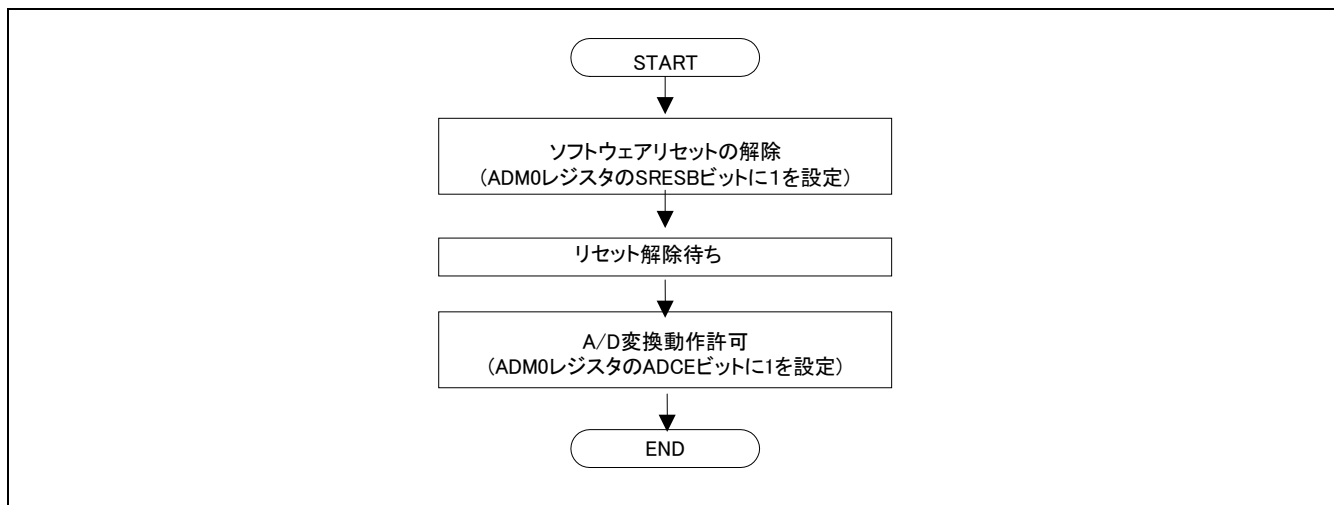


図 19-12 ソフトウェアリセットからの A/D 変換再開

(9) 割り込み処理手順

A/D コンバータブリッジが出力する割り込み要求は図 19-13 のフローで処理してください。

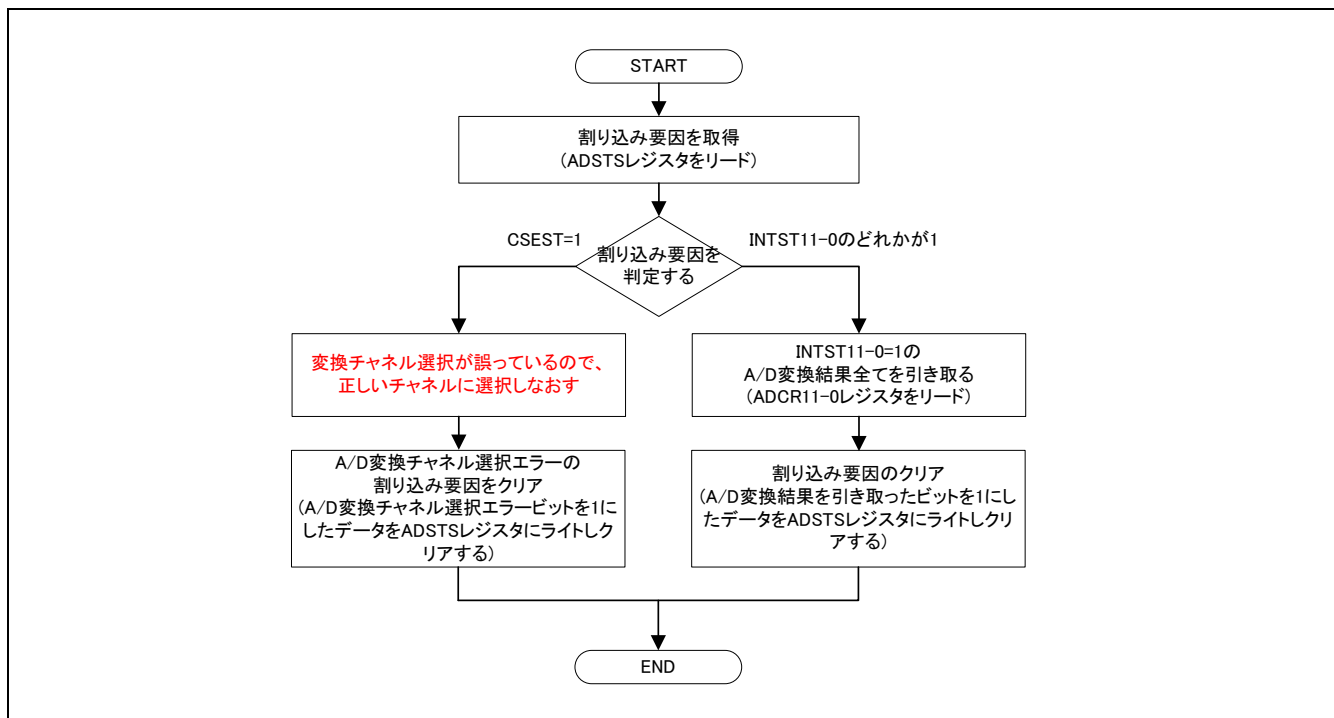


図 19-13 割り込み処理手順

19.2.6.4 A/D 変換例

以下に A/D 変換例の一覧を示します。

- (1) セレクトモード／シングルモードによる A/D 変換例
- (2) セレクトモード／リピートモードによる A/D 変換例
- (3) 4 バッファモードによる A/D 変換例
- (4) スキャンモード／シングルモードでの A/D 変換例
- (5) スキャンモード／リピートモードでの A/D 変換例

なお、全ての組み合わせの変換例を記載していませんので、各モードの違いを以下で確認してください。

- ・ 1 バッファモードと 4 バッファモードの違いについては、(1)と(3)を参照してください。
- ・ シングルモードとリピートモードの違いについては、(1)と(2)を参照してください。
- ・ セレクトモードとスキャンモードの違いについては、(1)と(4)、または(2)と(5)を参照してください。

(1) セレクトモード／シングルモードによる A/D 変換例

ソフトウェアトリガ／セレクトモード／シングルモード／1 バッファモードでの A/D 変換例を図 19-14 に示します。図 19-14 ではアナログ入力を AIN1 から AIN2 に変更して変換した例を示します。

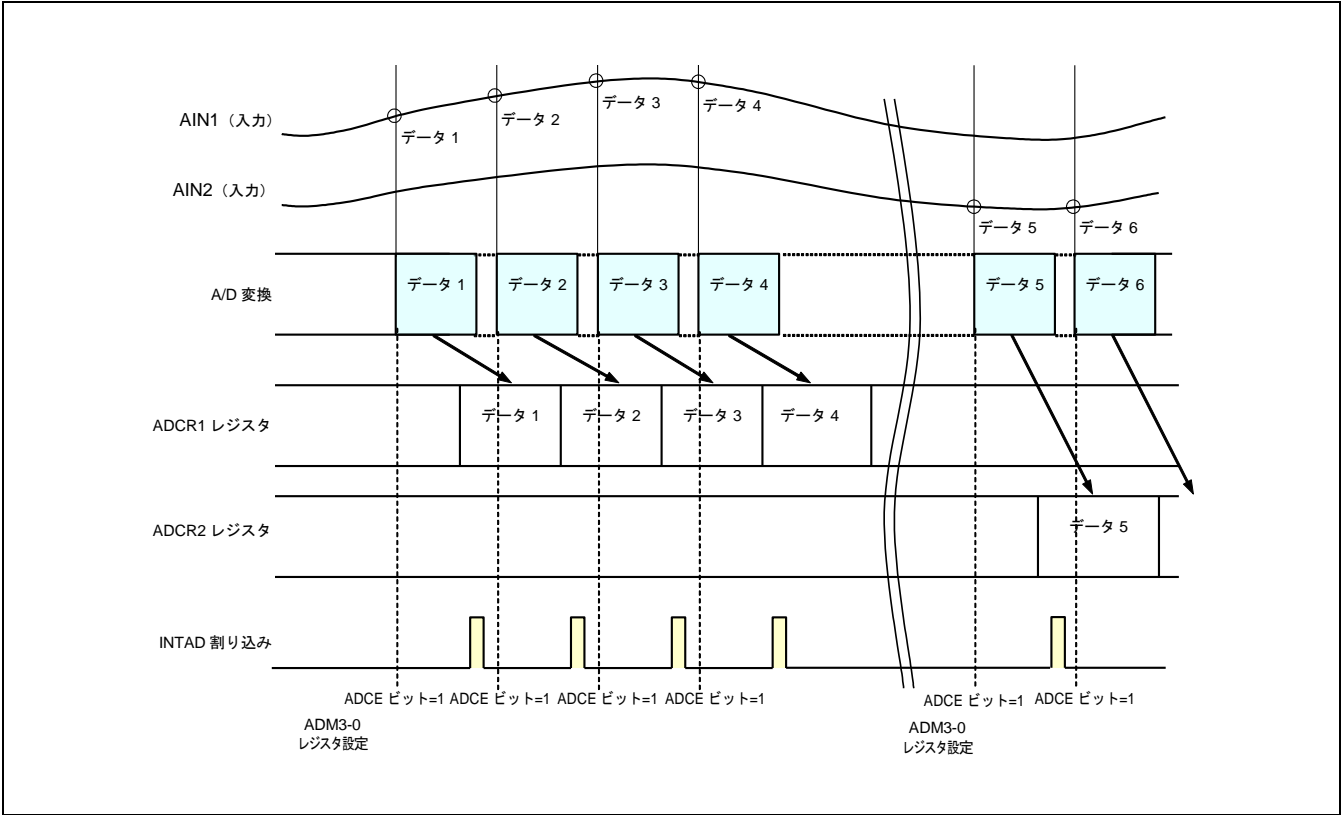


図 19-14 セレクトモード／シングルモードによる A/D 変換例

- (a) **ADM0** レジスタ **SRESB** ビットを **1** に設定し、ソフトウェアリセットを解除します。
- (b) リセット解除待ち（待ち時間は、のデアサート後アクセス禁止期間リセット解除待ち時間を参照してください）
- (c) **ADM3-0** レジスタで、ソフトウェアトリガ／セレクトモード／シングルモード／1 バッファモード、アナログ入力端子 **AIN1** に設定
- (d) **ADINT**、**ADSTS** レジスタで、割り込み信号をパルス、チャンネル **1** の割り込み出力を許可に設定
- (e) **ADM0** の **PWDWNB** ビット=**1** でノーマルモードに設定
- (f) ソフトウェアで安定待ち時間以上ウェイトさせる
- (g) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（開始）
- (h) **AIN1** を **A/D** 変換（**A/D** 変換結果は **ADCR1** レジスタに格納される）
- (i) **INTAD** 割り込み発生
- (j) 上記（g）～（i）を繰り返し実行させる
- (k) **ADM0** の **ADCE** ビット=**0** により **A/D** 変換動作停止
- (l) **ADM3-0** レジスタで、ソフトウェアトリガ／セレクトモード／シングルモード／1 バッファモード、アナログ入力端子 **AIN2** に設定
- (m) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（**A/D** 変換開始）
- (n) **AIN2** を **A/D** 変換（**A/D** 変換結果は **ADCR2** レジスタに格納される）
- (o) **INTAD** 割り込み発生
- (p) 上記（m）～（o）を繰り返し実行させる

【注】*1: 安定待ち時間は **19.2.6.3(1)**を参照してください。

(2) セレクトモード／リピートモードによる A/D 変換例

ソフトウェアトリガ／セレクトモード／リピートモード／1 バッファモードでの A/D 変換例を図 19-15 に示します。図 19-15 ではアナログ入力を AIN1 から AIN2 に変更して変換した例を示します。

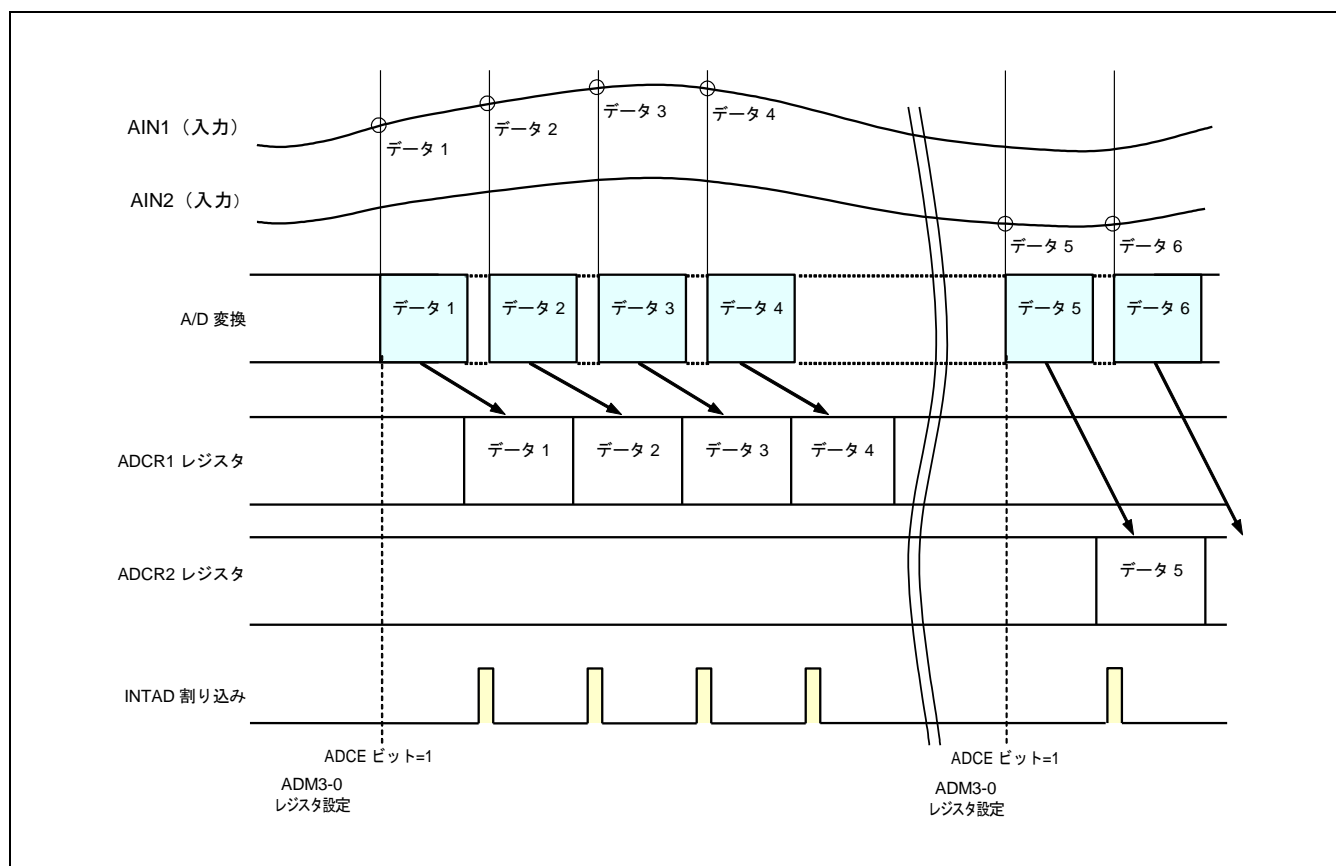


図 19-15 セレクトモード／リピートモードによる A/D 変換例

- (a) **ADM0** レジスタの **SRESB** ビットを **1** に設定し、ソフトウェアリセットを解除します。
- (b) リセット解除待ち（待ち時間は、「」のデアサート後アクセス禁止期間リセット解除待ち時間を参照してください）
- (c) **ADM3-0** レジスタで、ソフトウェアトリガ／セレクトモード／リピートモード／1 バッファモード、アナログ入力端子 **AIN1** に設定
- (d) **ADINT**、**ADSTS** レジスタで、割り込み信号をパルス、チャンネル **1** の割り込み出力を許可に設定
- (e) **ADM0** の **PWDWNB** ビット=**1** でノーマルモードに設定
- (f) ソフトウェアで安定待ち時間以上ウェイトさせる
- (g) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（**A/D** 変換開始）
- (h) **AIN1** を **A/D** 変換（**A/D** 変換結果は **ADCR1** レジスタに格納される）
- (i) **INTAD** 割り込み発生
- (j) 上記（h）～（i）を自動で繰り返し
- (k) **ADM0** の **ADCE** ビット=**0** により **A/D** 変換動作停止
- (l) **ADM3-0** レジスタで、ソフトウェアトリガ／セレクトモード／リピートモード／1 バッファモード、アナログ入力端子 **AIN2** に設定
- (m) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（開始）
- (n) **AIN2** を **A/D** 変換（**A/D** 変換結果は **ADCR2** レジスタに格納される）
- (o) **INTAD** 割り込み発生
- (p) 上記（n）～（o）の繰り返し

【注】*1: 安定待ち時間は **19.2.6.3(1)**を参照してください。

(3) 4バッファモードによる A/D 変換例

ソフトウェアトリガ／セレクトモード／リピートモード／4 バッファモードでの A/D 変換例を図 19-16 に示します。図 19-16 ではアナログ入力を AIN2 から AIN3 に変更して変換した例を示します。

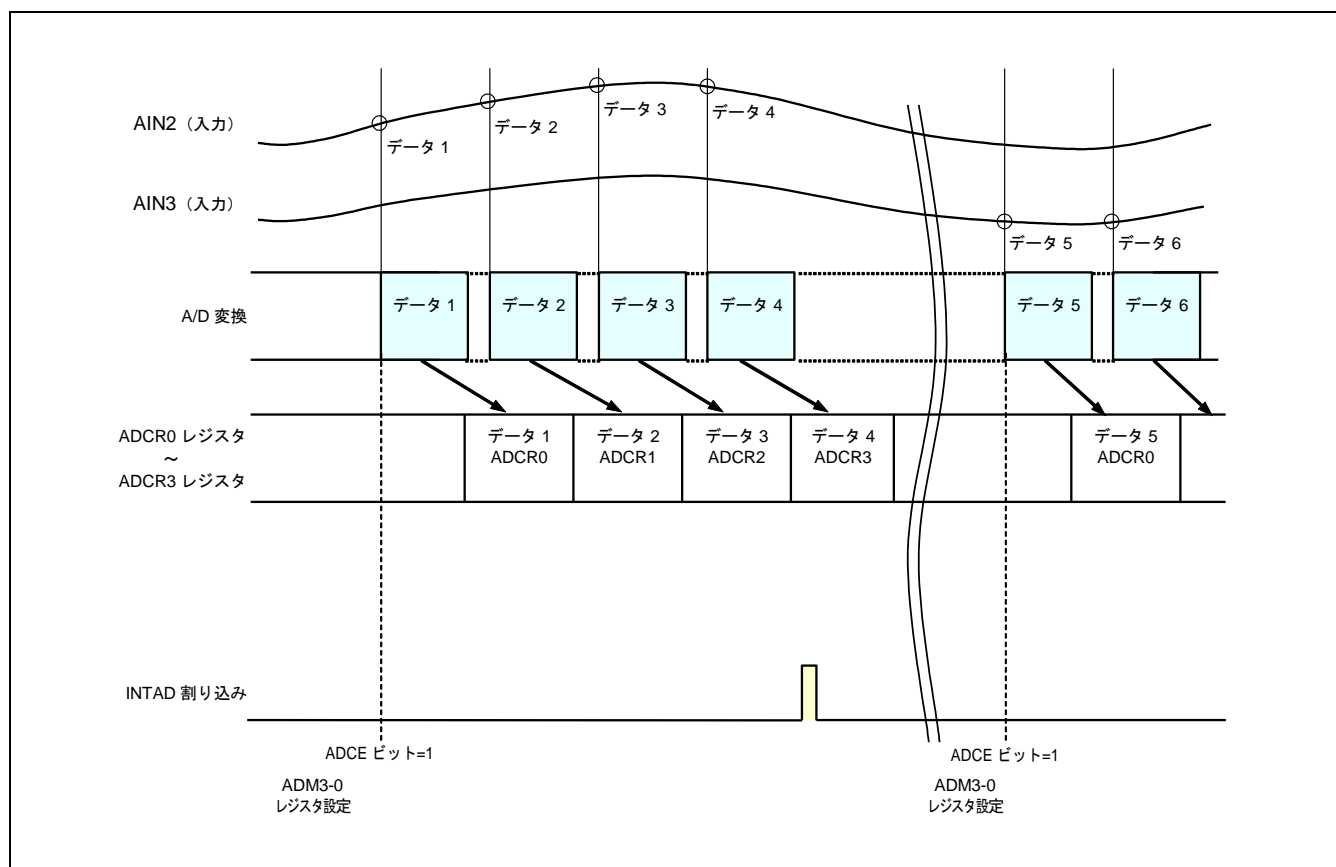


図 19-16 4 バッファモードによる A/D 変換例

- (a) **ADM0** レジスタの **SRESB** ビットを **1** に設定し、ソフトウェアリセットを解除します。
- (b) リセット解除待ち（待ち時間は、のデアサート後アクセス禁止期間リセット解除待ち時間を参照してください）
- (c) **ADM3-0** レジスタで、ソフトウェアトリガ／セレクトモード／リピートモード／**4** バッファモード、アナログ入力端子 **AIN2** に設定
- (d) **ADINT**、**ADSTS** レジスタで、割り込み信号をパルス、チャンネル **3** の割り込み出力を許可に設定
- (e) **ADM0** の **PWDWNB** ビット=**1** でノーマルモードに設定
- (f) ソフトウェアで安定待ち時間(*1)以上ウェイトさせる
- (g) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（開始）
- (h) **AIN2** を **A/D** 変換(**A/D** 変換結果（データ 1）は **ADCR0** レジスタに格納される）
- (i) **AIN2** を **A/D** 変換(**A/D** 変換結果（データ 2）は **ADCR1** レジスタに格納される）
- (j) **AIN2** を **A/D** 変換(**A/D** 変換結果（データ 3）は **ADCR2** レジスタに格納される）
- (k) **AIN2** を **A/D** 変換(**A/D** 変換結果（データ 4）は **ADCR3** レジスタに格納される）
- (l) **INTAD** 割り込み発生
- (m) 上記（h）～（l）を自動で繰り返し
- (n) **ADM0** の **ADCE** ビット=**0** により **A/D** 変換動作停止
- (o) **ADM3-0** レジスタで、ソフトウェアトリガ／セレクトモード／リピートモード／**4** バッファモード、アナログ入力端子 **AIN3** に設定
- (p) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（**A/D** 変換開始）
- (q) **AIN3** を **A/D** 変換(**A/D** 変換結果（データ 5）は **ADCR0** レジスタに格納される）
- (r) **AIN3** を **A/D** 変換(**A/D** 変換結果（データ 6）は **ADCR1** レジスタに格納される）
- . . .

【注】 *1: 安定待ち時間は **19.2.6.3(1)**を参照してください。

(4) スキャンモード／シングルモードでの A/D 変換例

ソフトウェアトリガ／スキャンモード／シングルモードでの A/D 変換例を図 19-17 以下に示します。図 19-17 では AIN3-0 を選択して変換した例を示します。

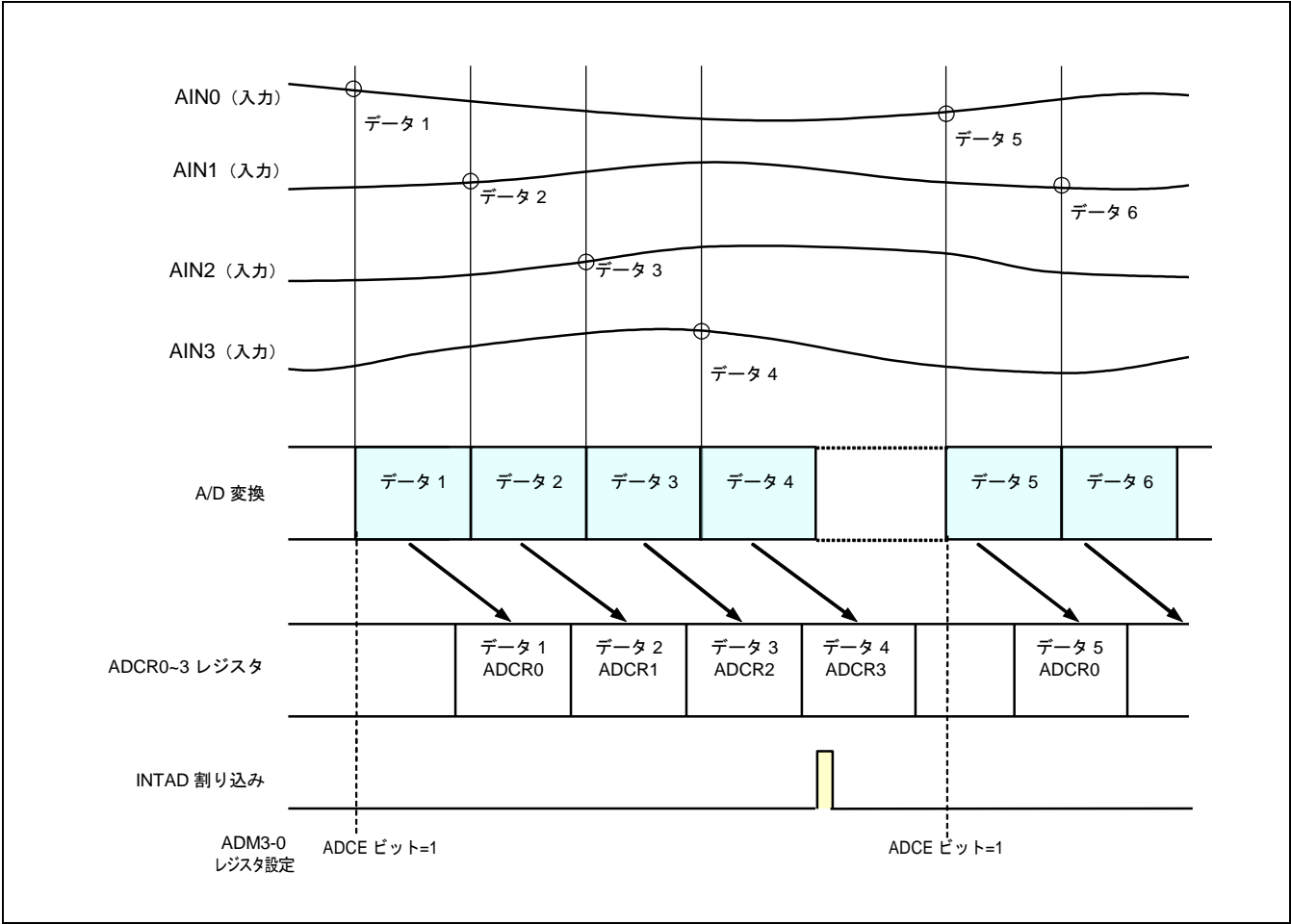


図 19-17 スキャンモード／シングルモードでの A/D 変換例

- (a) **ADM0** レジスタの **SRESB** ビットを **1** に設定し、ソフトウェアリセットを解除します。
- (b) リセット解除待ち（待ち時間は、のデアサート後アクセス禁止期間リセット解除待ち時間を参照してください）
- (c) **ADM3-0** レジスタで、ソフトウェアトリガ／スキャンモード／シングルモード、アナログ入力端子 **AIN3-0** を設定
- (d) **ADINT**、**ADSTS** レジスタで、割り込み信号をパルス、チャンネル 3 の割り込み出力を許可に設定
- (e) **ADM0** の **PWDWNB** ビット=**1** でノーマルモードに設定
- (f) ソフトウェアで安定待ち時間(*1)以上ウェイトさせる
- (g) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（**A/D** 変換開始）
- (h) **AIN0** を **A/D** 変換(**A/D** 変換結果（データ 1）は **ADCR0** レジスタに格納される)
- (i) **AIN1** を **A/D** 変換(**A/D** 変換結果（データ 2）は **ADCR1** レジスタに格納される)
- (j) **AIN2** を **A/D** 変換(**A/D** 変換結果（データ 3）は **ADCR2** レジスタに格納される)
- (k) **AIN3** を **A/D** 変換(**A/D** 変換結果（データ 4）は **ADCR3** レジスタに格納される)
- (l) **INTAD** 割り込み発生
- (m) 上記（g）～（l）を繰り返し実行させる

【注】 *1: 安定待ち時間は **19.2.6.3(1)**を参照してください。

(5) スキャンモード／リピートモードでの A/D 変換例

ソフトウェアトリガ／スキャンモード／リピートモードでの A/D 変換例を図 19-18 に示します。図 19-18 では AIN3-0 を選択して変換した例を示します。

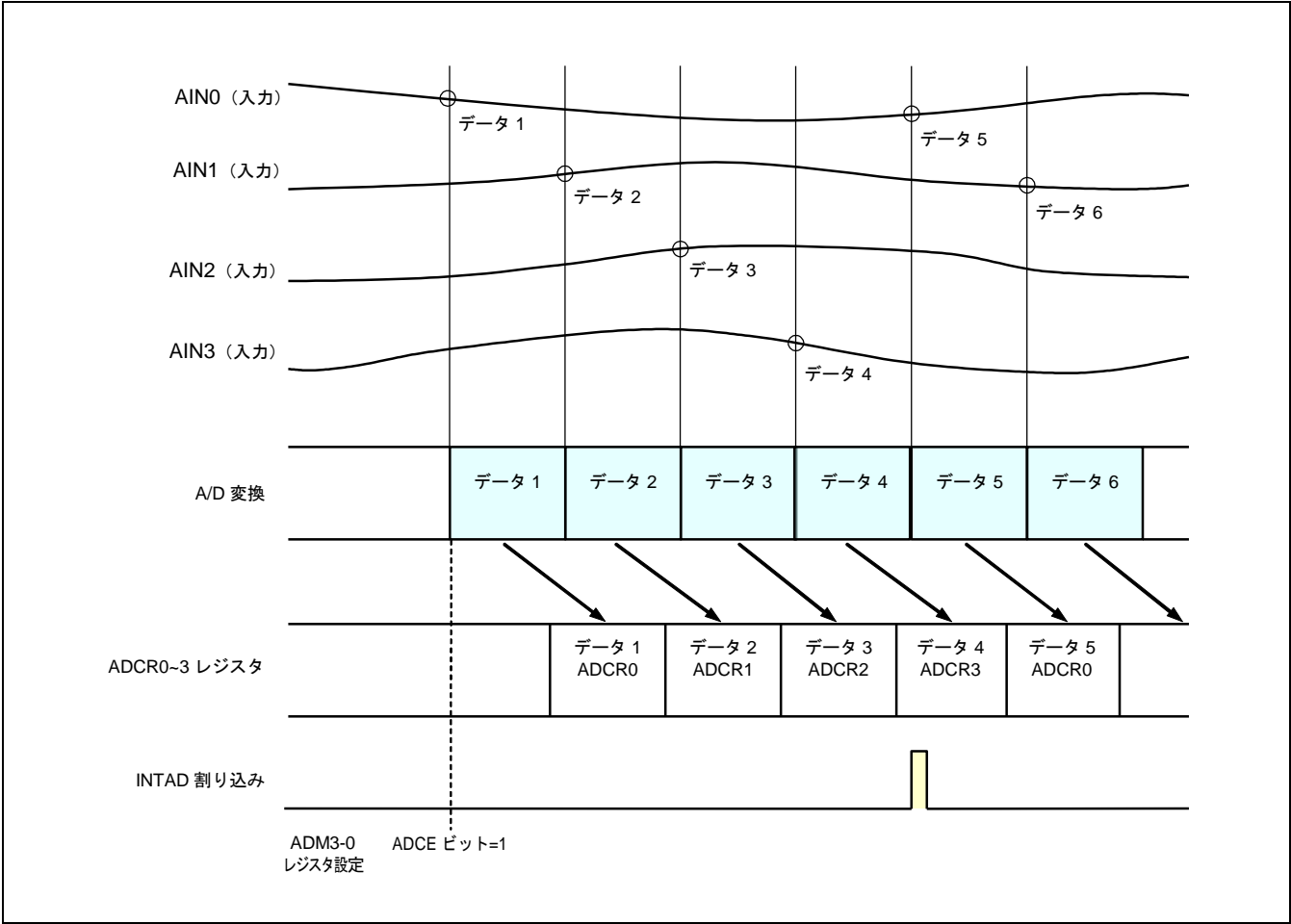


図 19-18 スキャンモード／リピートモードでの A/D 変換例

- (a) **ADM0** レジスタの **SRESB** ビットを **1** に設定し、ソフトウェアリセットを解除します。
- (b) リセット解除待ち（待ち時間は、のデアサート後アクセス禁止期間リセット解除待ち時間を参照してください）
- (c) **ADM3-0** レジスタで、ソフトウェアトリガ／スキャンモード／リピートモード、アナログ入力端子 **AIN3-0** を設定
- (d) **ADINT**、**ADSTS** レジスタで、割り込み信号をパルス、チャンネル **3** の割り込み出力を許可に設定
- (e) **ADM0** の **PWDWNB** ビット=**1** でノーマルモードに設定
- (f) ソフトウェアで安定待ち時間(*1)以上ウェイトさせる
- (g) **ADM0** の **ADCE** ビット=**1** により **A/D** 変換動作許可（**A/D** 変換開始）
- (h) **AIN0** を **A/D** 変換(**A/D** 変換結果（データ 1）は **ADCR0** レジスタに格納される)
- (i) **AIN1** を **A/D** 変換(**A/D** 変換結果（データ 2）は **ADCR1** レジスタに格納される)
- (j) **AIN2** を **A/D** 変換(**A/D** 変換結果（データ 3）は **ADCR2** レジスタに格納される)
- (k) **AIN3** を **A/D** 変換(**A/D** 変換結果（データ 4）は **ADCR3** レジスタに格納される)
- (l) **INTAD** 割り込み発生
- (m) 上記（h）～（l）を自動で繰り返し

【注】 *1: 安定待ち時間は **19.2.6.3(1)**を参照してください。

19.2.7 注意事項

19.2.7.1 タイミング制限

本 A/D コンバータブリッジには非同期対策回路に起因するタイミング間隔制限があり、表 19-12 に示す制限を満たす必要があります。この間隔未滿でアクセスした場合は ADCLK 側にレジスタ更新の通知が伝わりませんので、PCLK 側のレジスタ値が ADCLK 側のレジスタに反映されません。

表 19-12 タイミング間隔制限

条件	制限
同一のレジスタに連続して書き込みを実行する場合	(書き込みアクセス間隔) $\geq (6 \times \text{PCLK} + 6 \times \text{ADCLK})$
A/D 変換間隔	(A/D 変換期間 + IDLE 期間) $\geq (6 \times \text{PCLK} + 6 \times \text{ADCLK})$

【備考】A/D 変換期間と IDLE 期間は図 19-4 を参照してください。

19.2.7.2 A/D 変換を停止、再開した時の動作

ADM0 レジスタの ADCE ビットにローをライトすると A/D コンバータマクロは A/D 変換を停止します。

ADM0 レジスタの ADCE ビットに一度ローをライトした後に再度ハイをライトすると A/D 変換を再開します。停止指示をしても A/D 変換はすぐに停止しない場合があります。この停止動作を表 19-13 に示します。また、停止してから再開した時の A/D 変換動作についても表 19-13 に示します。

表 19-13 ADCE ビットで A/D 変換を停止、再開したときの動作

A/D変換モード					ADEC=0での停止指示時の 停止タイミング	再開動作
トリガ		動作 モード	変換 回数	バッファ 数		
モード	入力					
ソフト	-	セレクト	シングル	1	1回変換終了後に停止	ADM2レジスタで選択したチャネルを実行
				4	4回変換途中の停止指示があったA/D変換終了後に停止	同上
			リピート	1	1回変換終了後に停止	同上
				4	4回変換途中の停止指示タイミングのA/D変換終了後に停止	同上
		スキャン	シングル	1	スキャン途中の停止指示があったA/D変換終了後に停止	ADM2レジスタで選択した最小チャネルから実行
				4	(設定禁止)	(設定禁止)
			リピート	1	スキャン途中の停止指示があったA/D変換終了後に停止	ADM2レジスタで選択した最小チャネルから実行
				4	(設定禁止)	(設定禁止)

19.2.7.3 ADIVC レジスタの設定

JL-086A では、ADIVC レジスタ(19.2.5.1(7)をご参照下さい)を 0x0000_0010(16 分周)以上に設定し、4MHz 以下でご使用下さい。