

第6章 SCU(System Control Unit)

6.1 機能・特徴

- ① CPU から制御可能な APB バスインターフェース(スレーブ)を持ち、各種レジスタの内容を読み書きすることができます。
- ② 1 チップシステムとしての出力信号(アドレス出力)をリセット時に入力極性とし、入力した信号をフリップフロップでラッチし動作モードを決定する機能を持ちます(リセットラッチ機能)。
- ③ システム制御用のレジスタを有します。
②の動作モード or 各種レジスタの設定により、動作モード切り替え信号、クロック停止制御信号、クロック周波数切り替え信号、ソフトリセット信号、リマップ機能、PClex エンドポイント割り込み機能、および顧客バージョン ID を持ちます。
- ④ 1 チップのアドレス信号に対してリセット時に双方向バッファの制御を行う端子を有します。

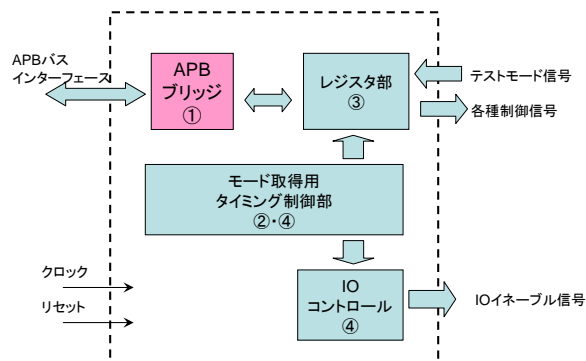


図 6-1 SCU 機能外略図

6.2 レジスタ概要

テストを含む動作モード、その他レジスタをシステム制御レジスタとして以下に記載します。
インターフェースとしては **APB32bit-I/F** にて実装します。

6.2.1 レジスタマップ

レジスタ空間としては、以下の **4Kbyte** 領域の割り当てとなります。
レジスタ空間：**4Kbyte System_REG** (**EFF8_6000~EFF8_7FFFH**)
また、**6.2.2** 章以降のアドレスオフセット値は **JL-086A** では以下の値とします。
Offset 値 (Base アドレス) : EFF8_6000H

削除: PMU モジュールのシステムコントロール空間として、**4Kbyte** のレジスタ空間を **R.I.** モジュールで割り当てています。。

6.2.2 レジスター一覧

表 6-1 レジスター一覧(1/2)

アドレス	レジスタ名	機能	R/W	操作可能 ビット単位	初期値
EFF8_6000H	SSPRO7_DVICE_ID	デバイス ID コードレジスタ	R	32bit	固定値 (0000_086AH)
EFF8_6004H	SSPRO7_SOFT_RST	ソフトリセットレジスタ	R/W	1bit	0000_0001H
EFF8_6008H	SSPRO7_CPU_HALT	PClex ブート制御レジスタ PClex_Endpoint レジスタとして"1H"を書き 込むことで、CPUSS がブート動作を開始しま す。	R/W	1bit	0000_0001H ※ただし、PClex ブート時は 0000_0000H
EFF8_600CH	SSPRO7_CLK_EN	クロック制御用レジスタ	R/W	7bit	0000_007CH
EFF8_6010H	SSPRO7_CLK_SEL	クロック切り替えレジスタ I2C,DDR3,出力バスクロック制御用	R/W	6bit	0000_0001H
EFF8_6014H	SSPRO7_MODE	モード確認用レジスタ bit3-0 : 動作モード設定 bit5-4 : VECTOR 切り替え bit6 : CPU クロック周波数切り替え bit8-7 : OSC バッファモード切り替え	R	9bit	リセット時の端子 状態に準ずる
EFF8_6018H	SSPRO7_REMAP	リマップ機能制御レジスタ bit0 : DDR リマップ bit1 : AXI-RAM リマップ ※上記は排他制御となります。 bit1 は PClex ブートモード時のみ有効	R/W	2bit	リセット時の端子 状態に準ずる
EFF8_601CH	SSPRO7_PCIE_INT	PClex エンドポイント割り込みレジスタ	R/W	4bit	0000_0000H
EFF8_6020H	SSPRO7_PCIE_INTMSK	PClex エンドポイント割り込みマスクレジ スタ	R/W	4bit	0000_000FH
EFF8_6024H	SSPRO7_PCIE_INTSEL	PClex 割り込み UDL-IF 選択レジスタ	R/W	5bit	0000_0000H
EFF8_6028H	SSPRO7_WDT_MODE	UDL-WDT リセット制御レジスタ	R/W	1bit	0000_0000H
EFF8_602CH	SSPRO7_5TBUF_EN	5V トレラントバッファースタンバイ制御レ ジスタ	R/W	4bit	0000_000FH
EFF8_6030H	Reserved	Reserved ※初期値のままご使用ください	R/W	-	0000_0000H
EFF8_6034H	SSPRO7_NMI_SET	ノン・マスカブル割り込み設定レジスタ	R/W	1bit	0000_0000H
EFF8_6038H	SSPRO7_INTSYS1_EN	周辺回路からの割り込み入力同期/非同期設 定 1 レジスタ	R/W	32bit	0000_0000H
EFF8_603CH	SSPRO7_INTSYS2_EN	周辺回路からの割り込み入力同期/非同期設 定 2 レジスタ	R/W	32bit	0000_0000H
EFF8_6040H	SSPRO7_VICFSYN_EN	CPU-SS と割り込みコントローラ間の同期・ 非同期設定レジスタ	R/W	1bit	0000_0000H
EFF8_6044H	SSPRO7_PCIE_CLKSEL	PClex クロック選択レジスタ	R/W	1bit	0000_0000H
EFF8_6048H	SSPRO7_RESET_STATUS	リセットステータスレジスタ ※ステータスリードでレジスタの値は 0H に 初期化する。	R	2bit	0000_0000H

削除:

削除:

削除: PClex ブート時は初期値"0H"となる。

書式変更: フォント: 太字 (なし)

書式変更: 行間: 最小値 0 pt

書式変更: フォント: 太字 (なし)

削除: 03

削除: リセット時。
000H。
リセット解除後。

削除: 順ずる

書式変更: フォント: 太字 (なし)

削除: 順

削除: 0H

削除:

削除:

削除: -

書式変更: フォント: 太字 (なし),
フォントの色: 赤

削除: FFFF_FFFF

削除: FFFF_FFFF

削除: 1H

表 6-2 レジスタ一覧(2/2)

アドレス	レジスタ名	機能	R/W	操作可能 ビット単位	初期値
EFF8_604CH	SSPRO7_UDLCNT	UDL(Network)の PRGSEL を制御するためのレジスタ "0" : UDL(Network)の PRGSEL = "0" "1" : UDL(Network)の PRGSEL = "1"	R/W	1bit	0000 0000H
EFF8_6050H	Reserved	Reserved ※初期値のままご使用ください	R/W		0000 0000H
EFF8_6054H	SSPRO7_CPUSST_TRIGINT	CTI モジュールからのクロストリガ割り込み要因レジスタ "1" : クロストリガ割り込み発生 "0" : 割り込みなし (リードクリア)	R	1bit	0000 0000H
EFF8_6058H	SSPRO7_GBETHER_CONT	GbEther モード設定レジスタ Bit12 : RGMII 転送クロック制御ビット Bit8 : RMII 転送モード設定ビット Bit5-4 : 通信速度設定ビット Bit3-0 : GbEther 通信モード設定ビット	R/W	8bit	0000 0000H
EFF8_605CH	SSPRO7_UDLINT_CONT	PCIEX に対する UDL 割り込み選択レジスタ Bit15-12 : PCIE_INTD_EP 出力選択 Bit11-8 : PCIE_INTC_EP 出力選択 Bit7-4 : PCIE_INTB_EP 出力選択 Bit3-0 : PCIE_INTA_EP 出力選択	R/W	16bit	0000 FFFFH
EFF8_6060H	SSPRO7_UDLINT_STATUS	UDL 割り込み要因レジスタ リードクリア	R	8bit	0000 0000H

表の書式変更

削除: サーボモジュール

書式変更: フォント: 太字

書式変更: インデント: 左: 0 mm, ぶら下げインデント: 3 字, 最初の行: -3 字

削除: CNT_

削除: 信号

削除: に

削除: を出力

削除: CNT_

削除: 信号に

削除: を出力

削除: リザーブレジスタ

書式変更: フォント: 太字

削除: SSPRO7_RESERVE

削除: 4bit

書式変更: フォントの色: 赤

6.3 レジスタ機能説明

本モジュールに搭載するレジスタ群の詳細説明を記載します。

6.3.1 SSPRO7_DVICE_ID (JL-086A 用デバイス ID コードレジスタ)

JL-086A を識別するデバイス ID コードを示すレジスタです。

開発時に設定した固定値を読み出すことができます。

削除: (SS-Pro7)

削除: (SS-Pro7)

(R)			
31			0
レジスタ名	SSPRO7_DVICE_ID		アドレス Base+00H 固定値 0000_086AH
ビット位置	ビット名	意 味	初期値
31:0	SSPRO7_DVICE_ID	JL-086A 用デバイス ID コード	固定値 0000_086AH

削除: (SS-Pro7)

図 6-2 JL-086A 用デバイス ID コード レジスタ (SSPRO7_DVICE_ID)

削除:

削除: (SS-Pro7)

6.3.2 SSPRO7_SOFT_RST (ソフトリセットレジスタ)

CPU-SS 用リセット制御レジスタです。

RESETSW (CPU-SS リセットレジスタ) は、初期値“1”で“0”書き込みだけが有効なレジスタです。

削除: 本レジスタの値は、“RESETSW_N”信号に出力します。。

書式変更: インデント : 左 2.02 字,
間隔 段落後 : 0 pt

(R)		(R/W)	
31			1 0
レジスタ名	Reserve	RESETSW	アドレス Base+04H 初期値 0000_0001H
ビット位置	ビット名	意 味	初期値
31:1	Reserve	リードオンリー リード時 ALL“0”を読み出す。	固定値 ALL“0”
0	RESETSW	UDL を除く搭載マクロ用のソフトリセットレジスタ。 書き込みは、“0”のみ有効、内部バスクロックで 9 クロック 間“0”を保持したあと、“1”に遷移する。 リード時は常に“1”をリードする。	“1”

削除: ユニット

削除: RESETSW_N 端子を ACLK

図 6-3 ソフトリセットレジスタ (SSPRO7_SOFT_RST)

削除:

6.3.3 SSPRO7_CPU_HALT (PClex ブート制御レジスタ)

PClex ブートモードにおける、CPU のブート開始制御レジスタです。その他のブートモードにおいては、初期値“1H”となり、PClex ブートモード時は内部バスクロックの立ち上がりで“0H”となります。“1B”のみ書き込み可能なレジスタで、“0B”書き込みは無視します。

削除: ACLK

書式変更: フォント : 太字 (なし)

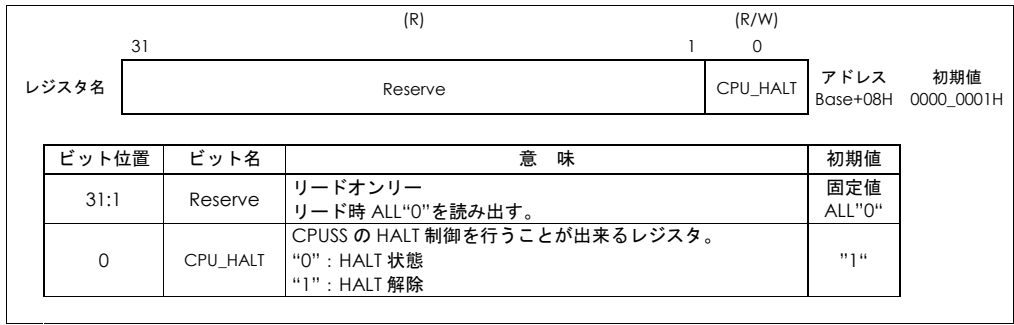


図 6-4 PClex ブート制御レジスタ (SSPRO7_CPU_HALT)

削除:

削除: _

6.3.4 SSPRO7 CLK EN (クロック制御用レジスタ)

JL-086A クロック制御用レジスタです。

下記記載の 7 モジュールのクロックを制御することが可能なレジスタです。

"0"書き込みでクロック供給、"1"書き込みでクロック停止の機能を持ちます。

削除: (SS-Pro7)

	(R)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)
	31	8	7	6	5	4	3	2	1	0
レジスタ名	Reserve		Reserve	BUSCLK_OUT	USB	DDR3	GbEther	ADC	UDL Servo	UDL Net

アドレス 初期値
Base+0CH 0000_007CH

ビット位置	ビット名	意 味	初期値
31:8	Reserve	リードオンリー リード時 ALL"0"を読み出す。	固定値 ALL"0"
7	Reserve	初期値("0")のまま御使用ください。 ※P_Clex パワーダウンモードを制御するビットです。 "1"を書き込むことで、パワーダウン不可となります。	"0"
6	BUSCLK_OUT	外部端子 BUSCLK に供給するクロック制御レジスタ "0" : 供給 "1" : 停止	"1"
5	USB	USB に供給するクロック制御レジスタ "0" : 供給 "1" : 停止	"1"
4	DDR3	DDR3 に供給するクロック制御レジスタ "0" : 供給 "1" : 停止	"1"
3	GbEther	GbEther に供給するクロック制御レジスタ "0" : 供給 "1" : 停止	"1"
2	ADC	ADC に供給するクロック制御レジスタ "0" : 供給 "1" : 停止	"1"
1	UDL Servo	UDL サーボ機能に供給するクロック制御レジスタ "0" : 供給 "1" : 停止	"0"
0	UDL Net	UDL ネットワーク機能に供給するクロック制御レジスタ "0" : 供給 "1" : 停止	"0"

削除: 対象モジュール一覧

①BUSCLK_OUT_n : 初期値 => 停止

(“1”) 外部信号“CLKG_OUT_N”に出力。

②USB .. : 初期値 => 停止

(“1”) 外部信号“CLKG_USB_N”に出力。

③DDR3...:初期値⇒停止("1")外

部信号“DDRCK_RST_N”と。

外部信号“MSSEL_DDR3”に出力。

④GbEther : 初期値 => 停止

(“1”) 外部信号“CLKG_GBE_N”に出力。

⑤ADC : 初期値 => 停止

(“1”) 外部信号“CLKG_ADC_N”に出力。

⑥UDL-Servo : 初期値 => 供給

②UDL Network 初期値を供給

⑦UDL-Network..: 初期値 => 供給 ("0") 外部信号"CLKC_UDL_NF11"に出力

(“0”) 外部信号“CLKG_UDL_N[1]”に出力。

書式変更： フォント ： 太字

表の書式変更

書式變更：中央揃え

書式変更: インゴニト: 寸: 0 mm

書式変更: インデント : 左 : 0 mm

削除: 7

書式変更: フォント : 10 pt

書式変更: フォント : 9 pt フォント

書式変更: フォント: 9 pt, フォント
の色: 赤

書式変更: フォント : 9 pt

書式変更: フォント: 10 pt フォント

書式変更: フォント : 10 pt, フォント
の色 : 赤

判定: OUT

刪除: _out

消除:

図 6-5 クロック制御用レジスタ (SSPRO7_CLK_EN)

6.3.5 SS-PRO7_CLK_SEL (クロック切り替えレジスタ)

JL-086A クロック切り替えレジスタです。

下記記載の 3 箇所のクロックを切り替え制御することが可能なレジスタです。

		(R)	(R/W)	(R/W)	(R/W)		
		31	6	5	4	3	2
		1	0				
レジスタ名		Reserve		OUT_CKSEL	DDR3_CKSEL	I2C_CKSEL	初期値
				Base+10H	0000_0001H		
ビット位置	ビット名	意 味					初期値
31:6	Reserve	リードオンリー リード時 ALL“0”を読み出す。					固定値 ALL“0”
5:4	OUT_CKSEL	外部バスクロック出力(BUSCLK)周波数モード変更レジスタ “00”：モード 1 BUSCLK(125MHz)クロック選択 “01”：モード 2 BUSCLK/2 クロック選択 “10”：モード 3 BUSCLK/4 クロック選択 “11”：モード 4 BUSCLK/8 クロック選択					“00”
3:2	DDR3_CKSEL	DDR3 モード変更レジスタ “00”：モード 1 転送速度 MIN(600Mbps) “01”：モード 2 転送速度 MID(800Mbps) “10”：モード 3 転送速度 MAX(1200Mbps) “11”：モード 4 使用禁止					“00”
1:0	I2C_CKSEL	I2C クロック周波数切り替えレジスタ “00”：モード 1 転送速度 MIN(周波数：8.57MHz) “01”：モード 2 転送速度 MID(周波数：9.23MHz) “10”：モード 3 転送速度 MAX(周波数：9.6MHz) “11”：モード 4 使用禁止					“01”

図 6-6 クロック切り替えレジスタ (SS-PRO7_CLK_SEL)

削除: (SS-Pro7)

削除:

対象モジュール一覧。

①DDR3 : 2 種類のクロック切り替え機能と 3 種類の DDR3 動作モードを持ちます。

モード 1: DDR3 転送速度 MIN (600Mbps)。

モード 2: DDR3 転送速度 MID (800Mbps)。

モード 3: DDR3 転送速度 MAX (1.2Gbps)。

モード 4: 使用禁止 (モード 1 と同等の値をデコードし外部信号に出力します。)

外部信号“DDRCK_SEL[1:0]”に出力します。

②I2C : 3 種類のクロック切り替え機能を持ちます。

モード 1: I2C 転送速度 MIN (357Kbps) クロック周波数: 8.57MHz

モード 2: I2C 転送速度 MIDMIN (384Kbps) クロック周波数: 9.23MHz

モード 3: I2C 転送速度 MAXMIN (400Kbps) クロック周波数: 9.6MHz

モード 4: 使用禁止 (モード 2 と同等の値をデコードし外部信号に出力します。)

外部信号“I2CCK_SEL[1:0]”に出力します。

③クロック出力: 4 種類のクロック切り替え機能を持ちます。

モード 1: BUS クロック周波数① BUSCLK (125MHz)。

モード 2: BUS クロック周波数② BUSCLK / 2。

モード 3: BUS クロック周波数③ BUSCLK / 4。

モード 4: BUS クロック周波数④ BUSCLK / 8。

外部信号“OUTCK_SEL[1:0]”に出力します。

書式変更: フォント: 太字

書式変更: フォント: 太字

書式変更

書式変更: フォント: 太字 (なし), 斜体 (なし)

削除:

削除: (Reserve)

削除: 357Kbps

削除:

削除: 384Kbps

削除: 400Kbps

書式変更: フォント: 太字 (なし), 斜体 (なし)

削除:

削除: (Reserve)

削除:

6.3.6 SS-PRO7_MODE (モード確認用レジスタ)

JL-086A 動作モードモニタ用のレジスタです。リセットラッチ機能でラッチしたモードの確認が出来ます。
ただし、外部端子 TMODE1(動作モード設定端子 1)のみリセットラッチ機能を有していませんので、端子状態に応じて遷移します。

<div>31(R)98765430</div>														
レジスタ名	Reserve				OSC MODESEL	CPU CLKSEL	VECTOR	MODE	アドレス Base+14H		初期値 下記に記載			
ビット位置	ビット名	意 味							値					
31:9	Reserve	リードオンリー リード時 ALL"0"を読み出す。							固定値 ALL"0"					
8:7	OSC MODESEL	OSC バッファ切替 "00" : XTOFF (OSC バッファ未使用設定) XT2、USB、UCLK、XT2からのクロック供給モード ※25MHz、30MHzともに、外部で生成したクロックを供給してください。 "01" : X25MD (発振子利用モード 1) X25_OSC 使用 : 25MHz クリスタル発振子使用 X30_OSC 未使用 : 外部で生成したクロックを USB、UCLK、XT2 から供給してください。 "10" : X30MD (発振子利用モード 2) X25_OSC 未使用 : 外部で生成したクロックを XT2 から供給してください。 X30_OSC 使用 : 30MHz クリスタル発振子使用 "11" : XTON (発振子利用モード 3) X25_OSC 使用 : 25MHz クリスタル発振子使用 X30_OSC 使用 : 30MHz クリスタル発振子使用							リセット 時"0" リセット 解除後端 子状態					
6	CPU CLKSEL	CPU クロック周波数切替 "0" : FRQ250 (CPU 動作周波数 250MHz 動作設定) "1" : FRQ500 (CPU 動作周波数 500MHz 動作設定)							リセット 時"0" リセット 解除後端 子状態					
5:4	VECTOR	VECTOR 切替 "00" : LOWVEC ブート (パラレル ROM ブート) "01" : HIVEC ブート (PClex ブート) "10" : HIVEC ブート (シリアル ROM ブート) "11" : HIVEC ブート (内蔵 ROM ブート)							リセット 時"0" リセット 解除後端 子状態					
3:0	MODE	MODE 切替 Bit0 は固定値(0) Bit3-1 "000" : VNDMD ルネサステストモード "001" : RSV リザーブ "010" : RSV リザーブ "011" : JMD3 シミュレーションモード "100" : TMD4 シミュレーションモード "101" : DBGMD 実機デバッグモード "110" : MDBGMD 実機デバッグモード "111" : NORMAL 通常動作モード							リセット 時"0" リセット 解除後端 子状態 bit0 は常 に"0"					

図 6-7 モード確認用レジスタ (SS-PRO7_MODE)

- 注 1. 端子状態(TMODE8-7)の詳細は、4.3 動作モード仕様 表 4-4 を参照してください。
 注 2. 端子状態(TMODE6)の詳細は、4.3 動作モード仕様 表 4-3 を参照してください。
 注 3. 端子状態(TMODE5-4)の詳細は、4.3 動作モード仕様 表 4-2 を参照してください。
 注 4. 端子状態(TMODE3-1)の詳細は、4.3 動作モード仕様 表 4-1 を参照してください。

- 削除: (SS-Pro7)
 書式変更: 最初の行 : 0 字
 削除: —
 削除: .
 削除: .
 削除: .
 書式変更: フォント : 太字 (なし)
 書式変更: フォント : 太字
 削除: .
 ※ACLK で同期化する前の信号を TEST[8:1] として UDL に出力します。 .
 ACLK 同期化前の信号 (R_SS-PRO7_RESET_LATCH で生成) を以下の端子に出力する。 .
 Bit8 : 端子 OSC_CNT30M に出力。 .
 削除: .
 表の書式変更
 削除: —
 削除: モード設定
 削除: (OSC バッファ未使用設定)
 書式変更
 削除: .
 削除: (X25_OSC 使用,X30_OSC 未使用)
 書式変更: フォント : 太字, 上付き
 削除: (X25_OSC 未使用,X30_OSC 使用)
 削除: (発振子利用モード)
 削除: 設定
 削除: モード
 削除: リ
 削除: え設定
 削除: リ
 削除: え端子
 削除: VNDMD
 削除: RSV
 削除: RSV
 削除: TMD3
 削除:
 削除:
 削除:
 削除: DBGMD
 削除: MDBGMD
 削除: NORMAL
 削除:
 書式変更: フォント : 9 pt
 表の書式変更
 書式変更: 注釈
 書式変更: フォント : 9 pt

6.3.7 SSPRO7_REMAP (リマップ機能制御レジスタ)

リマップ機能制御レジスタです。
DDR3 領域、AXI-RAM 領域をミラー領域としてブート領域に割り当てることが可能なレジスタです。
ただし上記領域を同時に制御することは出来ません(排他制御)。

31		(R)	2	(R)	1	(R/W)	0	アドレス Base+18H	初期値 下記に記載
レジスタ名		Reserve		AXI-RAM REMAP		DDR_REMAP			
ビット位置	ビット名	意 味						初期値	
31 : 2	Reserve	リードオンリー リード時 ALL“0”を読み出す。						固定値 ALL“0”	
1	AXI-RAM REMAP	リードオンリー AXI-RAM 領域のリマップ状態モニタレジスタ。 PClex ブートモード時、“1”を読み出す。 その他ブートモード時、“0”を読み出す。 “1” : AXI-RAM のリマップ有効 AXI-RAM の 256KB 空間をミラー領域としてハイベクタ 領域に配置する。 “0” : AXI-RAM のリマップ無効						リセット 時の端子 状態に準 ずる※1	
0	DDR_REMA P	DDR3 領域のリマップ制御レジスタ。 “1” : DDR3 のリマップ機能有効 DDR3 のメモリ領域の 128MB 空間をミラー領域として CSZO 領域に配置する。 “0” : DDR3 のリマップ機能無効 ※ただし、PClex ブート時は書き込みを無視する。						“0”	

図 6-8 リマップ機能制御レジスタ (SSPRO7_REMAP)

削除: ①DDR3 領域のリマップ制御 (ReadWrite 可能) .
CPU-SS からのレジスタ制御で切り替えが可能です。 .
ただし、PClex ブートモード時はリマップ不可です。 .
レジスタアクセスで、“1”を書き込むことでリマップ機能が有効となります。 .
PClex ブートモード時は“1”書き込みは無視します。 .
・ Bit0 を端子 BUSSS_REMAP1 に出力します。 .
・
②AXI-RAM 領域のリマップ制御 (ReadOnly) .
テストモード制御にて有効となります。 .
CPU-SS からのレジスタ書き込みは不可です。 .
PClex ブートモード時 (TEST5-4=“01”) に“1”となります。 .
・ Bit1 を端子 BUSSS_REMAP2 に出力します。 .
・
表の書式変更
削除: 制御
削除: (TEST[5:4]=“ 01”)
削除: で
削除: は
削除: で決定
書式変更: フォント : 太字, フォントの色 : 赤, 上付き
削除:

注 1. 端子状態(TMODE5-4)の詳細は、4.3 動作モード仕様 表 4-2 を参照してください。

6.3.8 SSPRO7_PCIE_INT (PCIex エンドポイント割り込みレジスタ)

PCIex のエンドポイント機能である、ルートコンプレックスに対する割り込み発行機能を実現します。
本レジスタの各ビットに"1"を書き込むことでエンドポイント設定の PCIex はルート側の PCIex
に対し割り込みを発行することが出来ます。

各割り込みは、6.3.9 SSPRO7_PCIE_INT_MASK レジスタにてマスク処理を行うことが出来ます。

削除: .

削除: .

Bit0 : 端子 PCIE_INTA_EP に出力 .
Bit1 : 端子 PCIE_INTB_EP に出力 .
Bit2 : 端子 PCIE_INTC_EP に出力 .
Bit3 : 端子 PCIE_INTD_EP に出力 .

	31	(R)	4	(R/W)	3	(R/W)	2	(R/W)	1	(R/W)	0	(R/W)		
レジスタ名	Reserve			PCIE_INT D_EP	PCIE_INT C_EP	PCIE_INT B_EP	PCIE_INT A_EP	アドレス Base+1CH		初期値 0000_0000H				

ビット位置	ビット名	意 味	初期値
31 : 4	Reserve	リードオンリー リード時 ALL“0”を読み出す。	固定値 ALL“0”
3	PCIE_INTD_EP	PCIex エンドポイント用割り込み発行レジスタ (INTD_EP) “1” : 割り込み発行(“0”→“1”変化時のみ割り込み信号を生成) “0” : 割り込みレジスタクリア	“0”
2	PCIE_INTC_EP	PCIex エンドポイント用割り込み発行レジスタ (INTC_EP) “1” : 割り込み発行(“0”→“1”変化時のみ割り込み信号を生成) “0” : 割り込みレジスタクリア	“0”
1	PCIE_INTB_EP	PCIex エンドポイント用割り込み発行レジスタ (INTB_EP) “1” : 割り込み発行(“0”→“1”変化時のみ割り込み信号を生成) “0” : 割り込みレジスタクリア	“0”
0	PCIE_INTA_EP	PCIex エンドポイント用割り込み発行レジスタ (INTA_EP) “1” : 割り込み発行(“0”→“1”変化時のみ割り込み信号を生成) “0” : 割り込みレジスタクリア	“0”

図 6-9 PCIex エンドポイント割り込みレジスタ (SSPRO7_PCIE_INT)

削除:

6.3.9 SPRO7_PCIE_INTMSK (PClex エンドポイント割り込みマスクレジスタ)

本レジスタの各ビットに"1"を書き込むことで各割り込みは、6.3.8 SPRO7_PCIE_INT レジスタにて設定した割り込みをマスク処理することが出来ます。

削除:
削除: .

レジスタ名	31	(R)	4	(R/W)	3	(R/W)	2	(R/W)	1	(R/W)	0	(R/W)	アドレス Base+20H	初期値 0000_000FH
	Reserve			PCIE_INT D_MASK	PCIE_INT C_MASK	PCIE_INTB _MASK	PCIE_INTA _MASK							

ビット位置	ビット名	意 味	初期値
31 : 4	Reserve	リードオンリー リード時 ALL“0”を読み出す。	固定値 ALL“0”
3	PCIE_INTD_ MASK	PClex エンドポイント用割り込みマスクレジスタ (INTD_MASK) “1” : 割り込みマスク “0” : 割り込み有効	“1”
2	PCIE_INTC_ MASK	PClex エンドポイント用割り込みマスクレジスタ (INTC_MASK) “1” : 割り込みマスク “0” : 割り込み有効	“1”
1	PCIE_INTB_ MASK	PClex エンドポイント用割り込みマスクレジスタ (INTB_MASK) “1” : 割り込みマスク “0” : 割り込み有効	“1”
0	PCIE_INTA _MASK	PClex エンドポイント用割り込みマスクレジスタ (INTA_MASK) “1” : 割り込みマスク “0” : 割り込み有効	“1”

図 6-10 PClex エンドポイント割り込みマスクレジスタ (SPRO7_PCIE_INTMSK)

削除:

6.3.10 SSPRO7_PCIE_INTSEL (PClex 割り込みの UDL インターフェース選択レジスタ)

本レジスタの値により、モジュールに入力した PClex の割り込み信号 8 本を選択し、UDL(Servo)の内部入力信号 PCIE_INTA に入力します。また、ビット 4 の設定により、パルス or レベルの選択が出来ます。

レジスタ名	31	(R)	6	(R/W)	5	(R/W)	4	(R)	3	(R/W)	2	(R/W)	0	アドレス Base+24H	初期値 0000_0000H
	Reserve				INT_MODE		Reserve		PCIE_INTSEL						
ビット位置	ビット名	意 味												初期値	
31:6	Reserve	リードオンリー リード時 ALL"0"を読み出す。												固定値 ALL"0"	
5:4	INT_MODE	割り込み信号タイミング制御レジスタ。 "00" : 内部バスクロックの 8 クロック幅での出力 "10" : 内部バスクロックの 3 クロック幅での出力 "x1" : 割り込み信号スルー出力												"00"	
3	Reserve	リードオンリー リード時"0"を読み出す。												固定値 "0"	
2:0	PCIE_INTSEL	PClex 割り込み選択レジスタ "000" : PCIE_TLPEND_INT の接続 "001" : PCIEX_GPO_0 の接続 "010" : PCIE_INTA_RC の接続 "011" : PCIE_INTB_RC の接続 "100" : PCIE_INTC_RC の接続 "101" : PCIE_INTD_RC の接続 "110" : PCIE_INTMSI_RC の接続 "111" : PCIE_MSG_INT_RC の接続												"000"	

図 6-11 PClex 割り込みの UDL インターフェースレジスタ (SSPRO7_PCIE_INTSEL)

書式変更: フォント : 太字

書式変更: フォント : 太字

書式変更: フォント : 太字

削除: .
PCIE_UDL_INT 端子(PCle_A)に出

削除: 出力

削除: .

削除: .

削除: ACLK

書式変更: フォント : 9 pt

削除: ACLK

書式変更: フォント : 9 pt

削除: .
端子 PCIE_UDL_INT(PCle_A)への接続 .

削除:

6.3.11 SSPRO7_WDT_MODE (UDL-WDT リセット制御レジスタ)

UDL からの WDT エラーをトリガによるソフトリセット動作制御を選択するレジスタです。

削除: -

削除: R.I.回路の

		(R)	(R/W)		
		31	1	0	
レジスタ名		Reserve		WDT_MODE	アドレス Base+28H 初期値 0000_0000H
ビット位置	ビット名	意 味		初期値	
31 : 1	Reserve	リードオンリー リード時 ALL"0"を読み出す。		固定値 ALL"0"	
0	WDT_MODE	UDL WDT <u>エラートリガ</u> のリセット制御選択レジスタ "1" : UDL WDT <u>エラートリガ</u> リセット有効 "0" : <u>UDL WDT エラートリガ</u> リセット無効 (default)		"0"	

削除: -

削除: 端子からの R.I.回路の

削除: -

削除: 端子

削除: 設定

削除:

書式変更: 両端揃え

書式変更: 標準, 左揃え, 行間 : 1 行

図 6-12 UDL-WDT リセット制御レジスタ (SSPRO7_WDT_MODE)

6.3.12 SSPRO7_5TBUF_EN (5V トレラントバッファースタンバイ制御レジスタ)

5V トレラントバッファのスタンバイ制御を実施出来るレジスタです。

外部デバイス未接続時に、LSI 内部に供給する信号レベルを制御するためのレジスタです。

各レジスタ設定値が“1(スタンバイ)”の時、該当するUDL(Servo)の内部入力信号を“1”に固定^{※1}し、不定入力を防止する機能です。

書式変更: フォント: (英) Century,
(日) MS Pゴシック

削除: .

書式変更: フォント: 太字

書式変更: フォント: 太字

書式変更: フォント: 太字

書式変更: フォント: 太字

書式変更: フォント: 太字, フォント
の色: 赤, 上付き

削除: 以下の端子にそれぞれレジスタのビットを出力します。 .

BUF5T_EN[0] : OV_CNT (ビット0) .
BUF5T_EN[1] : OC1_CNT (ビット1)
BUF5T_EN[2] : OC2_CNT (ビット2)
BUF5T_EN[3] : SYNCL_CNT (ビット3)

削除:

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字 (なし)

レジスタ名	31	4	3	2	1	0	アドレス	初期値
	(R)	(R/W)	(R/W)	(R/W)	(R/W)	(R/W)	Base+2CH	0000_000FH
	Reserve	SYNCL_CNT	OC2_CNT	OC1_CNT	OV_CNT			
ビット位置	ビット名	意 味					初期値	
31 : 4	Reserve	リードオンリー リード時 ALL"0"を読み出す。					固定値 ALL"0"	
3	SYNCL_CNT	SYNCL 端子スタンバイ制御レジスタ "1": スタンバイ "0": 通常					"1"	
2	OC2_CNT	OC_2 端子スタンバイ制御レジスタ "1": スタンバイ "0": 通常					"1"	
1	OC1_CNT	OC_1 端子スタンバイ制御レジスタ "1": スタンバイ "0": 通常					"1"	
0	OV_CNT	OV 端子スタンバイ制御レジスタ "1": スタンバイ "0": 通常					"1"	

図 6-13 5V トレラントバッファースタンバイ制御レジスタ (SSPRO7_5TBUF_EN)

注 1

レジスタ設定値(BUF5T_EN[3:0])と I/O バッファの内部出力信号(Y1)の OR を UDL(Servo)の内部入力信号(SYNCL /OC 2/OC 1/OV)に入力します。

6.3.13 SSPRO7_NMI_SET (CPUSS-FIQ(ノン・マスカブル割り込み)設定レジスタ)

CPUSS の FIQ (ノン・マスカブル割り込み) に対するマスク制御レジスタです。

		(R)	1	(R/W)	0	アドレス Base+34H	初期値 0000_0000H
レジスタ名		Reserve		FIQ_CNT			
ビット位置	ビット名	意 味				初期値	
31 : 1	Reserve	リードオンリー リード時 ALL"0"を読み出す。				固定値 ALL"0"	
0	FIQ_CNT	CPUSS の FIQ(ノン・マスカブル割り込み)に対する マスク制御レジスタ "0" : FIQ マスク可能 "1" : FIQ マスク不可				"0"	

図 6-14 CPUSS-FIQ(ノン・マスカブル割り込み)設定レジスタ (SSPRO7_NMI_SET)

削除: レジスタ設定値を CPUSS_CFGNMFI
の端子に出力します。 .

6.3.14 SSPRO7_INTSYS1_EN (周辺回路からの割り込み入力同期・非同期設定 1 レジスタ)

CPUSS の割り込みコントローラに対する設定レジスタです。

64bit 割り込み入力端子に対する同期・非同期設定レジスタ (下位 32bit) です。

		(R/W)	31	0	アドレス Base+38H	初期値 0000_0000H
レジスタ名	INTSYS1_EN					
ビット位置	ビット名	意 味				初期値
31:0	INTSYS1_EN	周辺回路からの割り込み入力同期・非同期設定 ビット毎に制御可能 "0"：非同期 "1"：同期				ALL"0"

図 6-15 周辺回路からの割り込み入力同期・非同期設定 1 レジスタ (SSPRO7_INTSYS1_EN)

削除:

削除: .

削除: .

改ページ

削除: .
レジスタ値は以下の端子に出力します。 .
端子 : CPUSS_INTSYNCEN[31:0]

削除: FFFF_FFFF

削除: 1

6.3.15 SSPRO7_INTSYS2_EN (周辺回路からの割り込み入力同期・非同期設定 2 レジスタ)

CPUSS の割り込みコントローラに対する設定レジスタです。

64bit 割り込み入力端子に対する同期・非同期設定レジスタ (上位 32bit) です。

		(R/W)	31	0	アドレス Base+3CH	初期値 0000_0000H
レジスタ名	INTSYS2_EN					
ビット位置	ビット名	意 味				初期値
31:0	INTSYS2_EN	周辺回路からの割り込み入力同期・非同期設定 ビット毎に制御可能 “0”：非同期 “1”：同期				ALL“0”

図 6-16 周辺回路からの割り込み入力同期・非同期設定 2 レジスタ (SSPRO7_INTSYS2_EN)

削除: .
レジスタ値は以下の端子に出力します。 .
端子 : CPUSS_INTSYNCEN[63:32] .

表の書式変更

削除:

削除: FFFF_FFFF

削除: 1

削除:

削除:

書式変更: Body, 行間 : 1 行

削除: . 改ページ

削除: . レジスタ設定値を CPUSS_VICIFSYNCEN の端子に出力します。

削除: 1

削除: 1

削除:

6.3.16 SSPRO7_VICIFSYN_EN (CPU-SS と割り込みコントローラ間の同期・非同期設定レジスタ)

CPUSS と割り込みコントローラ間の同期・非同期設定レジスタです。

		(R)	1	(R/W)	0	アドレス Base+40H	初期値 0000_0000H
レジスタ名	Reserve			VICIFSYN_CNT			

ビット位置	ビット名	意 味	初期値
31 : 1	Reserve	リードオンリー リード時 ALL"0"を読み出す。	固定値 ALL"0"
0	VICIFSYN_CNT	CPUSS と割り込みコントローラ間の同期・非同期設定 "0" : 非同期 "1" : 同期	"0"

図 6-17 CPU-SS と割り込みコントローラ間の同期・非同期設定レジスタ (SSPRO7_VICIFSYN_EN)

6.3.17 SSPRO7_PCIE_CLKSEL (PClex クロック選択レジスタ)

PCISS に対するクロック入力端子制御を切り替えるレジスタです。
PCISS に対するクロック入力として外部端子(差動クロック入力)と LSI 内部供給クロックを切り替えることが可能なレジスタです。

		(R)		(R/W)		
		31		1	0	
レジスタ名	Reserve			PCIECLK_SEL	アドレス Base+44H	初期値 0000_0000H
ビット位置	ビット名	意 味			初期値	
31 : 1	Reserve	リードオンリー リード時 ALL"0"を読み出す。			固定値 ALL"0"	
0	PCIECLK_SEL	PCISS に対するクロック入力として外部端子(差動クロック入力)と LSI 内部供給クロックを切り替える "0" : 外部差動クロック入力モード "1" : 内部クロック供給モード			"0"	

図 6-18 PClex クロック選択レジスタ (SSPRO7_PCIE_CLKSEL)

削除: .
レジスタ設定値を PCIEX_REFSEL の端子に出力します。 .
.

削除:

6.3.18 SSPRO7_RESET_STATUS (リセットステータスレジスタ)

リセットステータス確認用レジスタです。

本レジスタは、ソフトリセットの要因が UDL WDT エラートリガによるリセットか、SSPRO7_SOFT_RST レジスタ制御によるリセットかを判別することが出来るレジスタです。
ステータスをリードすることにより、レジスタの値はクリアされます。

レジスタ名		31	(R)	1	(R)	1	(R)	0	(R)	アドレス Base+48H	初期値 0000_0000H
		Reserve				WDT_RST		SW_RST			

ビット位置	ビット名	意 味	初期値
31:2	Reserve	リードオンリー リード時 ALL“0”が読み出される。	固定値 ALL“0”
1	WDT_RST	UDL WDT エラートリガによるリセット動作 “1”：リセット動作実行 “0”：リセット動作なし	“0”
0	SW_RST	SW リセットレジスタ制御によるリセット動作 “1”：リセット動作実行 “0”：リセット動作なし	“0”

図 6-19 リセットステータスレジスタ (SSPRO7_RESET_STATUS)

削除: R.I.回路

削除: からのウォッチドックレジスタによる

書式変更: フォント: 太字 (なし)

削除: ソフトリセット

書式変更: フォント: 太字 (なし)

書式変更: フォント: 太字

書式変更: フォント: 太字

削除: が

削除: します

削除: からの

削除:

6.3.19 SSPRO7_UDLCNT (UDL 動作制御レジスタ)

UDL 動作制御レジスタです。

本レジスタは、UDL(Network)の内部入力信号 PRGSEL を制御するためのレジスタです。

レジスタ名		31	(R)	1	(R/W)	0	アドレス Base+4CH	初期値 0000_0000H
		Reserve				UDLCNT		
ビット位置	ビット名	意 味						初期値
31:1	Reserve	リードオンリー リード時 ALL"0"を読み出す。						固定値 ALL"0"
0	UDLCNT	PRGSEL 制御レジスタ "0" : UDL(Network)の PRGSEL = "0" "1" : UDL(Network)の PRGSEL = "1"						"0"

図 6-20 UDL 動作制御レジスタ (SSPRO7_UDLCNT)

削除: サーボ

書式変更: フォント: 太字

削除: 端子

削除: レジスタ設定値を UDLCNT_PRGSEL の端子に出力します。 .

書式変更: インデント: 左 2.02 字, 最初の行: 0 字, 間隔 段落後: 0 pt

削除: CNT_

削除: 信号に

削除: を出力

削除: CNT_

削除: 信号に

削除: を出力

削除:

6.3.20 SSPRO7_CPUSS_TRIGINT (CTI からのクロストリガ割り込み要因レジスタ)

CTI からのクロストリガ割り込み要因レジスタです。
本レジスタは、CTI からのクロストリガ割り込み要因を判断するための割り込み要因レジスタです。
ステータスをリードすることにより、レジスタの値をクリアします。

レジスタ名		(R)	(R)	アドレス	初期値
		31	1	Base+54H	0000_0000H
		Reserve		TRIGINT	
ビット位置	ビット名	意 味		初期値	
31	Reserve	リードオンリー リード時 ALL"0"を読み出す。		固定値 ALL"0"	
0	TRIGINT	クロストリガ割り込み要因 "1" : 割り込み発生 "0" : 割り込みなし		"0"	

図 6-21 CTI からのクロストリガ割り込み要因レジスタ (SSPRO7_CPUSS_TRIGINT)

削除: <#> Reserve .
未使用レジスタ .

削除: R.I.回路の

削除: .

削除: が

削除: 2

削除: (ただしリードクリアする)

削除: 22

削除:

削除:

6.3.21 SSPRO7_GBETHER_CONT (GbEther モードコントロール)

GbEther モード設定レジスタです。

本レジスタは、GbEther のモード設定を実施するためのレジスタです。

※GbEther を利用するに当たっては本レジスタ設定と GbEther 領域のレジスタ設定を実施する必要があります。設定に差異があった場合、不正動作となりますのでご注意ください。

		(R)	(R/W)	(R)	(R/W)	(R)	(R/W)	(R/W)						
		31	13	12	11	9	8	7	6	5	4	3	0	
レジスタ名		Reserve		GB_CLKSEL	Reserve	GB_MODE	Reserve	GB_SPEED	GB_PHYMODE					

6.3.23 SPRO7_UDLINT_STATUS (UDL-INT 割り込み要因レジスタ)

UDL_INT の割り込み要因レジスタです。
本レジスタは、UDL からの割り込み要因を判断するための割り込み要因レジスタです。
ステータスを をリードすることにより、レジスタの値をクリアします。

削除: が

		(R)	(R)		
		31	8 7	0	
レジスタ名		Reserve		UDLINT_STATUS	アドレス 初期値 Base+60H 0000_0000H
ビット位置	ビット名	意 味		初期値	
31 : 8	Reserve	リードオンリー リード時 ALL"0"を読み出す。		固定値 ALL"0"	
7	UDLINT _STATUS	UDL-M3_INT1(Network)割り込み要因		"0"	
6		UDL-M3_INT0(Network)割り込み要因		"0"	
5		UDL_INT2(Servo)割り込み要因		"0"	
4		UDL_INT1(Servo)割り込み要因		"0"	
3		UDL_INTN(Servo)割り込み要因		"0"	
2		UDL_INTC(Servo)割り込み要因		"0"	
1		UDL_INTB(Servo)割り込み要因		"0"	
0		UDL_INTA(Servo)割り込み要因		"0"	

図 6-24 UDL-INT 割り込み要因レジスタ (SSPRO7_UDLINT_STATUS)

削除: _

削除: _

削除: _

削除: _

削除: _

削除: _

削除: 25

削除: