

第16章 UART

16.1 概要

16.1.1 特徴

NS16550A とレジスタ・コンパチブルな Synopsys Design Ware DW_apb_uart Databook (Version 3.07a) を搭載しています。レジスタ・マップは 32 ビット境界に配置されています。
NS16550A と異なる機能仕様のレジスタがあります。

表 16-1 NS16550A と本マクロで機能仕様の異なるレジスタ

	NS16550A	本マクロ
IIR レジスタ (bit3-0)	割り込み 6 状態を示す	BUSY 割り込み追加 (合計 7 状態を示す) BUSY 割り込みのマスクはできません。
LCR レジスタ (bit5)	Stick Parity 制御ビット	0 固定
MCR レジスタ (bit5)	0 固定	JL-086A では、オート・フロー制御で使用する CTS_N 信号を H に固定、RTS_N 信号を Open にしています。 その為、本マクロのオート・フロー制御は使用できません。
FCR レジスタ (bit3)	FCR bit3 DMA Mode Select ビット このビットを 1 にすると DMA を使用できます。	なし (DMA, CPU でも使用可能です。)
USR レジスタ	なし	UART ステータス・レジスタ追加
FDR レジスタ	なし	FIFO DMA コントロール・レジスタ追加

FIFO サイズは送信 16 バイト、受信 16 バイトを搭載しています。
DMA インタフェースをサポートしています。
シリアル・クロック 16 クロックで、1 ビット・サンプリングします。
通信速度 19200bps 時、DLHn, DLLn 設定値 = 33H
PCLK/4 : 15.625MHz

16.1.2 NS16550A との相違点

表 16-2 NS16550A と本マクロの相違点

	NS16550A	本マクロ]
レジスタ名	DLL(Devisor Latch Least significant)	DLL(Devisor Latch Low)
	DLM(Devisor Latch Most significant)	DLH(Devisor Latch High)
オート・フロー制御	なし	JL-086A では、オート・フロー制御で使用する CTS_N 信号を H に固定、RTS_N 信号を Open にしています。 その為、本マクロのオート・フロー制御は使用できません。
UART ステータス・レジスタ	なし	UART が転送中かを示す BUSY ビットを持つ USR レジスタが追加
パリティ制御	LCR レジスタ bit5 Stick Parity ビットあり	なし
DMA 制御	FCR bit3 DMA Mode Select ビットあり このビットを 1 にすると DMA を使用できます。	なし (DMA, CPU でも使用可能です。)
	なし	DMAREQ のクリア用の FDR レジスタを追加。 DW UART の外部の回路になります。
割り込み		BUSY による割り込みが追加。割り込みマスクはできません。

16.2 レジスタ

16.2.1 レジスタ一覧

32 ビット単位でリード/ライト可能です。32 ビットのうち、レジスタが存在しないビットの書き込みは無視され、読み出しは 0 が読み出されます。([]内は NS16550A の表記を示しています。)

表 16-3 レジスタ一覧

アドレス	レジスタ名称	略号	LCR7 注	R/W	リセット時
EFFF_4800H	レシーブ・バッファ・レジスタ (受信データ・リード)	RBR	0	R	0000_0000H
	トランスミット・ホールディング・レジスタ (送信データ・ライト)	THR		W	0000_0000H
	ディバイザ・ラッチ (Low) [Divisor Latch Leaset significant]	DLL	1	R/W	0000_0000H
EFFF_4804H	インタラプト・イネーブル・レジスタ	IER	0	R/W	0000_0000H
	ディバイザ・ラッチ (High) [Divisor Latch Most significant]	DLH [DLM]	1	R/W	0000_0000H
EFFF_4808H	インタラプト ID レジスタ	IIR	—	R	0000_0001H
	FIFO コントロール・レジスタ	FCR		W	0000_0000H
EFFF_480CH	ライン・コントロール・レジスタ	LCR	—	R/W	0000_0000H
EFFF_4810H	モデム・コントロール・レジスタ	MCR	—	R/W	0000_0000H
EFFF_4814H	ライン・ステータス・レジスタ	LSR	—	R	0000_0060H
EFFF_4818H	モデム・ステータス・レジスタ	MSR	—	R	0000_0000H
EFFF_481CH	スクラッチ・パッド・レジスタ	SCR	—	R/W	0000_0000H
EFFF_4820H— EFFF_487BH	Reserved	—	—	—	—
EFFF_487CH	UART ステータス・レジスタ [NS16550A にないレジスタ]	USR	—	R	0000_0000H
EFFF_4880H— EFFF_48FFH	Reserved	—	—	—	—
EFFF_4900H	FIFO DMA 転送要求コントロール・レジスタ [NS16550A にないレジスタ]	FDR	—	R/W	0000_0000H
EFFF_4904H— EFFF_49FFH	Reserved	—	—	—	—

注 ・ Reserved 領域へのアクセスはライト無視され、リードは不定値が返ります。
 ・ LCR7:ライン・コントロール・レジスタのビット 7

16.2.2 レジスタ機能説明

() 内は本マクロのレジスタ名であり、[]内は NS16550A のレジスタ名です。

[]内のビット名は NS16550A のビット名です。

16.2.2.1 レシーブ・バッファ・レジスタ Receive Buffer Register (RBR:Address EFFF_4800H)

[Receiver Buffer Register (RBR)]

このレジスタは、シリアル通信の受信データを格納するリード専用のレジスタです。

このレジスタから受信データをリードするときは、LCR レジスタの LCR7 ビットを 0 に設定してください。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								RXD 7	RXD 6	RXD 5	RXD 4	RXD 3	RXD 2	RXD 1	RXD 0
Bits	ビット名	R/W	初期値	機能説明											
31:8	RFU	R	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。											
7:0	RXD7-RXD0	R	ALL 0B	シリアル受信データ											

16.2.2.2 トランスミット・ホールディング・レジスタ Transmit Holding Register (THR: Address EFFF_4800H)

[Transmitter Holding Register (THR)]

このレジスタは、シリアル通信の送信データを格納するライト専用のレジスタです。

このレジスタに送信データをライトするときは、LCR レジスタの LCR7 ビットを 0 に設定してください。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								TXD 7	TXD 6	TXD 5	TXD 4	TXD 3	TXD 2	TXD 1	TXD 0
Bits	ビット名	R/W	初期値	機能説明											
31:8	RFU	W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。											
7:0	TXD7-TXD0	W	ALL 0B	シリアル送信データ											

16.2.2.3 ディバイザ・ラッチ・ロー Divisor Latch Low (DLL: Address EFFF_4800H)

[Divisor Latch Least significant (DLL)]

このレジスタは、ボー・レート・ジェネレータでの除数（分周比）を設定するリード/ライト可能なレジスタです。このレジスタと上位側の DLH レジスタとを合わせて 16 ビット・データとして扱います。16 ビット・データとして、0000H の設定はできません。

このレジスタにアクセスするときは、LCR レジスタの LCR7 ビットを 1 に設定してください。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								DLL 7	DLL 6	DLL 5	DLL 4	DLL 3	DLL 2	DLL 1	DLL 0
Bits	ビット名	R/W	初期値	機能説明											
31:8	RFU	R/W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。											
7:0	DLL7-DLL0	R/W	ALL 0B	ボー・レートの除数（下位バイト）											

注 DLL レジスタは、送受信動作中に書き換えしないでください。送受信中かどうかを確認する 1 つの方法としては、LCR レジスタの LCR7 ビットを 1 に設定し、USR レジスタの BUSY ビットが 0 であることを確認することになります。動作中に LCR レジスタを書き換えた場合は BUSY 割り込みが発生するので、再度 LCR レジスタに同じ値を書き込んでください。

（ボー・レート計算式）

$$\text{ボー・レート} = (\text{SCLK 周波数}) \div (16 \times \text{DLH, DLL 設定値})$$

SCLK が 15.625MHz の場合の DLL レジスタ、および DLH レジスタの設定とボー・レートとの関係を次に示します。ボー・レートの誤差は元の発振誤差に依存します（ボー・レート・ジェネレータでは誤差は発生しません）。

表 16-4 ボー・レートと除数設定の関係(SCLK=15.625MHZ)

ボー・レート[bps]	DLL, DLH 設置値[HEX]	誤差 [%]
300	CB7H	0.01
600	65CH	- 0.02
1,200	32EH	- 0.02
2,400	197H	- 0.02
4,800	CBH	0.22
9,600	66H	- 0.27
14,400	44H	- 0.27
19,200	33H	- 0.27
38,400	19H	1.73
57,600	11H	- 0.27
115,200	8H	5.96

16.2.2.4 インタラプト・イネーブル・レジスタ Interrupt Enable Register (IER: Address EFFF_4804H)

このレジスタは、本マクロで利用できる5種類の割り込みについて、割り込み発生の許可/禁止を設定するリード/ライト可能なレジスタです。このレジスタにアクセスするときは、LCRレジスタのLCR7ビットを0に設定してください。

各ビットを1に設定すると、対応する割り込みが許可されます。このレジスタのビットをすべて0に設定すると、割り込み機能全体の使用を停止させることができます。割り込みを禁止すると、その割り込み条件が満足されてもIIRレジスタのIIROビットに0として示されることはありません。本マクロのその他の機能は、割り込みを禁止にしても影響を受けません。LSRレジスタやMSRレジスタの設定も有効です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU												IE3	IE2	IE1	IE0

Bits	ビット名	R/W	初期値	機能説明
31:4	RFU	R/W	ALL 0B	ライトすると無視されます。必ず0をライトしてください。リードすると0が読み出されます。
3	IE3 [ERBFI]	R/W	0B	モデム・ステータス割り込み 1:許可, 0:禁止 JL-086A では、CTS_N 信号, RI_N 信号, DSR_N 信号, DCD_N 信号を1に固定にしている為、通常はモデム・ステータス割り込みは発生しません。ローカル・ループ・バック（MCR4=1）時にのみ発生します。
2	IE2 [ETBEI]	R/W	0B	受信ステータス割り込み 1:許可, 0:禁止
1	IE1 [ELSI]	R/W	0B	送信保持レジスタ・エンプティ割り込み 1:許可, 0:禁止
0	IE0 [ERBFI]	R/W	0B	受信データ存在割り込み, または FIFO モードの文字タイム・アウト割り込み 1:許可, 0:禁止

16.2.2.5 ディバイザ・ラッチ・ハイ Divisor Latch High (DLH: Address EFFF_4804H)

[Divisor Latch Most significant (DLM)]

このレジスタは、ボー・レート・ジェネレータでの除数（分周比）を設定するリード/ライト可能なレジスタです。このレジスタと下位側の DLL レジスタとを合わせて 16 ビット・データとして扱います。16 ビット・データとして、0000H の設定をし、通信しないでください。

このレジスタにアクセスするときは、LCR レジスタの LCR7 ビットを 1 に設定してください。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								DLH	DLH	DLH	DLH	DLH	DLH	DLH	DLH
								7	6	5	4	3	2	1	0
Bits	ビット名	R/W	初期値	機能説明											
31:8	RFU	R/W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。											
7:0	DLH7-DLH0 [DLM7-DLM0]	R/W	ALL 0B	ボー・レートの除数（上位バイト）											

注 DLH レジスタは、送受信動作中に書き換えしないでください。送受信中かどうかを確認する 1 つの方法としては、LCR レジスタの LCR7 ビットを 1 に設定し、USR レジスタの BUSY ビットが 0 であることを確認することになります。動作中に LCR レジスタを書き換えた場合は BUSY 割り込みが発生するので、再度 LCR レジスタに同じ値を書き込んでください。

16.2.2.6 インタラプト ID レジスタ Interrupt Identification Register (IIR: Address EFFF_4808H)

FIFO 許可状態と各割り込み要因を示すリード専用のレジスタです。リードするとクリアされるビットがあります。表 16-5 を参照ください。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								IIR 7	IIR 6	RFU		IIR 3	IIR 2	IIR 1	IIR 0

Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	R	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
7:6	IIR7-IIR6 [FIFOs Enabled1- FIFOs Enabled0]	R	00B	送信/受信 FIFO 許可 (FCR0=1) のとき、11 が読み出されます。それ以外は 00 が読み出されます。
5:4	RFU	R	00B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
3:0	IIR3-IIR0 [InterruptID2- InterruptID0] , Interrupt no Pending	R	0001B	割り込み要因の判定。 優先順位、割り込みクリアは表 16-5 を参照ください。 0001B: 保留割り込みなし。 0110B: 受信ライン・ステータス割り込み 0100B: 受信データ存在割り込み 1100B: 文字タイム・アウト割り込み (FIFO 許可時のみ有効) 0010B: 送信保持レジスタ・エンプティ割り込み 0000B: モデム・ステータス割り込み JL-086A では、CTS_N 信号、RI_N 信号、DSR_N 信号、DCD_N 信号を 1 固定にしている為、通常はモデム・ステータス割り込みは発生しません。 ローカル・ループ・バック (MCR4=1) 時にのみ発生します。 0111B: BUSY 検出割り込み (NS16550A にはない機能であり、DW UART 固有の割り込みです。割り込み禁止にすることができません。)

注・IIR レジスタをリードして送信保持レジスタ・エンプティ割り込みをクリア後、IER レジスタの送信保持レジスタ・エンプティ割り込みの許可(IE1=1)と送信後、THR レジスタが空になるという両方の条件がそろったとき、次のエンプティ割り込みが発生します。

・受信 FIFO が使用可能で受信割り込みが許可されている場合、受信割り込み要求は次のように発生します。

- ①FIFO が指定されたトリガ・レベルに達すると、受信データ存在割り込み要求が CPU に通知されます。この割り込みは FIFO がトリガ・レベルを下回った時点でクリアされます。
- ②FIFO が指定されたトリガ・レベルに達すると、IIR レジスタは受信データ存在割り込み要求を示します。これは①と同様に FIFO がトリガ・レベルを下回った時点でクリアされます。
- ③受信ライン・ステータス割り込みは、受信データ存在割り込みよりも高い優先順位が与えられています。
- ④シフト・レジスタから受信 FIFO に文字が転送されると LSR0 ビットが 1 になります。このビットは、FIFO が空になると 0 に戻ります。

・受信 FIFO が使用可能で受信割り込みが許可されている場合、受信 FIFO 文字タイム・アウト割り込み要求は次のように発生します。

- ①FIFO 文字タイム・アウト割り込み要求が発生する条件は次の通りです。
 - ・FIFO に少なくとも 1 文字が格納されている。
 - ・最後に文字がシリアル受信されてから連続 4 文字分を越える時間が経過している。これはストップ・ビットが 2 ビットに指定されている場合は 2 ビット目の分の時間も含まれます。
 - ・最後に CPU が FIFO を読み出してから連続 4 文字分を越える時間が経過している。
- ②1 文字あたりの時間は、受信用ポー・レート・クロック（内部）に基づいて計算されます。したがって遅延時間はポー・レートに比例します。
- ③文字タイム・アウト割り込み要求が発生した場合、CPU が受信 FIFO から 1 文字読み出すと、文字タイム・アウト割り込みはクリアされ、タイマはリセットされます。
- ④文字タイム・アウト割り込み要求が発生しなかった場合は、新しい文字が受信されるか CPU が受信 FIFO を読み出した時点でタイマがリセットされます。

・送信 FIFO が使用可能で送信割り込みが許可されている場合、送信割り込み要求は次のように発生します。

- ①送信 FIFO が空になると、送信保持レジスタ・エンプティ割り込み要求が発生します。送信保持レジスタに文字が書き込まれるか（この割り込みの処理中に送信 FIFO に 1 個から 16 個の文字が書き込まれる可能性があります）、IIR レジスタが読み出されると、割り込み要求はクリアされます。
- ②前回 LSR レジスタで LSR5 = 1（送信 FIFO が空）であったときから、送信 FIFO に同時に 2 バイト以上のデータが存在することなく再び LSR5 = 1 になった場合、そのあと（1 文字分の時間－最後のストップ・ビット分の時間）だけ遅れて IIR ビットに送信 FIFO エンプティが示されます。
- ③送信割り込みが許可されている場合、FCR0（FIFO 許可ビット）の書き換え後の最初の送信割り込み要求はすぐに表示されます。

・文字タイム・アウト割り込みと受信 FIFO トリガ・レベル割り込みの優先順位は受信データ存在割り込みと同じです。

・送信 FIFO エンプティ割り込みの優先順位は、送信保持レジスタ・エンプティ割り込みと同じです。送信 FIFO と送信シフト・レジスタに送信するデータが残っているかどうかは、LSR レジスタのビット 6(LSR6)を参照してください。LSR レジスタのビット 5(LSR5)には送信 FIFO 内のデータの有無しか表示されません。つまり、LSR レジスタのビット 5 で送信データの残りがあるかどうかを判定すると、送信 FIFO には送信データはないが、送信シフト・レジスタにデータが残っている可能性があります。

16.2.2.7 FIFO コントロール・レジスタ FIFO Control Register (FCR: Address EFFF_4808H)

FIFO の制御を行うライト専用レジスタです。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								FCR 7	FCR 6	RFU			FCR 2	FCR 1	FCR 0

Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
7:6	FCR7-FCR6 [RCVR Trigger (MSB,LSB)]	W	00B	受信 FIFO トリガ・レベル設定 11:14 バイト, 10:8 バイト, 01:4 バイト, 00:1 バイト DMA を使用する場合のオート・フロー許可時は, 受信 FIFO トリガ・レベルの設定を 1 バイトにしてください。 CPU でオート・フロー制御する場合は, 1 バイトの設定の制限はありません。
5:3	RFU [bit3 DMA Mode Select]	W	000B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
2	FCR2 [XMIT FIFO Reset]	W	0B	送信 FIFO と FIFO カウンタのクリアを行います。1 ライト・クリアです。 1:FIFO と FIFO カウンタ・クリア, 0:通常 リードすると 0 が読み出されます。
1	FCR1 [RCVR FIFO Reset]	W	0B	受信 FIFO と FIFO カウンタのクリアを行います。1 ライト・クリアです。 1:FIFO と FIFO カウンタ・クリア, 0:通常 リードすると 0 が読み出されます。
0	FCR0 [FIFO Enable]	W	0B	送信/受信 FIFO の許可, 禁止の設定を行います。 1:許可, 0:禁止

16.2.2.8 ライン・コントロール・レジスタ Line Control Register (LCR: Address EFFF_480CH)

非同期データ通信のフォーマットの指定や除数ラッチ・アクセスの設定するリード/ライト可能なレジスタです。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								LCR 7	LCR 6	RFU	LCR 4	LCR 3	LCR 2	LCR 1	LCR 0

Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	R/W	ALL 0B	ライトすると無視されます。必ず0をライトしてください。リードすると0が読み出されます。
7	LCR7 [DLAB]	R/W	0B	除数ラッチ・レジスタ・アクセス時のレジスタ・アクセス切り替え。 ^{※1} 1:除数ラッチ・レジスタ, 0:受信バッファ／受信保持レジスタ／割り込み許可レジスタ
6	LCR6 [Set Break]	R/W	0B	ブレーク制御。 1:ブレーク設定, 0:ブレーク解除 LCR6 ビットは、受信側の UART にブレーク状態を送信する時に使用します。 LCR6 ビットが1になるとシリアル出力 SOUT は強制的にスペーシング (0) の状態になります。
5	RFU [Stick Parity]	R/W	0B	ライトすると無視されます。必ず0をライトしてください。リードすると0が読み出されます。
4	LCR4 [EPS]	R/W	0B	パリティの設定。 1:偶数パリティ, 0:奇数パリティ
3	LCR3 [PEN]	R/W	0B	パリティの許可／禁止。 1:パリティあり (送信) ／チェックあり (受信) 0:パリティなし (送信) ／チェックなし (受信)
2	LCR2 [STB]	R/W	0B	ストップ・ビットの設定 ^{※2} 1:1.5 ビット (文字長が5ビット) , 2 ビット (文字長が6/7/8 ビット) 0:1 ビット
1:0	LCR1-0 [WLS1-WLS0]	R/W	00B	1 文字の長さ (ビット数) 11:8 ビット, 10:7 ビット, 01:6 ビット, 00:5 ビット

注 1 DLH, DLL レジスタは、送受信動作中に書き換えしないでください。送受信中かどうかを確認する1つの方法としては、LCR レジスタの LCR7 ビットを1に設定し、USR レジスタの BUSY ビットが0であることを確認することになります。動作中に LCR レジスタを書き換えた場合は BUSY 割り込みが発生するので、再度 LCR レジスタに同じ値を書き込んでください。

注 2 バックツーバックで連続送信した場合においても、送信文字間隔が LCR2 で設定したストップ・ビット長より長くなる場合があります (ストップ・ビット長が見かけ上長くなる制限事項です)。LCR2 で設定した通りのストップ・ビット長で通信させるためには下記条件を満たしてください。

$$4sclk + 5pclk \leq \{DLH, DLL\} * sclk$$

上記条件を満たしていない場合、LCR2 で設定したストップ・ビット送出後、ワーストケースで下記の時間、ストップ・ビットが見かけ上延長されます (次のスタート・ビットが遅れます)。

$$4sclk + 5pclk + 15 * \{DLH, DLL\} * sclk$$

16.2.2.9 モデム・コントロール・レジスタ Modem Control Register (MCR: Address EFFF_4810H)

モデム、またはデータ・セット（またはモデムをエミュレートする周辺デバイス）とのインタフェースの制御を行うリード/ライト可能なレジスタです。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU										MCR 5	MCR 4	MCR 3	MCR 2	MCR 1	MCR 0
Bits	ビット名	R/W	初期値	機能説明											
31:6	RFU	R/W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。											
5	MCR5 [0 固定]	R/W	0B	本ビットには、1 をライトしないでください。 JL-086A では、オート・フロー制御で使用する CTS_N 信号を H に固定、RTS_N 信号を Open にしています。 その為、本マクロのオート・フロー制御は使用できません。											
4	MCR4 [Loop]	R/W	0B	診断テスト（ローカル・ループ・バック）の使用を許可します。 1:許可, 0:禁止 ローカル・ループ・バックは本マクロ内の送信と受信のデータ・パスを確認するために使用できます。MCR4 ビットを 1 にすると、マクロ内部で次のような動作（ローカル・ループ・バック）が実行されます。 ①送信部からのシリアル出力（SOUT）がマーキング状態（1）になり、受信部へのシリアル入力（SIN）が切断され、送信シフト・レジスタの出力が受信シフト・レジスタの入力にループ・バックされます。 ②モデム制御入力（DSR_N, CTS_N, RI_N（内部）, DCD_N ）が切断され、4 本のモデム制御出力（DTR_N, RTS_N, OUT1_N（内部）, OUT2_N（内部））がそれらのモデム制御入力に内部的に接続されます。 ③モデム制御出力端子は強制的にインアクティブ状態（ハイ・レベル）になります。このようなループ・バック・モードでは、送信されたデータがそのまま受信されることになります。 ループ・バック・モードでは、送信と受信の割り込みはすべて使用可能です。それぞれの割り込み要因は送信部と受信部に対して外部要因となります。モデム制御割り込みも使用可能ですが、割り込み要因としては 4 本のモデム制御入力の代わりに、モデム制御レジスタの下位 4 ビットが使用されます。各割り込みは通常どおり割り込み許可レジスタによって制御されます。											
3	MCR3 [Out2]	R/W	0B	OUT2_N 端子出力値の設定 1:OUT2_N 端子にロー・レベル出力, 0: OUT2_N 端子にハイ・レベル出力 JL-086A では、OUT2_N 信号を使用していません。											
2	MCR2 [Out1]	R/W	0B	OUT1_N 端子出力値の設定 1:OUT1_N 端子にロー・レベル出力, 0: OUT1_N 端子にハイ・レベル出力 JL-086A では、OUT1_N 信号を使用していません。											
1	MCR1 [RTS]	R/W	0B	RTS_N 端子出力値の設定 1:RTS_N 端子にロー・レベル出力, 0: RTS_N 端子にハイ・レベル出力 JL-086A では、RTS_N 信号を使用していません。											
0	MCR0 [DTS]	R/W	0B	DTR_N 端子出力値の設定 1:DTR_N 端子にロー・レベル出力, 0: DTR_N 端子にハイ・レベル出力 JL-086A では、DTR_N 信号を使用していません。											

16.2.2.10 ライン・ステータス・レジスタ Line Status Register (LSR: Address EFFF_4814H)

UART のステータス・レジスタでデータ転送に関する情報を得るのに使用します。リード専用のレジスタです。LSR7, LSR(4:1)ビットは、1 にセットされているときにこのレジスタが読み出されると 0 にクリアされます。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								LSR 7	LSR 6	LSR 5	LSR 4	LSR 3	LSR 2	LSR 1	LSR 0

Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	R	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
7	LSR7 [Error in RCVR FIFO]	R	0B	各種エラー検出 (FIFO モード時) 1:パリティ・エラー, フレーミング・エラー, ブレーク検出, 0:ノー・エラー FIFO 許可時にだけ有効です。FIFO 禁止時は常に 0 になります。
6	LSR6 [TEMT]	R	1B	送信部エンプティ 1:FIFO モード以外 送信保持レジスタ, 送信シフト・レジスタにデータがない, FIFO モード 送信 FIFO にデータがない状態。 0:FIFO モード以外 送信保持レジスタ, 送信シフト・レジスタのいずれかにデータがある, FIFO モード 送信 FIFO にデータがある状態。
5	LSR5 [THRE]	R	1B	送信保持レジスタ・エンプティ 1:FIFO モード以外 送信シフト・レジスタに文字が転送された状態。 FIFO モード 送信 FIFO が空の状態。 0:FIFO モード以外 送信保持レジスタに文字を格納している状態。 FIFO モード 送信 FIFO に送信データがある状態。
4	LSR4 [BI]	R	0B	ブレーク割り込み 1:ブレーク割り込み検出, 0:ブレーク割り込み無し 受信データ入力が 1 文字分の送信時間 (スタート・ビット+データ・ビット+パリティ・ビット+ストップ・ビット) よりも長い時間スペーシング状態 (0) であるとき (ブレーク), 1 になります。FIFO モードでは, FIFO 内の 1 文字にブレークが検出されるとエラー文字として認識され, その文字が FIFO の最上部にきたときに CPU にブレークが通知されます。ブレークが発生すると, 1 個のゼロ文字が FIFO に転送されます。SIN がマーキング状態になり, 次の有効なスタート・ビットを受信すると, 次の文字の転送が可能になります。
3	LSR3 [FE]	R	0B	フレーミング・エラー 1:エラー検出, 0:ノー・エラー 最終データ・ビット, またはパリティ・ビットの後に 0 (スペーシング・レベル) のストップ・ビットが検出されると (フレーミング・エラー) 1 になります。FIFO モードでは, FIFO 内の 1 文字にフレーミング・エラーが検出されるとエラー文字として認識され, その文字が FIFO の最上部にきたときに CPU にフレーミング・エラーが通知されます。フレーミング・エラーが発生すると, 本 UART は再び同期を取ろうとします。その際, フレーミング・エラーの原因は次のスタート・ビットにあったとみなして, 次のスタート・ビットを 2 回サンプリングしてからデータを取り込みます。
2	LSR2 [PE]	R	0B	パリティ・エラー 1:エラー検出, 0:ノー・エラー 受信した文字が LCR4 ビットで指定された偶数, または奇数のパリティを満足していないと (パリティ・エラー) 1 になります。FIFO モードでは, FIFO 内の 1 文字にパリティ・エラーが検出されるとエラー文字として認識され, その文字が FIFO の最上部にきたときに CPU にパリティ・エラーが通知されます。

1	LSR1 [OE]	R	OB	<p>オーバラン・エラー</p> <p>1:エラー検出, 0:ノー・エラー</p> <p>CPU が受信バッファ・レジスタを読み出す前に次の文字が受信バッファ・レジスタに転送され、前の文字が消えてしまうと（オーバラン・エラー）1 になります。FIFO モードのデータがトリガ・レベルを越えて FIFO に転送され続けた場合は、FIFO がいっぱいになった後、次の文字が完全にシフト・レジスタに格納されるまではオーバラン・エラーにはなりません。オーバラン・エラーは発生後ただちに CPU に通知されます。シフト・レジスタ内の文字は上書きされませんが、FIFO には転送されません。</p>
0	LSR0 [DR]	R	OB	<p>受信データ・レディ</p> <p>1:FIFO に受信データがある, 0:FIFO に受信データがない</p>

16.2.2.11 モデム・ステータス・レジスタ Modem Status Register (MSR: Address EFFF_4818H)

モデム、または周辺デバイスから CPU へ入力される各制御信号の現在の状態と、各ライン状態が変化したかどうかを示すリード専用レジスタです。MSR(3:0)ビットは、1にセットされているときに読み出されると0にクリアされます。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								MSR 7	MSR 6	MSR 5	MSR 4	MSR 3	MSR 2	MSR 1	MSR 0

Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	R	ALL 0B	ライトすると無視されます。必ず0をライトしてください。リードすると0が読み出されます。
7	MSR7 [DCD]	R	0B	DCD_N 信号の状態 1:DCD_N 端子に0がアサート 0:DCD_N 端子に1がアサート JL-086A では、DCD_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。
6	MSR6 [RI]	R	0B	RI_N 信号の状態 1:RI_N 端子に0がアサート 0:RI_N 端子に1がアサート JL-086A では、RI_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。
5	MSR5 [DSR]	R	0B	DSR_N 信号の状態 1:DSR_N 端子に0がアサート 0:DSR_N 端子に1がアサート JL-086A では、DSR_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。
4	MSR4 [CTS]	R	0B	CTS_N 信号の状態 1:CTS_N 端子に0がアサート 0:CTS_N 端子に1がアサート JL-086A では、CTS_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。
3	MSR3 [DDCD]	R	0B	DCD_N 信号の変化 1:MSR レジスタを最後にリードしてからの変化あり 0:MSR レジスタを最後にリードしてからの変化なし JL-086A では、DCD_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。
2	MSR2 [TERI]	R	0B	RI_N 信号の変化 (ハイ→ローの変化) 1:MSR レジスタを最後にリードしてからの変化あり 0:MSR レジスタを最後にリードしてからの変化なし JL-086A では、RI_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。
1	MSR1 [DDSR]	R	0B	DSR_N 信号の変化 1:MSR レジスタを最後にリードしてからの変化あり 0:MSR レジスタを最後にリードしてからの変化なし JL-086A では、DSR_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。
0	MSR0 [DCTS]	R	0B	CTS_N 信号の変化 1:MSR レジスタを最後にリードしてからの変化あり 0:MSR レジスタを最後にリードしてからの変化なし JL-086A では、CTS_N 端子をH固定にしています。本ビットをリードすると常に0が読めます。

16.2.2.12 スクラッチ・パッド・レジスタ SScrach pad Register (SCR:Address EFFF_481CH)

ユーザが自由に使用できるリード/ライト可能なレジスタです。UART の制御には影響を与えません。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								SCR 7	SCR 6	SCR 5	SCR 4	SCR 3	SCR 2	SCR 1	SCR 0

Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	R/W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
7:0	SCR7-SCR0	R/W	ALL 0B	汎用データ

16.2.2.13 UART ステータス・レジスタ Uart Status Register (USR: Address EFFF_487CH)

UART が転送中かどうかのステータスを得ることができるリード専用レジスタです。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU															BUSY

Bits	ビット名	R/W	初期値	機能説明
31:1	RFU	R	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
0	BUSY	R	0B	UART の転送状態を示します。 1:UART が BUSY 状態（送信，または受信動作中であることを示しています） 0:UART が IDLE 状態（送信動作，受信動作をしていません） 1 から 0 に変化したときには，1 文字分の送受信が完了したことが分かります。

注 送受信をしている期間(BUSY=1 の期間)は, LCR レジスタに対して書き込みが禁止されます。LCR レジスタへの書き込みが禁止されるため, LCR[7]:DLAB への書き込みができませんので, DLL と DLH の切り替えができないことになり, DLL と DLH への書き込みもできないことになります。BUSY ビットが 1 から 0 になったときには, 1 文字分の送信, または受信が完了しています。

16.2.2.14 FIFO DMA コントロール・レジスタ FIFO DMA Control Register (FDR: Address EFFF_4900H)

DMA インタフェース信号を使用した DMA 転送をする前に DMA 要求信号の制御を行うリード/ライト可能なレジスタです。本マクロで追加したレジスタです。DW UART の外部にある DMA 用の制御レジスタです。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU										FDR 6	RFU	FDR 4	RFU		

Bits	ビット名	R/W	初期値	機能説明
31:7	RFU	R/W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
6	FDR6	R/W	0B	DMAREQ 転送制御回路（送信側）をリセットするビットです。読み出すと 0 が返されます。 データ転送開始前に転送要求制御回路をリセットする必要があります。
5	RFU	R/W	0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。
4	FDR4	R/W	0B	DMAREQ 転送制御回路（受信側）をリセットするビットです。読み出すと 0 が返されます。 データ転送開始前に転送要求制御回路をリセットする必要があります。
3:0	RFU	R/W	ALL 0B	ライトすると無視されます。必ず 0 をライトしてください。リードすると 0 が読み出されます。

16.3 動作

16.3.1 UART シリアル・プロトコル

ここでは **UART** のシリアル・プロトコルについて簡単に説明します。この **UART** と対向 UART デバイス間のシリアル通信は非同期で行われます。**UART** のシリアル・データのフォーマットは以下の通りです。スタート・ビットやストップ・ビットといった付加ビットは最初と最後のシリアル・データに付け加えられます。通信するデバイス間でスタート・ビットとストップ・ビットを有効に使用します。スタートやストップ付のシリアル・データの構造について図 16-1 に示します。

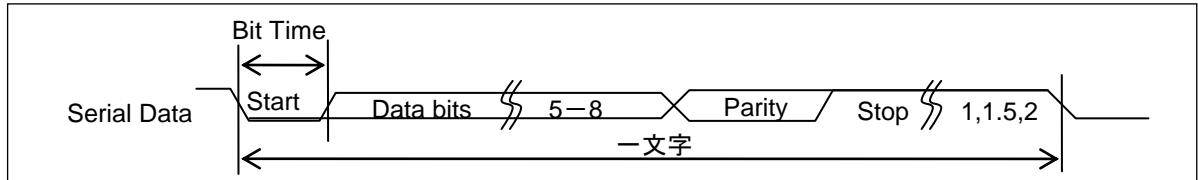


図 16-1 シリアル・データの構造

シリアル・データにはパリティ・ビットが付加される場合があります。このビットは **UART** で通信するときの受信データの簡単なエラー・チェックに有効であり、通信データのストップ・ビットの前で、かつ最後のデータの後に付加されます。**UART** の通信制御はライン・コントロール・レジスタ（**LCR** レジスタ）で制御することができます。送信データはスタート・ビットの後に、**LSB** から送信されます。オプションのパリティ・ビットや 1, 1.5, 2 ビットのストップ・ビットを使用することができます。（1.5 ストップ・ビットを使用したときのハーフ・ストップの説明は除いています）。すべてのビットは全く同じタイミングで送信されます。

次にシリアル・データの送受信タイミングについて説明します。1 ビット・データの通信時間は 16 ボー・クロックです。1 度スタート・ビットを検出すると、受信データの安定を確保するため 1 ビット・データの通信時間のほぼ真中のタイミングで受信データをサンプリングします。各ビットの正確な送信ボー・クロックでの、受信サンプリング・タイミングの算出は難しくありません。スタート・ビットの真中のサンプリング・タイミング後、毎 16 ボー・クロックになります。図 16-2 は最初の 2 ビットのシリアル・データのサンプリング・タイミングを示しています。

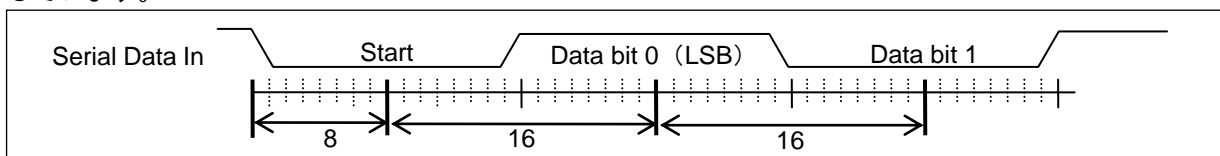


図 16-2 シリアル・データのサンプリング・タイミング

16.3.2 割り込み

割り込みが発生したときは **UART_INT** がアサートされます。割り込み要因としては以下のものがあり、各々 **IIR** レジスタでイネーブル制御することができます。

受信エラー

データを受信したとき

文字タイム・アウト (**FIFO** モードのときに使用します)

送信データ保持レジスタが空の場合

モデム・ステータス

IIR レジスタを参照すると割り込み要因を解析することができます。割り込み要因に従い処理をしてください。

表 16-5 割り込みセット・クリア条件

IIR レジスタ(ビット3-0)				割り込みセット・クリア条件			
3	2	1	0	優先順位	割り込み種別	割り込みセット条件	割り込みクリア条件
0	1	1	0	最優先	受信ライン・ステータス	オーバラン・エラー, パリティ・エラー, フレーミング・エラー, またはブレーク	ライン・ステータス・レジスタのリード
0	1	0	0	2	受信データ存在	16450 モード:受信データが存在。	受信バッファ・レジスタのリード
						FIFO モード:トリガ・レベルに到達	受信バッファ・レジスタのリードにより FIFO がトリガ・レベルを下回る
1	1	0	0	2	文字タイム・アウト	以下の条件をすべて満たしたときに割り込みが発生 ①FIFO 許可 ②受信 FIFO トリガ・レベルを 14, 8, 4 バイト (1 バイト以外) に設定 ③受信 FIFO トリガ・レベルに到達しない ④最近 4 文字分の時間内に, 受信 FIFO から 1 文字も取り出されず受信 FIFO に 1 文字も入力されない ⑤最近 4 文字の時間内に, 最低 1 文字が受信 FIFO に存在	受信バッファ・レジスタのリード
0	0	1	0	3	送信保持レジスタ・エンプティ	送信レジスタが空	IIR のリード (割り込み要因である場合), または送信保持レジスタへのライト
0	0	0	0	4	モデム・ステータス	JL-086A では、CTS_N 信号, RI_N 信号, DSR_N 信号, DCD_N 信号を 1 固定にしている為、通常はモデム・ステータス割り込みは発生しません。ローカル・ループ・バック (MCR4=1) 時にのみ発生します。	モデム・ステータス・レジスタのリード
0	1	1	1	5	BUSY 検出	UART が BUSY 状態で LCR レジスタにデータ・ライトした場合	USR レジスタのリード

16.3.3 DMA インタフェース

本マクロは DMA インタフェースをサポートします。

16.3.3.1 UART DMA インタフェース仕様（送信側）

DMA_TX_REQ, DMA_TX_ACK に接続する DMA コントローラは、以下の DMA インタフェース仕様を満たす条件でご使用ください。送信側 DMA インタフェース（DMA_TX_REQ, DMA_TX_ACK）の仕様を説明します。

- ・ 8 ビット×16 段の送信 FIFO を搭載しています。
- ・ FIFO 許可時の DMA 転送要求信号（DMA_TX_REQ）は、送信 FIFO が空のとき 16 回の転送要求を繰り返し出します。接続する DMAC がシングル転送でデータ転送を行うことを前提とした仕様になっています。
- ・ 接続する DMAC の転送要求の検出はレベル検出（アクティブ・ハイ）を前提とした仕様になっています。
- ・ FIFO 許可時に接続する DMAC 以外のマスタ・マクロから THR レジスタへのアクセスは禁止です。
- ・ データ転送開始前に転送要求制御回路をリセットする必要があります。図 16-5 の手順を参照ください。
- ・ 送信側の DMA インタフェース信号は、FIFO 許可時と FIFO 禁止時で動作が異なります。表 16-6 参照のこと。
- ・ 表 16-6 に、DMA_TX_REQ と DMA_TX_ACK 信号の動作仕様を示します。

表 16-6 DMA_TX_REQ /DMA_TX_ACK 信号の仕様

	DMA_TX_REQ セット条件	DMA_TX_REQ クリア条件
送信 FIFO 禁止 (FCR レジスタ ビット 0 = 0)	リセット入力でセットされます。 転送保持レジスタが空の場合、セットされます。	THR レジスタへデータ・ライトした場合、 クリアされます。 FDRn レジスタ ビット 6 に 1 をセット (送信側の転送要求信号制御回路リセッ ト) した場合、クリアされます。
送信 FIFO 許可 (FCR レジスタ ビット 0 = 1)	送信 FIFO 16 段(16 文字)分のデータ転送要求を出力します。 1 文字目の転送要求(DMA_TX_REQ)は、転送保持レジスタが空の場合にセットされます。 2 文字目から 16 文字目の転送要求は、転送要求を受け付けた DMA コントローラから THR レジスタへデータ・ライトすると、転送要求が 1 度クリアされ、2 サイクル (PCLK) 後 に次の転送要求をセットします。16 文字目の THR レジスタへのデータ・ライト完了後 に転送要求はクリアされ、再び、送信保持レジスタが空になるまではセットされません。	
	リセット入力でセットされます。	・ FDRn レジスタ ビット 6 に 1 をセット (送信側の転送要求信号制御回路リセッ ト) した場合、クリアされます。

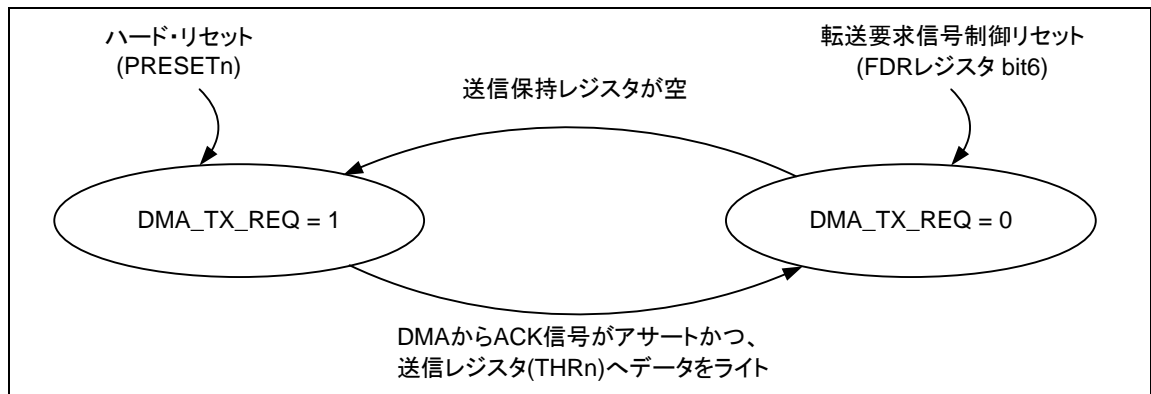


図 16-3 DMA_TX_REQ (送信 FIFO 禁止)の状態遷移図

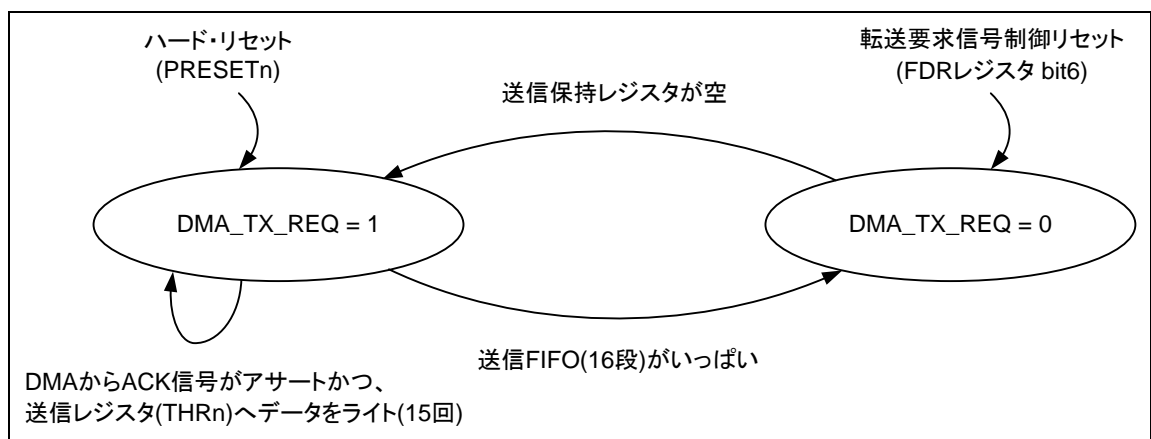


図 16-4 DMA_TX_REQ (送信 FIFO 許可)の状態遷移図

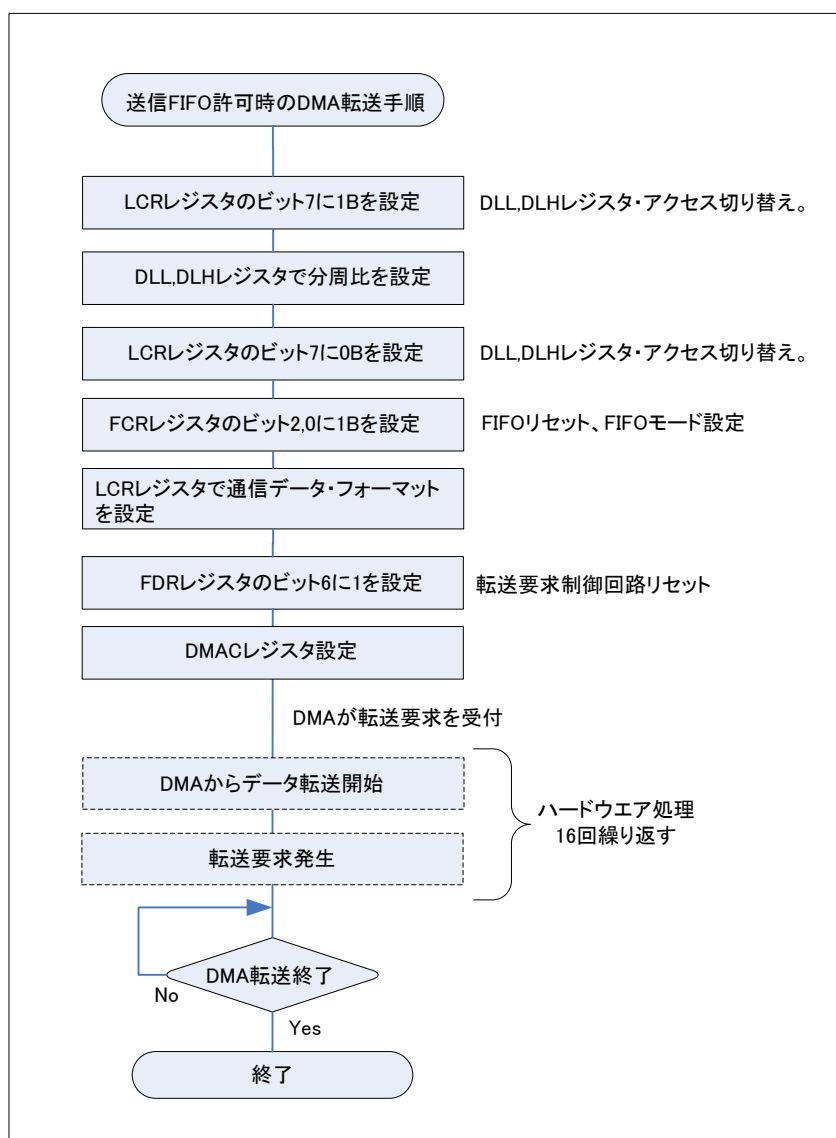


図 16-5 DMA 転送手順（送信 FIFO 許可）

16.3.3.2 UART DMA インタフェース仕様（受信側）

本 UART は DMA インタフェースをサポートします。

DMA_RX_REQ, DMA_RX_ACK に接続する DMA コントローラは、以下の DMA インタフェース仕様を満たす条件でご使用ください。受信側 DMA インタフェース (DMA_RX_REQ, DMA_RX_ACK) の仕様を説明します。

- ・ 8 ビット×16 段の受信 FIFO を搭載しています。
- ・ FIFO 許可時の転送要求信号 (DMA_RX_REQ) は、FCR レジスタで設定する受信 FIFO トリガ・レベル領域分だけ転送要求を繰り返します。接続する DMAC がシングル転送でデータ転送を行うことを前提とした仕様になっています。
- ・ 接続する DMAC の転送要求の検出はレベル検出を前提とした仕様になっています。
- ・ FIFO 許可時に接続する DMAC 以外のマスタ・マクロから RBR レジスタへのアクセスは禁止です。
- ・ データ転送開始前に転送要求制御回路をリセットする必要があります。
受信 FIFO トリガ・レベル設定値に受信データが到達する前に受信データが終了した場合、文字タイム・アウト割り込みが発生します。受信 FIFO に残ったデータを処理する必要があります。図 16-8 の推奨ソフトウェア処理を参考にしてください。
- ・ 受信側の DMA インタフェース信号は、FIFO 許可時と FIFO 禁止時で動作が異なります。
- ・ 表 16-7 に、DMA_RX_REQ /DMA_RX_ACK 信号の動作仕様を示します。

表 16-7 DMA_RX_REQ /DMA_RX_ACK 信号の仕様

	DMA_RX_REQ セット条件	DMA_RX_REQ クリア条件
受信 FIFO 禁止 (FCR レジスタ ビット 0 = 0)	RBR(受信バッファ・レジスタ)にデータがある場合にセットされます。	・ RBR レジスタヘデータ・リードした場合、クリアされます。 FDR レジスタ ビット 4 に 1 をセット(受信側の転送要求信号制御回路リセット)した場合。
受信 FIFO 許可 (FCR レジスタ ビット 0 = 1)	FCR レジスタ [7:6] で設定した受信 FIFO トリガ・レベル分のデータ転送要求を出力します。 1 文字目の転送要求信号 (DMA_RX_REQ) は、FCR [7:6] で設定したトリガ・レベル分のデータを SIN 端子から受信した場合にセットされます。以降、例えばトリガ・レベルを 4 文字に設定した場合は、2 文字目から文字目の転送要求は、転送要求を受け付けた DMA コントローラから RBR レジスタヘデータ・リードすると、1 度転送要求をクリアした後に次の転送要求をセットします。4 文字目の RBR レジスタへのデータ・リード完了後に転送要求はクリアされ、再び、トリガ・レベル分のデータを受信するまではセットされません。	
	—	・ FDRn レジスタ ビット 4 に 1 をセット（受信側の転送要求信号制御回路リセット）した場合。

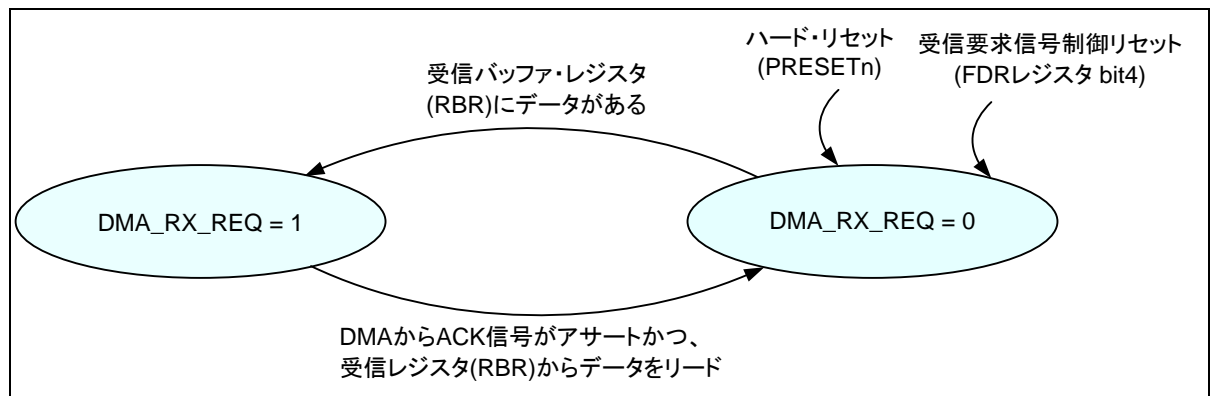


図 16-6 DMA_RX_REQ (受信 FIFO 禁止)の状態遷移図

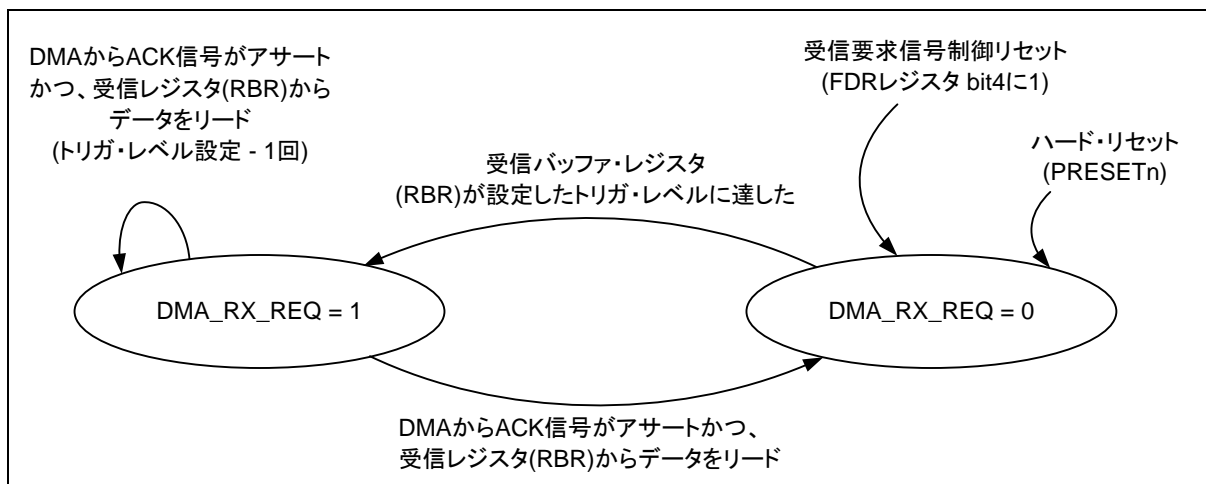


図 16-7 DMA_RX_REQ (受信 FIFO 許可)の状態遷移図

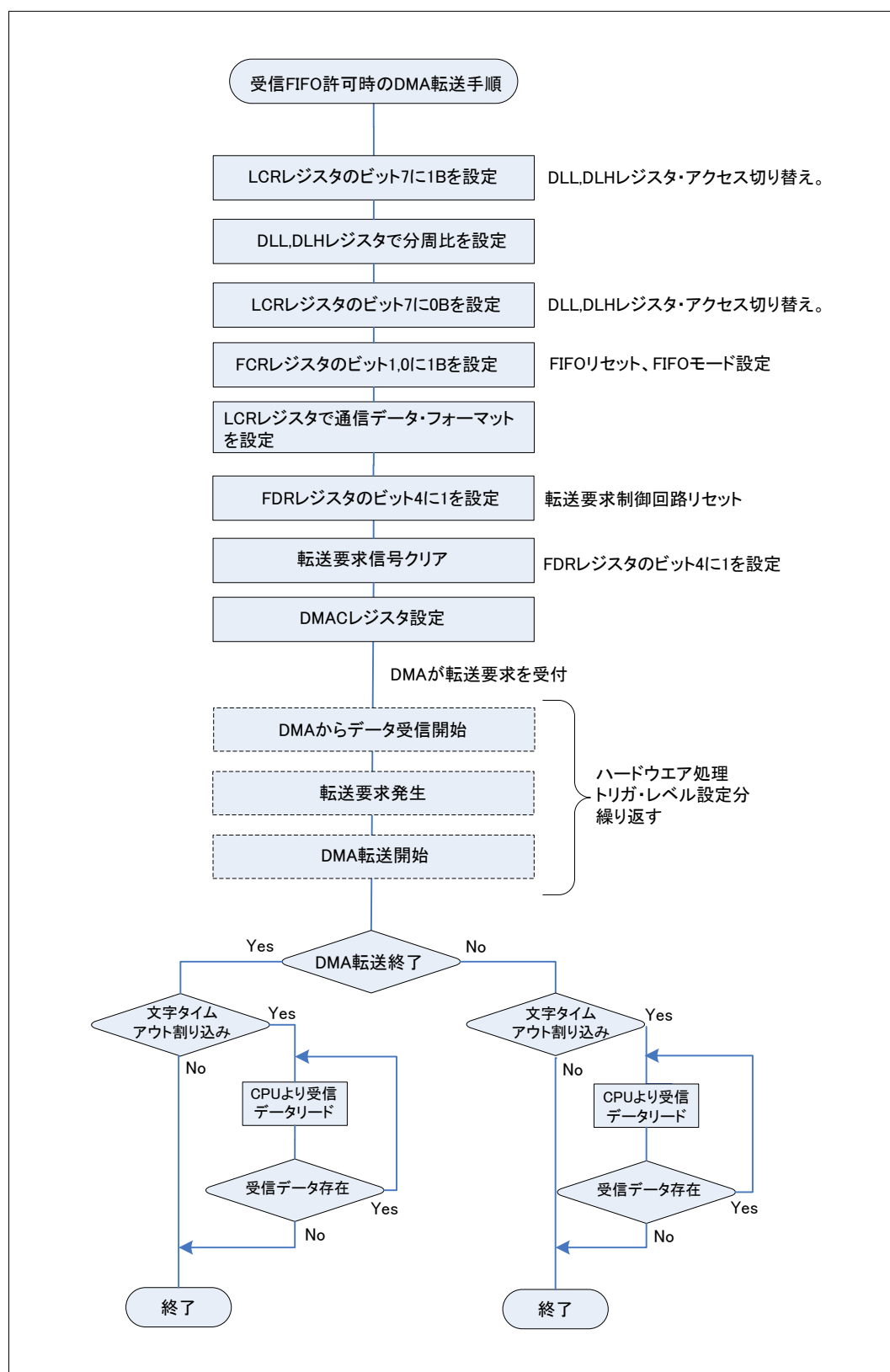


図 16-8 DMA 転送手順（受信 FIFO 許可）