

付録B. バス構成

B.1 バス構成

JL-086A のバス構成を以下に示します。

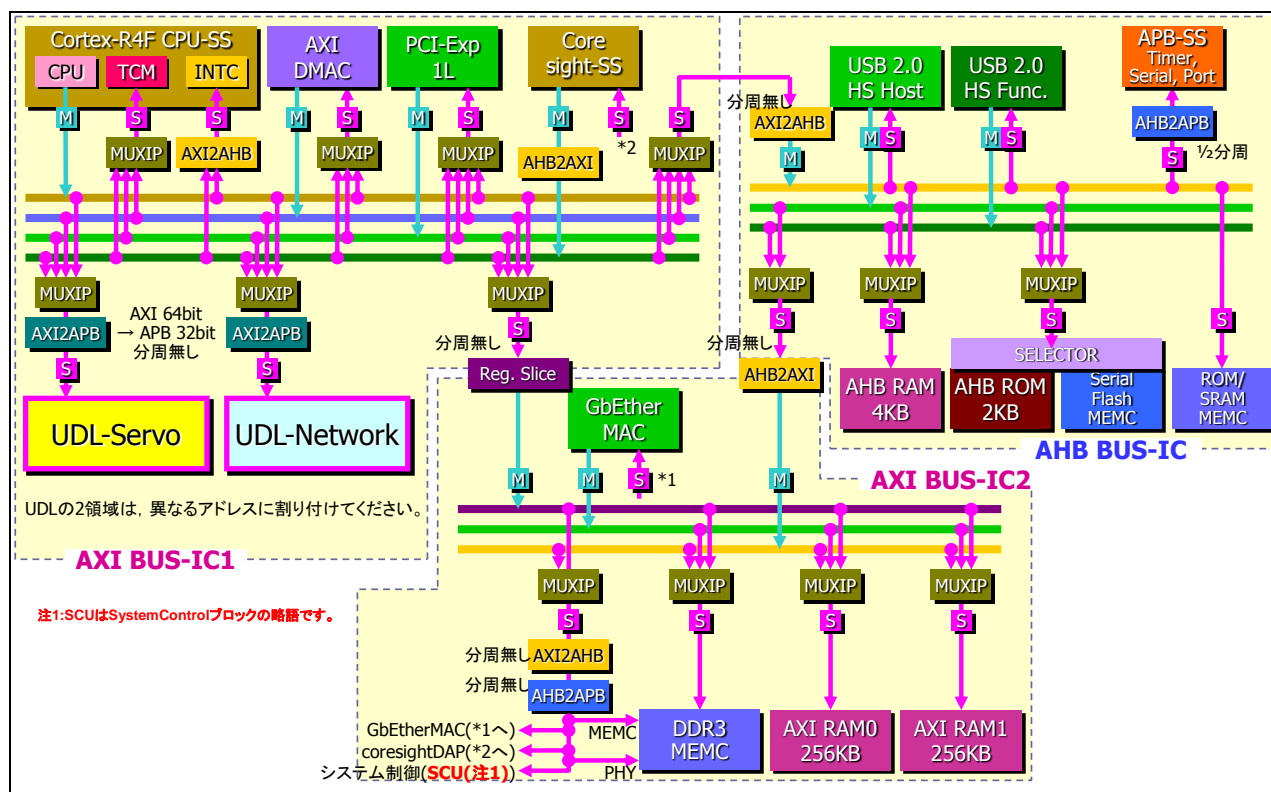


図 B-1 バス構成ブロック図

B.1.1 AXI マスタ-スレーブ接続 1 (AXI BUS-IC1)

表 B-1 AXI バス接続(1/2)

AXI BUS-IC1 : 64bit、125MHz、4 Master / 8 Slave						
マスター→ スレーブ↓		0	1	2	3	プライオリティ RR (fair) 0 : CPU 1 : PCIe 2 : DMAC 3 : CoreSight-SS
		CPU	PCIe	DMAC	CoreSight-SS	
0 (高)	UDL (Servo)	○	○	○	○	
1	UDL (Network)	○	○	○	○	
2	CPU TCM	×	○	○	○	
3	CPU INTC	○	×	×	○	
4	AXI BUS-IC2 (Register Slice)	○	○	○	○	
5	AHB BUS-IC (AXI2AHB)	○	○	○	○	
6	PCIe	○	○	○	○	
7 (低)	AXI DMAC Reg.	○	○	×	○	

CPU INTCは、CPU INTCに個別に設けたAXI2AHB経由で接続

UDLは、マスタ機能なし、2つのスレーブ領域に分けUDLアクセス競合を削減、AXI2APBで容易なAPB I/Fで接続

設定項目	選択内容		
AXIマスタ	CPU、PCIe、AXI DMAC、CoreSight-SS		
AXIスレーブ	UDL x2 (AXI2APB)、CPU TCM、CPU INTC、AXI BUS-IC2、AHB BUS-IC、PCIe、AXI DMAC Reg.		
プライオリティ	FIX	固定優先	最優先のマスタ番号を指定
	RR (fair)	ラウンドロビン	
	RR (alternate)	固定優先付ラウンドロビン	最優先のマスタ番号を指定、最優先以外のマスタはラウンドロビン

B.1.2 AXI マスタ-スレーブ接続 2 (AXI BUS-IC2)

表 B-2 AXI バス構成(2/2)

AXI BUS-IC2 : 64bit、125MHz、3 Master / 4 Slave				
マスタ→		0	1	2
スレーブ ↓		AXI BUS-IC1 (Register Slice)	GbEther	AHB BUS-IC (AHB2AXI)
0(高)	AXI RAM0 (Lower 256KB)	○	○	○
1	AXI RAM1 (Upper 256KB)	○	○	○
2	DDR3 MEMC	○	○	○
3(低)	AXI2AHB (GbEther Reg、DDR3 Reg、 CoreSight Reg、システム制御 Reg.)	○	×	○
プライオリティ RR(fair) 0 : AXI BUS-IC1 1 : GbEther 2 : AHB BUS-IC				

設定項目	選択内容		
AXIマスタ	AXI BUS-IC1、GbEther、AHB BUS-IC		
AXIスレーブ	AXI RAM0、AXI RAM1、DDR3-MEMC、AXI2AHB		
プライオリティ	FIX	固定優先	最優先のマスタ番号を指定
	RR(fair)	ラウンドロビン	
	RR(alternate)	固定優先付ラウンドロビン	最優先のマスタ番号を指定、最優先以外のマスタはラウンドロビン

B.1.3 AHB マスタ-スレーブ接続 (AHB BUS-IC)

表 B-3 AHB バス構成

AHB BUS-IC : 32bit、125MHz、3 Master / 7 Slave

マスタ→		0	1	2	プライオリティ	
スレーブ↓		AXI BUS-IC1 (AXI2AHB)	USB Host	USB Function		
0(高)	AHB RAM	○	○	○	RR(fair)	0 : AXI BUS-IC1 1 : USB Host 2 : USB Function
1	AXI BUS-IC2(AHB2AXI)	×	○	○		
2	MEM-SS TYPE-SRAM	○	×	×		
3	MEM-SS TYPE-SROM AHB ROM	○	○	○	RR(fair)	0 : AXI BUS-IC1 1 : USB Host 2 : USB Function
4	USB Host	○	×	×		
5	USB Function	○	×	×		
6(低)	APB-SS	○	×	×	FIX 0(AXI BUS-IC1)	

設定項目	選択内容		
AHBマスタ	AXI BUS-IC1、USB Host、USB Function		
AHBスレーブ	AHB RAM、AXI BUS-IC2、MEM-SS TYPE-SRAM、MEM-SS TYPE-SROM/AHB ROM、USB Host、USB Function、APB-SS		
プライオリティ	FIX	固定優先	最優先のマスタ番号を指定
	RR(fair)	ラウンドロビン	
	RR(alternate)	固定優先付ラウンドロビン	最優先のマスタ番号を指定、最優先以外のマスタはラウンドロビン

B.2 各 IP マクロ間の最短レイテンシ

以下に各 IP マクロ間の最短レイテンシを記載します。

JL-086A で多用される、バースト長 = 1 (= シングル・アクセス) の値です。

表 B-4 各マクロ間の最短レイテンシ

図中の番号	アクセス・パス	ライト時	リード時	備 考
①	AXIマスタ→AXIスレーブ	アドレス→応答 : 3サイクル	アドレス→データ : 2サイクル	Register Sliceなし
②	AXI Register Slice	+1サイクル	+2サイクル	
③	AXI マスタ→AHBスレーブ	アドレス→応答 bufferable : 4サイクル non-bufferable : 7サイクル	アドレス→データ : 8サイクル	
④	AHB マスタ→AXI スレーブ	アドレス→応答 bufferable : 3サイクル non-bufferable : 6サイクル	アドレス→データ : 5サイクル	
⑤	AXIAPBブリッジ (AXI2APB)	アドレス→応答 : 6サイクル	アドレス→データ : 4サイクル	
⑥	AHBAPBブリッジ (AHB2APB)	アドレス→書き込み完了 : 4サイクル	アドレス→データ : 5サイクル	参考

注 上記記載は最短レイテンシ (参考値) であり、常時記載の値になるわけではありません。

補足 1 上記表中の「図中の番号」①～⑤に関しては、図 B-2、B-3 もご参考ください。

補足 2 表中の"サイクル"は、バスクロック (125MHz) に対しての値になります。

B.2.1 リード系レイテンシ

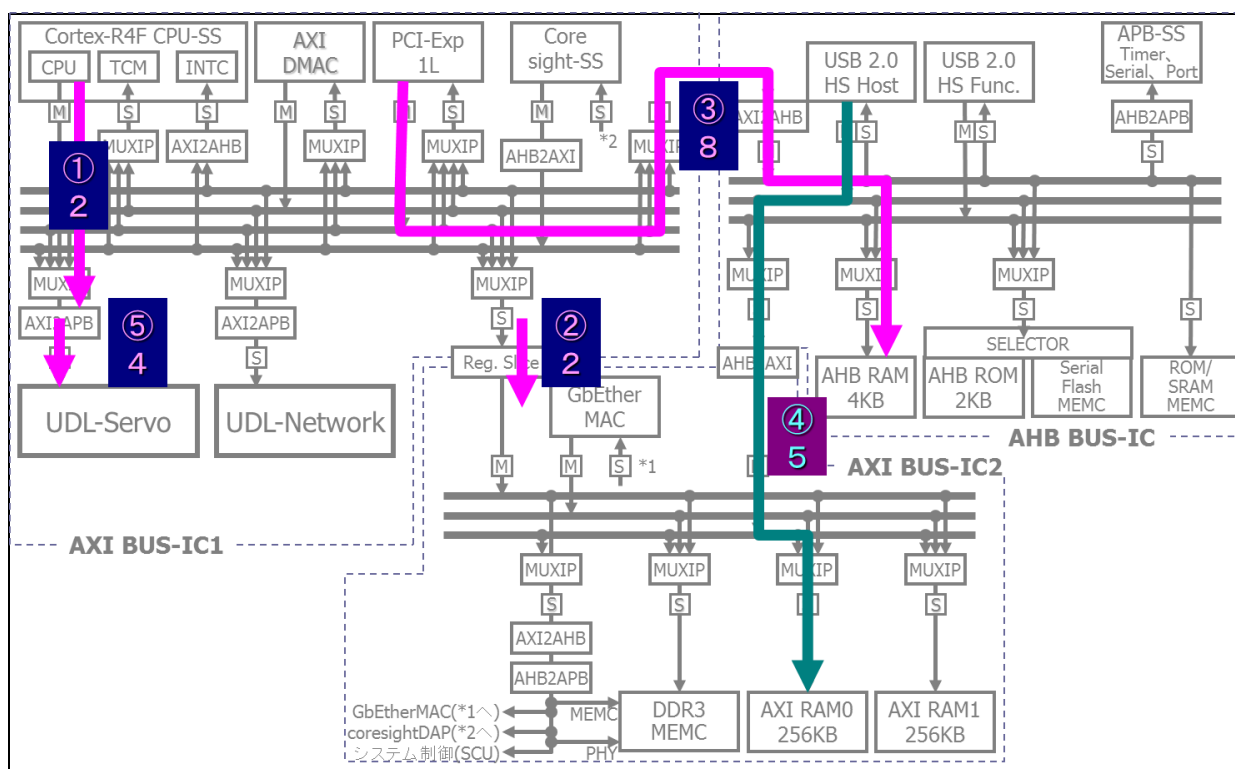


図 B-2 リード系レイテンシ

注 下記の図記載の最短レイテンシ（参考値）であり、常時記載の値になるわけではありません。

B.2.2 ライト系レイテンシ

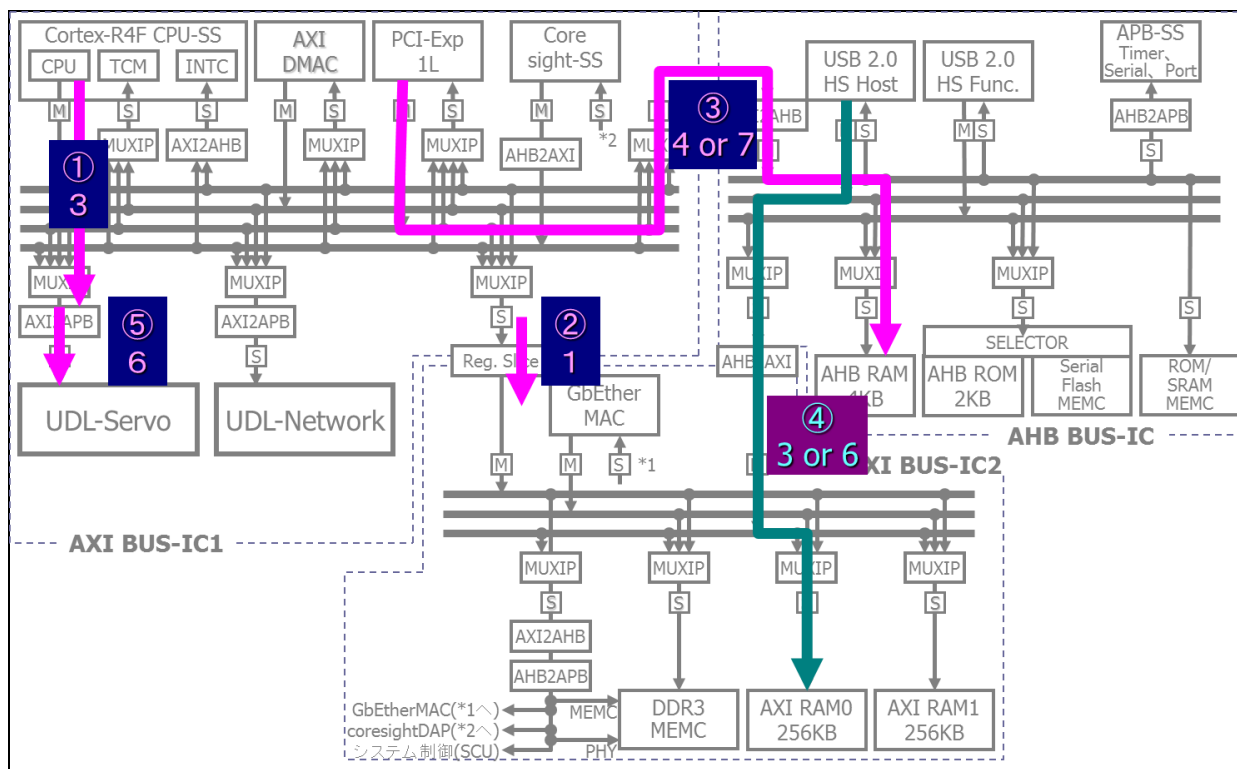


図 B-3 ライト系レイテンシ

注 下記の図記載の最短レイテンシ（参考値）であり、常時記載の値になるわけではありません。