
第9章 Serial Flash メモリ・コントローラ

9.1 概要

NPPFAHBMEMSP1V10(本Serial Flashメモリ・コントローラ) は, **SPI** 互換のインタフェースを有するシリアルROM (シリアルFLASH メモリ, シリアルEEPROM, シリアルFeRAM 等の不揮発性メモリ) を, バスに接続するためのメモリ・コントローラです。

9.1.1 特徴

SPI :	SPI モード 0 と SPI モード 3 に対応 (初期状態を端子設定) アドレス幅は 24bit
タイミング調整機能 :	レジスタ設定により, 広範囲のシリアル ROM に対応可能
ROM 読み出し機能 :	シリアル ROM からの直接ブートが可能 Read, Fast Read, Fast Read Dual Output, Fast Read Dual I/O 命令に対応 プリフェッチ機能搭載 ポーリング処理が可能 SPI バス・サイクル延長機能搭載
直接通信機能 :	多様なデバイスの命令・機能に, ソフトウェア制御で柔軟に対応可能 (消去, 書き込み, ID 読み出し, Power-Down 制御等)

9.1.2 端子説明

9.1.2.1 動作モード選択端子機能説明

○ ASIZE [1:0]

- SPI バスのアドレス幅を選択するための端子です。接続するシリアル・デバイスに合わせて、8/16/24 ビットの中から選択することが可能です。

表 9-1 ASIZE[1:0]によるアドレス幅選択

ASIZE [1:0]	SPI バスのアドレス幅
11	24 ビット (3 バイト)
10	
01	16 ビット (2 バイト)
00	8 ビット (1 バイト)

注意 JL-086A では、ASIZE[1:0]は 10B 固定となっています。

○ RELDPD [2:0]

- リセット解除時の **Release from Deep Power-Down** 命令の自動発行を選択するための端子です。
- RELDPD [2:0]に 000 以外の値が入力されている場合、リセット解除後に **Release from Deep Power-Down** 命令を発行し、RELDPD [2:0]で指定された時間の待ち合わせを行います。
- RELDPD [2:0]に 000 が入力されている場合は、リセット解除後の **Release from Deep Power-Down** 命令の発行と待ち合わせを行いません。

表 9-2 Deep Power-Down 解除後と待ち合わせ時間

RELPD [2:0]	リリース操作		待ち合わせ時間							
	Instruction	待ち合わせ [HCLK]	HCLK = 33 MHz	HCLK = 48 MHz	HCLK = 66 MHz	HCLK = 72 MHz	HCLK = 96 MHz	HCLK = 124 MHz	HCLK = 132 MHz	HCLK = 144 MHz
111	ABH	12336	372.4 μ s	256.0 μ s	186.2 μ s	170.7 μ s	128.0 μ s	99.5 μ s	93.4 μ s	85.3 μ s
110	ABH	6192	186.2 μ s	128.0 μ s	93.1 μ s	85.3 μ s	64.0 μ s	49.9 μ s	46.9 μ s	42.7 μ s
101	ABH	3120	93.1 μ s	64.0 μ s	46.6 μ s	42.7 μ s	32.0 μ s	25.2 μ s	23.6 μ s	21.3 μ s
100	ABH	1584	48.0 μ s	33.0 μ s	24.0 μ s	22.0 μ s	16.5 μ s	12.8 μ s	12.0 μ s	11.0 μ s
011	ABH	816	24.7 μ s	17.0 μ s	12.4 μ s	11.3 μ s	8.5 μ s	6.6 μ s	6.2 μ s	5.7 μ s
010	ABH	432	13.1 μs	9.0 μs	6.5 μs	6.0 μs	4.5 μs	3.5 μs	3.3 μs	3.0 μs
001	ABH	240	7.3 μ s	5.0 μ s	3.6 μ s	3.3 μ s	2.5 μ s	1.9 μ s	1.8 μ s	1.7 μ s
000	無し	無し	—	—	—	—	—	—	—	—

注意 JL-086A では、RELPD は 010B 固定となっています。

○ CFGSE0

- SPI バス・サイクル延長機能の初期状態を選択するための端子です。

表 9-3 CFGSE0 による SROM_CSZ 延長機能の初期状態選択

CFGSE0	SFMSMD レジスタの SFMSSE [1:0] ビットの初期値	SPI バス・アクセス後の SROM_CSZ 延長
1	01	SROM_CSZ を 33*SROM_CLK 延長する
0	00	SROM_CSZ 延長を行わない。

注意 JL-086A では、CFGSE0 は 1B 固定となっています。

○ CFGMD3

- SPI モードの初期値を選択するための端子です。

表 9-4 CFGMD3 による SPI モードの初期値選択

CFGMD3	SFMSMD レジスタの SFMDMD3 ビットの初期値	SPI モードの初期値
1	1	SPI モード 3
0	0	SPI モード 0

注意 JL-086A では、CFGMD3 は 1B 固定となっています。

○ CFGDV [1:0]

- 初期状態でのシリアル転送基準周期を選択するための端子です。

表 9-5 CFGDV [1:0] によるシリアル・クロック周期の初期値選択

CFGDV [1:0]	SFMSKC レジスタの SFMDV[4:0] ビットの初期値	初期状態でのシリアル転送の基準周期
1 1	1FH	48*HCLK
1 0	17H	32*HCLK
0 1	11H	20*HCLK
0 0	08H	10*HCLK

- 注意 1** シリアル ROM からブートを行う場合には、最初のシリアル ROM 読み出しが通常の READ 命令で行われる点に留意して、シリアル・クロック周期の初期値を選択する必要があります。
- 2** JL-086A では、CFGDV[1:0] は 00B 固定となっています。

9.1.3 割り込み信号

9.1.3.1 割り込み信号一覧

表 9-6 割り込み一覧

割り込み端子名	割り込みの種類	Pulse/ Level	最小 Pulse 幅	Active Level	同期クロック
INTR (SFMEMC_INT)	システムに異常を通知するための割り込み要求 発生条件：直接通信モード中の ROM 読み出し検出 発生時期：該当する ROM アクセスが行われた時点 解除条件：SFMCSST レジスタの EROMR ビットへの 0 書き込み ※SFMCSST レジスタへの書き込みによってクリアさ れるまで出力され続けます。	Level	--	H	HCLK

9.1.4 SPI 空間と SPI バスのアドレス幅

SPI 空間はシリアル ROM を参照するためのアドレス幅 24 ビットの空間です。SPI 空間へのリード・アクセスを行うと、自動的に SPI バス・サイクルが起動し、シリアル ROM から読み出されたデータが返されます。

SPI 空間のアドレス幅は 24 ビット固定です。

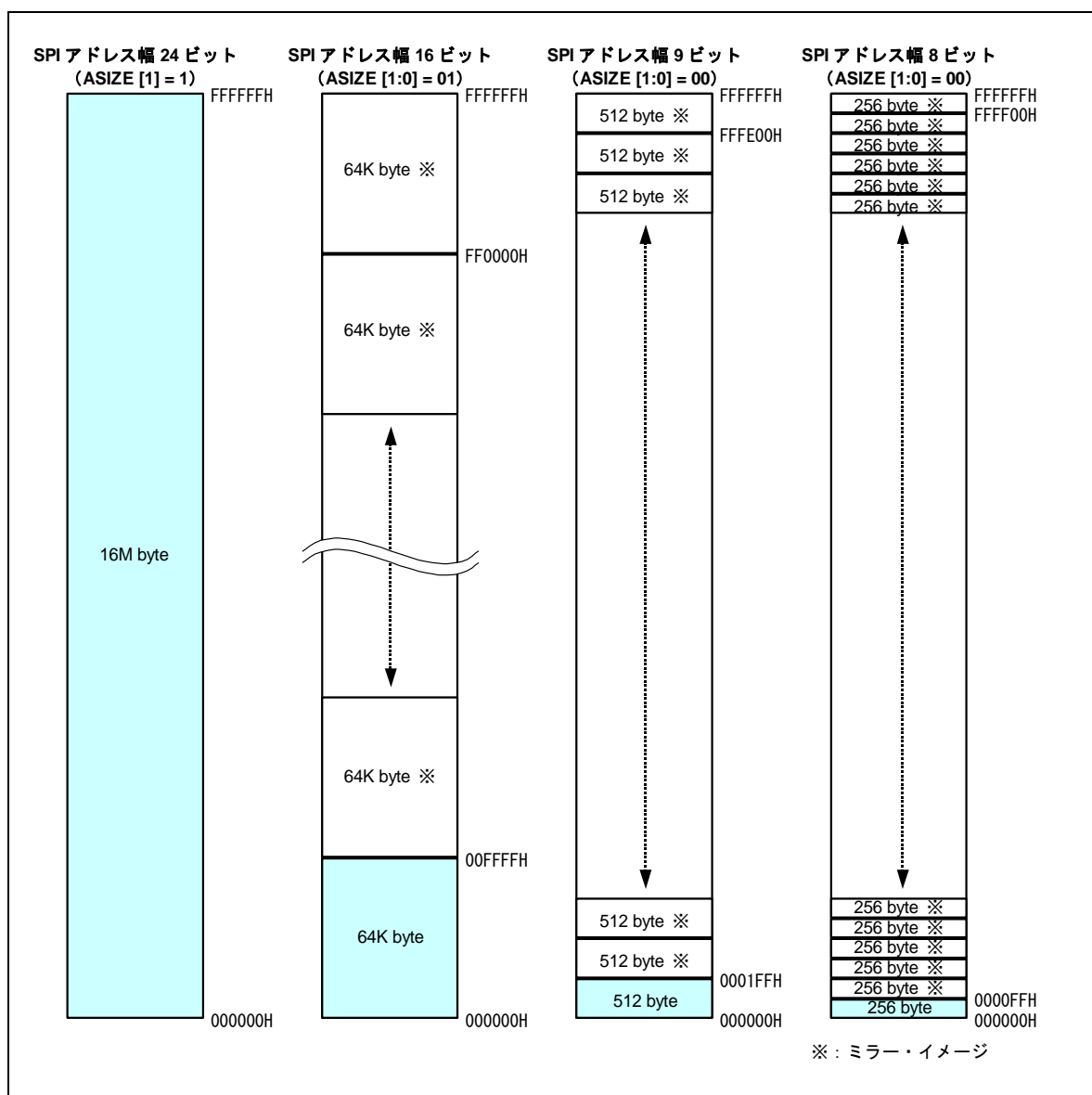


図 9-1 SPI 空間のメモリ・マップ

備考 SPI バスのアドレス幅は ASIZE [1:0]端子を通して、24/16/8 ビットの中から選択します。

JL-086A では ASIZE[1:0]は 10B(24 ビット)固定となります。

特に 8 ビットのアドレス幅を選択した場合、Read 命令コード中に 9 ビット目のアドレス情報を埋め込むことがあり、これを SPI アドレス幅 9 ビットのケースとして、アドレス・マップを示しています。 Read 命令の詳細については、「9.3.4.2 標準 Read 命令」を参照してください。

9.1.5 シリアル ROM の有効アドレス幅

注意 この章の内容は、シリアル ROM 製品の一般仕様に関するものです。

一般的なシリアル ROM においては、ROM の容量は 2 のべき乗となっており、シリアル ROM はその容量に応じた固有の有効アドレス幅を持っています。一方で SPI バスのアドレス幅は 8/16/24 ビットの 3 種類に固定されているため、SPI バスから供給されたアドレスのうち、有効アドレス幅を超える上位側のアドレス・ビットがシリアル ROM によって無視されます。

たとえば 4M バイトのシリアル ROM の場合、SPI バスのアドレス幅は 24 ビットとなりますが、ROM 内容の参照にはアドレスの下位側 22 ビットのみが有効となり、アドレスの上位 2 ビットが無視されます。

この結果、シリアル ROM の容量に応じたミラー・イメージが、SPI 空間に繰り返し現れます。

このようなミラー・イメージの存在は、たとえばハイ・ベクタが選択された ARM プロセッサがシリアル ROM からブートを行うような場面において、重要な意味を持ちます。

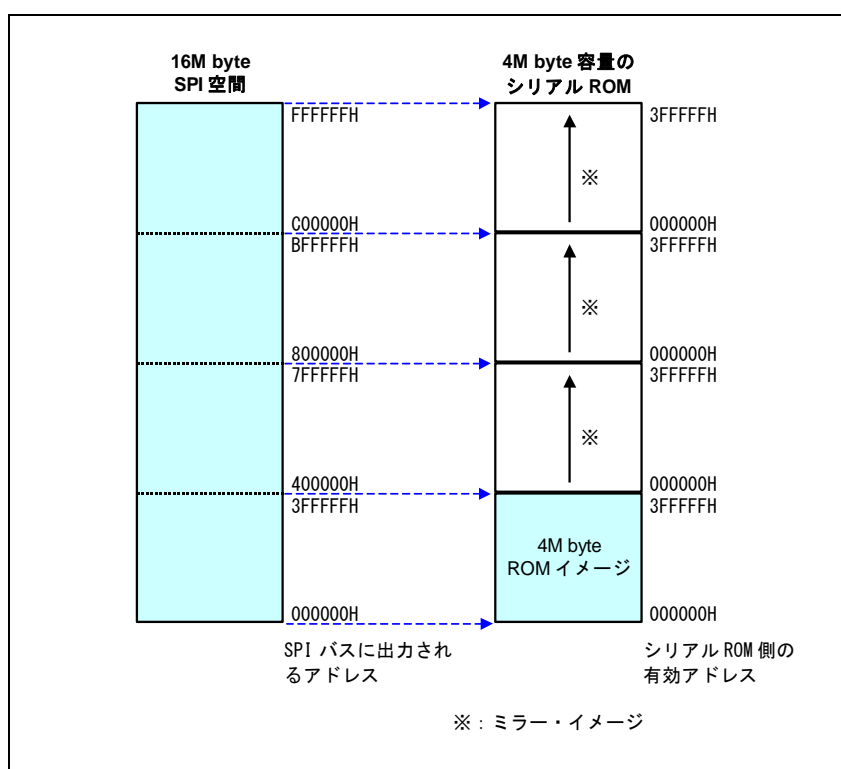


図 9-2 SPI アドレスの上位ビットを無視するシリアル ROM の例

注意 シリアル ROM 側で SPI バスで供給されるアドレスの上位ビットが無視され、ミラー・イメージが SPI 空間に出現するか否かは、個々のシリアル ROM 製品の仕様に依存します。

応用製品開発におかれましては、特にミラー・イメージの出現が必要とされる場合、採用するシリアル ROM 製品の仕様を御確認いただく必要があります。

9.2 レジスタ一覧

9.2.1 制御レジスタ一覧

表 9-7 制御レジスタ一覧

アドレス	レジスタ名	略称	R/W	初期値	アクセス・サイズ
E802_0000H	転送モード制御レジスタ ※bit31-16,15-13,3,2 はリードオンリーです。	SFMSMD	R/W	0000_0000H 0000_0010H 0000_0100H 0000_0110H (注 1, 注 2)	32bit
E802_0004H	チップ選択制御レジスタ ※bit31-8,7,6 はリードオンリーです。	SFMSSC	R/W	0000_0037H	32bit
E802_0008H	クロック制御レジスタ ※bit31-8,7,6 はリードオンリーです。	SFMSKC	R/W	0000_0008H 0000_0011H 0000_0017H 0000_001FH (注 3)	32bit
E802_000CH	ステータス・レジスタ	SFMSST	R	0000_0080H	32bit
E802_0010H	通信ポート ※bit31-8 はリードオンリーです。	SFMCOM	R/W	--	32bit
E802_0014H	通信モード制御レジスタ ※bit31-1 はリードオンリーです。	SFMCMD	R/W	0000_0000H	32bit
E802_0018H	通信ステータス・レジスタ ※bit31-8,6-0 はリードオンリーです。	SFMCST	R/W	0000_0000H	32bit
E802_001CH	Reserved ※アクセス禁止です。アクセスした場合は動作保証外です。	--	--	--	--
E802_0020H - E802_03FFH	Reserved ※アクセス禁止です。アクセスした場合は動作保証外です。	--	--	--	--

注 1 SFMSMD レジスタの SFMMD3 ビットの初期値は、CFGMD3 端子を通して選択します。

JL-086A では、CFGMD3 = 1B 固定です。

2 SFMSMD レジスタの SFMSE [0] ビットの初期値は、CFGSE0 端子を通して選択します。

JL-086A では、CFGSE0 = 1B 固定です。

3 SFMSKC レジスタの SFMDV [4:0] ビットの初期値は、CFGDV [1:0] 端子を通して選択します。

JL-086A では、CFGDV[1:0] = 00B 固定です。

9.3 機能詳細

9.3.1 制御レジスタ

9.3.1.1 転送モード制御レジスタ (SFMSMD : Address E802_0000H)

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU				SFMOS W	SFMO HW	SFMOE X	SFMM D3	SFMPA E	SFMPE E	SFMSE	RFU			SFMR M	

Bits	ビット名	R/ W	初期値	機能説明
31:13	RFU	R	00000H	予約領域。0を設定してください。読み出すと0が読めます。
12	RFU	R W	0	予約領域。0を設定してください。読み出すと0が読めます。 ※ 1を設定した場合の動作は保障されません。
11	SFMOSW	R W	0	シリアル送信用のセットアップ時間調整。 1: 送信時の SROM_CLK ハイ幅を 1*HCLK 間延長 0: 送信時の SROM_CLK ハイ幅を延長しない
10	SFMOHW	R W	0	シリアル送信用のホールド時間調整。 1: 送信時の SROM_CLK ロー幅を 1*HCLK 間延長 0: 送信時の SROM_CLK ロー幅を延長しない
9	SFMOEX	R W	0	シリアル・インタフェース用 I/O バッファの出力許可の延長。 1: 出力許可信号を 1*SROM_CLK 間延長 0: 出力許可信号を延長しない
8	SFMMD3	R W	0/1 (注 1)	SPI モード選択。初期値は CFGMD3 への入力によって決まります。 1: SPI モード 3 0: SPI モード 0
7	SFMPAE	R W	0	バイト境界以外でのプリフェッチ中断機能選択。 1: バイト境界以外でのプリフェッチ中断を許可 0: バイト境界以外でのプリフェッチ中断を禁止
6	SFMPE	R W	0	プリフェッチ機能選択。 1: プリフェッチを許可 0: プリフェッチを禁止
5:4	SFMSE [1:0]	R W	00/01 (注 2)	SPI バス・アクセス後の SROM_CSZ 延長機能選択。 11: SROM_CSZ を無期限で延長 10: SROM_CSZ を 129*SROM_CLK 間延長 01: SROM_CSZ を 33*SROM_CLK 間延長 00: SROM_CSZ を延長しない
3:2	RFU	R	00	予約領域。0を設定してください。読み出すと0が読めます。
1:0	SFMRM [1:0]	R W	00	シリアル・インタフェースの Read モード選択。 11: Fast Read Dual I/O 10: Fast Read Dual Output 01: Fast Read 00: 標準 Read

注 1 SFMSMD レジスタの SFMMD3 ビットの初期値は、CFGMD3 端子を通して選択します。
JL-086A では、CFGMD3 = 1B 固定です。

2 SFMSMD レジスタの SFMSE [0] ビットの初期値は、CFGSE0 端子を通して選択します。
JL-086A では、CFGSE0 = 1B 固定です。

9.3.1.2 チップ選択制御レジスタ (SFMSSC : Address E802_0004H)

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU										SFMSL D	SFMSH D	SFMSW			

Bits	ビット名	R/ W	初期値	機能説明
31:6	RFU	R	0000000H	予約領域。0を設定してください。読み出すと0が読めます。
5	SFMSLD	R W	1	SROM_CSZ 信号の出力タイミング選択。 1: 最初の SROM_CLK 立ち上がりの 1.5*SROM_CLK 手前で SROM_CSZ を出力 0: 最初の SROM_CLK 立ち上がりの 0.5*SROM_CLK 手前で SROM_CSZ を出力
4	SFMSHD	R W	1	SROM_CSZ 信号の解除タイミング選択。 1: 最後の SROM_CLK 立ち上がりから 1.5*SROM_CLK 以降に SROM_CSZ を解除 0: 最後の SROM_CLK 立ち上がりから 0.5*SROM_CLK 以降に SROM_CSZ を解除
3:0	SFMSW [3:0]	R W	0111	SROM_CSZ 信号の最小ハイ幅の選択。 1111: 16*SROM_CLK 1110: 15*SROM_CLK 1101: 14*SROM_CLK 1100: 13*SROM_CLK 1011: 12*SROM_CLK 1010: 11*SROM_CLK 1001: 10*SROM_CLK 1000: 9*SROM_CLK 0111: 8*SROM_CLK 0110: 7*SROM_CLK 0101: 6*SROM_CLK 0100: 5*SROM_CLK 0011: 4*SROM_CLK 0010: 3*SROM_CLK 0001: 2*SROM_CLK 0000: 1*SROM_CLK

9.3.1.3 クロック制御レジスタ (SFMSKC : Address E802_0008H)

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU										SFMDT Y	SFMDV				

Bits	ビット名	R/ W	初期値	機能説明
31:6	RFU	R	0000000 H	予約領域。0を設定してください。読み出すと0が読めます。
5	SFMDTY	R W	0	SROM_CLK 信号の Duty 比補正機能の選択。 1: SROM_CLK 信号の立ち上がりを 0.5*HCLK 遅らせます (※奇数倍周期でのみ有効) 0: 補正しない
4:0	SFMDV [4:0]	R W	11111/ 10111/ 10001/ 01000 (注 1)	シリアル・インタフェースの基準周期選択。(※不規則性に注意) 11111: 48*HCLK 11110: 46*HCLK 11101: 44*HCLK 11100: 42*HCLK 11011: 40*HCLK 11010: 38*HCLK 11001: 36*HCLK 11000: 34*HCLK 10111: 32*HCLK 10110: 30*HCLK 10101: 28*HCLK 10100: 26*HCLK 10011: 24*HCLK 10010: 22*HCLK 10001: 20*HCLK 10000: 18*HCLK 01111: 17*HCLK (奇数倍周期) (注 2) 01110: 16*HCLK 01101: 15*HCLK (奇数倍周期) (注 2) 01100: 14*HCLK 01011: 13*HCLK (奇数倍周期) (注 2) 01010: 12*HCLK 01001: 11*HCLK (奇数倍周期) (注 2) 01000: 10*HCLK 00111: 9*HCLK (奇数倍周期) (注 2) 00110: 8*HCLK 00101: 7*HCLK (奇数倍周期) (注 2) 00100: 6*HCLK 00011: 5*HCLK (奇数倍周期) (注 2) 00010: 4*HCLK 00001: 3*HCLK (奇数倍周期) (注 2) 00000: 2*HCLK

注 1. SFMSKC レジスタの SFMDV [4:0] ビットの初期値は, CFGDV [1:0] 端子を通して選択します。
JL-086A では, CFGDV[1:0] = 00B 固定です。

2. 奇数倍周期選択時には, Duty 比補正前の SROM_CLK 信号のハイ幅はロー幅よりも 1*HCLK 長くなります。

9.3.1.4 ステータス・レジスタ (SFMSST : Address E802_000CH)

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								PFOFF	PFFUL	RFU			PFCNT		

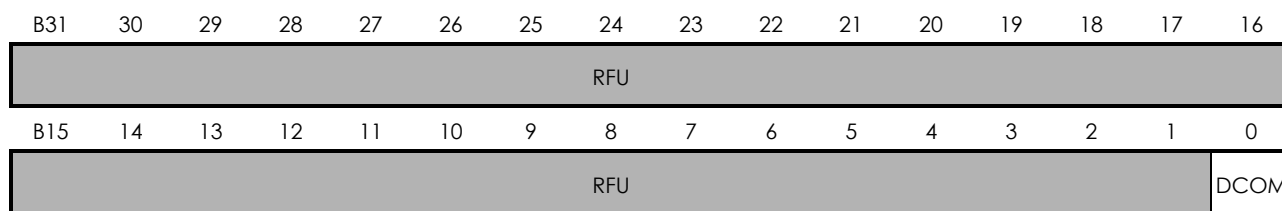
Bits	ビット名	R/W	初期値	機能説明
31:4	RFU	R	0000000H	予約領域。0を設定してください。読み出すと0が読めます。
7	PFOFF	R	1	プリフェッチ機能の動作状態。 1: プリフェッチが許可されていない, または動作していない 0: プリフェッチが動作中
6	PFFUL	R	0	プリフェッチ機能の動作状態。 1: プリフェッチ・バッファが満杯 0: プリフェッチ・バッファに空きあり
5:3	RFU	R	000	予約領域。0を設定してください。読み出すと0が読めます。
2:0	PFCNT [2:0]	R	000	プリフェッチ済みデータのバイト数。 110: 6 バイトのデータをプリフェッチ済み 101: 5 バイトのデータをプリフェッチ済み 100: 4 バイトのデータをプリフェッチ済み 011: 3 バイトのデータをプリフェッチ済み 010: 2 バイトのデータをプリフェッチ済み 001: 1 バイトのデータをプリフェッチ済み 000: プリフェッチ済みデータありません ※上記以外の組み合わせはありません。

9.3.1.5 通信ポート (SFMCOM : Address E802_0010H)

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU								SFMD							

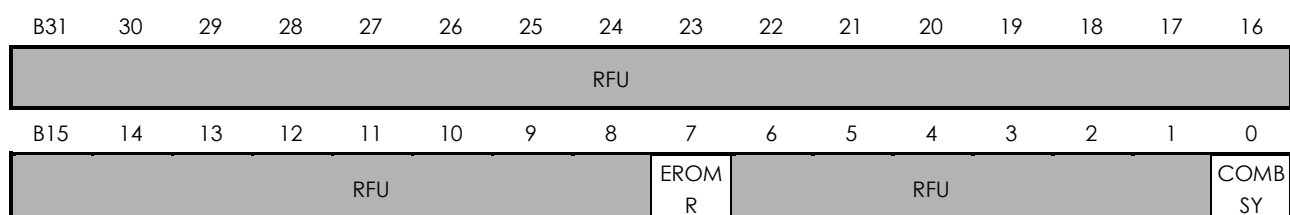
Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	R	0000000H	予約領域。0を設定してください。読み出すと0が読めます。
7:0	SFMD [7:0]	R/W	--	SPI バスと直接通信するためのポートです。 このポートへの入出力は, SPI バス・サイクルに変換されます。 ※直接通信モード (DCOM=1) でのみアクセス可能です。 ROM アクセス・モード下では, アクセスが無視されます。

9.3.1.6 通信モード制御レジスタ (SFMCMD : Address E802_0014H)



Bits	ビット名	R/W	初期値	機能説明
31:1	RFU	R	00000000H	予約領域。0を設定してください。読み出すと0が読めます。
0	DCOM	R/W	0	SPIバスとの通信モード選択。 1: 直接通信モード 0: ROMアクセス・モード

9.3.1.7 通信ステータス・レジスタ (SFM CST : Address E802_0018H)



Bits	ビット名	R/W	初期値	機能説明
31:8	RFU	R	000000H	予約領域。0を設定してください。読み出すと0が読めます。
7	EROMR	R/W	0	直接通信モード下の不正 ROM アクセス検出 1: 直接通信モード下の不正 ROM アクセスを検出 0: 異常なし ※0書き込みのみ可能。1書き込みは無視。
6:1	RFU	R	000000	予約領域。0を設定してください。読み出すと0が読めます。
0	COMBSY	R	0	直接通信での SPI バス・サイクル完了状態。 1: 処理中のシリアル転送が存在します 0: 処理中のシリアル転送はありません

9.3.2 SPI バス

9.3.2.1 SPI モード

CFGMD3 入力端子^注を通して、リセット解除後の SPI モードを 0 と 3 から選択することができます。また、レジスタ設定内容変更により、動作中に SPI モード 0 と SPI モード 3 とを切り替えることも可能です。

SPI モード 0 と SPI モード 3 との違いは、待機中の SROM_CLK 信号のレベルです。SPI モード 0 における SROM_CLK 信号の待機レベルはロー・レベル、SPI モード 3 における SROM_CLK 信号の待機レベルはハイ・レベルとなります。

注意 JL-086A では、CFGMD3 は 1B 固定となっています。

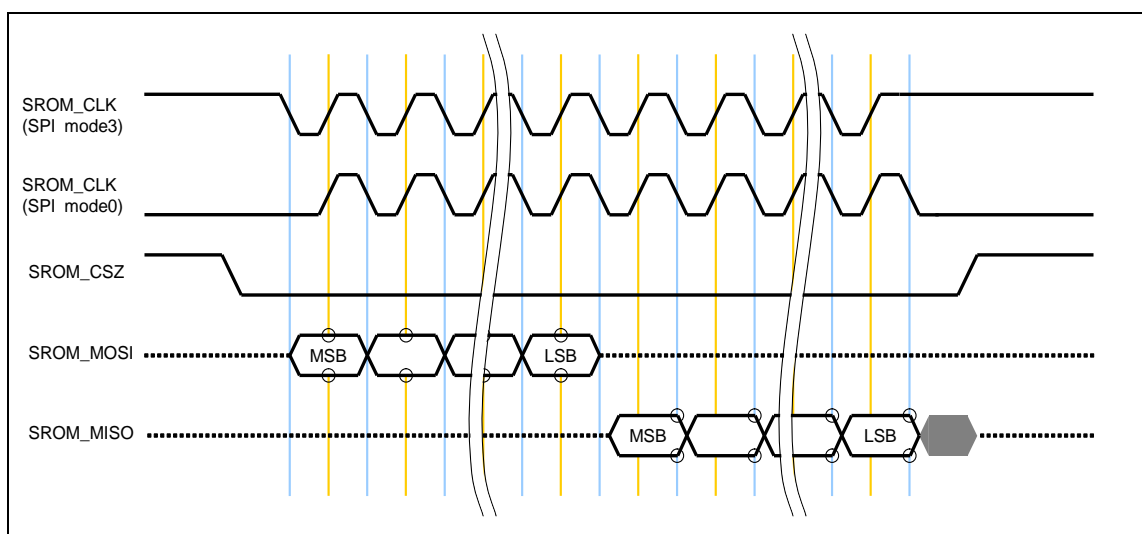


図 9-3 シリアル・インタフェースの基本タイミング

9.3.3 SPI バスのタイミング調整

SPI バス信号のタイミングを、レジスタ設定によって調整することができます。

ここでのタイミング設定内容は、ROM アクセスや直接通信に関わらず、すべての SPI バス・アクセスに適用されます。

9.3.3.1 SPI バスの基準周期

SPI バスは、HCLK 周期を整数倍して得られる基準周期に従って動作します。

この基準周期は、SFMSKC レジスタの SFMDV[4:0]ビット (bit4-0) を通して、HCLK 周期の 2 倍～48 倍の範囲内で選択することができます。

表 9-8 シリアル・クロック周波数早見表

SFMDV [4:0]	周期 倍率	HCLK周波数 [MHz]										
		24	33	48	66	72	84	96	120	132	144	150
11111	48	0.50	0.69	1.00	1.38	1.50	1.75	2.00	2.50	2.75	3.00	3.13
11110	46	0.52	0.72	1.04	1.43	1.57	1.83	2.09	2.61	2.87	3.13	3.26
11101	44	0.55	0.75	1.09	1.50	1.64	1.91	2.18	2.73	3.00	3.27	3.41
11100	42	0.57	0.79	1.14	1.57	1.71	2.00	2.29	2.86	3.14	3.43	3.57
11011	40	0.60	0.83	1.20	1.65	1.80	2.10	2.40	3.00	3.30	3.60	3.75
11010	38	0.63	0.87	1.26	1.74	1.89	2.21	2.53	3.16	3.47	3.79	3.95
11001	36	0.67	0.92	1.33	1.83	2.00	2.33	2.67	3.33	3.67	4.00	4.17
11000	34	0.71	0.97	1.41	1.94	2.12	2.47	2.82	3.53	3.88	4.24	4.41
10111	32	0.75	1.03	1.50	2.06	2.25	2.63	3.00	3.75	4.13	4.50	4.69
10110	30	0.80	1.10	1.60	2.20	2.40	2.80	3.20	4.00	4.40	4.80	5.00
10101	28	0.86	1.18	1.71	2.36	2.57	3.00	3.43	4.29	4.71	5.14	5.36
10100	26	0.92	1.27	1.85	2.54	2.77	3.23	3.69	4.62	5.08	5.54	5.77
10011	24	1.00	1.38	2.00	2.75	3.00	3.50	4.00	5.00	5.50	6.00	6.25
10010	22	1.09	1.50	2.18	3.00	3.27	3.82	4.36	5.45	6.00	6.55	6.82
10001	20	1.20	1.65	2.40	3.30	3.60	4.20	4.80	6.00	6.60	7.20	7.50
10000	18	1.33	1.83	2.67	3.67	4.00	4.67	5.33	6.67	7.33	8.00	8.33
01111	17	1.41	1.94	2.82	3.88	4.24	4.94	5.65	7.06	7.76	8.47	8.82
01110	16	1.50	2.06	3.00	4.13	4.50	5.25	6.00	7.50	8.25	9.00	9.38
01101	15	1.60	2.20	3.20	4.40	4.80	5.60	6.40	8.00	8.80	9.60	10.00
01100	14	1.71	2.36	3.43	4.71	5.14	6.00	6.86	8.57	9.43	10.29	10.71
01011	13	1.85	2.54	3.69	5.08	5.54	6.46	7.38	9.23	10.15	11.08	11.54
01010	12	2.00	2.75	4.00	5.50	6.00	7.00	8.00	10.00	11.00	12.00	12.50
01001	11	2.18	3.00	4.36	6.00	6.55	7.64	8.73	10.91	12.00	13.09	13.64
01000	10	2.40	3.30	4.80	6.60	7.20	8.40	9.60	12.00	13.20	14.40	15.00
00111	9	2.67	3.67	5.33	7.33	8.00	9.33	10.67	13.33	14.67	16.00	16.67
00110	8	3.00	4.13	6.00	8.25	9.00	10.50	12.00	15.00	16.50	18.00	18.75
00101	7	3.43	4.71	6.86	9.43	10.29	12.00	13.71	17.14	18.86	20.57	21.43
00100	6	4.00	5.50	8.00	11.00	12.00	14.00	16.00	20.00	22.00	24.00	25.00
00011	5	4.80	6.60	9.60	13.20	14.40	16.80	19.20	24.00	26.40	28.80	30.00
00010	4	6.00	8.25	12.00	16.50	18.00	21.00	24.00	30.00	33.00	36.00	37.50
00001	3	8.00	11.00	16.00	22.00	24.00	28.00	32.00	40.00	44.00	48.00	50.00
00000	2	12.00	16.50	24.00	33.00	36.00	42.00	48.00	60.00	66.00	72.00	75.00

※単位は MHz

9.3.3.2 SROM_CLK 信号の Duty 比

HCLK 周期の偶数倍を基準周期とする場合、SROM_CLK 信号のハイ幅とロー幅は等しくなりますが、HCLK 周期の奇数倍を基準周期とする場合、SROM_CLK 信号のハイ幅はロー幅に対し $1 \times \text{HCLK}$ だけ長くなります。

HCLK 周期の奇数倍を基準周期とする場合の SROM_CLK 信号の Duty 比を 50% に近づけるためには、SFMSKC レジスタの SFMDTY ビット (bit5) に 1 を設定します。SFMSKC レジスタの SFMDTY ビットに 1 が設定されると、SROM_CLK 出力信号の立ち上がりを HCLK 半周期分だけ遅らせ、Duty 比 50% 相当のインタフェース動作を実現します。

なお、HCLK 周期の偶数倍を基準周期とする場合には、SFMSKC レジスタの SFMDTY ビットの設定内容は無視されます。

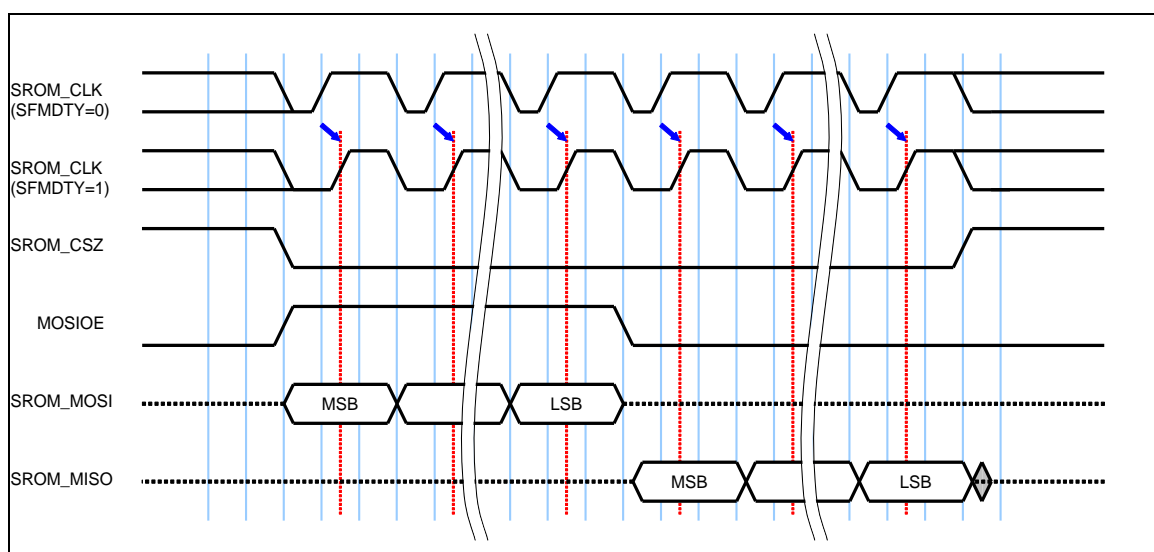


図 9-4 SFMDTY ビットによる SROM_CLK 信号の Duty 比補正 (3 倍周期の例)

注意 SFMDTY ビットによる Duty 比補正は、HCLK 信号の立ち下がりエッジを用いることから、HCLK 信号の Duty 精度やクロック・ツリー構造の影響を受け、AC 特性の悪化を伴います。したがって、Duty 比補正の効果は、レイアウト結果から判断する必要があります。

9.3.3.3 SROM_CSZ 信号の最小ハイ幅

隣接する SPI バス・サイクル間では、SROM_CSZ 信号を一定時間以上ハイ・レベル（インアクティブ状態）に保ち、デバイスが要求する非選択時間を満足させる必要があります。

SROM_CSZ 出力信号の最小ハイ幅は、SFSSC レジスタの SFMSW[3:0] ビット（bit3-0）を通して、基準周期の 1～16 倍の範囲内で選択することができます。

9.3.3.4 SROM_CSZ 信号のセットアップ時間

SROM_CSZ 信号をロー・レベルにしてから最初の SROM_CLK 信号が立ち上がる時には、デバイスが要求する SROM_CSZ 信号のセットアップ時間を満足させる必要があります。

SROM_CSZ 信号のセットアップ時間は、SFSSC レジスタの SFMSLD ビット（bit5）を通して、 $0.5 \times \text{SROM_CLK}$ と $1.5 \times \text{SROM_CLK}$ のどちらかを選択することができます。

なお、SFSSC レジスタの SFMSLD ビット（bit5）の設定内容は、シリアル・データ出力許可信号（MOSIOE, MISOOE）の出力から最初の SROM_CLK 信号の立ち上げまでのセットアップ時間確保にも適用されますので、厳しい側のタイミングに合わせて設定値を選択してください。

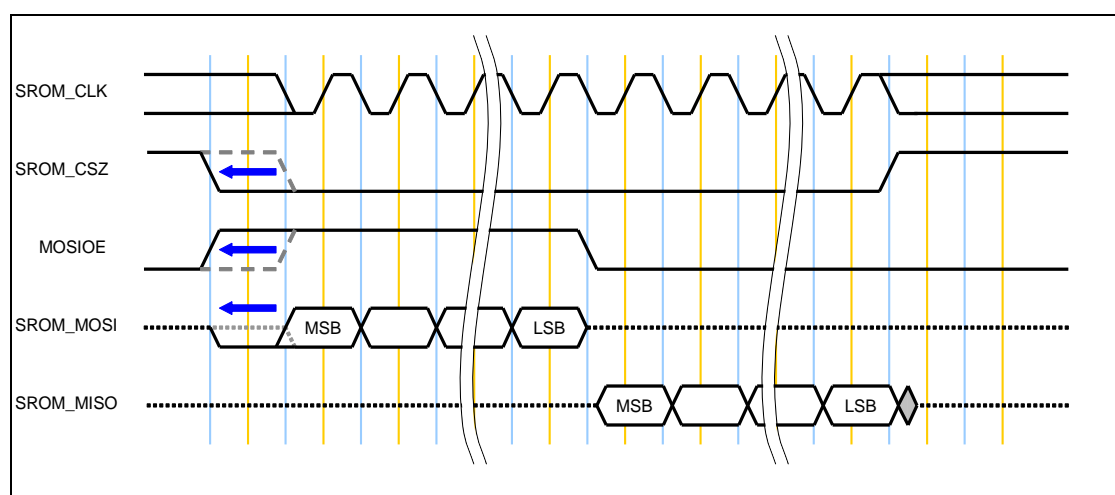


図 9-5 SFMSLD ビットによる SROM_CSZ 信号のセットアップ時間調整

9.3.3.5 SROM_CSZ 信号のホールド時間

最後の SROM_CLK 信号の立ち上がりから SROM_CSZ 信号をハイ・レベルにするときには、デバイスが要求する SROM_CSZ 信号のホールド時間を満足させる必要があります。

SROM_CSZ 信号のホールド時間は、SFSSC レジスタの SFMSHD ビット（bit4）を通して、 $0.5 \times \text{SROM_CLK}$ と $1.5 \times \text{SROM_CLK}$ のどちらかを選択することができます。

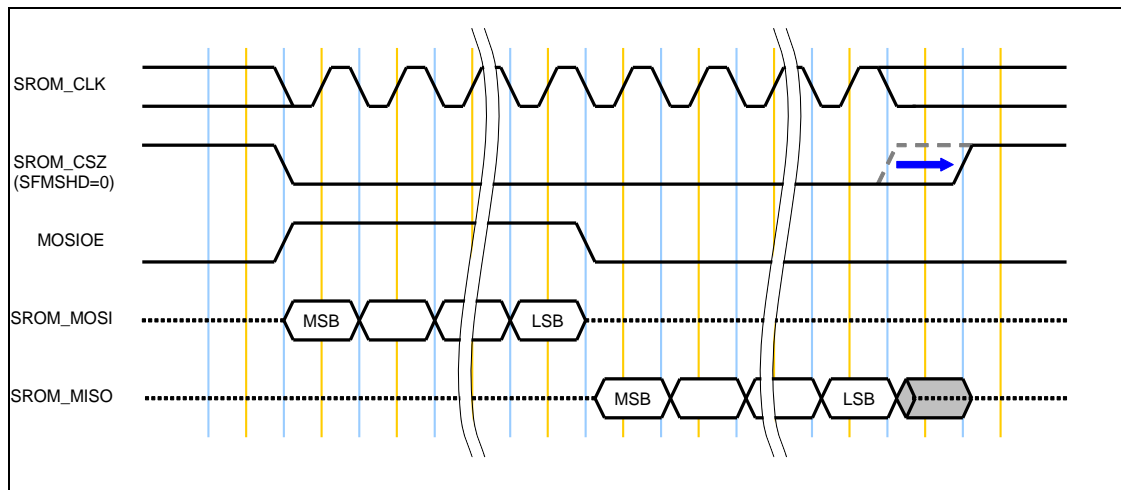


図 9-6 SFMSHD ビットによる SROM_CSZ 信号のホールド時間調整

9.3.3.6 シリアル・データ出力バッファの出力許可時間

SFMSMD レジスタ **SFMOEX** ビット (bit9) を通し, **SROM_MOSI** 端子や **SROM_MISO** 端子のバッファ出力許可期間を $1 \times \text{SROM_CLK}$ の期間延長することができます。延長される対象は, 出力許可信号である **MOSIOE** 信号と **MISOOE** 信号のみであり, 出力データ側は対象ではありません。

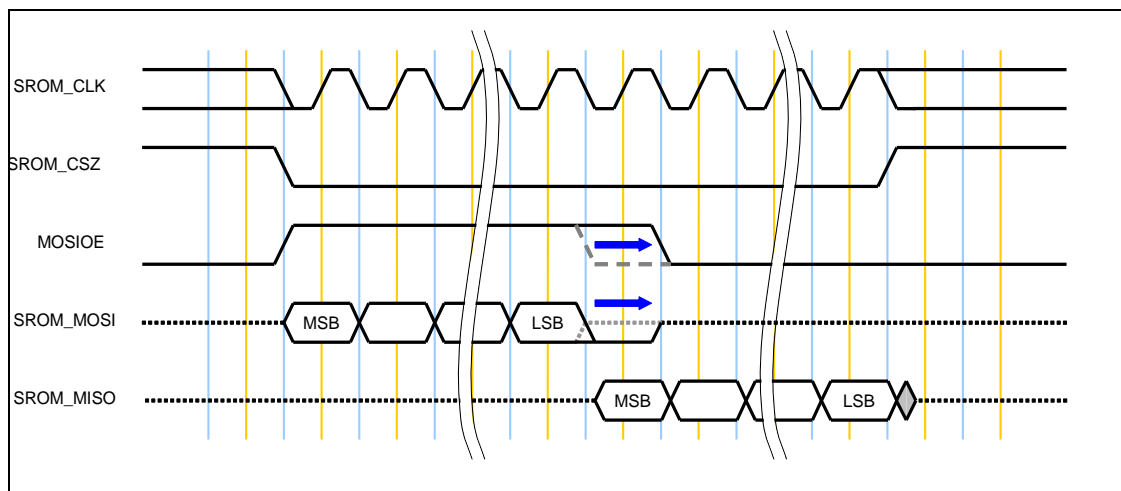


図 9-7 SFMOEX ビット設定による出力許可期間の調整

9.3.3.7 シリアル・データ出力のセットアップ時間

シリアル **ROM** に向かってコマンドやアドレスを送信するときには, シリアル・データ出力から **SROM_CLK** 信号が立ちあがるまでの, セットアップ時間を満足させる必要があります。

このセットアップ時間が不足する場合には, **SFMSMD** レジスタの **SFMOSW** ビット (bit11) を通し, シリアル・データの出力から **SROM_CLK** 信号の立ち上がりまでの時間を, $1 \times \text{HCLK}$ 期間延長することができます。

SFMOSW ビットに 1 を設定すると、本メモリ・コントローラからデータを送出する期間、シリアル・データ送信時の **SROM_CLK** のロー幅が $1 \times \text{HCLK}$ 延長されます。この機能は、シリアル・データ受信部分には働きません。

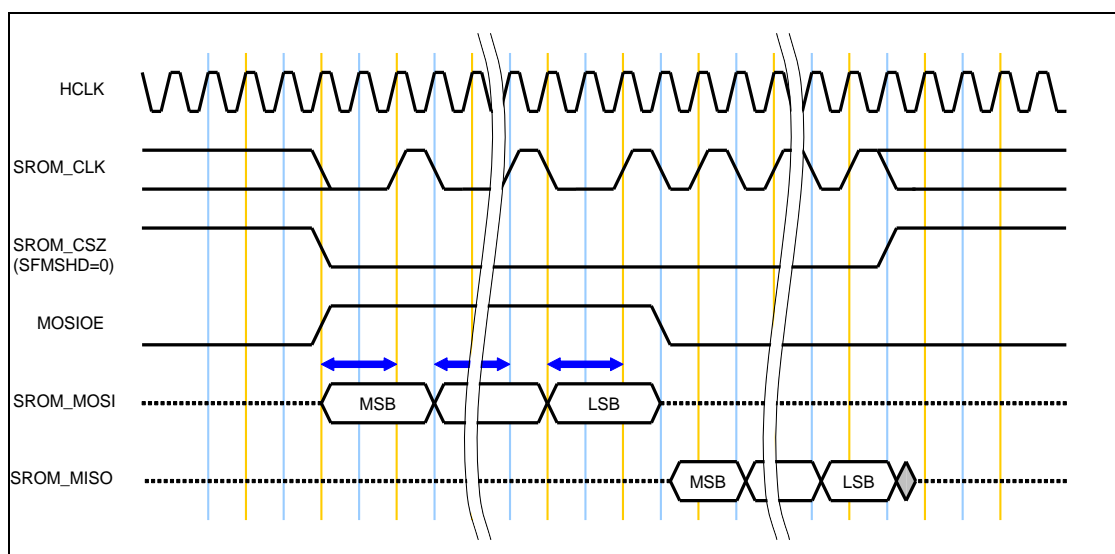


図 9-8 SFMOSW ビット設定によるシリアル・データのセットアップ時間調整

9.3.3.8 シリアル・データ出力のホールド時間

シリアル ROM に向かってコマンドやアドレスを送信するときには、**SROM_CLK** 信号の立ち上がりからシリアル・データが次に変化するまでの、ホールド時間を満足させる必要があります。

このホールド時間が不足する場合には、**SFMSMD** レジスタの **SFMOHW** ビット (bit10) を通し、**SROM_CLK** 信号の立ち上がりからシリアル・データの次の変化までの時間を、 $1 \times \text{HCLK}$ 期間延長することができます。

SFMOHW ビットに 1 を設定すると、**NPPFAHBMEMSROMSP1V10** からデータを送出する期間、シリアル・データ送信時の **SROM_CLK** のハイ幅が $1 \times \text{HCLK}$ 延長されます。この機能は、シリアル・データ受信部分には働きません。

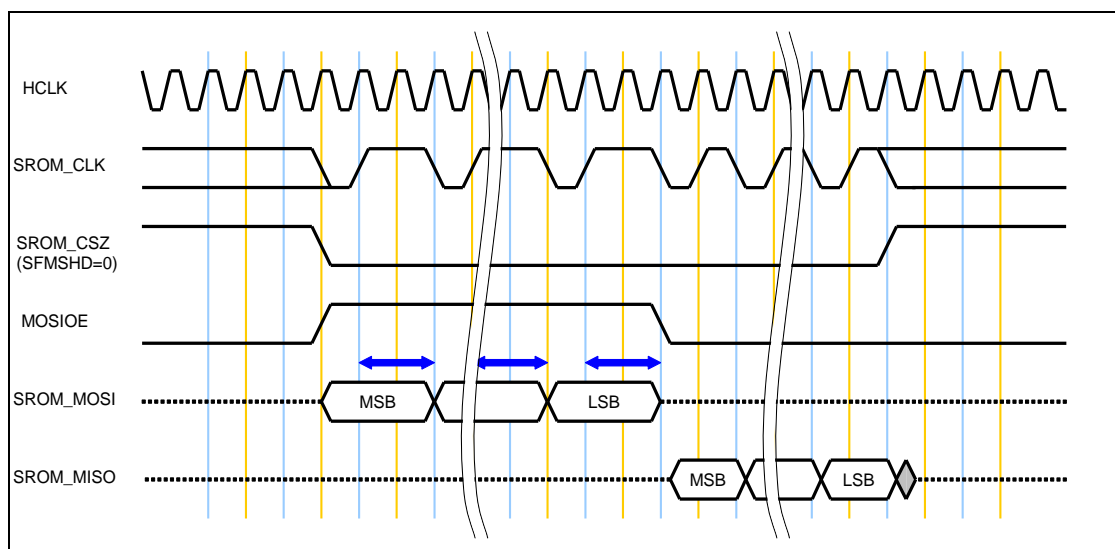


図 9-9 SFMOHW ビット設定によるシリアル・データのホールド時間調整

9.3.4 ROM アクセスで用いる SPI 命令セット

9.3.4.1 自動生成される SPI 命令の種類

ROM アクセスが行われると、**ASIZE[1:0]**入力端子^{注1}の設定状態と**SFMSMD**レジスタの設定内容に応じ、以下の命令を用いた**SPI**バス・サイクルを自動生成して、シリアル**ROM**へのアクセスを行います。

またリセット解除時には、**RELDPD[2:0]**入力端子^{注2}の設定状態に応じて、**Deep Power-Down**解除のための命令を自動発行します。

注 1. JL-086A では、**ASIZE[1:0]**は 10B 固定となっています。

注 2. JL-086A では、**RELDPD** は 010B 固定となっています。

表 9-9 自動生成される SPI 命令セット（**ASIZE[1:0]**=10 の場合）

Instruction	Instruction Code	Address Bytes	Dummy Bytes	Data Bytes	備考
Read	03H	3	—	1～∞	必須（ SFMRM[1:0] =00）
Fast Read	0BH	3	—	1～∞	選択可能（ SFMRM[1:0] =01）
Fast Read Dual Output	3BH	3	1	1～∞	選択可能（ SFMRM[1:0] =10）
Fast Read Dual I/O	BBH	3	1	1～∞	選択可能（ SFMRM[1:0] =11）
Release from Deep Power-Down	ABH	—	—	—	選択可能（ RELDPD [2:0] ≠000）

9.3.4.2 標準 Read 命令

標準 Read は、大多数のシリアル ROM でサポートされる共通の読み出し方式です。

SPI バス・サイクルが始まると、シリアル・デバイス選択信号がアクティブとなり、命令コードとして 03H[※]が出力され、続いて ASIZE[1:0]^{注 1} で指定された幅（1～3 バイト）のアドレスを送信し、その後にデータの受信を行います。

NPPFAHBMEMSROMSP1V10 の初期設定状態では、この標準 Read が選択されています。

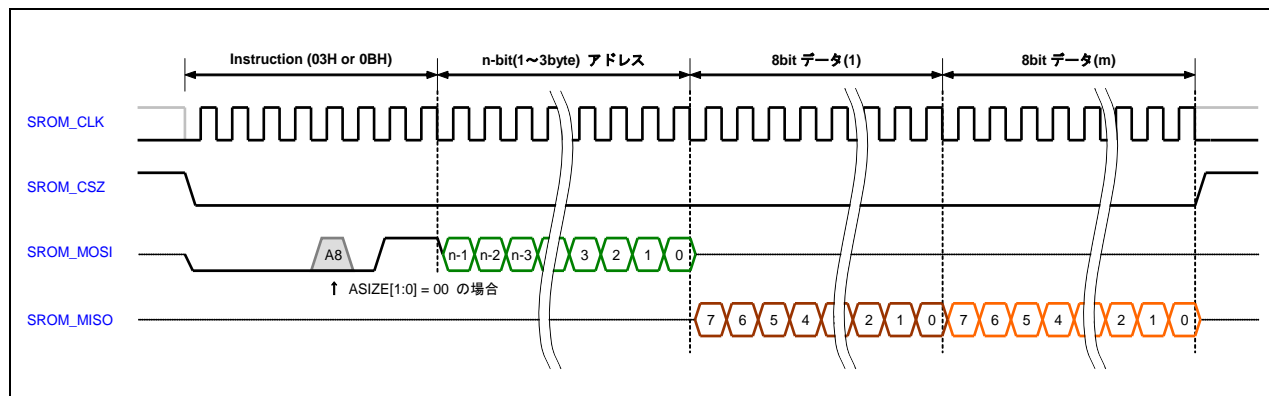


図 9-10 標準 Read バス・サイクル

注 1. JL-086A では、ASIZE[1:0]は 10B 固定(24 ビット)となっています。

注 2. 4Kbit のシリアル ROM の多くは、オーバーヘッド最小化のために、アドレス・フィールドを 1 バイト（A7-A0）に留め、A8 情報を Read 命令コードのビット 3 から受け取ります。

このため、標準 Read 命令コードとして、03H ではなく 0BH が出力される場合がありますが、このコードは Fast Read 命令コードと重なってしまいます。

しかし、ほとんどの 2Kbit 以下（アドレス幅が 1 バイト）のシリアル ROM では、コマンドのビット 3 がデコード対象外（Don't care）となるよう設計されていることから、標準 Read 命令コードとして正しく認識されます。ただし、非常に稀なケースではありますが、コマンドのビット 3 をデコード対象としているデバイスが存在します。そのようなデバイスを接続する場合には、A8=1 となるアクセスを避ける必要があります。

9.3.4.3 Fast Read 命令

Fast Read は、標準 **Read** よりも高い通信クロック速度に対応した読み出し方式です。

SPI バス・サイクルが始まると、シリアル・デバイス選択信号がアクティブとなり、命令コードとして **0BH** が出力され、続いて **ASIZE[1:0]**^{注1} で指定された幅（1～3 バイト）のアドレスと 1 バイトのダミー・バイトを送信し、その後にデータの受信が続きます。

Fast Read への切り替えは、**SFMSMD** レジスタを通して行うことができます。

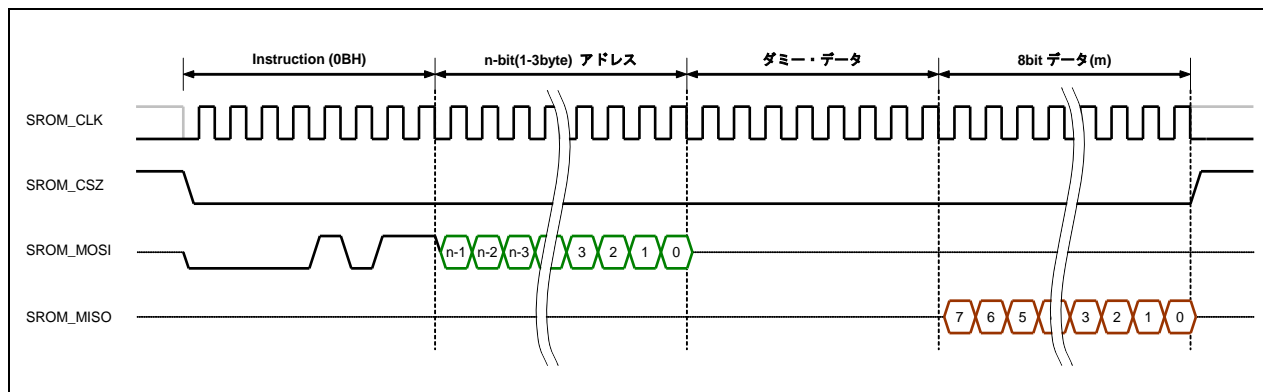


図 9-11 Fast Read バス・サイクル

注 1. JL-086A では、ASIZE[1:0]は 10B 固定(24 ビット)となっています。

注 2. Fast Read を用いるためには、Fast Read 転送をサポートするシリアル ROM を組み合わせる必要があります。

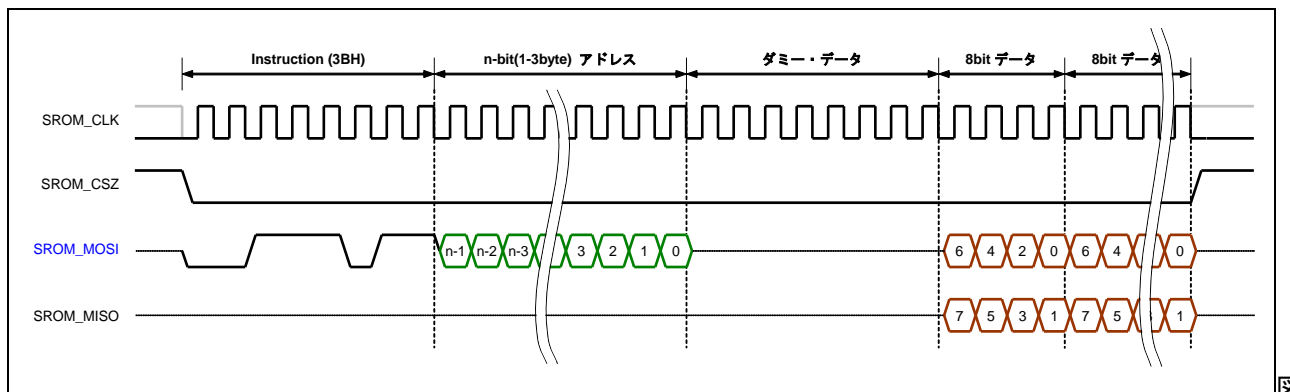
9.3.4.4 Fast Read Dual Output 命令

Fast Read Dual Output は、2本の信号線を用いてデータの受信を行う読み出し方式です。

SPI バス・サイクルが始まると、シリアル・デバイス選択信号がアクティブとなり、命令コードとして **3BH** を出力し、続いて **ASIZE[1:0]** ^{注1} で指定された幅（1～3 バイト）のアドレスと 1 バイトのダミー・バイトを送信し、その後 **SROM_MOSI** 端子と **SROM_MISO** 端子を通してデータの受信を行います。

データは、偶数ビットを **SROM_MOSI** 端子から、奇数ビットを **SROM_MISO** 端子から受信します。

Fast Read Dual Output への切り替えは、**SFMSMD** レジスタを通して行うことができます。



9-12 Fast Read Dual Output バス・サイクル

注 1. JL-086A では、ASIZE[1:0]は 10B 固定(24 ビット)となっています。

注 2. Fast Read Dual Output を用いるためには、Fast Read Dual Output 転送をサポートするシリアル ROM を組み合わせる必要があります。

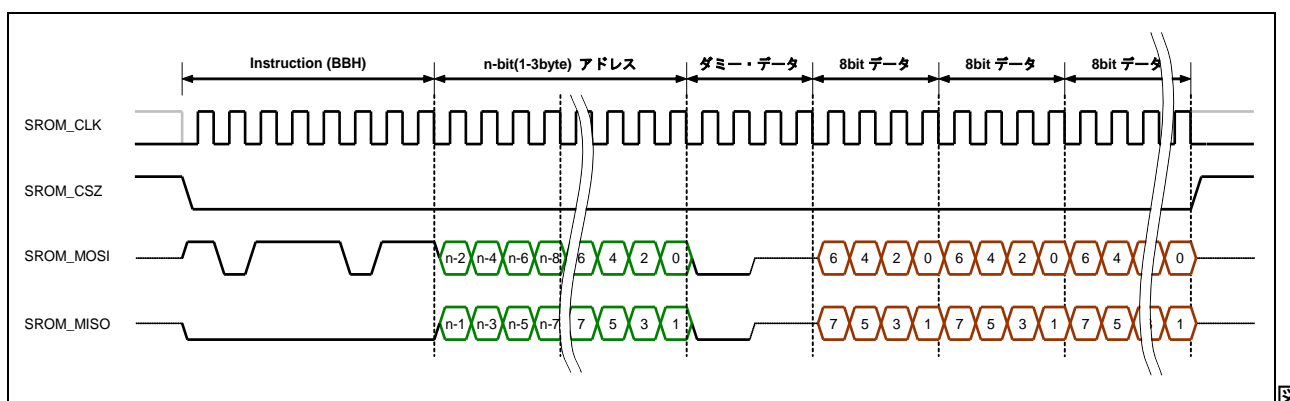
9.3.4.5 Fast Read Dual I/O 命令

Fast Read Dual I/O 転送は、アドレス送信とデータ受信に 2 本の信号線を用いる読み出し方式です。

SPI バス・サイクルが始まると、シリアル・デバイス選択信号がアクティブとなり、命令コードとして BBH を出力し、続いて ASIZE[1:0]^{注 1} で指定された幅（1～3 バイト）のアドレスと 1 バイトのダミー・バイトを SROM_MOSI 端子と SROM_MISO 端子を通して送信し、その後 SROM_MOSI 端子と SROM_MISO 端子を通してデータの受信を行います。

アドレスとダミー・データの送信及びデータの受信は、偶数ビットは SROM_MOSI 端子を通して、奇数ビットは SROM_MISO 端子を通して行われます。

Fast Read Dual I/O への切り替えは、SFMSMD レジスタを通して行うことができます。



9-13 Fast Read Dual I/O バス・サイクル

注 1. JL-086A では、ASIZE[1:0]は 10B 固定(24 ビット)となっています。

注 2. Fast Read Dual I/O を用いるためには、Fast Read Dual I/O 転送をサポートするシリアル ROM を組み合わせる必要があります。

9.3.4.6 Release from Deep Power-Down 命令

シリアル ROM を Deep Power-Down 状態から復帰させるための命令です。

SPI バス・サイクルが始まると、シリアル・デバイス選択信号がアクティブとなり、命令コードとして ABH を出力します。

Release from Deep Power-Down 命令は、RELDPD[2:0]入力端子^{注1}に 000 以外の値が設定されていると、リセット解除後に自動発行されます。

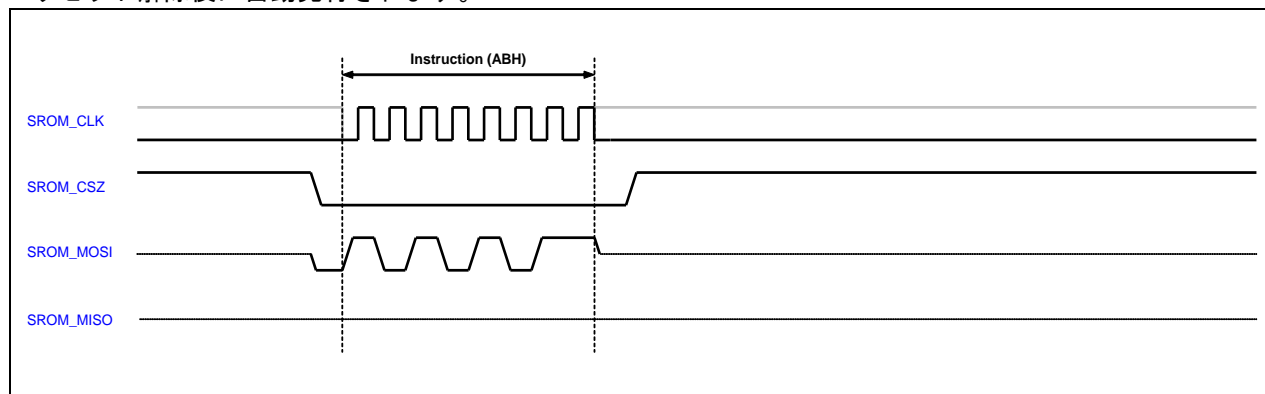


図 9-14 Release from Deep Power-Down バス・サイクル

注 1. JL-086A では、RELDPD は 010B 固定(24 ビット)となっています。

注 2. 実際にシリアル ROM が Deep Power-Down 状態にあるかどうかに関わらず、Release from Deep Power-Down 命令の自動発行を行います。

9.3.5 SPI バス・サイクルのアレンジ

9.3.5.1 個別変換による ROM 読み出し

ROM 読み出し AHB バス・サイクルを、1 対 1 の関係で、個別に SPI バス・サイクルに変換します。

ROM 読み出しバス・サイクルを検出すると、**SROM_CSZ** 信号がアクティブ状態となり、SPI バス・サイクルが始まります。シリアル ROM から必要なデータの受信を取得すると、**SROM_CSZ** 信号がインアクティブ状態となり SPI バス・サイクルが完了します。

その後、次の ROM 読み出しバス・サイクルを検出すると、**SROM_CSZ** 信号の最小ハイ幅を確保した上で、再び **SROM_CSZ** 信号がアクティブ状態となり、新たな SPI バス・サイクルが始まります。

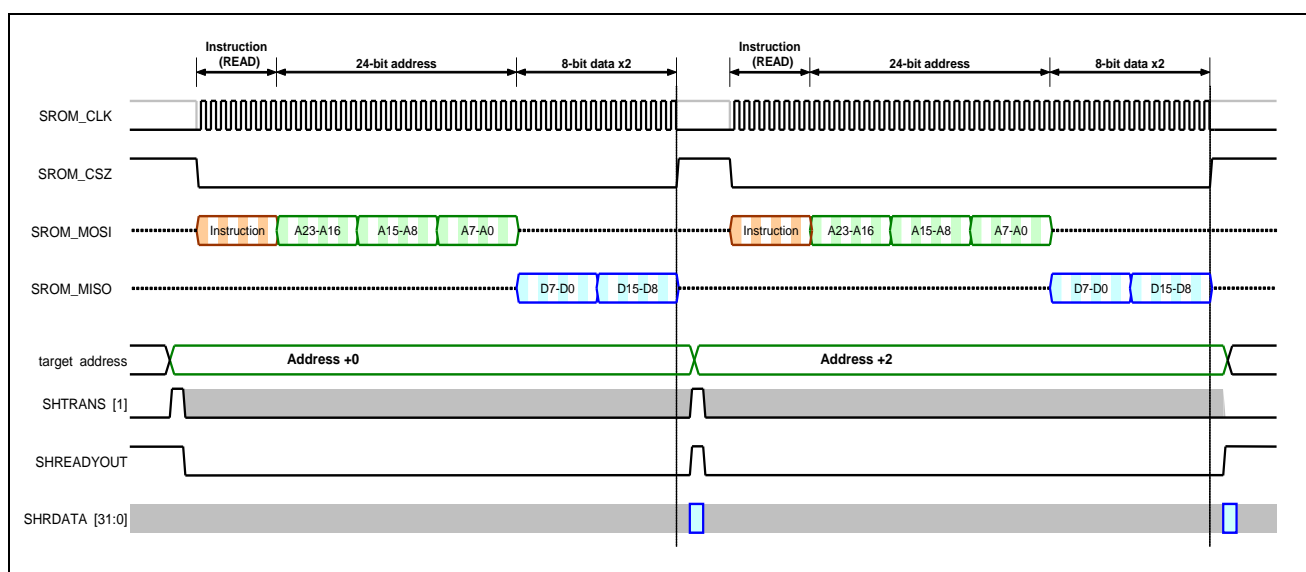


図 9-15 個別変換による連続データ読み出し

9.3.5.2 プリフェッチ機能を用いた ROM 読み出し

CPU の命令実行やブロック・データの転送等の場面では、連続したアドレスから ROM が読み出される機会が多くなります。

シリアル ROM には、命令コードやアドレスを再発行することなく、データ受信部分を繰り返す機能が備わっていますが、CPU が発行するバス・サイクルを個別に変換しては、SPI バス・サイクルが分断されてしまい、シリアル ROM の特徴を活かすことができません。

そのため、本マクロにはプリフェッチ機能が搭載されています。

プリフェッチ機能は、**SFMSMD** レジスタの **SFMPFE** ビット (bit6) に 1 を設定することで許可されます。

プリフェッチ機能が許可されると、次の ROM 読み出し要求を待つことなく、直前の ROM 読み出しから連続したデータを継続受信し、バッファに蓄えます。次に CPU から ROM 読み出しが行われると、アドレスの照合を行い、アドレスが一致すればバッファ内部のデータを CPU に引き渡し、アドレスが一致しなければバッファ内部のデータを破棄し、新たな SPI バス・サイクルを発行します。

プリフェッチ用のバッファのサイズは 6 バイトです。このバッファがいっぱいになると、いったん SPI バス・サイクルを終了しますが、その後バッファ中のデータが読み出されバッファに空きができると、自動的に新たな SPI バス・サイクルを開始し、プリフェッチを継続します。

プリフェッチ機能を用いると、命令のフェッチやブロック・データの転送のように、連続したアドレスから間隔を空けずにデータを読み出すような場面において、効率の良い転送を実現することができます。

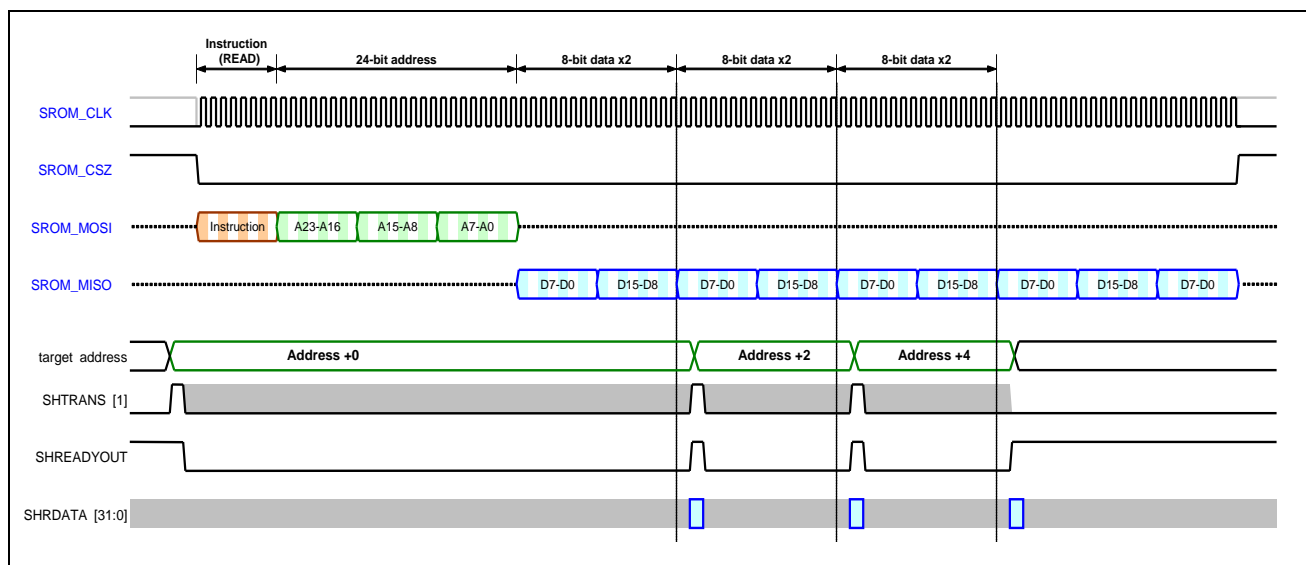


図 9-16 プリフェッチ機能を用いた連続データ読み出し

9.3.5.3 プリフェッチの中断

プリフェッチのためのシリアル転送を行っている途中で、別のアドレスへの **ROM** 読み出しバス・サイクルが発生すると、不要となった現在のシリアル転送を中断し、新たな **SPI** バス・サイクルを開始します。

通常、このようなシリアル転送の中断はデータ受信のバイト境界で行いますが、**SFMSMD** レジスタの **SFMPAE** ビット (**bit7**) が **1** に設定されていれば、バイト境界以外の部分でも中断を行います。

この機能を用いるためには、採用するシリアル **ROM** が、バイト境界外での中断に対応している必要があります。

9.3.5.4 プリフェッチ先の直接指定

NPPFAHBMEMSROMSP1V10 は、**ROM** 領域への書き込みバス・サイクルからも、プリフェッチ先アドレス情報を取得します。

SFMPFE ビットがセットされている状態で、**ROM** 領域への書き込みが行われると、そのアドレスをプリフェッチ先アドレス情報として取り込み、プリフェッチを開始します。

ROM 領域への書き込みは、プリフェッチ先のアドレス情報取得にのみ用いられます。

この機能を以下のプリフェッチ状態ポーリング機能と組み合わせれば、低速なシリアル **ROM** からのデータ読み出しにおいて、**AHB** バスの負荷を軽減することができます。

注意 プリフェッチ先を示すための **ROM** 領域への書き込みは、プリフェッチを開始したいアドレスの先頭の 1 バイトに対して行ってください。

2 バイト以上のデータ・サイズでの **ROM** 領域への書き込みには、**ERROR** 応答を返します。

9.3.5.5 プリフェッチ状態のポーリング

低速なシリアル ROM から ROM 読み出しを行うと、SPI バス・サイクルを通したデータ受信が完了までの長い時間、 WAIT 信号で待たされた ROM 読み出しバス・サイクルがバスを占有するため、システムの負荷が増大します。

このような負荷を軽減する目的で、プリフェッチ状態のポーリング機能が備えられています。

SFMSST レジスタの PFOFF ビット (bit7) にはプリフェッチ機能の状態が、PFCNT[2:0] ビット (bit2-0) には、プリフェッチ済みデータのバイト数が示されており、プリフェッチの状況を 1 回の CPU 演算で判定することが可能です。

```
//
// copy 1K byte(32bit x 256 word) data from Serial ROM to SDRAM
//
unsigned long      *sptr;    // pointer for the Serial ROM
unsigned long      *dptr;    // pointer for the SDRAM
int                i;

SFMSMD |= 0x0040;           // set SFMPFE bit to enable prefetch
*( volatile unsigned char *) sptr ) = 0;    // make the TAG valid to start prefetch

for( i = 0 ; i < 256 ; i++ ){
    while( ( SFMSST & 0x00FF ) < 0x04 ){ // waiting for 4 byte data received
        *(dptr++) = *(sptr++);
    }
}
```

図 9-17 ポーリング機能を用いたデータ転送プログラムの例

注意 ポーリングを行うプログラムは、シリアル ROM の外部に配置するか、命令キャッシュを許可した状態で実行するようにしてください。

もし、ポーリングを行うプログラムをシリアル ROM 上に配置し、命令キャッシュを用いずに実行した場合、プリフェッチ対象が頻繁に命令コードに切り替わるため、ポーリングの効果が無くなり、またプリフェッチ・バッファが満たされず無限ループに陥る可能性があります。

9.3.5.6 SPI バス・サイクル延長機能を用いた ROM 読み出し

SFMSMD レジスタの **SFMSE [1:0]** ビット (**bit5-4**) に **00** 以外の値を設定すると、シリアル **ROM** からデータを取得した後も、**SROM_CLK** 信号を停止し **SROM_CSZ** 信号をロー・レベルに保った状態で、**SPI** バス・サイクルを保留したまま次の **ROM** 読み出しを待ちます。

もし、次の **ROM** 読み出しが前回と連続したアドレスであれば、**SROM_CLK** 信号のトグルを再開し、後続のデータ受信を継続します。もし、次の **ROM** 読み出しが前回と連続しないアドレスであれば、いったん **SROM_CSZ** 信号をハイ・レベルに戻し保留中の **SPI** バス・サイクルを完了させ、その後に新たな **SPI** バス・サイクルを開始します。

この機能を用いれば、連続したアドレスから間欠的にデータを読み出すような場面において、命令コードやアドレス送信のためのオーバーヘッドを削減し、効率の良い転送を実現することができます。

SPI バス・サイクルの延長時間は、**SFMSMD** レジスタの **SFMSE [1:0]** ビット (**bit5-4**) を通して選択することができます。指定された延長時間が経過すると、**SROM_CSZ** 信号をハイ・レベルに戻し、保留中の **SPI** バス・サイクルを自動的に完了させます。

なお、**SFMSE [1:0]** ビットに **11** を設定した場合には、**SROM_CSZ** が無期限に延長されるため、シリアル **ROM** デバイスの消費電流の増加には注意が必要です。

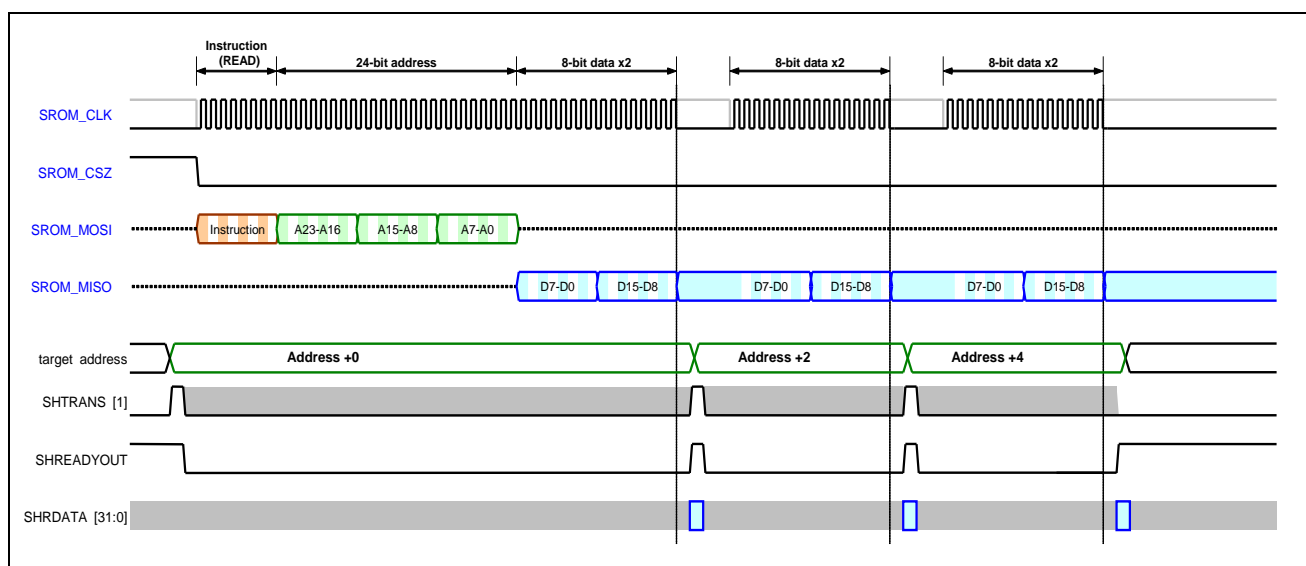


図 9-18 SPI バス・サイクル延長を用いた連続データ読み出し

9.3.6 Deep Power-Down の自動解除

Deep Power-Down 状態のシリアル ROM は、Release from Deep Power-Down 命令以外には、READ 命令を含むほとんどの命令を受け付けることができません。

その一方で、シリアル ROM の多くでは、端子数削減のために電源投入の検出と内部ロジックの初期化をデバイス内部で行っており、外部端子にはリセット入力端子が存在しません。

このため、シリアル ROM デバイスが Deep Power-Down 状態に移行した後に、電源断を伴わないリセット入力（HOT ブート）が行われると、シリアル ROM からブート・コードを取得することができなくなり、システムが誤動作してしまいます。

このような状況に対応するために、本マクロはハードウェア制御による Deep Power-Down の自動解除機能を備えています。

Deep Power-Down 自動解除機能を有効とするためには、RELDPD [2:0]入力ピンに 000 以外の値を入力します。リセット解除時に RELDPD [2:0]入力ピンの状態を確認し、000 以外の値が入力されていれば、Release from Deep Power-Down 命令を自動発行し、次の SPI バス・サイクル発行までの待ち合わせを行います。

この待ち合わせ時間は、HCLK の周波数と RELDPD [2:0]への入力値によって決まり、デバイスの特性に合わせて選択することが可能です。

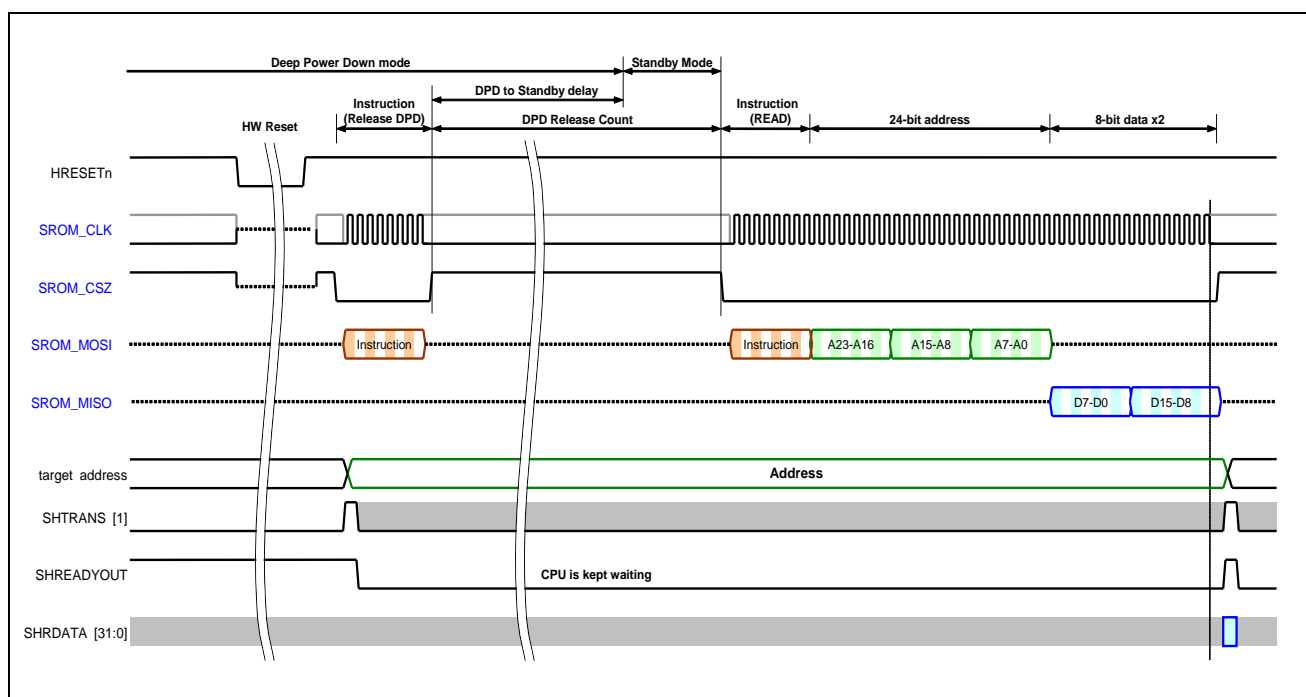


図 9-19 Deep Power-Down の自動解除動作

注意 JL-086A では、RELDPD は 010B 固定となっています。

9.3.7 直接通信

9.3.7.1 直接通信とは

本マクロは、ROM 読み出しバス・サイクルを自動的に SPI バス・サイクルに変換してシリアル ROM の内容を読み出すことができますが、シリアル ROM には、メモリ内容の読み出し以外にも、ID 情報の読み出し、消去、プログラミング、ステータス情報の読み出し等の、多様な機能が存在しています。

しかしながら、これらの多様な機能を用いるための命令セットは、ベンダやデバイス間で統一されておらず、また今日も拡張が続けられていることから、ハードウェア制御での対応は非常に困難です。

そこで、本マクロでは、ソフトウェアがシリアル ROM と直接通信を行う手段を設け、ソフトウェア制御による任意の SPI バス・サイクルの構築を可能とすることで、各社デバイスへの柔軟な対応を実現しています。

9.3.7.2 直接通信モード

シリアル ROM との直接通信を行うためには、SFMCMDCMD レジスタの DCOM ビット（ビット 0）に 1 を設定し、直接通信モードに移行する必要があります。

直接通信モード選択中は、通常の ROM 読み出しは禁止されています。直接通信の後に通常の ROM アクセスを行うためには、SFMCMDCMD レジスタの DCOM ビット（ビット 0）に 0 を設定し、直接通信モードを終了する必要があります。

9.3.7.3 直接通信での SPI バス・サイクル生成

直接通信における SPI バス・サイクルは、SFMCOM ポートへの最初のアクセスで始まり、SFMCOM ポートを通した一連の入出力操作の後に、SFMCMDCMD レジスタへの書き込みを行うことで終了します。

この時、SFMCOM ポートへの書き込みは SPI バスへの 1 バイト送信に変換され、また SFMCOM ポートからの読み出しは SPI バスからの 1 バイトの受信に変換されます。

また、最初の SFMCOM ポートへのアクセスから、最後の SFMCMDCMD レジスタへの書き込み操作までの期間、シリアル・デバイス選択信号（SROM_CSZ）がアクティブ状態に保たれ、一連の SPI バス・サイクルであることがシリアル ROM に対して示されます。

注意 直接通信モード選択中は、SFMCMDCMD 以外のレジスタ（SFMSMD, SFMSSC, SFMSKC, SFMSST, SFMCST）への書き込みを禁止します。

現状の回路構成では、SFMCOM ポート以外のレジスタに書き込みを行うと、一様に SPI バス・サイクルが終了しますが、SFMCMDCMD 以外のレジスタ（SFMSMD, SFMSSC, SFMSKC, SFMSST, SFMCST）への書き込みによる SPI バス・サイクルの終了は、正式な機能としては保障されません。

以下に、直接通信のプログラム例を示します。

```
#### CAUTION! #### This code must be outside the Serial ROM that is going to be operated.

// Define specific instructuion codes of the target Serial ROM device.
#define Instruction_FREAD 0x0B // Fast Read
#define Instruction_RDSR 0x05 // Read Status register
#define Instruction_RDID 0x9F // Read Identification
#define Instruction_WREN 0x06 // Write Enable
#define Instruction_CERA 0xC7 // Chip Erase

unsigned char mfid, mtype, mcap, data, temp;

SFMCMDCMD = 0x01; // Enable direct operation

// Get the device identification assigned by JEDEC.
SFMCOM = Instruction_RDID; // put "Read Identification" instruction (open SPI bus cycle)
mfid = (unsigned char)SFMCOM; // get "Manufacrure Identification"
mtype = (unsigned char)SFMCOM; // get "Memory Type"
mcap = (unsigned char)SFMCOM; // get "Memory Capacity"
SFMCMDCMD = 0x01; // close SPI bus cycle

// Get one byte from the address 0x012345.
SFMCOM = Instruction_FREAD; // put "Fast Read" instruction (open SPI bus cycle)
SFMCOM = 0x01; // put upper byte of the address 0x012345
SFMCOM = 0x23; // put middle byte of the target address 0x012345
SFMCOM = 0x45; // put lower byte of the target address 0x012345
temp = (unsigned char)SFMCOM; // get one byte dummy code for FAST READ transaction
data = (unsigned char)SFMCOM; // get the data
SFMCMDCMD = 0x01; // close SPI bus cycle

// Erase All contents.
SFMCOM = Instruction_WREN; // put "Write Enable" instruction (open SPI bus cycle)
SFMCMDCMD = 0x01; // close SPI bus cycle
SFMCOM = Instruction_CERA; // put "Chip Erace" instruction (open SPI bus cycle)
SFMCMDCMD = 0x01; // close SPI bus cycle
SFMCOM = Instruction_RDSR; // put "Read Status Register" instruction (open SPI bus cycle)
while( SFMCOM & 0x01 ){ // Polling "Write ProgreSROM_CSZit" until completion
SFMCMDCMD = 0x01; // close SPI bus cycle

SFMCMDCMD = 0x00; // Disable direct operation
```

図 9-20 直接通信のソース・コード例

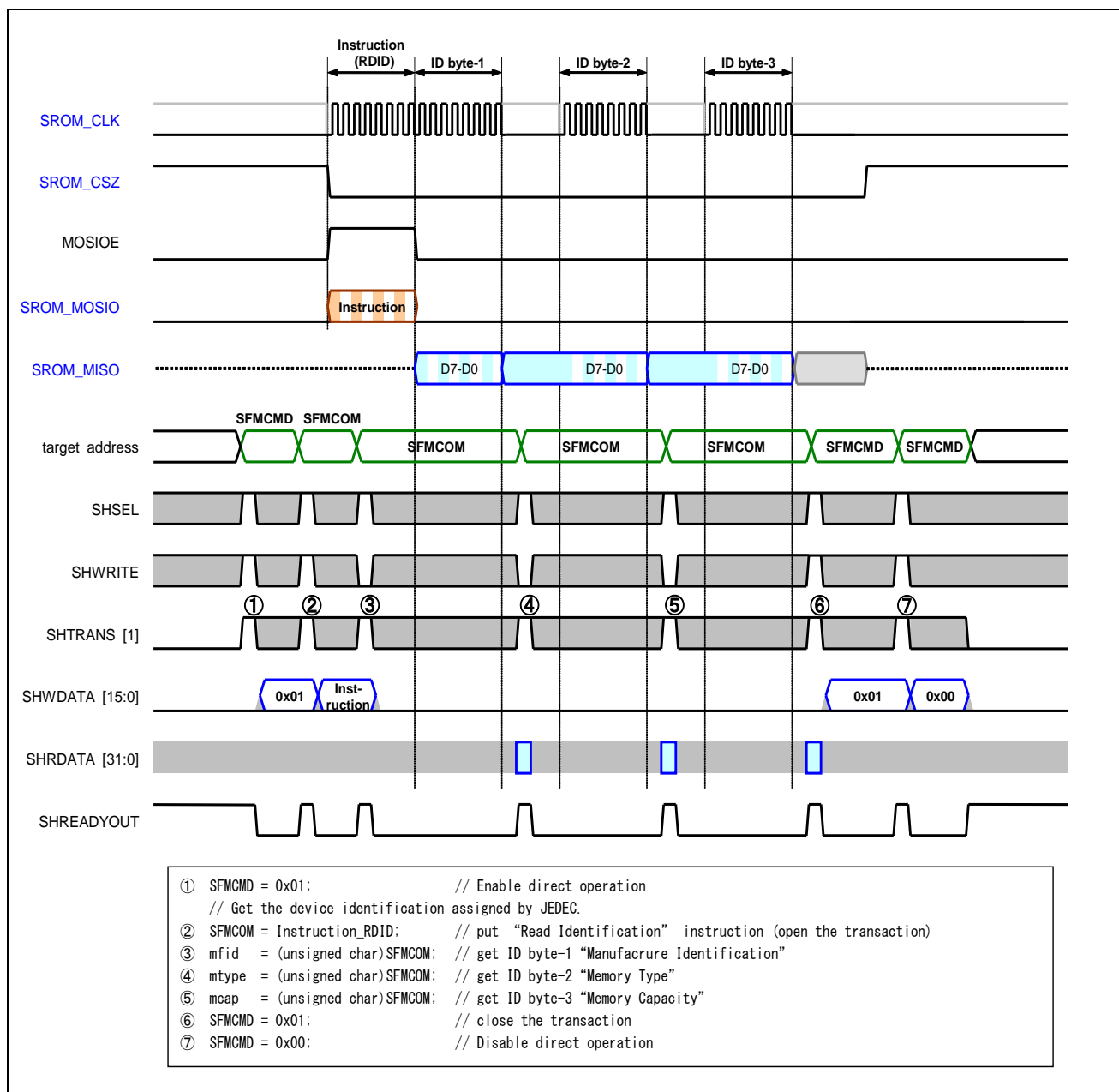


図 9-21 直接通信のタイミング例 (ID 読み出し)

注意 NPPFAHBMEMSROMSP1V10 の直接通信は、Dual 系の転送には対応していません。
 このため、直接通信中にシリアル ROM の内容を参照する場合には、標準 READ または FAST READ を用いる必要があります。
 Dual 系転送での高速読み出しが必要な場合には、通常の ROM アクセスを用いてください。

9.3.8 AHB バスのウェイト制御

9.3.8.1 SPI バス・サイクルと AHB バスのウェイトとの関係

本マクロはシリアル ROM 用のメモリ・コントローラとして設計されており、AHB バスの転送要求を受けてから SPI 側のバス・サイクルを開始し、SPI のデータ転送が完了するまではウェイト（SHREADYOUT）信号を用いて AHB バス・サイクルを引き伸ばします。

これは一般的なメモリ・コントローラと同様の動作となりますが、対象デバイスが他のメモリと比較して低速であるため、ウェイトによる待ち合わせ時間も長くなってしまいます。このようなウェイト状態においては、バスが占有されると同時に、AHB バスの転送を要求したバスマスタも拘束されるため、システム性能に影響を与える可能性があります。

9.3.8.2 SPI バス・サイクルのアレンジと ROM アクセス時の最大ウェイト

AHB バス・インタフェースを通してシリアル ROM を読み出した時の最大ウェイト時間は、純粋なシリアル ROM の読み出し時間のほかに、目的の SPI バス・サイクルを開始するまでの待ち時間の影響を受け、その最大の待ち時間は SPI バス・サイクルのアレンジによって異なります。

プリフェッチ機能も SPI バス延長機能も用いない場合の最大の待ち時間は、シリアル ROM の読み出しが連続する場合に発生します。1つのシリアル ROM 読み出しの完了と同時に、AHB バス上には次のシリアル ROM 読み出し要求が発生しますが、SROM_CSZ 信号のホールド時間、SROM_CSZ 信号の最小幅、SROM_CSZ 信号のセットアップ時間を確保した後に、ようやく目的のシリアル ROM アクセスが開始されます。

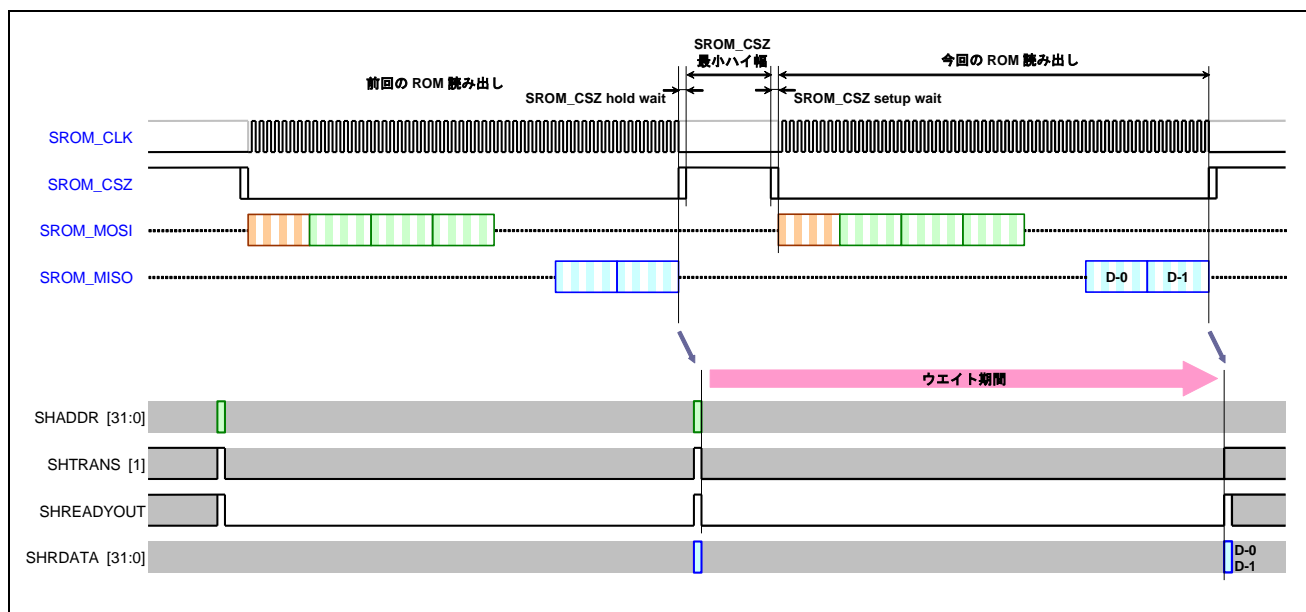


図 9-22 AHB の最大待ち合わせ（プリフェッチ：OFF，SPI 延長：無し）

プリフェッチ機能を用いず **SPI** バス延長機能のみを用いる場合の最大の待ち時間は、**SPI** バス延長中に前回と連続しないアドレスからのシリアル **ROM** 読み出しが行われる場合に発生します。**AHB** バス上のシリアル **ROM** 読み出し要求によって、いったん **SPI** バス・サイクルを終了し、**SROM_CSZ** 信号の最小幅を確保した後に、目的のシリアル **ROM** アクセスが始まります。

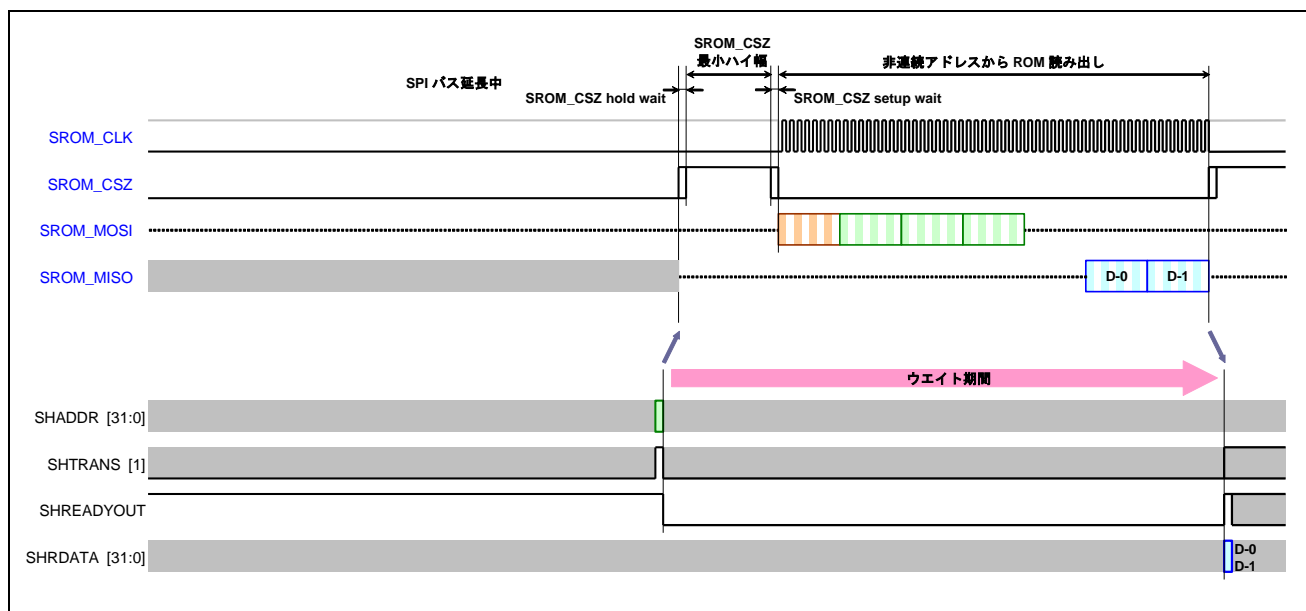


図 9-23 AHB の最大待ち合わせ（プリフェッチ：OFF，SPI 延長：有り）

プリフェッチ機能を用い無期限の **SPI** バス延長機能を用いる場合の最大の待ち時間は、プリフェッチ中に前回と連続しないアドレスからのシリアル **ROM** 読み出しが行われる場合に発生します。**AHB** バス上のシリアル **ROM** 読み出し要求によって、プリフェッチ中のデータ受信を中断し、**SPI** バス・サイクルを終了し、**SROM_CSZ** 信号のホールド時間、**SROM_CSZ** 信号の最小幅、**SROM_CSZ** 信号のセットアップ時間の確保した後に、目的のシリアル **ROM** アクセスが始まります。

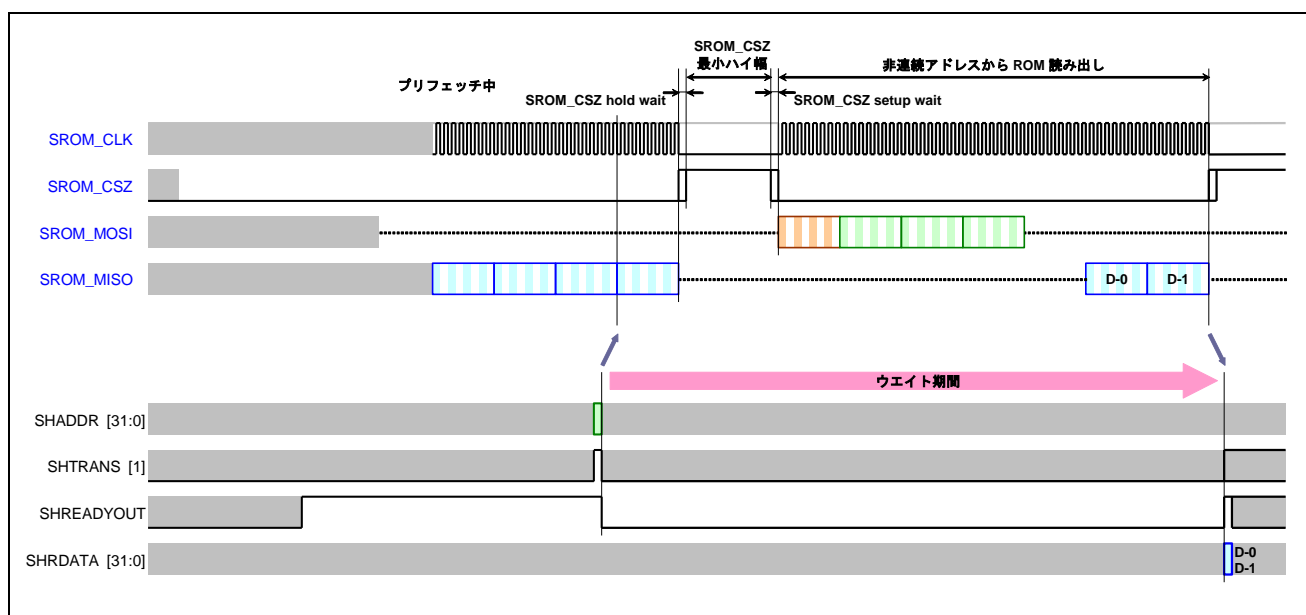


図 9-24 AHB の最大待ち合わせ（プリフェッチ：ON，SPI 延長：無期限）

プリフェッチ機能を用い、SPI バス延長機能を用いないか期限付きの SPI バス延長機能を用いる場合の最大の待ち時間は、プリフェッチのための SPI バス・サイクルが始まった直後に、連続しないアドレスからのシリアル ROM 読み出しが行われる場合に発生します。AHB バス上のシリアル ROM 読み出し要求によって、プリフェッチが最初のデータ受信で中断され、SPI バス・サイクルを終了し、SROM_CSZ 信号のホールド時間、SROM_CSZ 信号の最小幅、SROM_CSZ 信号のセットアップ時間の確保した後に、目的のシリアル ROM アクセスが始まります。

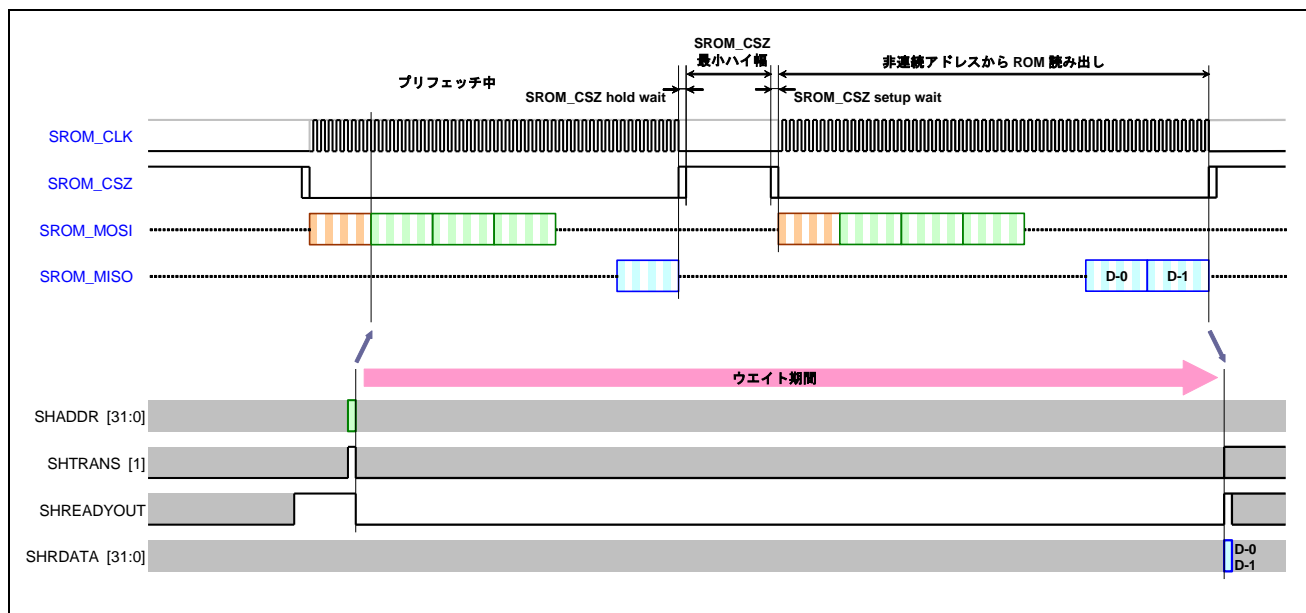


図 9-25 AHB の最大待ち合わせ（プリフェッチ：ON，SPI 延長：無し or 期限付き）

表 9-10 ROM 読み出しの最大ウェイト（プリフェッチ：OFF, SPI 延長：無し）

基本条件			最大ウェイト ^{※1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{※2} SROM_CSZ setup wait	③ ^{※3} SROM_CSZ hold wait	④ ^{※4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{※5} 送信 setup wait	⑦ ^{※6} 送信 hold wait
標準 Read	8 bit	1 byte	26	1	1	n	4	16	16
		2 byte	34	1	1	n	4	16	16
		4 byte	50	1	1	n	4	16	16
	16 bit	1 byte	34	1	1	n	4	24	24
		2 byte	42	1	1	n	4	24	24
		4 byte	58	1	1	n	4	24	24
	24 bit	1 byte	42	1	1	n	4	32	32
		2 byte	50	1	1	n	4	32	32
		4 byte	66	1	1	n	4	32	32
Fast Read	8 bit	1 byte	34	1	1	n	4	24	24
		2 byte	42	1	1	n	4	24	24
		4 byte	58	1	1	n	4	24	24
	16 bit	1 byte	42	1	1	n	4	32	32
		2 byte	50	1	1	n	4	32	32
		4 byte	66	1	1	n	4	32	32
	24 bit	1 byte	50	1	1	n	4	40	40
		2 byte	58	1	1	n	4	40	40
		4 byte	74	1	1	n	4	40	40
Fast Read Dual Output	8 bit	1 byte	30	1	1	n	4	24	24
		2 byte	34	1	1	n	4	24	24
		4 byte	42	1	1	n	4	24	24
	16 bit	1 byte	38	1	1	n	4	32	32
		2 byte	42	1	1	n	4	32	32
		4 byte	50	1	1	n	4	32	32
	24 bit	1 byte	46	1	1	n	4	40	40
		2 byte	50	1	1	n	4	40	40
		4 byte	58	1	1	n	4	40	40
Fast Read Dual IO	8 bit	1 byte	18	1	1	n	4	12	12
		2 byte	22	1	1	n	4	12	12
		4 byte	30	1	1	n	4	12	12
	16 bit	1 byte	22	1	1	n	4	16	16
		2 byte	26	1	1	n	4	16	16
		4 byte	34	1	1	n	4	16	16
	24 bit	1 byte	26	1	1	n	4	20	20
		2 byte	30	1	1	n	4	20	20
		4 byte	38	1	1	n	4	20	20

注意 JL-086A では、ASIZE[1:0]は 10B 固定(アドレス幅 24 ビット)となっています。

表 9-11 ROM 読み出しの最大ウェイト（プリフェッチ：OFF, SPI 延長：有り）

基本条件			最大ウェイト ^{※1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{※2} SROM_CSZ setup wait	③ ^{※3} SROM_CSZ hold wait	④ ^{※4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{※5} 送信 setup wait	⑦ ^{※6} 送信 hold wait
標準 Read	8 bit	1 byte	26	1	1	n	4	16	16
		2 byte	34	1	1	n	4	16	16
		4 byte	50	1	1	n	4	16	16
	16 bit	1 byte	34	1	1	n	4	24	24
		2 byte	42	1	1	n	4	24	24
		4 byte	58	1	1	n	4	24	24
	24 bit	1 byte	42	1	1	n	4	32	32
		2 byte	50	1	1	n	4	32	32
		4 byte	66	1	1	n	4	32	32
Fast Read	8 bit	1 byte	34	1	1	n	4	24	24
		2 byte	42	1	1	n	4	24	24
		4 byte	58	1	1	n	4	24	24
	16 bit	1 byte	42	1	1	n	4	32	32
		2 byte	50	1	1	n	4	32	32
		4 byte	66	1	1	n	4	32	32
	24 bit	1 byte	50	1	1	n	4	40	40
		2 byte	58	1	1	n	4	40	40
		4 byte	74	1	1	n	4	40	40
Fast Read Dual Output	8 bit	1 byte	30	1	1	n	4	24	24
		2 byte	34	1	1	n	4	24	24
		4 byte	42	1	1	n	4	24	24
	16 bit	1 byte	38	1	1	n	4	32	32
		2 byte	42	1	1	n	4	32	32
		4 byte	50	1	1	n	4	32	32
	24 bit	1 byte	46	1	1	n	4	40	40
		2 byte	50	1	1	n	4	40	40
		4 byte	58	1	1	n	4	40	40
Fast Read Dual IO	8 bit	1 byte	18	1	1	n	4	12	12
		2 byte	22	1	1	n	4	12	12
		4 byte	30	1	1	n	4	12	12
	16 bit	1 byte	22	1	1	n	4	16	16
		2 byte	26	1	1	n	4	16	16
		4 byte	34	1	1	n	4	16	16
	24 bit	1 byte	26	1	1	n	4	20	20
		2 byte	30	1	1	n	4	20	20
		4 byte	38	1	1	n	4	20	20

注意 JL-086A では、ASIZE[1:0]は 10B 固定(アドレス幅 24 ビット)となっています。

表 9-12 ROM 読み出しの最大ウェイト（プリフェッチ：ON, SPI 延長：無期限）

基本条件			最大ウェイト ^{※1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{※2} SROM_CSZ setup wait	③ ^{※3} SROM_CSZ hold wait	④ ^{※4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{※5} 送信 setup wait	⑦ ^{※6} 送信 hold wait
標準 Read	8 bit	1 byte	34	1	1	n	4	16	16
		2 byte	42	1	1	n	4	16	16
		4 byte	58	1	1	n	4	16	16
	16 bit	1 byte	42	1	1	n	4	24	24
		2 byte	50	1	1	n	4	24	24
		4 byte	66	1	1	n	4	24	24
	24 bit	1 byte	50	1	1	n	4	32	32
		2 byte	58	1	1	n	4	32	32
Fast Read	8 bit	1 byte	42	1	1	n	4	24	24
		2 byte	50	1	1	n	4	24	24
		4 byte	66	1	1	n	4	24	24
	16 bit	1 byte	50	1	1	n	4	32	32
		2 byte	58	1	1	n	4	32	32
		4 byte	74	1	1	n	4	32	32
	24 bit	1 byte	58	1	1	n	4	40	40
		2 byte	66	1	1	n	4	40	40
Fast Read Dual Output	8 bit	1 byte	34	1	1	n	4	24	24
		2 byte	38	1	1	n	4	24	24
		4 byte	46	1	1	n	4	24	24
	16 bit	1 byte	42	1	1	n	4	32	32
		2 byte	46	1	1	n	4	32	32
		4 byte	54	1	1	n	4	32	32
	24 bit	1 byte	50	1	1	n	4	40	40
		2 byte	54	1	1	n	4	40	40
Fast Read Dual IO	8 bit	1 byte	22	1	1	n	4	12	12
		2 byte	26	1	1	n	4	12	12
		4 byte	34	1	1	n	4	12	12
	16 bit	1 byte	26	1	1	n	4	16	16
		2 byte	30	1	1	n	4	16	16
		4 byte	38	1	1	n	4	16	16
	24 bit	1 byte	30	1	1	n	4	20	20
		2 byte	34	1	1	n	4	20	20

注意 JL-086A では、ASIZE[1:0]は 10B 固定(アドレス幅 24 ビット)となっています。

表 9-13 ROM 読み出しの最大ウェイト（プリフェッチ：ON, SPI 延長：無し or 期限付き）

基本条件			最大ウェイト ^{注1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{注2} SROM_CSZ setup wait	③ ^{注3} SROM_CSZ hold wait	④ ^{注4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{注5} 送信 setup wait	⑦ ^{注6} 送信 hold wait
標準 Read	8 bit	1 byte	42	1	1	n	4	26	26
		2 byte	50	1	1	n	4	26	26
		4 byte	66	1	1	n	4	26	26
	16 bit	1 byte	58	1	1	n	4	42	42
		2 byte	66	1	1	n	4	42	42
		4 byte	82	1	1	n	4	42	42
	24 bit	1 byte	74	1	1	n	4	58	58
		2 byte	82	1	1	n	4	58	58
		4 byte	98	1	1	n	4	58	58
Fast Read	8 bit	1 byte	58	1	1	n	4	42	42
		2 byte	66	1	1	n	4	42	42
		4 byte	82	1	1	n	4	42	42
	16 bit	1 byte	74	1	1	n	4	58	58
		2 byte	82	1	1	n	4	58	58
		4 byte	98	1	1	n	4	58	58
	24 bit	1 byte	90	1	1	n	4	74	74
		2 byte	98	1	1	n	4	74	74
		4 byte	114	1	1	n	4	74	74
Fast Read Dual Output	8 bit	1 byte	50	1	1	n	4	42	42
		2 byte	54	1	1	n	4	42	42
		4 byte	62	1	1	n	4	42	42
	16 bit	1 byte	66	1	1	n	4	58	58
		2 byte	70	1	1	n	4	58	58
		4 byte	78	1	1	n	4	58	58
	24 bit	1 byte	82	1	1	n	4	74	74
		2 byte	86	1	1	n	4	74	74
		4 byte	94	1	1	n	4	74	74
Fast Read Dual IO	8 bit	1 byte	30	1	1	n	4	22	22
		2 byte	34	1	1	n	4	22	22
		4 byte	42	1	1	n	4	22	22
	16 bit	1 byte	38	1	1	n	4	30	30
		2 byte	42	1	1	n	4	30	30
		4 byte	50	1	1	n	4	30	30
	24 bit	1 byte	46	1	1	n	4	38	38
		2 byte	50	1	1	n	4	38	38
		4 byte	58	1	1	n	4	38	38

注 1. ウェイト数は以下の式で算出されます。

最大ウェイト数 = ((①+②+③+④) × 「SROM_CLK/HCLK 周期比率」) + ⑤ + ⑥ + ⑦ [HCLK]

2. SFMSSC レジスタの SFMSLD ビットが 1 の場合に、表の値を適用します。SFMSLD ビットが 0 の場合には、表の値ではなく 0 を適用します。

3. SFMSSC レジスタの SFMSHD ビットが 1 の場合に、表の値を適用します。SFMSHD ビットが 0 の場合には、表の値ではなく 0 を適用します。

4. n は SFMSSC レジスタの SFMSW [3:0] ビットで選択した SROM_CSZ 信号の最小ハイ幅です。

5. SFMSMD レジスタの SFMOSW ビットが 1 の場合に、表の値を適用します。SFMOSW ビットが 0 の場合には、表の値ではなく 0 を適用します。

6. SFMSMD レジスタの SFMOHW ビットが 1 の場合に、表の値を適用します。SFMOHW ビットが 0 の場合には、表の値ではなく 0 を適用します。

7. JL-086A では、ASIZE[1:0]は 10B 固定(アドレス幅 24 ビット)となっています。

9.3.8.3 SPI バス・サイクルのアレンジと制御レジスタ書き込み時の最大ウェイト

制御レジスタへの書き込みを行う場合、前回の SPI バス・サイクル終了の待ち合わせを行うため、ROM 読み出しの場合と同様に、その待ち合わせ時間は SPI バス・サイクルのアレンジの影響を受けます。

表 9-14 レジスタ書き込みの最大ウェイト（プリフェッチ：OFF，SPI 延長：無し）

基本条件			最大ウェイト ^{注1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{注2} SROM_CSZ setup wait	③ ^{注3} SROM_CSZ hold wait	④ ^{注4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{注5} 送信 setup wait	⑦ ^{注6} 送信 hold wait
標準 Read	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
Fast Read	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
Fast Read Dual Output	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
Fast Read Dual IO	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0

注意 JL-086A では、ASIZE[1:0]は 10B 固定(アドレス幅 24 ビット)となっています。

表 9-15 レジスタ書き込みの最大ウェイト（プリフェッチ：OFF，SPI 延長：有り）

基本条件			最大ウェイト ^{※1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{※2} SROM_CSZ setup wait	③ ^{※3} SROM_CSZ hold wait	④ ^{※4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{※5} 送信 setup wait	⑦ ^{※6} 送信 hold wait
標準 Read	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
Fast Read	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
Fast Read Dual Output	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
Fast Read Dual IO	8 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	16 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0
	24 bit	1 byte	6	0	1	n	2	0	0
		2 byte	6	0	1	n	2	0	0
		4 byte	6	0	1	n	2	0	0

注意 JL-086A では、ASIZE[1:0]は 10B 固定(アドレス幅 24 ビット)となっています。

表 9-16 レジスタ書き込みの最大ウェイト（プリフェッチ：ON, SPI 延長：期限付き）

基本条件			最大ウェイト ^{※1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{※2} SROM_CSZ setup wait	③ ^{※3} SROM_CSZ hold wait	④ ^{※4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{※5} 送信 setup wait	⑦ ^{※6} 送信 hold wait
標準 Read	8 bit	1 byte	14	0	1	n	2	0	0
		2 byte	14	0	1	n	2	0	0
		4 byte	14	0	1	n	2	0	0
	16 bit	1 byte	14	0	1	n	2	0	0
		2 byte	14	0	1	n	2	0	0
		4 byte	14	0	1	n	2	0	0
	24 bit	1 byte	14	0	1	n	2	0	0
		2 byte	14	0	1	n	2	0	0
		4 byte	14	0	1	n	2	0	0
Fast Read	8 bit	1 byte	14	0	1	n	2	0	0
		2 byte	14	0	1	n	2	0	0
		4 byte	14	0	1	n	2	0	0
	16 bit	1 byte	14	0	1	n	2	0	0
		2 byte	14	0	1	n	2	0	0
		4 byte	14	0	1	n	2	0	0
	24 bit	1 byte	14	0	1	n	2	0	0
		2 byte	14	0	1	n	2	0	0
		4 byte	14	0	1	n	2	0	0
Fast Read Dual Output	8 bit	1 byte	10	0	1	n	2	0	0
		2 byte	10	0	1	n	2	0	0
		4 byte	10	0	1	n	2	0	0
	16 bit	1 byte	10	0	1	n	2	0	0
		2 byte	10	0	1	n	2	0	0
		4 byte	10	0	1	n	2	0	0
	24 bit	1 byte	10	0	1	n	2	0	0
		2 byte	10	0	1	n	2	0	0
		4 byte	10	0	1	n	2	0	0
Fast Read Dual IO	8 bit	1 byte	10	0	1	n	2	0	0
		2 byte	10	0	1	n	2	0	0
		4 byte	10	0	1	n	2	0	0
	16 bit	1 byte	10	0	1	n	2	0	0
		2 byte	10	0	1	n	2	0	0
		4 byte	10	0	1	n	2	0	0
	24 bit	1 byte	10	0	1	n	2	0	0
		2 byte	10	0	1	n	2	0	0
		4 byte	10	0	1	n	2	0	0

注意 JL-086A では、ASIZE[1:0]は 10B 固定(アドレス幅 24 ビット)となっています。

表 9-17 レジスタ書き込みの最大ウェイト（プリフェッチ：ON, SPI 延長：無し or 有限）

基本条件			最大ウェイト ^{注1}						
シリアル転送設定		AHB 転送	SROM_CLK成分				HCLK 成分		
Read モード	アドレス 幅	データ・ サイズ	① ベース	② ^{注2} SROM_CSZ setup wait	③ ^{注3} SROM_CSZ hold wait	④ ^{注4} SROM_CSZ 最小ハイ幅	⑤ ベース	⑥ ^{注5} 送信 setup wait	⑦ ^{注6} 送信 hold wait
標準 Read	8 bit	1 byte	22	0	1	n	2	10	10
		2 byte	22	0	1	n	2	10	10
		4 byte	22	0	1	n	2	10	10
	16 bit	1 byte	30	0	1	n	2	18	18
		2 byte	30	0	1	n	2	18	18
		4 byte	30	0	1	n	2	18	18
	24 bit	1 byte	38	0	1	n	2	26	26
		2 byte	38	0	1	n	2	26	26
		4 byte	38	0	1	n	2	26	26
Fast Read	8 bit	1 byte	30	0	1	n	2	18	18
		2 byte	30	0	1	n	2	18	18
		4 byte	30	0	1	n	2	18	18
	16 bit	1 byte	38	0	1	n	2	26	26
		2 byte	38	0	1	n	2	26	26
		4 byte	38	0	1	n	2	26	26
	24 bit	1 byte	46	0	1	n	2	34	34
		2 byte	46	0	1	n	2	34	34
		4 byte	46	0	1	n	2	34	34
Fast Read Dual Output	8 bit	1 byte	26	0	1	n	2	18	18
		2 byte	26	0	1	n	2	18	18
		4 byte	26	0	1	n	2	18	18
	16 bit	1 byte	34	0	1	n	2	26	26
		2 byte	34	0	1	n	2	26	26
		4 byte	34	0	1	n	2	26	26
	24 bit	1 byte	42	0	1	n	2	34	34
		2 byte	42	0	1	n	2	34	34
		4 byte	42	0	1	n	2	34	34
Fast Read Dual IO	8 bit	1 byte	18	0	1	n	2	10	10
		2 byte	18	0	1	n	2	10	10
		4 byte	18	0	1	n	2	10	10
	16 bit	1 byte	22	0	1	n	2	14	14
		2 byte	22	0	1	n	2	14	14
		4 byte	22	0	1	n	2	14	14
	24 bit	1 byte	26	0	1	n	2	18	18
		2 byte	26	0	1	n	2	18	18
		4 byte	26	0	1	n	2	18	18

注 1. ウェイト数は以下の式で算出されます。

最大ウェイト数 = ((①+②+③+④) × 「SROM_CLK/HCLK 周期比率」) + ⑤ + ⑥ + ⑦ [HCLK]

- SFMSSC レジスタの SFMSLD ビットが 1 の場合に、表の値を適用します。SFMSLD ビットが 0 の場合には、表の値ではなく 0 を適用します。
- SFMSSC レジスタの SFMSHD ビットが 1 の場合に、表の値を適用します。SFMSHD ビットが 0 の場合には、表の値ではなく 0 を適用します。
- n は SFMSSC レジスタの SFMSW [3:0] ビットで選択した SROM_CSZ 信号の最小ハイ幅です。
- SFMSSC レジスタの SFMOSW ビットが 1 の場合に、表の値を適用します。SFMOSW ビットが 0 の場合には、表の値ではなく 0 を適用します。
- SFMSSC レジスタの SFMOHW ビットが 1 の場合に、表の値を適用します。SFMOHW ビットが 0 の場合には、表の値ではなく 0 を適用します。
- JL-086A では、ASIZE[1:0] は 10B 固定(アドレス幅 24 ビット)となっています。

9.4 オペレーション

9.4.1 複数の制御レジスタの設定変更手順について

本マクロの制御レジスタの設定内容は、システム動作中にダイナミックに変更することができます。

ただし、複数の制御レジスタの設定内容を順次変更してゆく場合、すべてのレジスタへの変更が完了する前にも **SPI** バス・サイクルが発生する可能性がありますので、レジスタ設定変更過程のどの段階においても **SPI** バスのタイミング仕様を逸脱しないよう、レジスタ内容の変更順序には十分な注意が必要です。

```
//  
// Making SROM_CLK faster  
//  
SFMSMD = 0x0041;      // SFMPAE:0 SFMPFE:1 SFMSE:00 SFMRM:01 (prefetch enable, fast read)  
SFMSSC = 0x04;        // SFMSLD:0 SFMSHD:0 SFMSW:4 (minimum SROM_CSZ high width = 5SROM_CLK)  
SFMSKC = 0x00;        // SFMDTY:0 SFMDV:0 (1/2 mode)   ### switch clock speed last ###  
  
//  
// Making SROM_CLK slower  
//  
SFMSKC = 0x06;        // SFMDTY:0 SFMDV:6 (1/8 mode)   ### switch clock speed first ###  
SFMSSC = 0x01;        // SFMSLD:0 SFMSHD:0 SFMSW:1 (minimum SROM_CSZ high width = 2SROM_CLK)  
SFMSMD = 0x0040;      // SFMPAE:0 SFMPFE:1 SFMSE:00 SFMRM:00 (prefetch enable, standard read)
```

図 9-26 NPPFAHBMEMSROMSP1V10 のレジスタ設定変更例