第2章 端子機能

2.1 端子配置表

A A23(67)	B B23(66)	C23(65)	D D23(64)	E23(63)	F23(62)	G G23(61)	H23(60)	J J23(59)		L L23(57)	M M23(56)	N N23(55)	P P23(54)	R R23(53)	T T23(52)	U U23(51)	V V23(50)	W W23(49)	Y Y23(48)	AA AA23(47)	AB AB23(46)	AC AC23(45)	
GND	XT1	XT2	OSC25M	ETH_RXD3	ETH_RXD7	ETH_RXC	ETH_TXD7	ETH_TXD1	ETH_MDIO	CSI_SCK	GND	PCIEX_CICREFP	PCIEX_RIDP	GND	PCIEX_MODE_PORT	RX_DV2	RX_DV1	RXD2_3	TX_CLK2	TX_CLK1	TXD2_2	GND	23
A22(68) PONR	B22(149) RESETZ	C22(148) TMS_SWDIO	D22(147) TCK_SWDCK				H22(143) ETH_RXDV				M22(139) GND		P22(137) PCIEX_RIDN				V22(133) RXD2_2	W22(132) RXD1_0	Y22(131) TXD2_0	AA22(130) TXD2_1		AC22(44) TXD1_2	22
A21(69) TDO_SWO	B21(150) TDI	C21(223) TRSTZ		E21(221) ETH_RXER			H21(218) ETH_TXD5		K21(216) ETH_TXC	L21(215) CSI_SO	M21(214) IIC_SDA	N21(213) GND	P21(212) PCIEX_TODP		T21(210) MDIO		V21(208) RXD2_1	W21(207) RXD1_2	Y21(206) TX_EN2	AA21(205) TXD1_0		AC21(43) TXD1_3	21
A20(70) INTPZ1	B20(151) INTPZ2	C20(224) SROM_CSZ		E20(288) ETH MDC			H20(285) ETH_RXD6			L20(282)	M20(281)	N20(280) GND	P20(279) PCIEX_TODN	R20(278) GND	T20(277) MDC		V20(275) RX ER1	W20(274) RXD1_1	Y20(273) RXD1_3	AA20(204) TX_EN1	AB20(127) GND	AC20(42) GND	20
A19(71)	B19(152)	C19(225)	D19(290)	E19(347)	F19(346)	G19(345)	H19(344)	J19(343)	K19(342)	L19(341)	M19(340)	N19(339)	P19(338)	R19(337)	T19(336)	U19(335)	V19(334)	W19(333)	Y19(272)	AA19(203)	AB19(126)	AC19(41)	
INTPZ3 A18(72)	INTPZ0 B18(153)	SROM_CLK	SROM_MISO D18(291)		VDD33	ETH_RXD5	ETH_CRS	ETH_TXD2	ETH_TXEN	UART_SOUT	VDD33	VDDD	GND	VDD33	ERR1L	TX_ER1	TX_ER2	RTCIL W18(332)	GND Y18(271)	GND AA18(202)	RESETB AB18(125)	MRSTCNT	19
D13	BUSCLK	WAITZ	STBCTL	TMODE1														VDD33	DDR_A2	DDR_A0	DDR_A12	DDR_A8	18
A17(73) A16	B17(154) A15		D17(292) D14	E17(349) TMC2															Y17(270) BA1	AA17(201) BA2	AB17(124) DDR_A6	AC17(39) GND	17
A16(74) A14	B16(155) A13	C16(228) D7	D16(293) D11	E16(350) D12														W16(330) DVDDQ	Y16(269) DDR_A3	AA16(200) DDR_A11	AB16(123) DDR_A13	AC16(38) DDR_A7	16
A15(75) A12	B15(156) A11	C15(229) D5	D15(294)	E15(351) D15				J15(379) VDD33	K15(378) GND		M15(376) PLL1_AGND	N15(375) VSSA	P15(374) VDDA	R15(373) GND					Y15(268)	AA15(199) WEB	AB15(122) DDR A4	AC15(37) DDR_A1	18
A14(76)	B14(157)	C14(230)	D14(295)	E14(352)				J14(380)	K14(397)	L14(396)	M14(395)	N14(394)	P14(393)	R14(372)				W14(328)		AA14(198)	AB14(121)	AC14(36)	
A10 A13(77)	A9 B13(158)	D3 C13(231)	D13(296)	D6 E13(353)				J13(381)	GND K13(398)	GND	GND M13(406)	GND N13(405)	GND P13(392)	DVDDQ R13(371)				CKE W13(327)	CSB V13(266)	DDR_A10 AA13(197)	DDR_A9 AB13(120)	DDR_A5 AC13(35)	14
A8	A7	D1	D4	A17				VDD	VDD	VDD	VDD	VDD	GND	DVDDQ				ODT	RASB	CASB	GND	СКВ	1
A12(78) A6	B12(159) D0	C12(232) WRSTBZ	D12(297) BENZ1	E12(354) D2				J12(382) GND	K12(399) GND	L12(408) GND	M12(409) GND	N12(404) GND		R12(370) DVSS					Y12(265) MZQ	AA12(196) MCKECNT		AC12(34) CK	1:
A11(79) A5	B11(160) A4	C11(233) RDZ	D11(298) CSZ1	E11(355) VDD33				J11(383) VDD	K11(400) VDD	L11(401) VDD	M11(402) GND	N11(403) GND		R11(369) DVDD				W11(325) MDVREF		AA11(195) DQ3	AB11(118) DQ13	AC11(33) GND	1
	B10(161) BENZ0	C10(234) A2	D10(299) CSZ0	E10(356) GND				J10(384) GND	K10(385) GND	L10(386) GND	M10(387) GND	N10(388) VDD	P10(389) GND	R10(368) DVDDQ				W10(324) GND	Y10(263) DQ7	AA10(194) DQ1	AB10(117) DQ15	AC10(32) DQ11	11
	B9(162)	C9(235)	D9(300)	E9(357)				J9(361)	K9(362)	L9(363)	M9(364)	N9(365)	P9(366)	R9(367)				W9(323)	Y9(262)	AA9(193)		AC9(31)	
INTOL A8(82)	A1 B8(163)	MLTXD C8(236)	MLTXEN D8(301)	ADFCLK_1 E8(358)				GND	PLL2_AGND	PLL2_AVDD	GND	VDD	GND	DVDDQ				GND W8(322)	DML Y8(261)	DQSB0 AA8(192)	GND AB8(115)	DQ9 AC8(30)	9
PUL_1	NUL_1	DB1_1	ADFCLK_2															GND	GND	DQS0		DQSB1	8
A7(83) PVL_1	B7(164) NVL_1	C7(237) DA_2	D7(302) R1	E7(359) STBL														W7(321) GND	Y7(260) DQ4	AA7(191) DQ2	AB7(114) DMU	AC7(29) DQS1	7
A6(84) NWL_1	B6(165) PWL_1	C6(238) DBON_1	D6(303) DB2_1	E6(360) VDD33														W6(320) GND	Y6(259) DQ6	AA6(190) DQ0	AB6(113) DQ10	AC6(28) DQ8	6
A5(85) PUL_2	B5(166) PVL_2	C5(239) R2	D5(304) DB2_2	E5(305) GND	F5(306) ADCCLK	G5(307)	H5(308) OV	J5(309) MDAT	K5(310) MLRXD	L5(311) SYNCL	M5(312) VDD33	N5(313) USB_VD33			T5(316) AGND_ADC	U5(317) AVDD_ADC	V5(318)	W5(319) VDD33	Y5(258) GND	AA5(189) GND	AB5(112) DQ14	AC5(27) DQ12	
A4(86)	B4(167)	C4(240)	D4(241)	E4(242)	F4(243)	5V-Torelant G4(244)	5V-Torelant H4(245)	5V-Torelant J4(246)	5V-Torelant K4(247)	5V-Torelant L4(248)	M4(249)	-	_	R4(252)	T4(253)	U4(254)	V4(255)		Y4(257)			AC4(26)	J
NUL_2 A3(87)	PWL_2 B3(168)	DB1_2 C3(169)	SO D3(170)	DBON_2 E3(171)	5V-Torelant	ADFCTL1_1 5V-Torelant	ADFDT0_1 5V-Torelant	5V-Torelant	ADFDT1_2 5V-Torelant	5V-Torelant	ADCCTL1 5V-Torelant	_	USB_AVDD P3(180)	_		AVREFP	AIN1 V3(184)	TIN1_TOUT1 W3(185)	TIN3_TOUT3	GPIO16 AA3(187)	GPIO11 AB3(110)	GND AC3(25)	4
NVL_2	NWL_2	DC_2	PWMU	WDOKL	F3(172) ADFDT1_1 5V-Torelant	G3(173) OC_1 5V-Torelant	H3(174) OC_2 5V-Torelant	J3(175) ADFCTL0_2 5V-Torelant	K3(176) ADFCTL1_2 5V-Torelant	L3(177) ADCCTL0 5V-Torelant	M3(178) ADCDT0 5V-Torelant	N3(179) ADCDT1 5V-Torelant	USB_GND	R3(181) USB_GND	T3(182) AIN0	U3(183) AIN2	TINO_TOUTO		GPIO05	GPIO03	GPIO12	GPIO13	3
A2(88) DB_1	B2(89) DA_1	C2(90) RESOL	D2(91) PWMV	E2(92) DTPRL0	F2(93) LXTXD1	G2(94) LRRXD1	H2(95) CC_2	J2(96) CA_2	K2(97) CB_1	L2(98) CA_1	M2(99) USB_UCLK_XT1	N2(100) USB_GND		R2(102) DM1	T2(103) USB_GND	U2(104) USB_PPON	V2(105) TIN2_TOUT2	W2(106) GPIO02	Y2(107) GPIO15	AA2(108) GPIO04	AB2(109) GPIO07	AC2(24) GPIO10	2
A1(1) GND	B1(2) DB_2	C1(3) DC_1	D1(4) LXTXD0	5V-Torelant E1(5) BBON1	F1(6) LRRXD0	5V-Torelant G1(7) DTPRL1	5V-Torelant H1(8) BBON2	J1(9) CB_2	5V-Torelant K1(10) CC_1	5V-Torelant L1(11) GND	M1(12) USB_UCLK_XT2	N1(13) USB_GND		R1(15) DP1	T1(16) USB GND	U1(17) USB_VBUS	V1(18) USB OCI	W1(19) GPIO01	Y1(20) GPIO06	AA1(21) GPIO00	AB1(22) GPIO14	AC1(23) GND	1
A	В	C	5V-Torelant	5V-Torelant	5V-Torelant	5V-Torelant	5V-Torelant	5V-Torelant	5V-Torelant		M	N	P	R			V	W	V.—	AA	AB	AC	

図 **2-1** 端子配置βGAイメージ(Pkg Top View)

表	2- <mark>2</mark>	端子配置BGAイメージの各マクロ説明
20		

X = S IN THE SOUTH OF THE SOUTH	
SYSTEM, TEST	
<u>JTAG</u>	
外部割り込み、APBSS(CSI、UART、12C)	
<u>外部メモリインタフェース</u>	
シリアルフラッシュ ROM インタフェース	
<u>GbEther</u>	
PCIe.	
DDR3メモリインタフェース	
<u>GPIO</u>	
タイマー	
ADC.	
USB	
UDL	<u> </u>
<u>UDL(5V-Torelant)</u>	
DVDD	
<u>VDD</u>	
PLL AVDD	
VDDA	
VDD33	
VDDD	
DVDDQ	
GND	

書式変更: フォント : (特殊) Century Gothic

書式変更: フォント: (日) MS ゴシック

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: 行間 : 最小値 12 pt

書式変更: フォント : (日) MS ゴシック

	削除: . <オブジェクト>表	
/ /	削除: 1 端子配置表	
//	* = * * * * * * * * * * * * * * * * *	
	書式変更: フォント: (日) MS ゴ: ク	
/	削除: 2 表2-1···子配置表	
	書式変更	
1	書式変更: フォント : (英) Century Gothic, (日) MS ゴシック	
Κ,	表の書式変更	
K,	書式変更	
K,	書式変更	
K,	書式変更	
Κ,	書式変更	
Γ,	書式変更	
Γ,	書式変更	
/	書式変更	
7		
/1	書式変更	
/1	書式変更:左揃え	
/1		
Z	書式変更	
	書式変更	
\sum_{i}	書式変更	
//	書式変更	
\setminus	書式変更	
	書式変更	
1		•
$\left \cdot \right $	書式変更: フォント: (日) MS ゴ: ク	ンツ
/	書式変更 : 行間 : 最小値 12 pt	
	書式変更 : フォント: (日) MS ゴ: ク	シッ

2.2 端子機能一覧

外部端子の機能一覧を以下に記載します。

3 ユーザ端子	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
MLRXD	0	ユーザ端子	メカトロリンク I / Ⅱ 受信データ	-	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
MLTXD	0	ユーザ端子	メカトロリンク Ⅰ / Ⅱ 送信データ		0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
MLTXEN WDOKL	0	ユーザ端子 ユーザ端子	メカトロリンク I / II 送信イネーブル ウォッチドッグタイマ出力	H H	0	4	TWF8BC33ALV04SL TWF8BC33ALV04SL	Low-Noise(TR) Low-Noise(TR)	0	OPEN OPEN
R1	0	ユーザ端子	ウォッナトックタイマ出力 モノマルチ用端子	H —	I	-	TWF8IC33ALV04SL	ST ST	ī	OPEN I
R2	0	ユーザ端子	モノマルチ用端子	_	I/O	4	TWF8BC33ASNV04SL	ST	I	L L
RESOL	0	ユーザ端子	リセット出力	L	0	4	TWF8TC33NV04SZ	_	0	OPEN
SCLK	0	ユーザ端子	同期シリアルクロック	↑/↓注1	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
STBL SO	0	ユーザ端子 ユーザ端子	同期シリアルストローブ 同期シリアルデータ出力	L	0	4	TWF8BC33ALV04SL TWF8BC33ALV04SL	Low-Noise(TR) Low-Noise(TR)	0	OPEN OPEN
SI	0	ユーザ端子	同期シリアルデータムカ 同期シリアルデータ入力		Ī	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
BBON1	Ö	ユーザ端子	ベースブロックホットライン1	H/L注1	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
BBON2	0	ユーザ端子	ベースブロックホットライン2	H/L注1	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
PWMU	0	ユーザ端子	PWMモニタU相出力	-	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
PWMV	0	ユーザ端子	PWMモニタV相出力		0	4	TWF8BC33ALV04SL TWF1ZE1575BC5TANV04SZ	Low-Noise(TR) PD, 5T	0	OPEN OPEN
LXTXD0	0	ユーザ端子 ユーザ端子	シリアルエンコーダ0受信データ シリアルエンコーダ0送信データ	_	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	Ī	OPEN
DTPRL0	ő	ユーザ端子	シリアルエンコーダの送信イネーブル	Н	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
LRRXD1	0	ユーザ端子	シリアルエンコーダ1受信データ	-	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
LXTXD1	0	ユーザ端子	シリアルエンコーダ1送信データ		I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
DTPRL1 ADCDT0	0	ユーザ端子 ユーザ端子	シリアルエンコーダ1送信イネーブル 指令用ADOデータ	Н —	I/O I	4	TWF1ZE1575BC5TANV04SZ TWF1ZE1575BC5TANV04SZ	PD, 5T PD, 5T	I	OPEN OPEN
ADCCTL0	0	ユーザ端子	指令用ADOフータ	_	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	ī	OPEN
ADCDT1	0	ユーザ端子	指令用AD1データ	-	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
ADCCTL1	0	ユーザ端子	指令用AD1コントロール	_	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
ADCCLK	0	ユーザ端子	指令用ADクロック	↑/↓注1	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
OV DBON_1	0	ユーザ端子 ユーザ端子	適電圧入力 ダイナミックブレーキ出力(軸1)	H/L注1,2 H/L注1	0	4	TWF1ZE1575BC5TANV04SZ TWF8BC33ALV04SL	5T Low-Noise(TR)	0	OPEN
DB1_1	0	ユーザ端子	ダイナミックブレーキ設定1(軸1)	-	I	-	TWF8IC33AS	PU	I	OPEN
DB2_1	0	ユーザ端子	ダイナミックブレーキ設定2(軸1)	-	I	-	TWF8IC33AS	PU	I	OPEN
PUL_1	0	ユーザ端子	PWMゲートP側U相出力(軸1)	L	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
NUL_1 PVL_1	0	ユーザ端子 ユーザ端子	PWMゲートN側U相出力(軸1)	L	0	12 12	TWF8BC33ALV04SL TWF8BC33ALV04SL	Low-Noise(TR) Low-Noise(TR)	0	OPEN OPEN
NVL 1	0	ユーザ端子	PWMゲートP側V相出力(軸1) PWMゲートN側V相出力(軸1)	L I	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
PWL_1	0	ユーザ端子	PWMゲートP側W相出力(軸1)	L L	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
NWL_1	0	ユーザ端子	PWMゲートN側W相出力(軸1)	L	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
OC_1	0	ユーザ端子	過電流入力(軸1)	H/L注1,2	I	_	TWF1ZE1575BC5TANV04SZ	5T	I	H
DA_1 DB_1	0	ユーザ端子 ユーザ端子	分周出力A相(軸1) 分周出力B相(軸1)		0	4	TWF8BC33ALV04SL TWF8BC33ALV04SL	Low-Noise(TR) Low-Noise(TR)	0	OPEN OPEN
DE_1	0	ユーザ端子	分周出力B相(報1) 分周出力C相(報1)		0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
ADFDT0_1	0	ユーザ端子	電流用AD0データ(軸1)	_	I	_	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
ADFCTL0_1	0	ユーザ端子	電流用AD0コントロール(軸1)	_	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
ADFDT1_1	0	ユーザ端子	電流用AD1データ(軸1)	-	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
ADFCTL1_1 ADFCLK 1	0	ユーザ端子 ユーザ端子	電流用AD1コントロール(軸1)		I/O O	4	TWF1ZE1575BC5TANV04SZ TWF8BC33ALV04SL	PD, 5T Low-Noise(TR)	0 I	OPEN
CA_1	0	ユーザ端子	電流用ADクロック(軸1) 指令パルス入力A相(軸1)	1/1×±1	Ī	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	ī	OPEN OPEN
CB_1	Ö	ユーザ端子	指令パルス入力B相(軸1)	-	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
CC_1	0	ユーザ端子	指令パルス入力C相(軸1)	_	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
DBON_2	0	ユーザ端子	ダイナミックブレーキ出力(軸2)	H/L注1	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
DB1_2 DB2_2	0	ユーザ端子 ユーザ端子	ダイナミックブレーキ設定1(軸2)		I	_	TWF8IC33AS TWF8IC33AS	PU	I	OPEN OPEN
PUL 2	0	ユーザ端子	ダイナミックブレーキ設定2(軸2) PWMゲートP側U相出カ(軸2)	-	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
NUL_2	Ö	ユーザ端子	PWMゲートN側U相出力(軸2)	L	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
PVL_2	0	ユーザ端子	PWMゲートP側V相出力(軸2)	L	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
NVL_2	0	ユーザ端子	PWMゲートN側V相出力(軸2)	L	0	12	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
PWL_2 NWL_2	0	ユーザ端子 ユーザ端子	PWMゲートP側W相出力(軸2) PWMゲートN側W相出力(軸2)	L	0	12 12	TWF8BC33ALV04SL TWF8BC33ALV04SL	Low-Noise(TR) Low-Noise(TR)	0	OPEN OPEN
OC 2	0	ユーザ端子	過電流入力(軸2)	H/L注1,2	ī	-	TWF1ZE1575BC5TANV04SZ	5T	ī	H
DA_2	0	ユーザ端子	分周出力A相(軸2)		0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
DB_2	0	ユーザ端子	分周出力B相(軸2)	-	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
DC_2	0	ユーザ端子	分周出力C相(軸2)	_	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
ADFDT0_2 ADFCTL0 2	0	ユーザ端子 ユーザ端子	電流用ADOデータ(軸2) 電流用ADOコントロール(軸2)		I/O	_ 4	TWF1ZE1575BC5TANV04SZ TWF1ZE1575BC5TANV04SZ	PD, 5T PD, 5T	I	OPEN OPEN
ADFDT1 2	ő	ユーザ端子	電流用AD1データ(軸2)	_	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	i	OPEN
ADFCTL1_2	0	ユーザ端子	電流用AD1コントロール(軸2)	-	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
ADFCLK_2	0	ユーザ端子	電流用ADクロック(軸2)	↑/↓注1	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
CA_2	0	ユーザ端子	指令パルス入力A相(軸2)		I	_	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
CB_2 CC_2	0	ユーザ端子 ユーザ端子	指令パルス入力B相(軸2) 指令パルス入力C相(軸2)		I	_	TWF1ZE1575BC5TANV04SZ TWF1ZE1575BC5TANV04SZ	PD, 5T PD, 5T	I	OPEN OPEN
RTCIL	0	ユーザ端子	リアルタイムクロック割込み	L	I	_	TWF8IC33ASS	PU, ST	I	OPEN
MDIO	0	ユーザ端子	MDIOデータ		I/O	4	TWF8BC33ASNV04SL	ST	I	L
MDC TV CLK1	0	ユーザ端子	MDIO/DDV/	1	0	4	TWF8TC33NV04SZ	-	0	OPEN
TX_CLK1 TX_EN1	0	ユーザ端子 ユーザ端子	PHY1送信クロック PHY1送信イネーブル	† H	I 0	4	TWF8IC33AS TWF8TC33NV04SZ	_	0	L OPEN
TX_EN1	0	ユーザ端子	PHY1送信1ネーフル PHY1送信エラー	Н	1/0	4	TWF8BC33ASNV04SL	ST	0	OPEN
TXD1_0	0	ユーザ端子	PHY1送信データ		0	4	TWF8TC33NV04SZ	-	0	OPEN
TXD1_1	0	ユーザ端子	PHY1送信データ	-	0	4	TWF8TC33NV04SZ	-	0	OPEN
TXD1_2	0	ユーザ端子	PHY1送信データ	-	0	4	TWF8TC33NV04SZ	-	0	OPEN
TXD1_3	0	ユーザ端子 ユーザ端子	PHY1送信データ PHY2半標クロック	-	0	4	TWF8TC33NV04SZ TWF8IC33AS		0	OPEN
TX_CLK2 TX_EN2	0	ユーザ端子	PHY2送信クロック PHY2送信イネーブル	H	0	4	TWF8TC33AS TWF8TC33NV04SZ	-	0	OPEN
TX_ER2	0	ユーザ端子	PHY2送信エラー	Н	I/O	4	TWF8BC33ASNV04SL	ST	0	OPEN
TXD2_0	0	ユーザ端子	PHY2送信データ	_	0	4	TWF8TC33NV04SZ	-	0	OPEN
TXD2_1	0	ユーザ端子	PHY2送信データ	-	0	4	TWF8TC33NV04SZ	-	0	OPEN
TXD2_2 TXD2_3	0	ユーザ端子 ユーザ端子	PHY2送信データ PHY2送信データ		0	4	TWF8TC33NV04SZ TWF8TC33NV04SZ		0	OPEN OPEN
RX_CLK1	0	ユーザ端子	PHY 2送信ナータ PHY 1受信クロック	1	ī	-	TWF8IC33NV04SZ TWF8IC33AS		ī	UPEN
RX_ER1	0	ユーザ端子	PHY1受信エラー	H	I	_	TWF8IC33AS	-	I	L
RX_DV1	0	ユーザ端子	PHY1受信データバリッド	=	I	-	TWF8IC33AS	_	I	L
RXD1_3	0	ユーザ端子	PHY1受信データ	_	I	-	TWF8IC33AS	-	I	L
RXD1_2	9	ユーザ端子	PHY1受信データ	_	I	_	TWF8IC33AS	-	I	L .
RXD1_1 RXD1_0	0	ユーザ端子 ユーザ端子	PHY1受信データ PHY1受信データ		I	_	TWF8IC33AS TWF8IC33AS		I	<u>L</u>
RX CLK2	0	ユーザ端子	PHY1支信ナータ PHY2受信クロック	<u> </u>	I	_	TWF8IC33AS		I	L I
RX_ER2	0	ユーザ端子	PHY2受信エラー	Н	I	-	TWF8IC33AS		I	L
RX_DV2	0	ユーザ端子	PHY2受信データバリッド	-	I	-	TWF8IC33AS	-	I	L
RXD2_3	0	ユーザ端子	PHY2受信データ	_	I	_	TWF8IC33AS	-	I	L
RXD2_2 RXD2_1	0	ユーザ端子 ユーザ端子	PHY2受信データ PHY2受信データ		I	_	TWF8IC33AS TWF8IC33AS		I	L
RXD2_1 RXD2_0	0	ユーザ端子	PHY2受信アータ PHY2受信データ		I	_	TWF8IC33AS	 -	I	L
ERR1L	0	ユーザ端子	エラー出力	L	0	4	TWF8TC33NV04SZ	-	0	OPEN
MDAT	0	ユーザ端子	デシメーションフィルタデータ	_	I	-	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
MCLK	0	ユーザ端子	デシメーションフィルタクロック	1	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
SYNCL INTOL	0	ユーザ端子 ユーザ端子	外部同期入力 割込み出力	L <u>注</u> 2	I/O O	4	TWF1ZE1575BC5TANV04SZ TWF8BC33ALV04SL	5T Low-Noise(TR)	1	H OPEN
									0	

<u>注1</u> アクティブレベルは、プログラマブルに変更可能です。

<u>注2</u> SSPRO7_5TBUF_EN(EFF8_602CH)レジスタで、スタンパイ制御されます(Default:スタンパイ) 詳細は、JL-086A ユーザーズマニュアル 6 章 SCU(System Control Unit)を参照してください。

書式変更: フォント: (日) MS ゴシッ

削除: . <オブジェクト> .

書式変更: フォント : (特殊) Century Gothic **書式変更:** フォント : (特殊) Century Gothic

削除: 補足

書式変更: フォント : (特殊) Century Gothic **書式変更:** フォント: (日) MS ゴシック

書式変更: フォント : (特殊) Century Gothic

書式変更: フォント: (特殊) Century Gothic **書式変更:** フォント : (特殊) Century Gothic

書式変更: フォント: (日) MS ゴシック

書式変更: インデント : 最初の行 : 0 mm, 行間 : 最小値 12 pt 書式変更: フォント: (日) MS ゴシック

書式変更: フォント : Century Gothic, 9 pt

表の書式変更

書式変更: フォント : Century Gothic, 9 pt **書式変更**: フォント : (日) MS ゴシック

書式変更: インデント : 最初の行 : 0 mm

書式変更: フォント : (日) MS ゴシック

表2-4 外部メモリインタフェース端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
	CSZ0	0	外部メモリIF	チップセレクト	L	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
D11	CSZ1	0	外部メモリIF	チップセレクト	L	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
39	A1	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
C10	A2	0	外部メモリIF	アドレス/テストモード端子兼用	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
A10	A3	0	外部メモリIF	アドレス/テストモード端子兼用	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	リセット中にモード信号をラケ
311	A4	0	外部メモリIF	アドレス/テストモード端子兼用	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	チしますので、端子はJL-
	A5	0	外部メモリIF	アドレス/テストモード端子兼用	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	086A動作モードに合わせて
	A6	0	外部メモリIF	アドレス/テストモード端子兼用	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	LSI外部でPU/PD接続をして
	A7	0	外部メモリIF	アドレス/テストモード端子兼用	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	ださい。
.13	A8	0	外部メモリIF	アドレス/テストモード端子兼用	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
314	A9	0	外部メモリIF	アドレス/テストモード端子兼用(注1)	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
14	A10	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
	A11	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
15	A12	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
16	A13	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
16	A14	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
17	A15	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
17	A16	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
13	A17	0	外部メモリIF	アドレス	Н	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
12	D0	0	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
13	D1	0	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
12	D2	0	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
14	D3	0	外部メモリJF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
13	D4	0	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
	D5	0	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	ī	ı
	D6	ŏ	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
	D7	Ö	外部メモリIF	データ・バス	Н	Ι/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
14	D8	0	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	ī	1
15	D9	0	外部メモリIF	データ・バス	Н	Ι/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	ī	ı
	D10	Ŏ	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	Ī	Ī
	D11	Ö	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	Ī	Ī
	D12	Õ	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	Ī	Ī
	D13	Õ	外部メモリIF	データ・バス	Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	ī	Ī
	D14	ŏ	外部メモリIF	データ・バス	Н Н	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	Ť	ī
	D15	ŏ	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	Ť	i
	RDZ	Ö	外部メモリIF	リード・ストローブ	i	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
	WRZ0		外部メモリIF	ライト・ストローブ	_	_		_	-	_	-
	WRZ1	_	外部メモリIF	ライト・ストローブ	_	_		_	_	_	_
	BENZ0	0	外部メモリIF	バイト・イネーブル(WRZOと兼用)(注2)		0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
	BENZ1	ŏ	外部メモリIF	バイト・イネーブル(WRZ1と兼用)(注2)	1	Ö	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
	WRSTBZ	0	外部メモリIF	ライト・ストローブ	1 1	0	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN
	WAITZ	0	外部メモリIF/ポート兼用(P2)	ウェイト信号/汎用ポート2(P20)と兼用	+ -	I/O	4	TWF8BC33ALV04SL	PU, Low-Noise(TR)	T	OPEN
	BUSCLK	0	外部メモリIF/ポート兼用(P1)	バス・クロック出力/汎用ポート1(P17)と兼用		I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	0	OPEN

<u>注 1</u> ルネサステストモード(TMODE3-2-1(A3-A2-TMODE1)="0-0-0")以外の場合、I/O 属性が In→Out に確定するため、未使用時端子処置は "OPEN" で 問題ありません。ルネサステストモード、もしくはパウンダリスキャンモードの場合は、LSI 外部で ルネサステストモード : PD パウンダリスキャンモード : PU

<u>注 2</u> WRZO/WRZ1 の兼用機能は使用できません(制限事項)

表**2-5** DDR3メモリ・インタフェース端子一覧

接続する必要があります。

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
AA6 I	DQ0	×	DDR3-IF	データ・バス	-	I/O	-			-	OPEN
AA10 I		×	DDR3-IF	データ・バス	-	I/O	_			_	OPEN
AA7 I		×	DDR3-IF	データ・バス	-	I/O	_			-	OPEN
AA11 I		×	DDR3-IF	データ・バス	-	I/O	-			_	OPEN
)Q4	×	DDR3-IF	データ・バス	-	I/O	-			_	OPEN
)Q5	×	DDR3-IF	データ・バス	-	I/O	-			_	OPEN
	XQ6	×	DDR3-IF	データ・バス	-	I/O	_			-	OPEN
	DQ7	×	DDR3-IF	データ・バス	-	I/O	-			-	OPEN
	DQ8 DQ9	×	DDR3-IF DDR3-IF	データ・バス データ・バス	-	I/O I/O	=			_	OPEN OPEN
	XQ9 XQ10	×	DDR3-IF	データ・バス	_	I/O	=				OPEN
AC10		×	DDR3-IF	データ・バス	_	I/O					OPEN
	0012	×	DDR3-IF	データ・バス	_	I/O	_			_	OPEN
AB11 I		×	DDR3-IF	データ・バス	_	I/O	_			_	OPEN
	Q14	×	DDR3-IF	データ・バス	_	I/O	_			_	OPEN
	Q15	×	DDR3-IF	データ・バス	-	I/O	_			-	OPEN
	DQS0	×	DDR3-IF	データ・ストローブ	-	I/O	-			_	OPEN
	DQSB0	×	DDR3-IF	データ・ストローブ	-	I/O	_			-	OPEN
	QS1	×	DDR3-IF	データ・ストローブ	-	I/O	_			-	OPEN
	DQSB1	×	DDR3-IF	データ・ストローブ	-	I/O	-			-	OPEN
	DMU	×	DDR3-IF	データ・マスク	Н	0	-			-	OPEN
	OML	×	DDR3-IF	データ・マスク	Н	0	_			-	OPEN
	CK	×	DDR3-IF	クロック出力	-	0	-			0	OPEN
AC13		×	DDR3-IF	クロック出力	-	0	_			0	OPEN
W14 (CKE CSB	×	DDR3-IF DDR3-IF	クロックイネーブル	H	0	_			0	OPEN OPEN
	ODT	×	DDR3-IF DDR3-IF	チップ・セレクト ODT設定	H	0				0	OPEN
	RASB	×	DDR3-IF	RAS信号		0	=			0	OPEN
AA13		×	DDR3-IF	CAS信号	ı	0	_			0	OPEN
AA15		×	DDR3-IF	ライト・ストローブ	L	0	_			0	OPEN
	BA0	×	DDR3-IF	バンク・アドレス		0	_	DDR-PHY		0	OPEN
	3A1	×	DDR3-IF	バンク・アドレス	_	0	_			0	OPEN
AA17 I	3A2	×	DDR3-IF	バンク・アドレス	-	0	_			0	OPEN
AA18 I	DDR_A0	×	DDR3-IF	DDR用アドレス	-	0	-			0	OPEN
AC15 I		×	DDR3-IF	DDR用アドレス	-	0	_			0	OPEN
Y18 I		×	DDR3-IF	DDR用アドレス	-	0	_			0	OPEN
	DDR_A3	×	DDR3-IF	DDR用アドレス	-	0	_			0	OPEN
AB15 I		×	DDR3-IF	DDR用アドレス	-	0	_			0	OPEN
AC14		×	DDR3-IF	DDR用アドレス	-	0	-			0	OPEN
AB17 I		×	DDR3-IF	DDR用アドレス	-	0	_			0	OPEN
AC16		×	DDR3-IF	DDR用アドレス	_	0	_			0	OPEN
AC18 I		×	DDR3-IF	DDR用アドレス	-	0	_			0	OPEN
AB14 I	DDR_A9 DDR A10	×	DDR3-IF DDR3-IF	DDR用アドレス DDR用アドレス	_	0	_			0	OPEN OPEN
	DDR_A10 DDR A11	×	DDR3-IF DDR3-IF	DDR用アドレス DDR用アドレス	_	0				0	OPEN
	DDR A12	×	DDR3-IF	DDR用アドレス		0	=			0	OPEN
	DDR A13	×	DDR3-IF	DDR用アドレス	_	0	_			0	OPEN
AB19		×	DDR3-IF	DDR用リセット	L	I	_			0	OPEN
W11 I		×	DDR3-IF	レシーバ用基準電圧	DVDDQ/2	Ī	_			_	GND
	MZQ	×	DDR3-IF	出カインピーダンスコントロール	L	I/O	-			-	DVDDQ(DDR3用IO電源)
AA12	MCKECNT	×	DDR3-IF	CKE外部コントロール	L	I	-			I	DVDDQ(DDR3用IO電源)
	MRSTCNT	×	DDR3-IF	RESETB外部コントロール	L	I	_			I	DVDDQ(DDR3用IO電源)
	OVDDQ	×	DDR3-IF		-	_	-			I	GND
	OVDDQ	×	DDR3-IF		_	-	-			I	GND
	OVDDQ	×	DDR3-IF		_	_	-			I	GND
	OVDDQ	×	DDR3-IF	222 77 77 11 7	_	_	-			I	GND
	OVDDQ	×	DDR3-IF	DDR用電源端子	_	-	_			I	GND
	OVDD	×	DDR3-IF		_	-	_			I	VDD
	OVDD	×	DDR3-IF		_	_	_			I	VDD
P12	OVSS	×	DDR3-IF			_	-			I	GND
	JV55	×	DDR3-IF		_	_	_			1	GND

削除: ユーザ (Servo) 端子一覧 1/3。 表 2-3 _{**}ユーザ(Servo)端子一覧1/3 ** PKG . 番号 **書式変更:** フォント: (特殊) Century 書式変更: フォント: (特殊) Century Gothic 書式変更 ... **書式変更:** フォント:(英)Century Gothic, (日)MS ゴシック **書式変更**: フォント: (日) MS ゴシッ 書式変更: フォント : (英) Century Gothic, (日) MS ゴシック **書式変更:** フォント: (日) MS ゴシッ 書式変更 **書式変更:** 行間: 最小値 12 pt 書式変更 書式変更: フォント : Century Gothic 書式変更 書式変更 書式変更 書式変更 書式変更: フォント : Century Gothic 書式変更: フォント : Century Gothic 書式変更: フォント : Century Gothic 書式変更 書式変更: フォント : Century Gothic 書式変更 書式変更: フォント : Century Gothic 書式変更: フォント: (日) MS ゴシッ 書式変更: フォント : Century Gothic, 9 pt 表の書式変更 書式変更: フォント : Century Gothic 書式変更: フォント : Century Gothic, 9 pt 書式変更: フォント : Century Gothic, 9 pt **書式変更**: フォント: (日) MS ゴシック **書式変更:** 行間: 最小値 12 pt 変更されたフィールド コード **書式変更:** 行間: 最小値 12 pt 書式変更: フォント: (日) MS ゴシッ

書式変更: フォント: (日) MS ゴシッ

書式変更: フォント: (日) MS ゴシッ

変更されたフィールド コード 言式変更: フォント: (日) MS ゴシック

書式変更: インデント : 最初の行 : 0 mm, 行間 : 最小値 12 pt 表2-6 シリアルフラッシュROM端子一覧

PKG	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
C19	SROM_CLK	0	シリアル・フラッシュ/ポート兼用(P2)	シリアルクロック出力/ <mark>汎用ポート2(P21)</mark> と兼用	1/↓	I/O	4	TWF8BC33ANV04SL	-	0	OPEN .
C20	SROM_CSZ	0	シリアル・フラッシュ/ポート兼用(P2)	チップ・セレクト/ <mark>汎用ポート2(P22)</mark> と兼用	L	I/O	4	TWF8BC33ANV04SL	-	0	OPEN
D20	SROM_MOSI	0	シリアル・フラッシュ/ポート兼用(P2)	シリアル・データ入出力/ <mark>汎用ポート2(P23)</mark> と兼用	Н	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN
D19	SROM_MISO	0	シリアル・フラッシュ/ポート兼用(P2)	シリアル・データ入出力/ <mark>汎用ポート2(P24)</mark> と兼用	Н	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN

書式変更: フォント: (日) MS ゴシッ 変更されたフィールド コード 変更されたフィールド コード

書式変更: 行間: 最小値 12 pt **書式変更**: フォント: (日) MS ゴシッ

表2-7 外部割り込み端子一覧

PI N	KG IO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理	
B19	9	INTPZ0	0	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch0/汎用ポート0(P00)と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN	-
A20	0	INTPZ1	0	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch1/汎用ポート0(P01)と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN	1
B20)	INTPZ2	0	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch2/汎用ポート0(P02)と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN	
A19	9	INTPZ3	0	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch3/汎用ポート0(P03)と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN	1.

|変更されたフィールド コード 変更されたフィールド コード **書式変更:** 行間: 最小値 12 pt **書式変更**: フォント: (日) MS ゴシック

<u>注3</u> アクティブレベルの初期状態は、レベル検出の H レベルとなっています。 ただし、初期状態では割り込みはマスク状態のため無効です。

詳細は、JL-086A ユーザーズマニュアル 第8章 割り込みコントローラを参照してください。

書式変更: フォント : Century Gothic, 9 nt

表の書式変更

書式変更: フォント : Century Gothic, 9 pt

書式変更: フォント : Century Gothic,

書式変更: フォント: (日) MS ゴシッ

書式変更: 行間: 最小値 12 pt 変更されたフィールド コード

変更されたフィールド コード

書式変更: 行間: 最小値 12 pt **書式変更:** フォント: (日) MS ゴシッ

表2-8 汎用ポート端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理	/
AA1	GPIO00	0	GPIO機能(P3)	汎用ポート3(P30)	-	I/O	4	TWF8BC33ANV04SL	-	I	L	
W1	GPIO01	0	GPIO機能(P3)	汎用ポート3(P31)	ı	I/O	4	TWF8BC33ANV04SL	-	I	L	
W2	GPIO02	0	GPIO機能(P3)	汎用ポート <mark>3(P32)</mark>	_	I/O	4	TWF8BC33ANV04SL	-	I	L	
AA3	GPIO03	0	GPIO機能(P3)	汎用ポート <mark>3(P33)</mark>	-	I/O	4	TWF8BC33ANV04SL	-	I	L	
AA2	GPIO04	0	GPIO機能(P3)	汎用ポート <mark>3(P34)</mark>	-	I/O	4	TWF8BC33ANV04SL	-	I	L	
Y3	GPIO05	0	GPIO機能(P3)	汎用ポート <mark>3(P35)</mark>	-	I/O	4	TWF8BC33ANV04SL	-	I	L	
Y1	GPIO06	0	GPIO機能(P3)	汎用ポート <mark>3(P36)</mark>	_	I/O	4	TWF8BC33ANV04SL	-	I	L	
AB2	GPIO07	0	GPIO機能(P3)	汎用ポート3(P37)	-	I/O	4	TWF8BC33ANV04SL	_	I	L	
AC2	GPIO10	0	GPIO機能(P4)	汎用ポート4(P40)	ı	I/O	4	TWF8BC33ANV04SL	-	I	L	
AB4	GPIO11	0	GPIO機能(P4)	汎用ポート4(P41)	ı	I/O	4	TWF8BC33ANV04SL	-	I	L	
AB3	GPIO12	0	GPIO機能(P4)	汎用ポート4(P42)	ı	I/O	4	TWF8BC33ANV04SL	_	I	L	
AC3	GPIO13	0	GPIO機能(P4)	汎用ポート4(P43)	-	I/O	4	TWF8BC33ANV04SL	-	I	L	
AB1	GPIO14	0	GPIO機能(P4)	汎用ポート4(P44)	-	I/O	4	TWF8BC33ANV04SL	-	I	L	
Y2	GPIO15	0	GPIO機能(P4)	汎用ポート4(P45)	ı	I/O	4	TWF8BC33ANV04SL	-	I	L	Η.
AA4	GPIO16	0	GPIO機能(P4)	汎用ポート4(P46)	ı	I/O	4	TWF8BC33ANV04SL	-	I	L	-/
W3	GPIO17	0	GPIO機能(P4)	汎用ポート4(P47)	-	I/O	4	TWF8BC33ANV04SL	-	I	L	

表2-9 シリアルインタフェース端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理	
L19	UART_SOUT	0	UART/ポート兼用(P1)	UARTシリアル・データ出力/汎用ポート1(P10)と兼用	-	I/O	4	TWF8BC33ANV04SL	-	0	OPEN	
L20	UART_SIN	0	UART/ポート兼用(P1)	UARTシリアル・データ入力/汎用ポート1(P11)と兼用	-	I/O	4	TWF8BC33ANV04SL	PU	I	OPEN].,
L23	CSI_SCK	0	CSI/ポート兼用(P1)	CSIクロック入出力/汎用ポート1(P12)と兼用	↑/↓注1	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN]*
L22	CSI_SI	0	CSI/ポート兼用(P1)	CSIシリアル・データ入力/汎用ポート1(P13)と兼用	-	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN	
L21	CSI_SO	0	CSI/ポート兼用(P1)	CSIシリアル・データ出カ/汎用ポート1(P14)と兼用	_	I/O	4	TWF8BC33ANV04SL	PD	0	OPEN	
	IIC_SCL	×	I2C/ポート兼用(P1)	I2Cシリアル・クロック入出力/汎用ポート1(P15)と兼用	_	I/O	12	TWF1ZE1475BC5TI2C	I2Cバッファ	I	Н	
M21	IIC_SDA	×	I2C/ポート兼用(P1)	I2Cシリアル・データ入出力/汎用ポート1(P16)と兼用	-	I/O	12	TWF1ZE1475BC5TI2C	I2Cバッファ	I	Н	1 /

変更されたフィールド コード 変更されたフィールド コード **書式変更:** 行間: 最小値 12 pt 書式変更: フォント: (日) MS ゴシッ

書式変更: フォント : Century Gothic **書式変更:** フォント: (日) MS ゴシッ

<u>注1</u> アクティブレベルは、プログラマブルに変更可能です。

表	2-10 タイマ端	子一 暨											$\sqrt{\ }$	書式変更: 行間: 最小値 12 pt
	PKG				アクティブ	ユーザモード時	IOL			初期状態	未使用時		-(変更されたフィールド コード
	NO 端子配置名	B-SCAN	機能	端子説明	レベル	I/O属性	4/6/8/12 mA	バッファタイプ	バッファ仕様	I/O属性	端子処理			変更されたフィールド コード
V3	TIN0_TOUT0	0	タイマー/ポート兼用(P0)	タイマTAUJ2チャネル0入出力端子/汎用ポート0(P04)と兼用	-	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN	•		書式変更: 行間: 最小値 12 pt
W4	4 TIN1_TOUT1	0	タイマー/ポート兼用(P0)	タイマTAUJ2チャネル1入出力端子/汎用ポート0(P05)と兼用	-	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN			音 入 及 文 ・ 11 印 · 取 小 匝 12 p t
V2	TIN2_TOUT2	0	タイマー/ポート兼用(P0)	タイマTAUJ2チャネル2入出力端子/汎用ポート0(P06)と兼用	-	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN		1	書式変更: フォント: (日) MS ゴ
Y4	TIN3_TOUT3	0	タイマー/ポート兼用(P0)	タイマTAUJ2チャネル3入出力端子/汎用ポート0(P07)と兼用	-	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN			
_														7

ゴシッ

変更されたフィールド コード 変更されたフィールド コード **書式変更**: 行間: 最小値 12 pt **書式変更**: フォント : (日) MS ゴシッ

<u>表**2-11** A/Dコンバータ端子一覧</u>

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理	
U5	AVDD_ADC	×	ADC	AD用VDD端子	-	_	-			I	VDD33	1
U4	AVREFP	×	ADC	ADCの基準電圧入力(+)	-	-	-			I	Н	1
T3	AIN0	×	ADC	アナログ入力	-	_	_			I	OPEN	4
V4	AIN1	×	ADC	アナログ入力	_	_	_	AD		I	OPEN	1
U3	AIN2	×	ADC	アナログ入力	ı	_	-	AD		I	OPEN	i
V5	AIN3	×	ADC	アナログ入力	_	_	_			I	OPEN	i
T4	AVREFM	×	ADC	ADCの基準電圧入力(-)	-	_	_			I	L	i
T5	AGND_ADC	×	ADC	AD用GND端子	-	_	-			I	GND	1 /

書式変更: フォント: (日) MS ゴシッ

変更されたフィールド コード 変更されたフィールド コード **書式変更**: 行間 : 最小値 12 pt

書式変更: フォント: (日) MS ゴシッ

表2-12 USB2.0 Host/Function端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	パッファ仕様	初期状態 I/O属性	未使用時 端子処理
M2	USB_UCLK_XT1	×	30MHzクロック用OSC	発振子用接続端子	-	I	_	TWF1COSC40MT	OSCバッファ	I	※1モードによって変わります
M1	USB_UCLK_XT2	×	30MHzクロック用OSC	発振子用接続端子	-	I/O	_	TWF1COSC40MT	OSCパッファ	% 1	※1モードによって変わります
P4	USB_AVDD	×	USB2.0	USBアナログ電源端子	-	_	_			I	VDD33
P5	USB_RREF	×	USB2.0	USB2.0基準電流生成端子	_	_	-			I	OPEN
R1	DP1	×	USB2.0	USBファンクション・データ入出力端子(+)	-	_	-			I	GND(PD)
R2	DM1	×	USB2.0	USBファンクション・データ入出力端子(-)	-	_	_			I	GND(PD)
P1	DP2	×	USB2.0	USBホスト・データ入出力端子(+)	-	_	_			I	GND(PD)
P2	DM2	×	USB2.0	USBホスト・データ入出力端子(-)	_	_	_			I	GND(PD)
N4	USB_VD33	×	USB2.0	USB I/O電源端子	-	_	-			I	VDD33
N5	USB_VD33	×	USB2.0	USB I/O電源端子	-	_	-	USB-PHY		I	VDD33
N2	USB_GND	×	USB2.0	USB I/O GND端子	-	_	-	U3B-P111		I	GND
N1	USB_GND	×	USB2.0	USB I/O GND端子	-	_	-			I	GND
P3	USB_GND	×	USB2.0	USB I/O GND端子	_	_	-			I	GND
R5	USB_GND	×	USB2.0	USB I/O GND端子	-	_	-			I	GND
R4	USB_GND	×	USB2.0	USB I/O GND端子	-	_	_			I	GND
R3	USB_GND	×	USB2.0	USB I/O GND端子	-	_	_			I	GND
T2	USB_GND	×	USB2.0	USB I/O GND端子	-	_	_			I	GND
T1	USB_GND	×	USB2.0	USB I/O GND端子	-	_	-			I	GND
U2	USB_PPON	0	USB2.0/ポート兼用(P2)	USBホスト電源制御出力/汎用ポート2(P26)と兼用	Н	I/O	4	TWF1BC33ANV04SL	-	0	OPEN
V1	USB_OCI	0	USB2.0/ポート兼用(P2)	USBホスト過電流検出入力/汎用ポート2(P27)と兼用	Ĺ	I/O	4	TWF1BC33ANV04SL	-	I	Н
U1	USB_VBUS	0	USB2.0/ポート兼用(P2)	USBファンクション・バス・パワー検出/汎用ポート2(P25)と兼用	Н	I/O	4	TWF1BC33ANV04SL	-	I	L

書式変更: フォント: (日) MS ゴシック

表2-13 Gigabit Ether端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
	ETH_TXC	×	GbEther	Ether送信クロック入力(10M/100M通信時)	1	I	-	TWF8IC33AS	-	I	L
K22	ETH_GTXC	×	GbEther	Ether送信クロック出力(1G通信時)	1	0	4	TWF8BC33ANV04SL	-	0	OPEN
	ETH_TXEN	×	GbEther	Ether送信イネーブル	Н	0	4	TWF8BC33ANV04SL	-	0	OPEN
J20	ETH_TXER	×	GbEther	Ether送信エラー	Н	0	4	TWF8BC33ANV04SL	-	0	OPEN
K20	ETH_TXD0	×	GbEther	Ether送信データ	_	0	4	TWF8BC33ANV04SL	-	0	OPEN
J23	ETH_TXD1	×	GbEther	Ether送信データ	_	0	4	TWF8BC33ANV04SL	-	0	OPEN
J19	ETH_TXD2	×	GbEther	Ether送信データ	-	0	4	TWF8BC33ANV04SL	-	0	OPEN
J21	ETH_TXD3	×	GbEther	Ether送信データ	-	0	4	TWF8BC33ANV04SL	-	0	OPEN
J22	ETH_TXD4	×	GbEther	Ether送信データ(GMII時のみ使用)	_	0	4	TWF8BC33ANV04SL	-	0	OPEN
H21	ETH_TXD5	×	GbEther	Ether送信データ(GMII時のみ使用)	-	0	4	TWF8BC33ANV04SL	-	0	OPEN
G21	ETH_TXD6	×	GbEther	Ether送信データ(GMII時のみ使用)	_	0	4	TWF8BC33ANV04SL	-	0	OPEN
H23	ETH_TXD7	×	GbEther	Ether送信データ(GMII時のみ使用)	_	0	4	TWF8BC33ANV04SL	-	0	OPEN /
	ETH_GE_INT	×	GbEther	Ether-PHY割り込み信号	H/L注1	I	_	TWF8IC33AS	-	I	L 4
G23	ETH_RXC	×	GbEther	Ether受信クロック	1	I	_	TWF8IC33AS	-	I	L
H22	ETH_RXDV	×	GbEther	Ether受信イネーブル	H	I	_	TWF8IC33AS	-	I	L
E21	ETH_RXER	×	GbEther	Ether受信エラー	H	I	_	TWF8IC33AS	-	I	L
F20	ETH_RXD0	×	GbEther	Ether受信データ	_	I	_	TWF8IC33AS	-	I	L
F21	ETH_RXD1	×	GbEther	Ether受信データ	_	I	_	TWF8IC33AS	-	I	L
F22	ETH_RXD2	×	GbEther	Ether受信データ	_	I	_	TWF8IC33AS	-	I	L
E23	ETH_RXD3	×	GbEther	Ether受信データ	_	I	_	TWF8IC33AS	-	I	L
G20	ETH_RXD4	×	GbEther	Ether受信データ(GMII時のみ使用)	_	I	_	TWF8BC33ANV04SL	-	I	L
G19	ETH_RXD5	×	GbEther	Ether受信データ(GMII時のみ使用)	_	I	_	TWF8BC33ANV04SL	-	I	L
	ETH_RXD6	×	GbEther	Ether受信データ(GMII時のみ使用)	-	I	-	TWF8BC33ANV04SL	-	I	L
	ETH_RXD7	×	GbEther	Ether受信データ(GMII時のみ使用)	-	I	-	TWF8BC33ANV04SL	-	I	L
	ETH_CRS	×	GbEther	Etherキャリア・センス入力	Н	I	_	TWF8IC33AS	-	I	L
E22	ETH_COL	×	GbEther	Etherコリジョン	Н	I	_	TWF8IC33AS	-	I	L /
E20	ETH_MDC	×	GbEther	Ether-PHYマネージメント・クロック	1	0	4	TWF8BC33ANV04SL	-	0	OPEN
K23	ETH_MDIO	×	GbEther	Ether-PHYマネージメント・データ	_	I/O	4	TWF8BC33ANV04SL	-	I	L /

書式変更: フォント: (日) MS ゴシッ

変更されたフィールド コード 変更されたフィールド コード

書式変更: 行間: 最小値 12 pt書式変更: フォント: (日) MS ゴシッ

<u>注1</u> アクティブレベルは、プログラマブルに変更可能です。

表2-14 PCI Express 1Lane端子一覧

PKO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
T23	PCIEX_MODE_PORT	0	PCIex	Device TYPE設定端子	_	I	-	TWF8IC33AS	-	I	Н
N23	PCIEX_CICREFP	×	PCIex	リファレンス・クロック入力(差動+)	_	_	-			I	OPEN
N22	PCIEX_CICREFN	×	PCIex	リファレンス・クロック入力(差動一)	_	_	-			I	OPEN
P21	PCIEX_TODP	×	PCIex	シリアル・データ出力(差動+)	_	_	-			0	OPEN
P20	PCIEX_TODN	×	PCIex	シリアル・データ出力(差動一)	_	_	-			0	OPEN
P23	PCIEX_RIDP	×	PCIex	シリアル・データ入力(差動+)	_	_	-	SerDes		I	OPEN
P22	PCIEX_RIDN	×	PCIex	シリアル・データ入力(差動一)	-	_	_			I	OPEN
P15	VDDA	×	PCIex	アナログ電源(3.3V)	_	_	-			I	VDD33
N15	VSSA	×	PCIex	アナログGND	_	_	-			I	GND
N19	VDDD	×	PCIex	デジタル電源(1.1V)	_	_	_			I	VDD

書式変更: フォント: Century Gothic書式変更: フォント: (日) MS ゴシック書式変更: 行間: 最小値 12 pt変更されたフィールド コード変更されたフィールド コード

書式変更: 行間: 最小値 12 pt **書式変更**: フォント: (日) MS ゴシック

表2-15 デバッグ端子一覧

	_												
PK NO	KG IO	端子配置名	B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理	
D22	2	TCK	×	JTAG	CPU JTAGクロック入力(注3)	Н	I	-	TWF8IC33AS	PD	I	OPEN	1.
C21	l	TRSTZ	×	JTAG	CPU JTAG回路リセット入力	L	I	-	TWF8IC33AS	PU	I	OPEN	•
C22	2	TMS	×	JTAG	CPU JTAG TAPモード選択(注3)	Н	I	-	TWF8IC33AS	PU	I	OPEN]
B21		TDI	×	JTAG	CPU JTAGシリアル入力	Н	I	-	TWF8IC33AS	PU	I	OPEN	
A21	1	TDO	×	JTAG	CPU JTAGシリアル出力	Н	0	4	TWF8BC33ANV04SL	-	0	OPEN	1 /

変更されたフィールド コード変更されたフィールド コード書式変更: フォント : (日) MS ゴシック書式変更: 行間 : 最小値 12 pt

<u>注3</u> Serial Wire 接続は使用できません(制限事項)

表2-16 クロック、リセット、テスト端子一覧

PKG NO		B-SCAN	機能	端子説明	アクティブ レベル	ユーザモード時 I/O属性	IOL 4/6/8/12	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理	
D18	STBCTL	×	SYSTEM	IOスタンバイコントロール端子	н	I	mA —	TWF8ISTBC33SUO	ST,STBY_INPUT with PU	I	OPEN	
E18	TMODE1	0	TEST	動作モード設定端子1	L	I	_	TWF8IC33AS	PU	I	OPEN	
B22	RESETZ	×	SYSTEM	システム・リセット端子	L	I	-	TWF8IC33ASS	PU, ST	I	-	•/
A22	PONR	×	SYSTEM	内蔵リダンRAM用パワーオンリセット(REL専用)	-	I	-	TWF8IC33ASS	ST	I	L	
B23	XT1	×	SYSTEM	発振子用接続端子	-	I	-	TWF1COSC30MT	OSCパッファ	I	※1モードによって変わります	
C23	XT2	×	SYSTEM	発振子用接続端子	-	I/O	-	TWF1COSC30MT	OSCパッファ	※ 1	※1モードによって変わります	
D23	OSC25M	0	SYSTEM	25MHzクロック出力(PHY供給)	-	0	4	TWF8BC33ANV04SL	-	0	OPEN	
D21	TMC1	×	TEST	IOコントロール端子(REL専用)	Н	I	-	TWF8ITE1C33ND	TMC1 with PD	I	OPEN	
E17	TMC2	×	TEST	IOコントロール端子(REL専用)	Н	I	_	TWF8ITE2C33ND	TMC2 with PD	I	OPEN	- /

書式変更: フォント: Century Gothic **書式変更:** フォント: (日) MS ゴシック

書式変更: 行間:最小値 12 pt変更されたフィールド コード変更されたフィールド コード書式変更: 行間:最小値 12 pt書式変更:フォント: (日) MS ゴシッ

書式変更: フォント: (日) MS ゴシック

\$2-17 \$\frac{1500}{1500}\$\$\frac{

補足 表中の略号は以下の通りです。

PD : Pulldown

5T : 5V-Torelant, LN, : LowNoise,

TR_:低スルーレート

ST. : Schmitt

VDD33_: 3.3V

VDD. ; 1.1V. DVDDQ: 1.5V or GND

_____PU__: Pullup

書式変更: フォント: (日) MS ゴシック **書式変更**: 両端揃え 書式変更 表の書式変更 削除: PU 書式変更 削除: _ 書式変更 削除: PD 削除: . 書式変更 書式変更 削除: 書式変更 書式変更 削除: . 書式変更 削除: 書式変更 削除: .. 書式変更 削除: 書式変更 削除: 書式変更 削除: 書式変更 削除: . 削除: 書式変更 削除: 書式変更 書式変更 書式変更 削除:

書式変更: フォント: (日) MS ゴシック

書式変更: フォント: (日) MS ゴシック

変更されたフィールド コード

変更されたフィールド コード

書式変更: 行間: 最小値 12 pt

2.3 汎用<u>ポート</u>(GPIO)兼用端子一覧

JL-086A は、下記の 40 本の入出力ポートを有しています。

P00-P07(ポート 0)

P10-P17(ポート 1)

P20-P27(ポート 2)

P30-P37(ポート 3)

P40-P47(ポート 4)

ポート 0、ポート 1 およびポート 2 は兼用端子の機能を持ちます。ポート 3 とポート 4 はポート専用となります。 詳細は、17.1 ポートの基本構成を参照してください。 削除:

 補足
 ...

 書式変更: 行間: 最小値 12 pt

 表の書式変更

 書式変更: 本文, インデント: 最初の行: 0字, 右 0字, 行間: 1 行

削除: .

書式変更: フォント: 太字 **書式変更:** インデント: 最初の行: 0 字

書式変更: フォント : (日) MS ゴシック **書式変更:** フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント: (英) Century Gothic, (日) MS ゴシック

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック 書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

Gothic, (日) MS コンック 書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント: (英) Century Gothic, (日) MS ゴシック

書式変更: 行間 : 最小値 12 pt **書式変更:** フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック 書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

Gothic, (日) MS コンツク 書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント: (英) Century Gothic, (日) MS ゴシック 書式変更: フォント: (英) Century Gothic, (日) MS ゴシック

書式変更: フォント: (英) Century Gothic, (日) MS ゴシック

Gothic, (日) MS ゴシック 書式変更: フォント: (英) Century Gothic, (日) MS ゴシック

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント: (英) Century Gothic, (日) MS ゴシック 書式変更: フォント: (英) Century Gothic, (日) MS ゴシック

書式変更: フォント : (英) Century Gothic, (日) MS ゴシック

書式変更: フォント: (英) Century Gothic, (日) MS ゴシック 書式変更: フォント: (英) Century Gothic, (日) MS ゴシック

書式変更: フォント : (日) MS ゴシッ

<u>2.4 I/O バッファの構造</u>

<u>JL-086A</u> で使用している <u>I/O バッファの構造を以下の図に示します。</u>

2.4.1 TWF1BC33ANV04SL

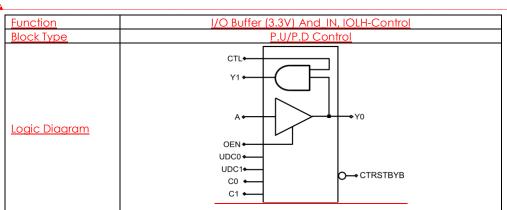


図 2-18 TWF1BC33ANV04SLの構造

2.4.2 TWF8BC33ALV04SL

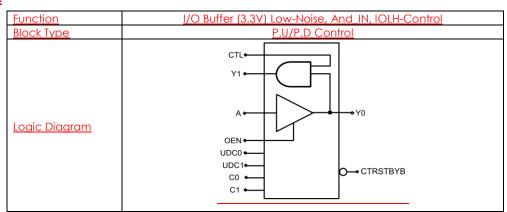


図 2-19 TWF8BC33ALV04SLの構造

2.4.3 TWF8BC33ANV04SL

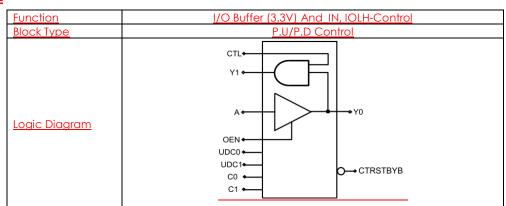


図 2-20 TWF8BC33ANV04SLの構造

2.4.4 TWF8BC33ASNV04SL

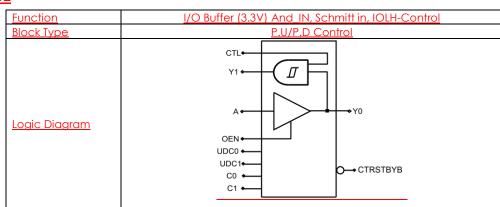


図 2-21 TWF8BC33ASNV04SLの構造

書式変更: 行間: 最小値 12 pt 書式変更: フォント: 太字 書式変更: フォント: 太字 書式変更: 標準 書式変更: 標準 書式変更: 見出し 3、<1.1.1 見出し >、<1.1.1 見出し>3、<1.1.1 見出し >、<1.1.1 見出し>3、<1.1.1 見出し >4、<1.1.1 見出し>5、<1.1.1 見出し >5、<1.1.1 見出し >1.1 見出し >1 見出し >1.1 見出し

書式変更: 標準 **書式変更**: 行間 : 最小値 12 pt

書式変更: フォント: 太字(なし)

書式変更: 行間 : 最小値 12 pt **書式変更**: 行間 : 最小値 12 pt

 書式変更: 行間: 最小値 12 pt

書式変更:標準

2.4.5 TWF8IC33AS

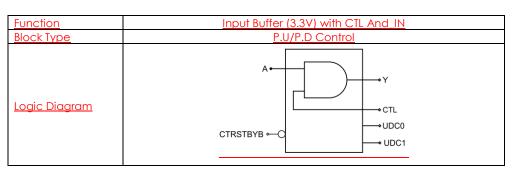


図 2-22 TWF8IC33ASの構造

2.4.6 **TWF8IC33ASS**

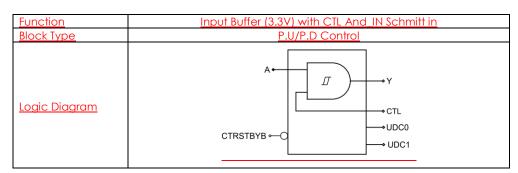


図 2-23 TWF8IC33ASSの構造

2.4.7 TWF8ISTBC33SUO

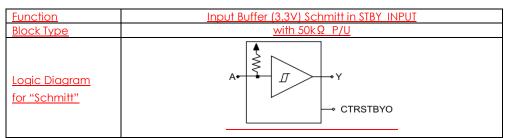


図 2-24 TWF8ISTBC33SUOの構造

2.4.8 TWF8TC33NV04SZ

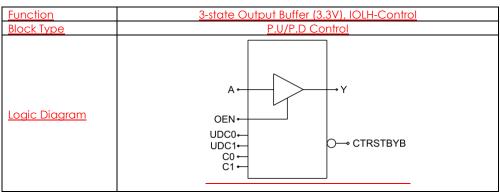


図 2-25 TWF8TC33NV04SZの構造

2.4.9 TWF1ZE1575BC5TANV04SZ

<u>/04SZ</u>	
<u>Function</u>	BID BUF (5V_TOLERANT_AND-IN_IOLH_4mA/6mA/8mA/ 12ma_CONTROL_50K_P.D/NORMAL)STBY_HIZ
Logic Diagram	CTL Y1 A OEN UDCO CO C1 CTRSTBYBO

図 2-26 TWF1ZE1575BC5TANV04SZの構造

書式変更: 行間 : 最小値 12 pt **書式変更**: 行間 : 最小値 12 pt

書式変更: 行間 : 最小値 12 pt **書式変更**: 行間 : 最小値 12 pt

書式変更: 行間 : 最小値 12 pt **書式変更**: 行間 : 最小値 12 pt

書式変更: 行間 : 最小値 12 pt **書式変更**: 行間 : 最小値 12 pt

書式変更: 行間: 最小値 12 pt

書式変更: 標準

Page 21

2.4.10 TWF8ITE1C33ND

<u>Function</u>	Input Buffer (3.3V) for TMC Terminal, 50kohm Pull-down
Block Type	<u>Normal</u>
Logic Diagram for "TMC1"	A → Y

図 2-27 TWF8ITE1C33NDの構造

2.4.11 TWF8ITE2C33ND

<u>Function</u>	Input Buffer (3.3V) for TMC Terminal, 50kohm Pull-down
Block Type	<u>Normal</u>
Logic Diagram for "TMC2"	A Y

図 2-28 TWF8ITE2C33NDの構造

2.4.12 TWF1ZE1475BC5TI2C

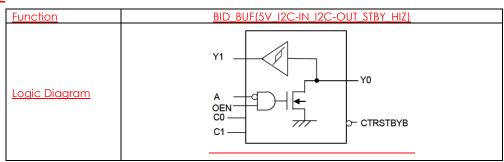


図 2-29 TWF1ZE1475BC5TI2Cの構造

2.4.13 TWF1COSC30MT/TWF1COSC40MT

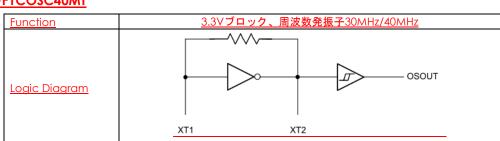


図 2-30 TWF1COSC30MT/TWF1COSC40MTの構造

書式変更: 行間: 最小値 12 pt

書式変更: 行間 : 最小値 12 pt **書式変更**: 行間 : 最小値 12 pt

書式変更: 行間 : 最小値 12 pt

書式変更: フォント : (日) MS ゴシック **書式変更**: 標準