

第2章

端子機能

2.1

端子配置表

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	
23	A23(67) GND	B23(66) XT1	C23(65) XT2	D23(64) OSC25M	E23(63) ETH_RXD3	F23(62) ETH_RXD7	G23(61) ETH_RXC	H23(60) ETH_TXD7	J23(59) ETH_TXD1	K23(58) ETH_MDIO	L23(57) CSI_SCK	M23(56) GND	N23(55) POEX_CIOREFP	P23(54) PCIE_X_RIDP	R23(53) GND	T23(52) POEX_MODE_PORT	U23(51) RX_DV2	V23(50) RX_DV1	W23(49) RXD2_3	Y23(48) TX_CLK2	AA23(47) TX_CLK1	AB23(46) TXD2_2	AC23(45) GND	23
22	A22(68) PONR	B22(149) RESETZ	C22(148) TMS_SWDIO	D22(147) TCK_SWDCCK	E22(146) ETH_COL	F22(145) ETH_RXD2	G22(144) ETH_GE_INT	H22(143) ETH_RXDV	J22(142) ETH_TXD4	K22(141) ETH_GTXC	L22(140) CSI_SI	M22(139) GND	N22(138) POEX_CIOREFN	P22(137) PCIE_X_RIDN	R22(136) GND	T22(135) RX_CLK2	U22(134) RX_ER2	V22(133) RXD2_2	W22(132) RXD1_0	Y22(131) TXD2_0	AA22(130) TXD2_1	AB22(129) TXD2_3	AC22(44) TXD1_2	22
21	A21(69) TDO_SWO	B21(150) TDI	C21(223) TRSTZ	D21(222) TMC1	E21(221) ETH_RXER	F21(220) ETH_RXD1	G21(219) ETH_TXD6	H21(218) ETH_TXD5	J21(217) ETH_TXD3	K21(216) ETH_TXC	L21(215) CSI_SO	M21(214) IIC_SDA	N21(213) GND	P21(212) PCIE_X_TODP	R21(211) GND	T21(210) MDIO	U21(209) RXD2_0	V21(208) RXD2_1	W21(207) RXD1_2	Y21(206) TX_EN2	AA21(205) TXD1_0	AB21(128) TXD1_1	AC21(43) TXD1_3	21
20	A20(70) INTPZ1	B20(151) INTPZ2	C20(224) SROM_CSZ	D20(289) SROM_MOSI	E20(288) ETH_MDC	F20(287) ETH_RXD0	G20(286) ETH_RXD4	H20(285) ETH_RXD6	J20(284) ETH_TXER	K20(283) ETH_TXD0	L20(282) UART_SIN	M20(281) IIC_SCL	N20(280) GND	P20(279) PCIE_X_TODN	R20(278) GND	T20(277) MDC	U20(276) RX_CLK1	V20(275) RX_ER1	W20(274) RXD1_1	Y20(273) RXD1_3	AA20(204) TX_EN1	AB20(127) GND	AC20(42) GND	20
19	A19(71) INTPZ3	B19(152) INTPZ0	C19(225) SROM_CLK	D19(290) SROM_MISO	E19(347) GND	F19(346) VDD33	G19(345) ETH_RXD5	H19(344) ETH_CRS	J19(343) ETH_TXD2	K19(342) ETH_TXEN	L19(341) UART_SOUT	M19(340) VDD33	N19(339) VDDD	P19(338) GND	R19(337) VDD33	T19(336) ERR1L	U19(335) TX_ER1	V19(334) TX_ER2	W19(333) RTCIL	Y19(272) GND	AA19(203) GND	AB19(126) RESETB	AC19(41) MRSTCNT	19
18	A18(72) D13	B18(153) BUSCLK	C18(226) WAITZ	D18(291) STBCTL	E18(348) TMODE1														W18(332) VDD33	Y18(271) DDR_A2	AA18(202) DDR_A0	AB18(125) DDR_A12	AC18(40) DDR_A8	18
17	A17(73) A16	B17(154) A15	C17(227) D10	D17(292) D14	E17(349) TMC2														W17(331) GND	Y17(270) BA1	AA17(201) BA2	AB17(124) DDR_A6	AC17(39) GND	17
16	A16(74) A14	B16(155) A13	C16(228) D7	D16(293) D11	E16(350) D12														W16(330) DVDDQ	Y16(269) DDR_A3	AA16(200) DDR_A11	AB16(123) DDR_A13	AC16(38) DDR_A7	16
15	A15(75) A12	B15(156) A11	C15(229) D5	D15(294) D9	E15(351) D15				J15(379) VDD33	K15(378) GND	L15(377) PLL1_AVDD	M15(376) PLL1_AGND	N15(375) VSSA	P15(374) VDDA	R15(373) GND				W15(329) GND	Y15(268) BA0	AA15(199) WEB	AB15(122) DDR_A4	AC15(37) DDR_A1	15
14	A14(76) A10	B14(157) A9	C14(230) D3	D14(295) D8	E14(352) D6				J14(380) GND	K14(397) GND	L14(396) GND	M14(395) GND	N14(394) GND	P14(393) GND	R14(372) DVDDQ				W14(328) CKE	Y14(267) CSB	AA14(198) DDR_A10	AB14(121) DDR_A9	AC14(36) DDR_A5	14
13	A13(77) A8	B13(158) A7	C13(231) D1	D13(296) D4	E13(353) A17				J13(381) VDD	K13(398) VDD	L13(407) VDD	M13(406) VDD	N13(405) VDD	P13(392) GND	R13(371) DVDDQ				W13(327) ODT	Y13(266) RASB	AA13(197) CASB	AB13(120) GND	AC13(35) CKB	13
12	A12(78) A6	B12(159) D0	C12(232) WRSTBZ	D12(297) BENZ1	E12(354) D2				J12(382) GND	K12(399) GND	L12(408) GND	M12(409) GND	N12(404) GND	P12(391) DVSS	R12(370) DVSS				W12(326) GND	Y12(265) MZQ	AA12(196) MCKECONT	AB12(119) GND	AC12(34) CK	12
11	A11(79) A5	B11(160) A4	C11(233) CSZ1	D11(298) CSZ1	E11(355) VDD33				J11(383) VDD	K11(400) VDD	L11(401) VDD	M11(402) GND	N11(403) GND	P11(390) DVDD	R11(369) DVDD				W11(325) MDVREF	Y11(264) DQ3	AA11(195) DQ5	AB11(118) DQ13	AC11(33) GND	11
10	A10(80) A3	B10(161) BENZ0	C10(234) A2	D10(299) CSZ0	E10(356) GND				J10(384) GND	K10(385) GND	L10(386) GND	M10(387) GND	N10(388) VDD	P10(389) GND	R10(368) DVDDQ				W10(324) GND	Y10(263) DQ7	AA10(194) DQ1	AB10(117) DQ15	AC10(32) DQ11	10
9	A9(81) INTOL	B9(162) A1	C9(235) MLTXD	D9(300) MLTXEN	E9(357) ADFCLK_1				J9(361) GND	K9(362) PLL2_AGND	L9(363) PLL2_AVDD	M9(364) GND	N9(365) VDD	P9(366) GND	R9(367) DVDDQ				W9(323) GND	Y9(262) DML	AA9(193) DQSB0	AB9(116) GND	AC9(31) DQ9	9
8	A8(82) PUL_1	B8(163) NUL_1	C8(236) DB1_1	D8(301) ADFCLK_2	E8(358) SCLK														W8(322) GND	Y8(261) GND	AA8(192) DQS0	AB8(115) GND	AC8(30) DQSB1	8
7	A7(83) PVL_1	B7(164) NVL_1	C7(237) DA_2	D7(302) R1	E7(359) STBL														W7(321) GND	Y7(260) DQ4	AA7(191) DQ2	AB7(114) DMU	AC7(29) DQS1	7
6	A6(84) NWL_1	B6(165) PWL_1	C6(238) DBON_1	D6(303) DB2_1	E6(360) VDD33														W6(320) GND	Y6(259) DQ6	AA6(190) DQ0	AB6(113) DQ10	AC6(28) DQ8	6
5	A5(85) PUL_2	B5(166) PVL_2	C5(239) R2	D5(304) DB2_2	E5(305) GND	F5(306) ADCCLK	G5(307) SI 5V-Torelant	H5(308) OV 5V-Torelant	J5(309) MDAT 5V-Torelant	K5(310) MLRXD 5V-Torelant	L5(311) SYNCL 5V-Torelant	M5(312) VDD33	N5(313) USB_VD33	P5(314) USB_RREF	R5(315) USB_GND	T5(316) AGND_ADC	U5(317) AVDD_ADC	V5(318) AIN3	W5(319) VDD33	Y5(258) GND	AA5(189) GND	AB5(112) DQ14	AC5(27) DQ12	5
4	A4(86) NUL_2	B4(167) PWL_2	C4(240) DB1_2	D4(241) SO	E4(242) DBON_2	F4(243) ADFCTL0_1 5V-Torelant	G4(244) ADFCTL1_1 5V-Torelant	H4(245) ADFDTO_1 5V-Torelant	J4(246) ADFDTO_2 5V-Torelant	K4(247) ADFDT1_2 5V-Torelant	L4(248) MCLK 5V-Torelant	M4(249) ADCCCTL1 5V-Torelant	N4(250) USB_VD33	P4(251) USB_AVDD	R4(252) USB_GND	T4(253) AVREFM	U4(254) AVREFP	V4(255) AIN1	W4(256) TIN1_TOUT1	Y4(257) TIN3_TOUT3	AA4(188) GPIO16	AB4(111) GPIO11	AC4(26) GND	4
3	A3(87) NVL_2	B3(168) NWL_2	C3(169) DC_2	D3(170) PWMU	E3(171) WDOKL	F3(172) ADFDT1_1 5V-Torelant	G3(173) OC_1 5V-Torelant	H3(174) OC_2 5V-Torelant	J3(175) ADFDCTL0_2 5V-Torelant	K3(176) ADFDCTL1_2 5V-Torelant	L3(177) ADCCCTL0 5V-Torelant	M3(178) ADCCDT0 5V-Torelant	N3(179) ADCCDT1 5V-Torelant	P3(180) USB_GND	R3(181) USB_GND	T3(182) AIN0	U3(183) AIN2	V3(184) TIN0_TOUT0	W3(185) GPIO17	Y3(186) GPIO05	AA3(187) GPIO03	AB3(110) GPIO12	AC3(25) GPIO13	3
2	A2(88) DB_1	B2(89) DA_1	C2(90) RESOL	D2(91) PWMV	E2(92) DTPRL0	F2(93) LXTXD1 5V-Torelant	G2(94) LRRXD1 5V-Torelant	H2(95) CC_2 5V-Torelant	J2(96) CA_2 5V-Torelant	K2(97) CB_1 5V-Torelant	L2(98) CA_1 5V-Torelant	M2(99) USB_UCLK_XT1	N2(100) USB_GND	P2(101) DM2	R2(102) DM1	T2(103) USB_GND	U2(104) USB_PPON	V2(105) TIN2_TOUT2	W2(106) GPIO02	Y2(107) GPIO15	AA2(108) GPIO04	AB2(109) GPIO07	AC2(24) GPIO10	2
1	A1(1) GND	B1(2) DB_2	C1(3) DC_1	D1(4) LXTXD0 5V-Torelant	E1(5) BBON1 5V-Torelant	F1(6) LRRXD0 5V-Torelant	G1(7) DTPRL1 5V-Torelant	H1(8) BBON2 5V-Torelant	J1(9) CB_2 5V-Torelant	K1(10) CC_1 5V-Torelant	L1(11) GND	M1(12) USB_UCLK_XT2	N1(13) USB_GND	P1(14) DP2	R1(15) DP1	T1(16) USB_GND	U1(17) USB_VBUS	V1(18) USB_OCI	W1(19) GPIO01	Y1(20) GPIO06	AA1(21) GPIO00	AB1(22) GPIO14	AC1(23) GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	

図 2-1 端子配置BGAイメージ(Pkg Top View)

表 2-2 端子配置BGAイメージの各マクロ説明

	SYSTEM、TEST
	JTAG
	外部割り込み、APBSS(CSI、UART、I2C)
	外部メモリアンタフェース
	シリアルフラッシュ ROM インタフェース
	GbEther
	PCIe
	DDR3 メモリアンタフェース
	GPIO
	タイマー
	ADC
	USB
	UDL
	UDL(5V-Torelant)
	DVDD
	VDD
	PLL_AVDD
	VDDA
	VDD33
	VDDD
	DVDDQ
	GND

2.2 端子機能一覧

外部端子の機能一覧を以下に記載します。

表2-3 ユーザ端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザーモード時 I/O属性	IOL 4/6/8/12 mA	パッファタイプ	パッファ仕様	初期状態 I/O属性	未使用時 端子処理
K5	MLRXD	○	ユーザ端子	メカトロリンク I / II 受信データ	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
C9	MLTXD	○	ユーザ端子	メカトロリンク I / II 送信データ	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
D9	MLTXEN	○	ユーザ端子	メカトロリンク I / II 送信イネーブル	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
E3	WDOKL	○	ユーザ端子	ウォッチドッグタイマ出力	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
D7	R1	○	ユーザ端子	モノマルチ用端子	—	I	—	TWF8IC33ASS	ST	I	L
C5	R2	○	ユーザ端子	モノマルチ用端子	—	I/O	4	TWF8BC33ASNV04SL	ST	I	L
C2	RESOL	○	ユーザ端子	リセット出力	L	O	4	TWF8TC33NV04SZ	—	O	OPEN
E8	SCLK	○	ユーザ端子	同期シリアルクロック	↑ / ↓ 注1	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
E7	STBL	○	ユーザ端子	同期シリアルストローブ	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
D4	SO	○	ユーザ端子	同期シリアルデータ出力	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
G5	SI	○	ユーザ端子	同期シリアルデータ入力	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
E1	BBON1	○	ユーザ端子	ベースブロックホットライン1	H/L 注1	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
H1	BBON2	○	ユーザ端子	ベースブロックホットライン2	H/L 注1	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
D3	PWMU	○	ユーザ端子	PWMモニタU相出力	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
D2	PWMV	○	ユーザ端子	PWMモニタV相出力	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
F1	LRRXD0	○	ユーザ端子	シリアルエンコーダ0受信データ	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
D1	LXTXD0	○	ユーザ端子	シリアルエンコーダ0送信データ	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
E2	DTPLR0	○	ユーザ端子	シリアルエンコーダ0送信イネーブル	H	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
G2	LRRXD1	○	ユーザ端子	シリアルエンコーダ1受信データ	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
F2	LXTXD1	○	ユーザ端子	シリアルエンコーダ1送信データ	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
G1	DTPLR1	○	ユーザ端子	シリアルエンコーダ1送信イネーブル	H	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
M3	ADCDT0	○	ユーザ端子	指令用AD0データ	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
L3	ADCCTL0	○	ユーザ端子	指令用AD0コントロール	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
N3	ADCDT1	○	ユーザ端子	指令用AD1データ	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
M4	ADCCTL1	○	ユーザ端子	指令用AD1コントロール	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
F5	ADCCLK	○	ユーザ端子	指令用ADクロック	↑ / ↓ 注1	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
H5	OV	○	ユーザ端子	過電圧入力	H/L 注1,2	I	—	TWF1ZE1575BC5TANV04SZ	5T	I	H
C6	DBON_1	○	ユーザ端子	ダイナミックブレーキ出力(軸1)	H/L 注1	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
C8	DB1_1	○	ユーザ端子	ダイナミックブレーキ設定1(軸1)	—	I	—	TWF8IC33AS	PU	I	OPEN
D6	DB2_1	○	ユーザ端子	ダイナミックブレーキ設定2(軸1)	—	I	—	TWF8IC33AS	PU	I	OPEN
A8	PUL_1	○	ユーザ端子	PWMゲートP側U相出力(軸1)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B8	NUL_1	○	ユーザ端子	PWMゲートN側U相出力(軸1)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A7	PVL_1	○	ユーザ端子	PWMゲートP側V相出力(軸1)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B7	NVL_1	○	ユーザ端子	PWMゲートN側V相出力(軸1)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B6	PWL_1	○	ユーザ端子	PWMゲートP側W相出力(軸1)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A6	NWL_1	○	ユーザ端子	PWMゲートN側W相出力(軸1)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
G3	OC_1	○	ユーザ端子	過電流入力(軸1)	H/L 注1,2	I	—	TWF1ZE1575BC5TANV04SZ	5T	I	H
B2	DA_1	○	ユーザ端子	分周出力A相(軸1)	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A2	DB_1	○	ユーザ端子	分周出力B相(軸1)	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
C1	DC_1	○	ユーザ端子	分周出力C相(軸1)	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
H4	ADFDTO_1	○	ユーザ端子	電流用AD0データ(軸1)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
F4	ADFCTL0_1	○	ユーザ端子	電流用AD0コントロール(軸1)	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
F3	ADFDOT1_1	○	ユーザ端子	電流用AD1データ(軸1)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
G4	ADFCTL1_1	○	ユーザ端子	電流用AD1コントロール(軸1)	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
E9	ADFCLK_1	○	ユーザ端子	電流用ADクロック(軸1)	↑ / ↓ 注1	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
L2	CA_1	○	ユーザ端子	指令パルス入力A相(軸1)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
K2	CB_1	○	ユーザ端子	指令パルス入力B相(軸1)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
K1	CC_1	○	ユーザ端子	指令パルス入力C相(軸1)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
E4	DBON_2	○	ユーザ端子	ダイナミックブレーキ出力(軸2)	H/L 注1	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
C4	DB1_2	○	ユーザ端子	ダイナミックブレーキ設定1(軸2)	—	I	—	TWF8IC33AS	PU	I	OPEN
D5	DB2_2	○	ユーザ端子	ダイナミックブレーキ設定2(軸2)	—	I	—	TWF8IC33AS	PU	I	OPEN
A5	PUL_2	○	ユーザ端子	PWMゲートP側U相出力(軸2)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A4	NUL_2	○	ユーザ端子	PWMゲートN側U相出力(軸2)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B5	PVL_2	○	ユーザ端子	PWMゲートP側V相出力(軸2)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A3	NVL_2	○	ユーザ端子	PWMゲートN側V相出力(軸2)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B4	PWL_2	○	ユーザ端子	PWMゲートP側W相出力(軸2)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B3	NWL_2	○	ユーザ端子	PWMゲートN側W相出力(軸2)	L	O	12	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
H3	OC_2	○	ユーザ端子	過電流入力(軸2)	H/L 注1,2	I	—	TWF1ZE1575BC5TANV04SZ	5T	I	H
C7	DA_2	○	ユーザ端子	分周出力A相(軸2)	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B1	DB_2	○	ユーザ端子	分周出力B相(軸2)	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
C3	DC_2	○	ユーザ端子	分周出力C相(軸2)	—	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
J4	ADFDTO_2	○	ユーザ端子	電流用AD0データ(軸2)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
J3	ADFCTL0_2	○	ユーザ端子	電流用AD0コントロール(軸2)	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
K4	ADFDOT1_2	○	ユーザ端子	電流用AD1データ(軸2)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
K3	ADFCTL1_2	○	ユーザ端子	電流用AD1コントロール(軸2)	—	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
D8	ADFCLK_2	○	ユーザ端子	電流用ADクロック(軸2)	↑ / ↓ 注1	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
J2	CA_2	○	ユーザ端子	指令パルス入力A相(軸2)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
J1	CB_2	○	ユーザ端子	指令パルス入力B相(軸2)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
H2	CC_2	○	ユーザ端子	指令パルス入力C相(軸2)	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
W19	RTCIL	○	ユーザ端子	リアルタイムクロック割込み	L	I	—	TWF8IC33ASS	PU, ST	I	OPEN
T21	MDIO	○	ユーザ端子	MDIOデータ	—	I/O	4	TWF8BC33ASNV04SL	ST	I	L
T20	MDC	○	ユーザ端子	MDIOクロック	↑	O	4	TWF8TC33NV04SZ	—	O	OPEN
AA23	TX_CLK1	○	ユーザ端子	PHY1送信クロック	↑	I	—	TWF8IC33AS	—	I	L
AA20	TX_EN1	○	ユーザ端子	PHY1送信イネーブル	H	O	4	TWF8TC33NV04SZ	—	O	OPEN
U19	TX_ER1	○	ユーザ端子	PHY1送信エラー	H	I/O	4	TWF8BC33ASNV04SL	ST	O	OPEN
AA21	TXD1_0	○	ユーザ端子	PHY1送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
AB21	TXD1_1	○	ユーザ端子	PHY1送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
AC22	TXD1_2	○	ユーザ端子	PHY1送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
AC21	TXD1_3	○	ユーザ端子	PHY1送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
Y23	TX_CLK2	○	ユーザ端子	PHY2送信クロック	↑	I	—	TWF8IC33AS	—	I	L
Y21	TX_EN2	○	ユーザ端子	PHY2送信イネーブル	H	O	4	TWF8TC33NV04SZ	—	O	OPEN
V19	TX_ER2	○	ユーザ端子	PHY2送信エラー	H	I/O	4	TWF8BC33ASNV04SL	ST	O	OPEN
Y22	TXD2_0	○	ユーザ端子	PHY2送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
AA22	TXD2_1	○	ユーザ端子	PHY2送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
AB23	TXD2_2	○	ユーザ端子	PHY2送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
AB22	TXD2_3	○	ユーザ端子	PHY2送信データ	—	O	4	TWF8TC33NV04SZ	—	O	OPEN
U20	RX_CLK1	○	ユーザ端子	PHY1受信クロック	↑	I	—	TWF8IC33AS	—	I	L
V20	RX_ER1	○	ユーザ端子	PHY1受信エラー	H	I	—	TWF8IC33AS	—	I	L
V23	RX_DV1	○	ユーザ端子	PHY1受信データバリッド	—	I	—	TWF8IC33AS	—	I	L
Y20	RXD1_3	○	ユーザ端子	PHY1受信データ	—	I	—	TWF8IC33AS	—	I	L
W21	RXD1_2	○	ユーザ端子	PHY1受信データ	—	I	—	TWF8IC33AS	—	I	L
W20	RXD1_1	○	ユーザ端子	PHY1受信データ	—	I	—	TWF8IC33AS	—	I	L
W22	RXD1_0	○	ユーザ端子	PHY1受信データ	—	I	—	TWF8IC33AS	—	I	L
T22	RX_CLK2	○	ユーザ端子	PHY2受信クロック	↑	I	—	TWF8IC33AS	—	I	L
U22	RX_ER2	○	ユーザ端子	PHY2受信エラー	H	I	—	TWF8IC33AS	—	I	L
U23	RX_DV2	○	ユーザ端子	PHY2受信データバリッド	—	I	—	TWF8IC33AS	—	I	L
W23	RXD2_3	○	ユーザ端子	PHY2受信データ	—	I	—	TWF8IC33AS	—	I	L
V22	RXD2_2	○	ユーザ端子	PHY2受信データ	—	I	—	TWF8IC33AS	—	I	L
V21	RXD2_1	○	ユーザ端子	PHY2受信データ	—	I	—	TWF8IC33AS	—	I	L
U21	RXD2_0	○	ユーザ端子	PHY2受信データ	—	I	—	TWF8IC33AS	—	I	L
T19	ERR1L	○	ユーザ端子	エラー出力	L	O	4	TWF8TC33NV04SZ	—	O	OPEN
J5	MDAT	○	ユーザ端子	デシメーションフィルタデータ	—	I	—	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
L4	MCLK	○	ユーザ端子	デシメーションフィルタクロック	↑	I/O	4	TWF1ZE1575BC5TANV04SZ	PD, 5T	I	OPEN
L5	SYNCL	○	ユーザ端子	外部同期入力	L 注2	I/O	4	TWF1ZE1575BC5TANV04SZ	5T	I	H
A9	INTOL	○	ユーザ端子	割込み出力	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN

注 1 アクティブレベルは、プログラマブルに変更可能です。

注 2 SSPRO7_5TBUF_EN(EFF8_602CH)レジスタで、スタンバイ制御されます(Default:スタンバイ)
詳細は、JL-086A ユーザーズマニュアル 6 章 SCU(System Control Unit)を参照してください。

表2-4 外部メモリインタフェース端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
D10	CSZ0	○	外部メモリIF	チップセレクト	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
D11	CSZ1	○	外部メモリIF	チップセレクト	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B9	A1	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
C10	A2	○	外部メモリIF	アドレス/テストモード端子兼用	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
A10	A3	○	外部メモリIF	アドレス/テストモード端子兼用	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	リセット中にモード信号をラッチしますので、端子はLSI-086A動作モードに合わせて、LSI外部でPU/PD接続をしてください。
B11	A4	○	外部メモリIF	アドレス/テストモード端子兼用	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
A11	A5	○	外部メモリIF	アドレス/テストモード端子兼用	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
A12	A6	○	外部メモリIF	アドレス/テストモード端子兼用	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
B13	A7	○	外部メモリIF	アドレス/テストモード端子兼用	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
A13	A8	○	外部メモリIF	アドレス/テストモード端子兼用	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I→O	
B14	A9	○	外部メモリIF	アドレス/テストモード端子兼用(注1)	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A14	A10	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B15	A11	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A15	A12	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B16	A13	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A16	A14	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B17	A15	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
A17	A16	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
E13	A17	○	外部メモリIF	アドレス	H	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
B12	D0	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
C13	D1	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
E12	D2	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
C14	D3	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
D13	D4	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
C15	D5	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
E14	D6	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
C16	D7	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
D14	D8	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
D15	D9	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
C17	D10	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
D16	D11	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
E16	D12	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
A18	D13	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
D17	D14	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
E15	D15	○	外部メモリIF	データ・バス	H	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	I	L
C11	RDZ	○	外部メモリIF	リード・ストロープ	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
削除	WRZ0	—	外部メモリIF	ライト・ストロープ	—	—	—	—	—	—	—
削除	WRZ1	—	外部メモリIF	ライト・ストロープ	—	—	—	—	—	—	—
B10	BENZ0	○	外部メモリIF	バイト・イネーブル(WRZ0と兼用)(注2)	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
D12	BENZ1	○	外部メモリIF	バイト・イネーブル(WRZ1と兼用)(注2)	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
C12	WRSTBZ	○	外部メモリIF	ライト・ストロープ	L	O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN
C18	WAITZ	○	外部メモリIF/ポート兼用(P2)	ウェイト信号/汎用ポート2(P20)と兼用	L	I/O	4	TWF8BC33ALV04SL	PU, Low-Noise(TR)	I	OPEN
B18	BUSCLK	○	外部メモリIF/ポート兼用(P1)	バス・クロック出力/汎用ポート1(P17)と兼用	—	I/O	4	TWF8BC33ALV04SL	Low-Noise(TR)	O	OPEN

注 1 ルネサステストモード(TMODE3-2-1(A3-A2-TMODE1)="0-0-0")以外の場合、I/O 属性が In→Out に確定するため、未使用時端子処理は "OPEN" で問題ありません。ルネサステストモード、もしくはバウンダリスキャンモードの場合は、LSI 外部で
ルネサステストモード : PD
バウンダリスキャンモード : PU
接続する必要があります。

注 2 WRZ0/WRZ1 の兼用機能は使用できません(制限事項)

表2-5 DDR3メモリ・インタフェース端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
AA6	DQ0	×	DDR3-IF	データ・バス	—	I/O	—	DDR-PHY		—	OPEN
AA10	DQ1	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AA7	DQ2	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AA11	DQ3	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
Y7	DQ4	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
Y11	DQ5	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
Y6	DQ6	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
Y10	DQ7	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AC6	DQ8	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AC9	DQ9	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AB6	DQ10	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AC10	DQ11	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AC5	DQ12	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AB11	DQ13	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AB5	DQ14	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AB10	DQ15	×	DDR3-IF	データ・バス	—	I/O	—			—	OPEN
AA8	DQS0	×	DDR3-IF	データ・ストロープ	—	I/O	—			—	OPEN
AA9	DQSB0	×	DDR3-IF	データ・ストロープ	—	I/O	—			—	OPEN
AC7	DQS1	×	DDR3-IF	データ・ストロープ	—	I/O	—			—	OPEN
AC8	DQSB1	×	DDR3-IF	データ・ストロープ	—	I/O	—			—	OPEN
AB7	DMU	×	DDR3-IF	データ・マスク	H	O	—			—	OPEN
Y9	DML	×	DDR3-IF	データ・マスク	H	O	—			—	OPEN
AC12	CK	×	DDR3-IF	クロック出力	—	O	—			O	OPEN
AC13	CKB	×	DDR3-IF	クロック出力	—	O	—			O	OPEN
W14	CKE	×	DDR3-IF	クロックイネーブル	H	O	—			O	OPEN
Y14	CSB	×	DDR3-IF	チップ・セレクト	L	O	—			O	OPEN
W13	ODT	×	DDR3-IF	ODT設定	H	O	—			O	OPEN
Y13	RASB	×	DDR3-IF	RAS信号	L	O	—			O	OPEN
AA13	CASB	×	DDR3-IF	CAS信号	L	O	—			O	OPEN
AA15	WEB	×	DDR3-IF	ライト・ストロープ	L	O	—			O	OPEN
Y15	BA0	×	DDR3-IF	バンク・アドレス	—	O	—			O	OPEN
Y17	BA1	×	DDR3-IF	バンク・アドレス	—	O	—			O	OPEN
AA17	BA2	×	DDR3-IF	バンク・アドレス	—	O	—			O	OPEN
AA18	DDR_A0	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AC15	DDR_A1	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
Y18	DDR_A2	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
Y16	DDR_A3	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AB15	DDR_A4	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AC14	DDR_A5	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AB17	DDR_A6	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AC16	DDR_A7	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AC18	DDR_A8	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AB14	DDR_A9	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AA14	DDR_A10	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AA16	DDR_A11	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AB18	DDR_A12	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AB16	DDR_A13	×	DDR3-IF	DDR用アドレス	—	O	—			O	OPEN
AB19	RESETB	×	DDR3-IF	DDR用リセット	L	I	—			O	OPEN
W11	MDVREF	×	DDR3-IF	レシーバ用基準電圧	DVDDQ/2	I	—			—	GND
Y12	MZQ	×	DDR3-IF	出力インピーダンスコントロール	L	I/O	—			—	DVDDQ(DDR3用IO電源)
AA12	MCKECNT	×	DDR3-IF	CKE外部コントロール	L	I	—			I	DVDDQ(DDR3用IO電源)
AC19	MRSTCNT	×	DDR3-IF	RESETB外部コントロール	L	I	—			I	DVDDQ(DDR3用IO電源)
W16	DVDDQ	×	DDR3-IF	DDR用電源端子	—	—	—			I	GND
R14	DVDDQ	×	DDR3-IF		—	—	—			I	GND
R13	DVDDQ	×	DDR3-IF		—	—	—			I	GND
R10	DVDDQ	×	DDR3-IF		—	—	—			I	GND
R9	DVDDQ	×	DDR3-IF		—	—	—			I	GND
P11	DVDD	×	DDR3-IF		—	—	—			I	VDD
R11	DVDD	×	DDR3-IF		—	—	—			I	VDD
P12	DVSS	×	DDR3-IF		—	—	—			I	GND
R12	DVSS	×	DDR3-IF		—	—	—			I	GND

表2-6 シリアルフラッシュROM端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
C19	SROM_CLK	○	シリアル・フラッシュ/ポート兼用(P2)	シリアルクロック出力/ 汎用ポート2(P21) と兼用	I / L	I/O	4	TWF8BC33ANV04SL	—	O	OPEN
C20	SROM_CSZ	○	シリアル・フラッシュ/ポート兼用(P2)	チップ・セレクト/ 汎用ポート2(P22) と兼用	L	I/O	4	TWF8BC33ANV04SL	—	O	OPEN
D20	SROM_MOSI	○	シリアル・フラッシュ/ポート兼用(P2)	シリアル・データ入出力/ 汎用ポート2(P23) と兼用	H	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN
D19	SROM_MISO	○	シリアル・フラッシュ/ポート兼用(P2)	シリアル・データ入出力/ 汎用ポート2(P24) と兼用	H	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN

表2-7 外部割り込み端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
B19	INTP20	○	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch0/ 汎用ポート0(P00) と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN
A20	INTP21	○	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch1/ 汎用ポート0(P01) と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN
B20	INTP22	○	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch2/ 汎用ポート0(P02) と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN
A19	INTP23	○	マスカブル割り込み/ポート兼用(P0)	マスカブル外部割込み入力ch3/ 汎用ポート0(P03) と兼用	INTCで選択 注3	I/O	4	TWF8BC33ASNV04SL	PU, ST	I	OPEN

注3 アクティブレベルの初期状態は、レベル検出のHレベルとなっています。
ただし、初期状態では割り込みはマスク状態のため無効です。
詳細は、JL-086A ユーザーズマニュアル 第8章 割り込みコントローラを参照してください。

表2-8 汎用ポート端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
AA1	GPIO00	○	GPIO機能(P3)	汎用ポート3(P30)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
W1	GPIO01	○	GPIO機能(P3)	汎用ポート3(P31)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
W2	GPIO02	○	GPIO機能(P3)	汎用ポート3(P32)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AA3	GPIO03	○	GPIO機能(P3)	汎用ポート3(P33)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AA2	GPIO04	○	GPIO機能(P3)	汎用ポート3(P34)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
Y3	GPIO05	○	GPIO機能(P3)	汎用ポート3(P35)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
Y1	GPIO06	○	GPIO機能(P3)	汎用ポート3(P36)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AB2	GPIO07	○	GPIO機能(P3)	汎用ポート3(P37)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AC2	GPIO10	○	GPIO機能(P4)	汎用ポート4(P40)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AB4	GPIO11	○	GPIO機能(P4)	汎用ポート4(P41)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AB3	GPIO12	○	GPIO機能(P4)	汎用ポート4(P42)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AC3	GPIO13	○	GPIO機能(P4)	汎用ポート4(P43)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AB1	GPIO14	○	GPIO機能(P4)	汎用ポート4(P44)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
Y2	GPIO15	○	GPIO機能(P4)	汎用ポート4(P45)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
AA4	GPIO16	○	GPIO機能(P4)	汎用ポート4(P46)	—	I/O	4	TWF8BC33ANV04SL	—	I	L
W3	GPIO17	○	GPIO機能(P4)	汎用ポート4(P47)	—	I/O	4	TWF8BC33ANV04SL	—	I	L

表2-9 シリアルインタフェース端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
L19	UART_SOUT	○	UART/ポート兼用(P1)	UARTシリアル・データ出力/ 汎用ポート1(P10) と兼用	—	I/O	4	TWF8BC33ANV04SL	—	O	OPEN
L20	UART_SIN	○	UART/ポート兼用(P1)	UARTシリアル・データ入力/ 汎用ポート1(P11) と兼用	—	I/O	4	TWF8BC33ANV04SL	PU	I	OPEN
L23	CSI_SCK	○	CSI/ポート兼用(P1)	CSIクロック入出力/ 汎用ポート1(P12) と兼用	I / L 注1	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN
L22	CSI_SI	○	CSI/ポート兼用(P1)	CSIシリアル・データ入力/ 汎用ポート1(P13) と兼用	—	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN
L21	CSI_SO	○	CSI/ポート兼用(P1)	CSIシリアル・データ出力/ 汎用ポート1(P14) と兼用	—	I/O	4	TWF8BC33ANV04SL	PD	O	OPEN
M20	IIC_SCL	×	I2C/ポート兼用(P1)	I2Cシリアル・クロック入出力/ 汎用ポート1(P15) と兼用	—	I/O	12	TWF1ZE1475BC5T12C	I2C/バッファ	I	H
M21	IIC_SDA	×	I2C/ポート兼用(P1)	I2Cシリアル・データ入出力/ 汎用ポート1(P16) と兼用	—	I/O	12	TWF1ZE1475BC5T12C	I2C/バッファ	I	H

注1 アクティブレベルは、プログラマブルに変更可能です。

表2-10 タイマ端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
V3	TIN0_TOUT0	○	タイマー/ポート兼用(P0)	タイマTAUJ2チャンネル0入出力端子/ 汎用ポート0(P04) と兼用	—	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN
W4	TIN1_TOUT1	○	タイマー/ポート兼用(P0)	タイマTAUJ2チャンネル1入出力端子/ 汎用ポート0(P05) と兼用	—	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN
V2	TIN2_TOUT2	○	タイマー/ポート兼用(P0)	タイマTAUJ2チャンネル2入出力端子/ 汎用ポート0(P06) と兼用	—	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN
Y4	TIN3_TOUT3	○	タイマー/ポート兼用(P0)	タイマTAUJ2チャンネル3入出力端子/ 汎用ポート0(P07) と兼用	—	I/O	4	TWF8BC33ANV04SL	PD	I	OPEN

表2-11 A/Dコンバータ端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
U5	AVDD_ADC	×	ADC	AD用VDD端子	—	—	—	AD		I	VDD33
U4	AVREFP	×	ADC	ADCの基準電圧入力(+)	—	—	—			I	H
T3	AIN0	×	ADC	アナログ入力	—	—	—			I	OPEN
V4	AIN1	×	ADC	アナログ入力	—	—	—			I	OPEN
U3	AIN2	×	ADC	アナログ入力	—	—	—			I	OPEN
V5	AIN3	×	ADC	アナログ入力	—	—	—			I	OPEN
T4	AVREFM	×	ADC	ADCの基準電圧入力(-)	—	—	—			I	L
T5	AGND_ADC	×	ADC	AD用GND端子	—	—	—			I	GND

表2-12 USB2.0 Host/Function端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
M2	USB_UCLK_XT1	×	30MHzクロック用OSC	発振器用接続端子	—	I	—	TWF1C0SC40MT	OSC/バッファ	I	※1モードによって変わります
M1	USB_UCLK_XT2	×	30MHzクロック用OSC	発振器用接続端子	—	I/O	—	TWF1C0SC40MT	OSC/バッファ	※1	※1モードによって変わります
P4	USB_AVDD	×	USB2.0	USBアナログ電源端子	—	—	—	USB-PHY		I	VDD33
P5	USB_RREF	×	USB2.0	USB2.0基準電流生成端子	—	—	—			I	OPEN
R1	DP1	×	USB2.0	USBファンクション・データ入出力端子(+)	—	—	—			I	GND(PD)
R2	DM1	×	USB2.0	USBファンクション・データ入出力端子(-)	—	—	—			I	GND(PD)
P1	DP2	×	USB2.0	USBホスト・データ入出力端子(+)	—	—	—			I	GND(PD)
P2	DM2	×	USB2.0	USBホスト・データ入出力端子(-)	—	—	—			I	GND(PD)
N4	USB_VD33	×	USB2.0	USB I/O電源端子	—	—	—			I	VDD33
N5	USB_VD33	×	USB2.0	USB I/O電源端子	—	—	—			I	VDD33
N2	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
N1	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
P3	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
R5	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
R4	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
R3	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
T2	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
T1	USB_GND	×	USB2.0	USB I/O GND端子	—	—	—			I	GND
U2	USB_PPON	○	USB2.0/ポート兼用(P2)	USBホスト電源制御出力/ 汎用ポート2(P26) と兼用	H	I/O	4	TWF1BC33ANV04SL	—	O	OPEN
V1	USB_OCI	○	USB2.0/ポート兼用(P2)	USBホスト過電流検出力/ 汎用ポート2(P27) と兼用	L	I/O	4	TWF1BC33ANV04SL	—	I	H
U1	USB_VBUS	○	USB2.0/ポート兼用(P2)	USBファンクション・バス・パワー検出/ 汎用ポート2(P25) と兼用	H	I/O	4	TWF1BC33ANV04SL	—	I	L

表2-13 Gigabit Ether端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
K21	ETH_TXC	×	GbEther	Ether送信クロック入力(10M/100M通信時)	I	I	—	TWF8IC33AS	—	I	L
K22	ETH_GTXC	×	GbEther	Ether送信クロック出力(1G通信時)	I	O	4	TWF8BC33ANV04SL	—	O	OPEN
K19	ETH_TXEN	×	GbEther	Ether送信イネーブル	H	O	4	TWF8BC33ANV04SL	—	O	OPEN
J20	ETH_TXER	×	GbEther	Ether送信エラー	H	O	4	TWF8BC33ANV04SL	—	O	OPEN
K20	ETH_TXD0	×	GbEther	Ether送信データ	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
J23	ETH_TXD1	×	GbEther	Ether送信データ	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
J19	ETH_TXD2	×	GbEther	Ether送信データ	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
J21	ETH_TXD3	×	GbEther	Ether送信データ	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
J22	ETH_TXD4	×	GbEther	Ether送信データ(GMII時のみ使用)	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
H21	ETH_TXD5	×	GbEther	Ether送信データ(GMII時のみ使用)	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
G21	ETH_TXD6	×	GbEther	Ether送信データ(GMII時のみ使用)	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
H23	ETH_TXD7	×	GbEther	Ether送信データ(GMII時のみ使用)	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
G22	ETH_GE_INT	×	GbEther	Ether-PHY割り込み信号	H/L注1	I	—	TWF8IC33AS	—	I	L
G23	ETH_RXC	×	GbEther	Ether受信クロック	I	I	—	TWF8IC33AS	—	I	L
H22	ETH_RXDV	×	GbEther	Ether受信イネーブル	H	I	—	TWF8IC33AS	—	I	L
E21	ETH_RXER	×	GbEther	Ether受信エラー	H	I	—	TWF8IC33AS	—	I	L
F20	ETH_RXD0	×	GbEther	Ether受信データ	—	I	—	TWF8IC33AS	—	I	L
F21	ETH_RXD1	×	GbEther	Ether受信データ	—	I	—	TWF8IC33AS	—	I	L
F22	ETH_RXD2	×	GbEther	Ether受信データ	—	I	—	TWF8IC33AS	—	I	L
E23	ETH_RXD3	×	GbEther	Ether受信データ	—	I	—	TWF8IC33AS	—	I	L
G20	ETH_RXD4	×	GbEther	Ether受信データ(GMII時のみ使用)	—	I	—	TWF8BC33ANV04SL	—	I	L
G19	ETH_RXD5	×	GbEther	Ether受信データ(GMII時のみ使用)	—	I	—	TWF8BC33ANV04SL	—	I	L
H20	ETH_RXD6	×	GbEther	Ether受信データ(GMII時のみ使用)	—	I	—	TWF8BC33ANV04SL	—	I	L
F23	ETH_RXD7	×	GbEther	Ether受信データ(GMII時のみ使用)	—	I	—	TWF8BC33ANV04SL	—	I	L
H19	ETH_CRS	×	GbEther	Etherキャリア・センス入力	H	I	—	TWF8IC33AS	—	I	L
E22	ETH_COL	×	GbEther	Etherコリジョン	H	I	—	TWF8IC33AS	—	I	L
E20	ETH_MDC	×	GbEther	Ether-PHYマネジメント・クロック	I	O	4	TWF8BC33ANV04SL	—	O	OPEN
K23	ETH_MDIO	×	GbEther	Ether-PHYマネジメント・データ	—	I/O	4	TWF8BC33ANV04SL	—	I	L

注 1 アクティブレベルは、プログラマブルに変更可能です。

表2-14 PCI Express 1Lane端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
T23	PCIEX_MODE_PORT	O	PClex	Device TYPE設定端子	—	I	—	TWF8IC33AS	—	I	H
N23	PCIEX_CICREFFP	×	PClex	リファレンス・クロック入力(差動+)	—	—	—	SerDes		I	OPEN
N22	PCIEX_CICREFN	×	PClex	リファレンス・クロック入力(差動-)	—	—	—			I	OPEN
P21	PCIEX_TODP	×	PClex	シリアル・データ出力(差動+)	—	—	—			O	OPEN
P20	PCIEX_TODN	×	PClex	シリアル・データ出力(差動-)	—	—	—			O	OPEN
P23	PCIEX_RIDP	×	PClex	シリアル・データ入力(差動+)	—	—	—			I	OPEN
P22	PCIEX_RIDN	×	PClex	シリアル・データ入力(差動-)	—	—	—			I	OPEN
P15	VDDA	×	PClex	アナログ電源(3.3V)	—	—	—			I	VDD33
N15	VSSA	×	PClex	アナログGND	—	—	—			I	GND
N19	VDDD	×	PClex	デジタル電源(1.1V)	—	—	—			I	VDD

表2-15 デバッグ端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
D22	TCK	×	JTAG	CPU JTAGクロック入力(注3)	H	I	—	TWF8IC33AS	PD	I	OPEN
C21	TRSTZ	×	JTAG	CPU JTAG回路リセット入力	L	I	—	TWF8IC33AS	PU	I	OPEN
C22	TMS	×	JTAG	CPU JTAG TAPモード選択(注3)	H	I	—	TWF8IC33AS	PU	I	OPEN
B21	TDI	×	JTAG	CPU JTAGシリアル入力	H	I	—	TWF8IC33AS	PU	I	OPEN
A21	TDO	×	JTAG	CPU JTAGシリアル出力	H	O	4	TWF8BC33ANV04SL	—	O	OPEN

注 3 Serial Wire 接続は使用できません(制限事項)

表2-16 クロック、リセット、テスト端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
D18	STBCTL	×	SYSTEM	IOスタンバイコントロール端子	H	I	—	TWF8ISTBC33SUO	ST,STBY_INPUT with PU	I	OPEN
E18	TMODE1	O	TEST	動作モード設定端子1	L	I	—	TWF8IC33AS	PU	I	OPEN
B22	RESETZ	×	SYSTEM	システム・リセット端子	L	I	—	TWF8IC33ASS	PU, ST	I	—
A22	PONR	×	SYSTEM	内蔵リダランRAM用パワーオンリセット(REL専用)	—	I	—	TWF8IC33ASS	ST	I	L
B23	XT1	×	SYSTEM	発振子用接続端子	—	I	—	TWF1COSC30MT	OSCバッファ	I	※1モードによって変わります
C23	XT2	×	SYSTEM	発振子用接続端子	—	I/O	—	TWF1COSC30MT	OSCバッファ	※1	※1モードによって変わります
D23	OSC25M	O	SYSTEM	25MHzクロック出力(PHY供給)	—	O	4	TWF8BC33ANV04SL	—	O	OPEN
D21	TMC1	×	TEST	IOコントロール端子(REL専用)	H	I	—	TWF8ITE1C33ND	TMC1 with PD	I	OPEN
E17	TMC2	×	TEST	IOコントロール端子(REL専用)	H	I	—	TWF8ITE2C33ND	TMC2 with PD	I	OPEN

表2-17 電源/GND端子一覧

PKG NO	端子配置名	B-SCAN	機能	端子説明	アクティブレベル	ユーザモード時 I/O属性	IOL 4/6/8/12 mA	バッファタイプ	バッファ仕様	初期状態 I/O属性	未使用時 端子処理
L15	PLL1_AVDD	×	電源	システムクロック用PLL電源	—	—	—	—	—	—	VDD
M15	PLL1_AGND	×	GND	システムクロック用PLLGND	—	—	—	—	—	—	GND
L9	PLL2_AVDD	×	電源	UDLクロック用PLL電源	—	—	—	—	—	—	VDD
K9	PLL2_AGND	×	GND	UDLクロック用PLLGND	—	—	—	—	—	—	GND
A23	GND	×	GND	GND	—	—	—	—	—	—	GND
A1	GND	×	GND	GND	—	—	—	—	—	—	GND
E19	GND	×	GND	GND	—	—	—	—	—	—	GND
E10	GND	×	GND	GND	—	—	—	—	—	—	GND
E5	GND	×	GND	GND	—	—	—	—	—	—	GND
L1	GND	×	GND	GND	—	—	—	—	—	—	GND
M23	GND	×	GND	GND	—	—	—	—	—	—	GND
M22	GND	×	GND	GND	—	—	—	—	—	—	GND
N21	GND	×	GND	GND	—	—	—	—	—	—	GND
N20	GND	×	GND	GND	—	—	—	—	—	—	GND
P19	GND	×	GND	GND	—	—	—	—	—	—	GND
R23	GND	×	GND	GND	—	—	—	—	—	—	GND
R22	GND	×	GND	GND	—	—	—	—	—	—	GND
R21	GND	×	GND	GND	—	—	—	—	—	—	GND
R20	GND	×	GND	GND	—	—	—	—	—	—	GND
W17	GND	×	GND	GND	—	—	—	—	—	—	GND
W15	GND	×	GND	GND	—	—	—	—	—	—	GND
W12	GND	×	GND	GND	—	—	—	—	—	—	GND
W10	GND	×	GND	GND	—	—	—	—	—	—	GND
W9	GND	×	GND	GND	—	—	—	—	—	—	GND
W8	GND	×	GND	GND	—	—	—	—	—	—	GND
W7	GND	×	GND	GND	—	—	—	—	—	—	GND
W6	GND	×	GND	GND	—	—	—	—	—	—	GND
Y19	GND	×	GND	GND	—	—	—	—	—	—	GND
Y8	GND	×	GND	GND	—	—	—	—	—	—	GND
Y5	GND	×	GND	GND	—	—	—	—	—	—	GND
AA19	GND	×	GND	GND	—	—	—	—	—	—	GND
AA5	GND	×	GND	GND	—	—	—	—	—	—	GND
AB20	GND	×	GND	GND	—	—	—	—	—	—	GND
AB13	GND	×	GND	GND	—	—	—	—	—	—	GND
AB12	GND	×	GND	GND	—	—	—	—	—	—	GND
AB9	GND	×	GND	GND	—	—	—	—	—	—	GND
AB8	GND	×	GND	GND	—	—	—	—	—	—	GND
AC23	GND	×	GND	GND	—	—	—	—	—	—	GND
AC20	GND	×	GND	GND	—	—	—	—	—	—	GND
AC17	GND	×	GND	GND	—	—	—	—	—	—	GND
AC11	GND	×	GND	GND	—	—	—	—	—	—	GND
AC4	GND	×	GND	GND	—	—	—	—	—	—	GND
AC1	GND	×	GND	GND	—	—	—	—	—	—	GND
J14	GND	×	GND	GND	—	—	—	—	—	—	GND
J12	GND	×	GND	GND	—	—	—	—	—	—	GND
J10	GND	×	GND	GND	—	—	—	—	—	—	GND
J9	GND	×	GND	GND	—	—	—	—	—	—	GND
K15	GND	×	GND	GND	—	—	—	—	—	—	GND
K14	GND	×	GND	GND	—	—	—	—	—	—	GND
K12	GND	×	GND	GND	—	—	—	—	—	—	GND
K10	GND	×	GND	GND	—	—	—	—	—	—	GND
L14	GND	×	GND	GND	—	—	—	—	—	—	GND
L12	GND	×	GND	GND	—	—	—	—	—	—	GND
L10	GND	×	GND	GND	—	—	—	—	—	—	GND
M14	GND	×	GND	GND	—	—	—	—	—	—	GND
M12	GND	×	GND	GND	—	—	—	—	—	—	GND
M11	GND	×	GND	GND	—	—	—	—	—	—	GND
M10	GND	×	GND	GND	—	—	—	—	—	—	GND
M9	GND	×	GND	GND	—	—	—	—	—	—	GND
N14	GND	×	GND	GND	—	—	—	—	—	—	GND
N12	GND	×	GND	GND	—	—	—	—	—	—	GND
N11	GND	×	GND	GND	—	—	—	—	—	—	GND
P14	GND	×	GND	GND	—	—	—	—	—	—	GND
P13	GND	×	GND	GND	—	—	—	—	—	—	GND
P10	GND	×	GND	GND	—	—	—	—	—	—	GND
P9	GND	×	GND	GND	—	—	—	—	—	—	GND
R15	GND	×	GND	GND	—	—	—	—	—	—	GND
E11	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
E6	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
F19	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
M19	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
M5	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
R19	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
W18	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
W5	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
J15	VDD33	×	IO電源	IO電源	—	—	—	—	—	—	VDD33
J13	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
J11	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
K13	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
K11	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
L13	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
L11	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
M13	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
N13	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
N10	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD
N9	VDD	×	コア電源1.1V	コア電源1.1V	—	—	—	—	—	—	VDD

補足 表中の略号は以下の通りです。

- PU : Pullup
- PD : Pulldown
- ST : Schmitt
- 5T : 5V-Torelant
- LN : LowNoise
- TR :低スルーレート

VDD33 : 3.3V
VDD : 1.1V
DVDDQ : 1.5V or GND

2.3 汎用ポート(GPIO)兼用端子一覧

JL-086A は、下記の 40 本の入出力ポートを有しています。

- P00-P07(ポート 0)
- P10-P17(ポート 1)
- P20-P27(ポート 2)
- P30-P37(ポート 3)
- P40-P47(ポート 4)

ポート 0、ポート 1 およびポート 2 は兼用端子の機能を持ちます。ポート 3 とポート 4 はポート専用となります。
詳細は、17.1 ポートの基本構成を参照してください。

2.4 I/Oバッファの構造

JL-086A で使用している I/O バッファの構造を以下の図に示します。

2.4.1 TWF1BC33ANV04SL

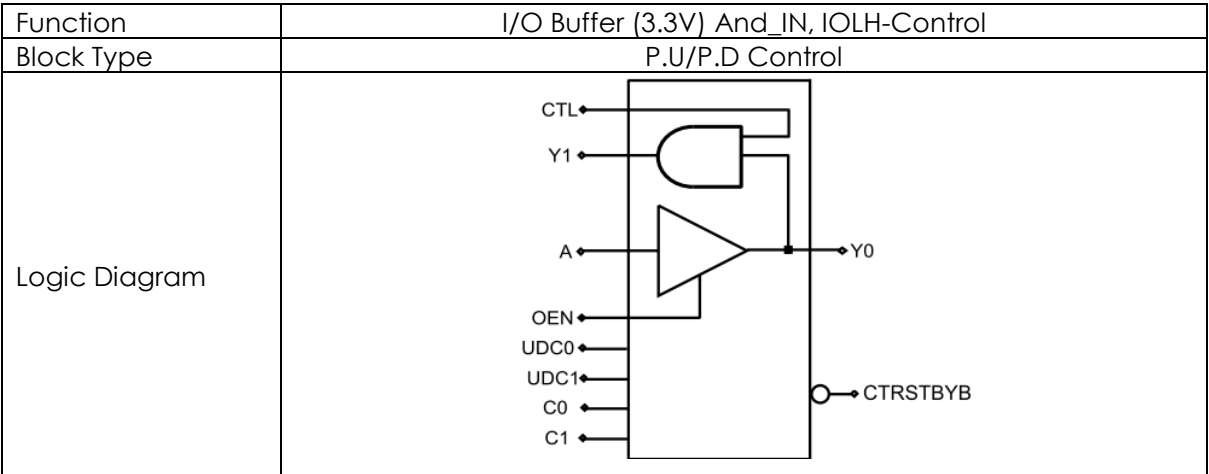


図 2-18 TWF1BC33ANV04SLの構造

2.4.2 TWF8BC33ALV04SL

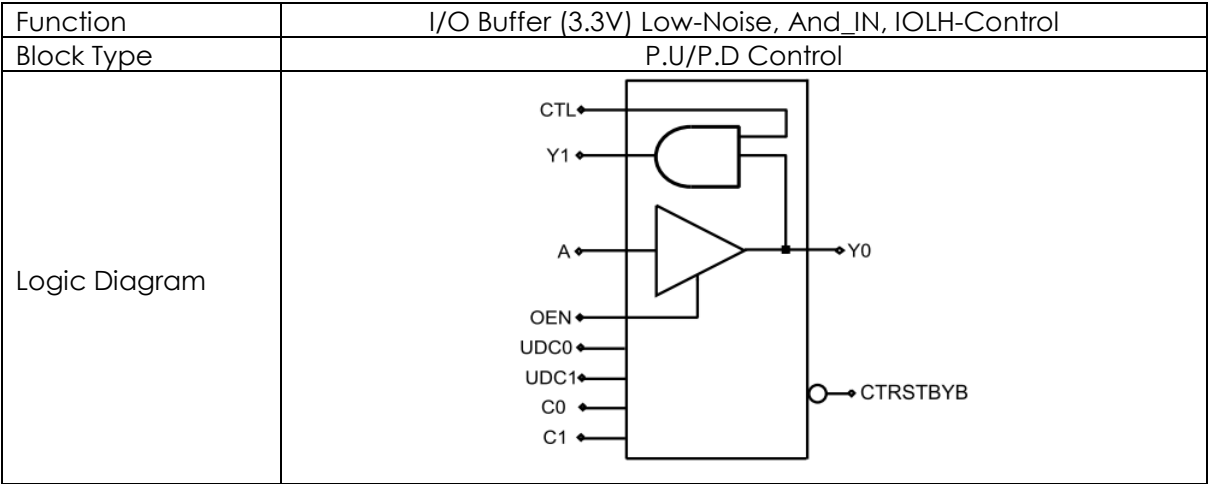


図 2-19 TWF8BC33ALV04SLの構造

2.4.3 TWF8BC33ANV04SL

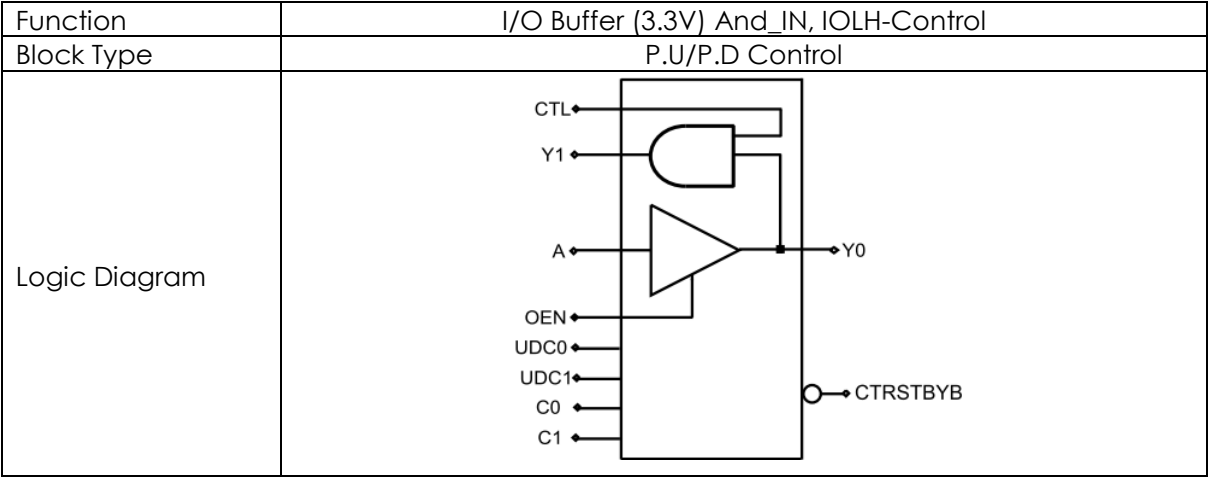


図 2-20 TWF8BC33ANV04SLの構造

2.4.4 TWF8BC33ASNV04SL

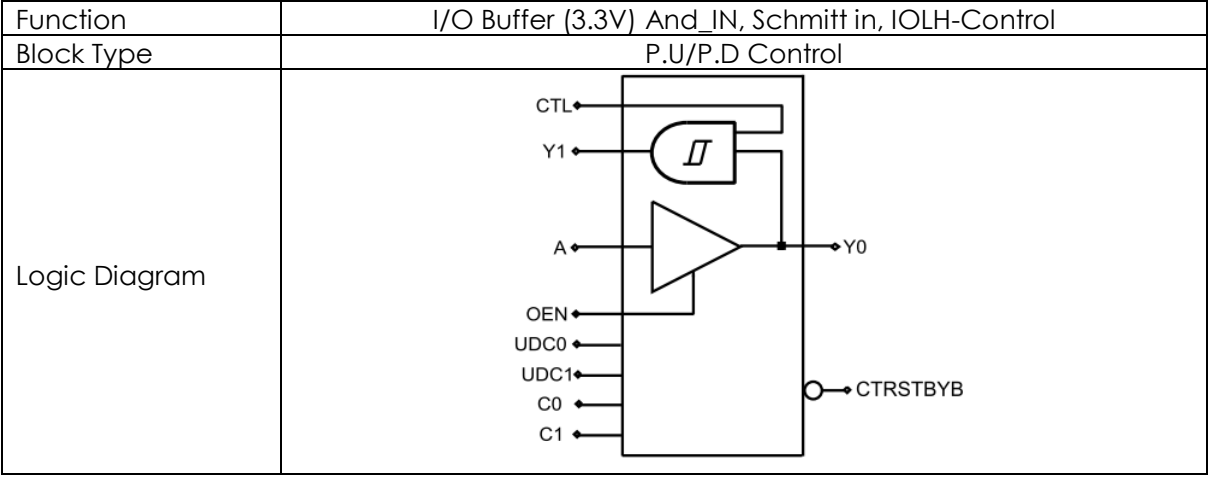


図 2-21 TWF8BC33ASNV04SLの構造

2.4.5 TWF8IC33AS

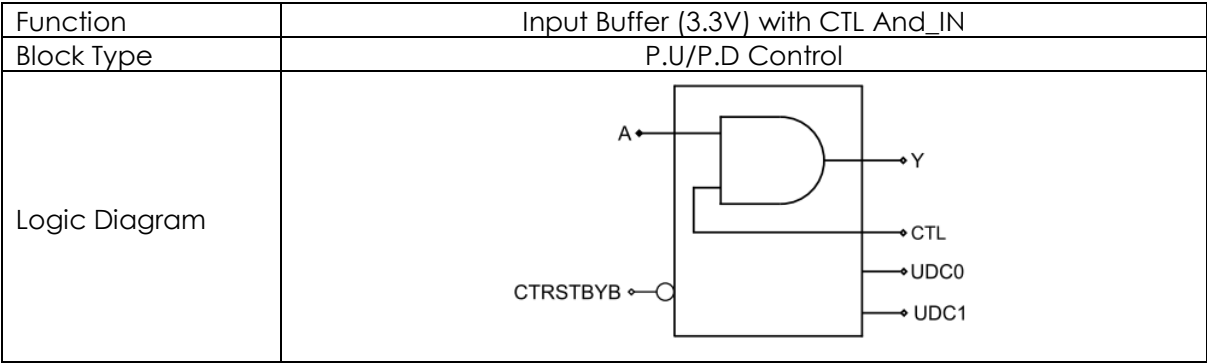


図 2-22 TWF8IC33ASの構造

2.4.6 TWF8IC33ASS

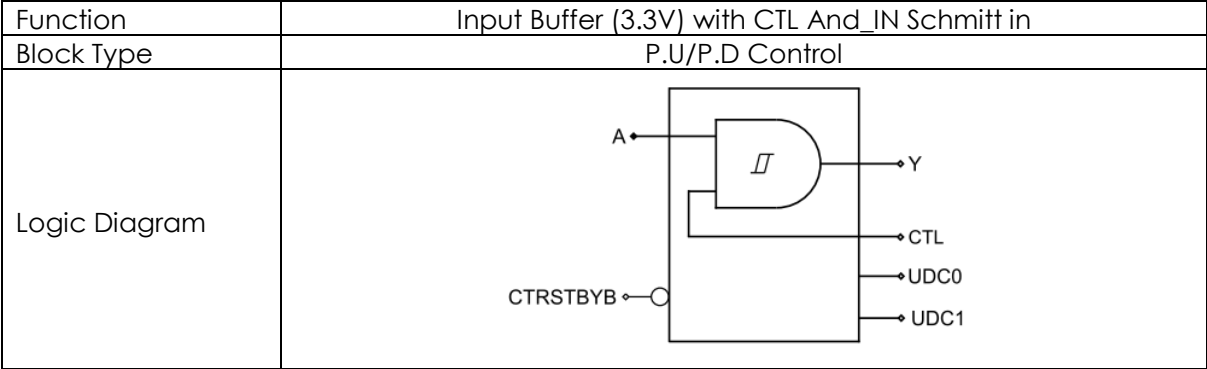


図 2-23 TWF8IC33ASSの構造

2.4.7 TWF8ISTBC33SUO

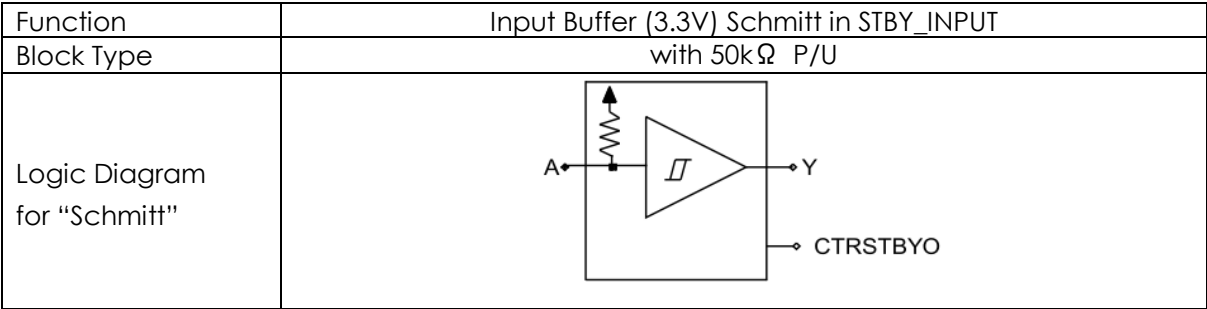


図 2-24 TWF8ISTBC33SUOの構造

2.4.8 TWF8TC33NV04SZ

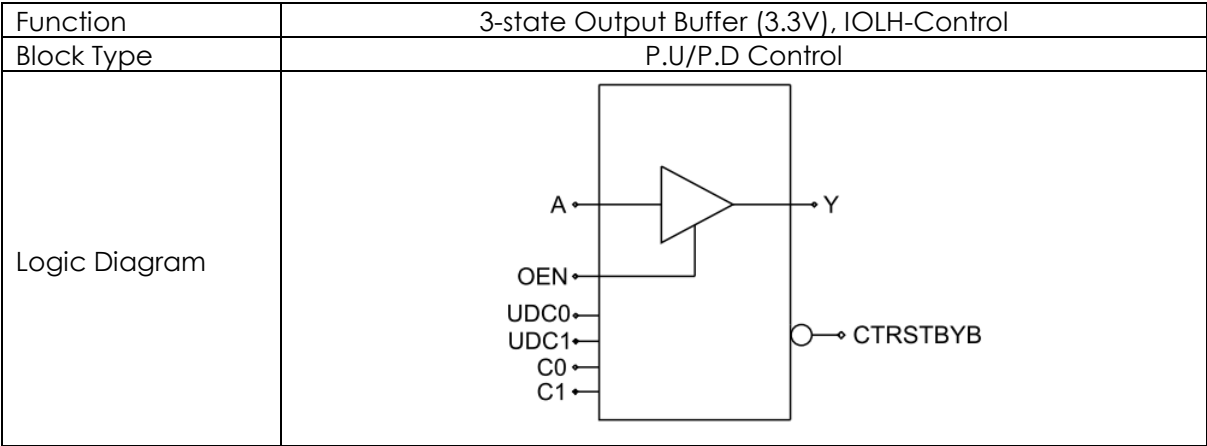


図 2-25 TWF8TC33NV04SZの構造

2.4.9 TWF1ZE1575BC5TANV04SZ

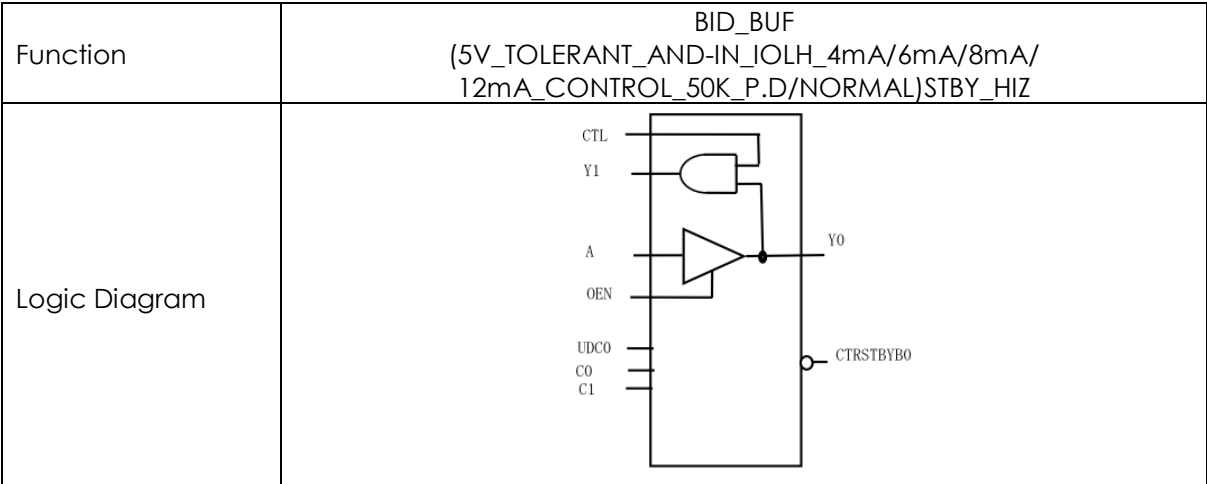


図 2-26 TWF1ZE1575BC5TANV04SZの構造

2.4.10 TWf8ITE1C33ND

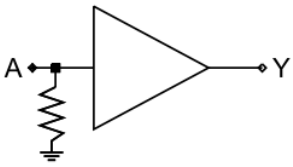
Function	Input Buffer (3.3V) for TMC Terminal, 50kohm Pull-down
Block Type	Normal
Logic Diagram for "TMC1"	

図 2-27 TWf8ITE1C33NDの構造

2.4.11 TWf8ITE2C33ND

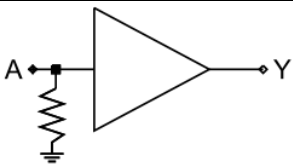
Function	Input Buffer (3.3V) for TMC Terminal, 50kohm Pull-down
Block Type	Normal
Logic Diagram for "TMC2"	

図 2-28 TWf8ITE2C33NDの構造

2.4.12 TWf1ZE1475BC5TI2C

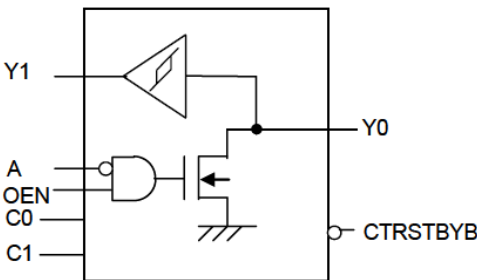
Function	BID_BUF(5V_I2C-IN_I2C-OUT_STBY_HIZ)
Logic Diagram	

図 2-29 TWf1ZE1475BC5TI2Cの構造

2.4.13 TWf1COSC30MT/TWf1COSC40MT

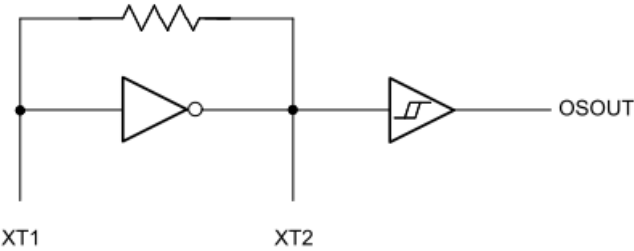
Function	3.3Vブロック、周波数発振子30MHz/40MHz
Logic Diagram	

図 2-30 TWf1COSC30MT/TWf1COSC40MTの構造