

18.1 概要

18.1.1 マクロ概要

NBPFAXIwDMACcBbV11 は、AMBA®AXI64bit バス対応の汎用 DMA コントローラ(DMAC)です。CPU の代わりに、設定値に従って、指定領域のデータをリードし、指定領域へライトします。

18.1.2 特徴

DMAC マクロ数 : 1

チャネル数 : 4ch

バッファ段数 : 16 段

DMA トランザクション設定方式 :

レジスタ・モード, およびリンク・モードによる取り込みに対応

トリガ方式 : ソフトウェア起動, およびハードウェア起動に対応

割り込み : レベルとパルスをサポート

転送方式 : ソースとディスティネーションのトランスファ・サイズを、1~128 バイトの中から、それぞれ独立に選択可能

サスペンド機能 : 実行中の DMA トランザクションを一時停止することが可能

インターバル機能 : バスの占有率を調整するため、DMA 転送のトランスファの間隔を指定することが可能

18.1.2.1 DMA 転送機能

●転送設定値取り込み方式

DMA 転送に使用する設定データは、以下の 2 種類の方法により、内部レジスタに設定されます。

○レジスタ・モード

CPU により、AXI Slave I/F を介して、内蔵レジスタに設定値を書き込み、その設定値で DMA 転送を行うモードです。設定は 2 種類 (Next0 レジスタ・セット, Next1 レジスタ・セット) まで行うことができ、これらを交互に実行したり、片方を実行中にもう片方を書き換えた連続実行を行ったりすることができます。

○リンク・モード

CPU によって外部メモリ上に配置された設定データ (ディスクリプタ・データ) を、自動的に DMAC の Master I/F が取り込み、その設定値を元に DMA 転送を行うモードです。ディスクリプタ中で、次の転送用のディスクリプタ・アドレスを指定し、複数の DMA 転送の設定値をメモリ上に設定しておき、順次実行することができます。

また、ディスクリプタの header(情報フィールド)にて、次の DMA 転送の一時停止、再開を指定することができます。

●トリガ方式

DMA 転送の起動は、以下の 2 種類をサポートします。

○ソフトウェア起動

ソフトウェアにて、AXI Slave I/F から内部レジスタに対し起動のトリガをかけます。

○ハードウェア起動

DMAREQ[7:0]入力端子の状態で起動します。検出モードは以下をサポートします。

- 立ち上がり検出
- 立ち下がり検出
- 変化点検出
- ハイ・レベル検出
- ロウ・レベル検出
- マスク

また、ハードウェア起動の場合、ハンドシェイク信号として、**DMAACK[7:0]**信号を出力します。**DMAACK** 出力モードは以下をサポートします。

- トランスファ開始時に 1 パルス・アサート
- **DMAREQ** がディアサートされるまでアサート
- バス・サイクル期間アサート
- マスク

設定サイズの転送後、制御レジスタで指定した総転送バイト数分の **DMA** 転送を終了すると、ターミナル・カウント信号 **DMATCO[7:0]**を出力します（マスクすることも可能）。

また、1 回のトリガで 1 回の **Read/Write** を行うか、設定した総転送バイト数分転送を行うのかを切り替えることができます。

●割り込み

転送完了時には、転送完了割り込み **DMAEND[7:0]**端子をアサートします（マスクすることも可能）。バス・エラー時には、エラー割り込み **DMAERR** 端子をアサートします。

●転送

DMA トランスファ・サイズは、**8~1024bit** の中から選択可能です。

転送アドレスは、転送ごとにインクリメントするモードと、常に固定のモードをサポートします。

●バッファ掃き出し

DMA 転送中に強制的に転送を中断した場合、既にバッファに取り込んでいるデータを出力して停止することができます。

●サスペンド

DMA トランザクション中に、実行中の **DMA** トランザクションを一時停止することができます。

●インターバル

バスの占有率を調整するため、**DMA** 転送の間隔を指定することが可能です。

18.1.3 AXI スレーブ・インタフェース

18.1.3.1 対応レスポンス

DMAC のスレーブ・インタフェースは、以下の応答を返します。

表 18-1 レスポンス一覧

種類	発行	備考
OKAY	する	通常
EXOKAY	しない	EXOKAY は発行しません。
SLVERR	する	対応しない転送方式でアクセスされた場合、および Undefined 領域をアクセスされた場合、SLVERR を発行します。（上表参照）
DECERR	しない	DECERR は発行しません。

18.1.3.2 その他の機能

その他の AXI に関する対応を以下に示します。

表 18-2 対応機能一覧

機能	対応	信号	備考
アンアラインド転送	×	SWSTRB	アンアラインド転送をサポートしません。必ずアラインされたアドレスで転送して下さい。
ライト・データのインタリーブ	×	SAWID	書き込みデータのインタリーブの深さは 1 です。よって、インタリーブされたデータを書き込むことはできません。
アトミック・アクセス	×	SAWLOCK SARLOCK	アトミック(ロック、排他)アクセスには対応しません。本マクロに対してアトミック・アクセスをしても、通常の転送同様に扱います。
キャッシュサポート	×	SAWCACHE SARCACHE	キャッシュ・オプションには対応しません。受け付けたキャッシュ・オプションの違いによる動作上の違いはありません。
保護ユニット・サポート	×	SAWPROT SARPROT	保護ユニット・サポートには対応しません。受け付けた PROT の値による動作上の違いはありません。
ライト・データの受理数	1	—	書き込み受理数は 1 です。 接続する AXI インタコネクトの設定を、1 に設定して下さい。
リード・データの受理数	1	—	読み出し受理数は 1 です。 接続する AXI インタコネクトの設定を、1 に設定して下さい。

18.1.4 AXI マスタ・インタフェース

AXI マスタ・インタフェースを 1 ポート持っています。マスタ・インタフェースは、DMA 転送およびリンク・モード時のディスクリプタ・アクセスを行います。

以下にマスタ・インタフェース機能について説明します。

18.1.4.1 転送方式

以下に転送タイプを示します。

表 18-3 マスタ対応アドレッシング方式一覧

MAWSIZE[2:0] MARSIZE[2:0]	バッファ段数	MAWLEN[3:0] MARLEN[3:0]	MAWBURST[1:0] MARBURST[1:0]	備考
000 (8bit) 001 (16bit) 010 (32bit) 011 (64bit)	—	0000 (1 回)	01 (インクリメント)	発行します。
011 (64bit)	4	0000 (1 回) 0001 (2 回) 0011 (4 回)	01 (インクリメント)	発行します。
	8	0000 (1 回) 0001 (2 回) 0011 (4 回) 0111 (8 回)		
	16	0000 (1 回) 0001 (2 回) 0011 (4 回) 0111 (8 回) 1111 (16 回)		
上記以外	—	上記以外	上記以外	発行しません。

使用できるバースト長の上限はバッファの段数に依存します。バースト・タイプは、CHCFG_n レジスタの SDS（ソース・データ・サイズ）、DDS（ディスティネーション・データ・サイズ）フィールドによって制御します。システムに応じて適切なバースト・タイプを使用して下さい。

18.1.4.2 対応レスポンス

以下に、マスタ・インタフェースが対応するレスポンスを示します。

表 18-4 対応レスポンス一覧

種類	対応	備考
OKAY	○	アクセスが成功したと判断します。
EXOKAY	○	OKAY と同様に扱います
SLVERR	○	現在の DMA トランスファを中止して、DMAERR を発行します。
DECERR	○	SLVERR と同様に扱います。

18.1.4.3 その他の機能

以下に、マスタ・インタフェースのその他の機能について示します。

表 18-5 マスタ対応機能

機能	対応	関連信号	備考
ID[3:0]	チャンネル毎に ID を付加	MAWID MWID MARID MRID	アクセスを行う際の ID は、ディスクリプタ・アクセス/DMA アクセス、チャンネル番号を示します。
アトミック・アクセス	×	MAWLOCK MARLOCK	ロックまたは排他アクセスを実行しません。
アンアラインド転送	○	MWSTRB	内蔵レジスタの DMA トランスファ・サイズに対して、アラインされていないアドレスを設定した場合に発行します。
リード・アウト・オブ・オーダー	○	—	リード・データをアウト・オブ・オーダーで受け付けることができます。最大で、[チャンネル数 × 2] の転送を 1 バースト完了前に発行します。
ライト・インタリーブ	×	—	2 以上の長さのバーストでデータを転送中に、別 ID のデータを挿入することはありません。最大で、[チャンネル数 × 2] の転送を 1 バースト完了前に発行します。 また、リオーダーされたレスポンスは正しく受け付けることができます。
キャッシュサポート	○	MAWCACHE MARCACHE	CHEXT_n レジスタおよび DMACTRL レジスタで変更可能です。(本レジスタ設定による動作上の違いは、MAWCACHE, MARCACHE 端子からの出力レベルのみであり、その他の動作に違いはありません)
保護ユニット・サポート	○	MAWPROT MARPROT	CHEXT_n レジスタおよび DMACTRL レジスタで変更可能です。(本レジスタ設定による動作上の違いは、MAWPROT, MARPROT 端子からの出力レベルのみであり、その他の動作に違いはありません)
ライト発行数	チャンネル数 × 2	—	最大ライト発行数は、HDL 生成時に指定したチャンネル数 × 2 です。接続する AXI インタコネクタの設定を、チャンネル数 × 2 に設定して下さい。
リード発行数	チャンネル数 × 2	—	最大リード発行数は、HDL 生成時に指定したチャンネル数 × 2 です。接続する AXI インタコネクタの設定を、チャンネル数 × 2 に設定して下さい。

18.1.5 用語定義

本書で使用する用語の定義は、以下の通りです。

表 18-6 用語定義

用語	定義
インタリーブ	2以上の長さのバーストでデータを転送中に、別IDのデータが挿入されることです。
バースト	一回のバス・サイクルを意味します。
DMA トランスファ	DMAC が1バースト分のリードまたはライト転送を実行することを指します。
DMA リード・トランスファ	DMAC が1バースト分のリード転送を実行することを指します。
DMA ライト・トランスファ	DMAC が1バースト分のライト転送を実行することを指します。
DMA トランザクション	DMAC に設定された総バイト数分の DMA トランスファを実行すること、すなわち一連の DMA トランスファが完了するまでの期間を指します。
レジスタ・セット	レジスタのグループを指します。
ディスクリプタ	DMAC がリンク・モード時にロードする DMA 転送設定が書かれたデータを意味します。
DMAC	本マクロを指します。
アライン	指定するアドレスが、転送するサイズのアライン境界先頭を指している状態です。 具体的には、指定する先頭アドレスの bit $[(\log_2 \text{SIZE} - 1) : 0]$ が0である状態です。(SIZE: 転送サイズ[Byte]) ビート・アライン: アドレスが、データ・サイズのアライン境界の先頭を指している状態を指します。 ワード・アライン: アドレスが、ワード境界の先頭を指している状態を指します。
アンアライン	指定するアドレスが、転送するサイズのアライン境界先頭を指していない状態です。 具体的には、指定する先頭アドレスの bit $[(\log_2 \text{SIZE} - 1) : 0]$ が0でない状態です。(SIZE: 転送サイズ[Byte]) ビート・アンアライン: アドレスが、データ・サイズのアライン境界の先頭を指している状態を指します。

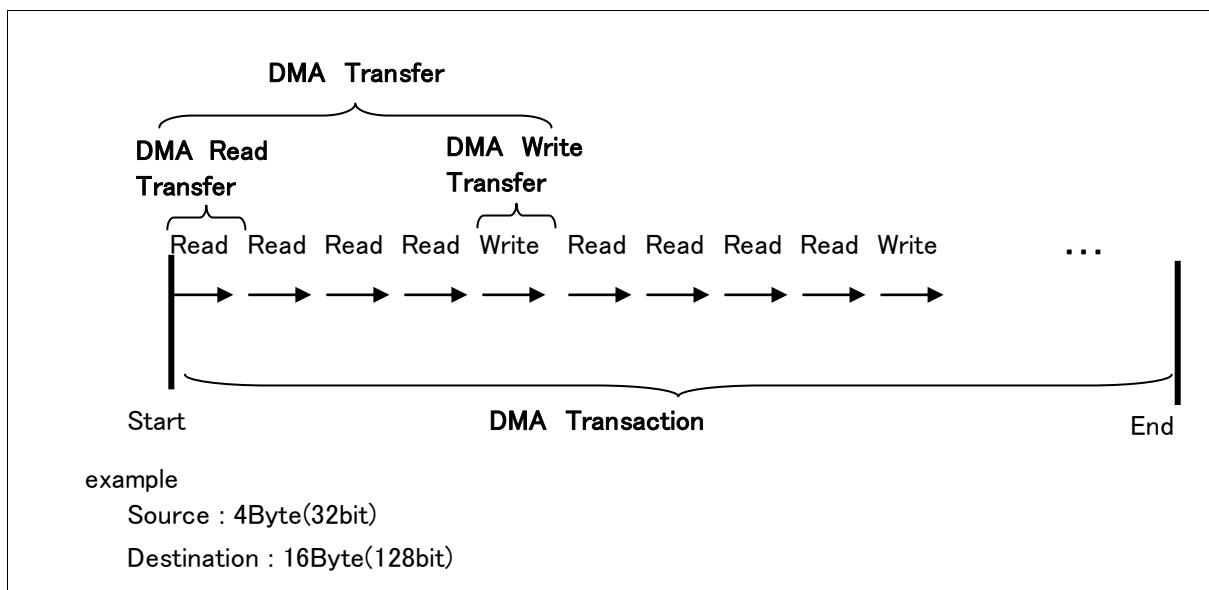


図 18-1 転送の呼称

本書では、**DMAC** が実行する一回のリード/ライト転送を **DMA トランスファ** と呼びます。また、設定した一連の **DMA トランスファ** の実行を **DMA トランザクション** と呼びます。

18.2 レジスタ仕様

18.2.1 レジスタ一覧

本マクロの DMA 転送機能は、次に示す各制御レジスタによって動作設定を行います。

表 18-7 制御レジスタ一覧 1

チャンネル	アドレス	グループ	レジスタ名称	略号	初期値	可能なアクセス
Channel0	6FEE_0000H	Next0	Next0 Source Address Register 0	N0SA_0	00000000H	Read/Write
	6FEE_0004H		Next0 Destination Address Register 0	N0DA_0	00000000H	Read/Write
	6FEE_0008H		Next0 Transaction Byte Register 0	N0TB_0	00000000H	Read/Write
	6FEE_000CH	Next1	Next1 Source Address Register 0	N1SA_0	00000000H	Read/Write
	6FEE_0010H		Next1 Destination Address Register 0	N1DA_0	00000000H	Read/Write
	6FEE_0014H		Next1 Transaction Byte Register 0	N1TB_0	00000000H	Read/Write
	6FEE_0018H	Current	Current Source Address Register 0	CRSA_0	00000000H	Read
	6FEE_001CH		Current Destination Address Register 0	CRDA_0	00000000H	Read
	6FEE_0020H		Current Transaction Byte Register 0	CRTB_0	00000000H	Read
	6FEE_0024H	Channel	Channel Status Register 0	CHSTAT_0	00000000H	Read
	6FEE_0028H		Channel Control Register 0	CHCTRL_0	00000000H	Read/Write
	6FEE_002CH		Channel Configuration Register 0	CHCFG_0	00000000H	Read/Write
	6FEE_0030H		Channel Interval Register 0	CHITVL_0	00000000H	Read/Write
	6FEE_0034H		Channel Extension Register 0	CHEXT_0	00000000H	Read/Write
	6FEE_0038H	Link	Next Link Address Register 0	NXLA_0	00000000H	Read/Write
	6FEE_003CH		Current Link Address Register 0	CRLA_0	00000000H	Read
Channel1	6FEE_0040H	Next0	Next0 Source Address Register 1	N0SA_1	00000000H	Read/Write
	6FEE_0044H		Next0 Destination Address Register 1	N0DA_1	00000000H	Read/Write
	6FEE_0048H		Next0 Transaction Byte Register 1	N0TB_1	00000000H	Read/Write
	6FEE_004CH	Next1	Next1 Source Address Register 1	N1SA_1	00000000H	Read/Write
	6FEE_0050H		Next1 Destination Address Register 1	N1DA_1	00000000H	Read/Write
	6FEE_0054H		Next1 Transaction Byte Register 1	N1TB_1	00000000H	Read/Write
	6FEE_0058H	Current	Current Source Address Register	CRSA_1	00000000H	Read
	6FEE_005CH		Current Destination Address Register 1	CRDA_1	00000000H	Read
	6FEE_0060H		Current Transaction Byte Register 1	CRTB_1	00000000H	Read
	6FEE_0064H	Channel	Channel Status Register 1	CHSTAT_1	00000000H	Read
	6FEE_0068H		Channel Control Register 1	CHCTRL_1	00000000H	Read/Write
	6FEE_006CH		Channel Configuration Register 1	CHCFG_1	00000000H	Read/Write
	6FEE_0070H		Channel Interval Register 1	CHITVL_1	00000000H	Read/Write
	6FEE_0074H		Channel Extension Register 1	CHEXT_1	00000000H	Read/Write
	6FEE_0078H	Link	Next Link Address Register 1	NXLA_1	00000000H	Read/Write
	6FEE_007CH		Current Link Address Register 1	CRLA_1	00000000H	Read
Channel2	6FEE_0080H	Next0	Next0 Source Address Register 2	N0SA_2	00000000H	Read/Write
	6FEE_0084H		Next0 Destination Address Register 2	N0DA_2	00000000H	Read/Write
	6FEE_0088H		Next0 Transaction Byte Register 2	N0TB_2	00000000H	Read/Write
	6FEE_008CH	Next1	Next1 Source Address Register 2	N1SA_2	00000000H	Read/Write
	6FEE_0090H		Next1 Destination Address Register 2	N1DA_2	00000000H	Read/Write
	6FEE_0094H		Next1 Transaction Byte Register 2	N1TB_2	00000000H	Read/Write
	6FEE_0098H	Current	Current Source Address Register 2	CRSA_2	00000000H	Read
	6FEE_009CH		Current Destination Address Register 2	CRDA_2	00000000H	Read
	6FEE_00A0H		Current Transaction Byte Register 2	CRTB_2	00000000H	Read
	6FEE_00A4H	Channel	Channel Status Register 2	CHSTAT_2	00000000H	Read
	6FEE_00A8H		Channel Control Register 2	CHCTRL_2	00000000H	Read/Write
	6FEE_00ACH		Channel Configuration Register 2	CHCFG_2	00000000H	Read/Write
	6FEE_00B0H		Channel Interval Register 2	CHITVL_2	00000000H	Read/Write
	6FEE_00B4H		Channel Extension Register 2	CHEXT_2	00000000H	Read/Write
	6FEE_00B8H	Link	Next Link Address Register 2	NXLA_2	00000000H	Read/Write
	6FEE_00BCH		Current Link Address Register 2	CRLA_2	00000000H	Read

チャネル	アドレス	グループ	レジスタ名称	略号	初期値	可能なアクセス
Channel3	6FEE_00C0H	Next0	Next0 Source Address Register 3	N0SA_3	00000000H	Read/Write
	6FEE_00C4H		Next0 Destination Address Register 3	N0DA_3	00000000H	Read/Write
	6FEE_00C8H		Next0 Transaction Byte Register 3	N0TB_3	00000000H	Read/Write
	6FEE_00CCH	Next1	Next1 Source Address Register 3	N1SA_3	00000000H	Read/Write
	6FEE_00D0H		Next1 Destination Address Register 3	N1DA_3	00000000H	Read/Write
	6FEE_00D4H		Next1 Transaction Byte Register 3	N1TB_3	00000000H	Read/Write
	6FEE_00D8H	Current	Current Source Address Register 3	CRSA_3	00000000H	Read
	6FEE_00DCH		Current Destination Address Register 3	CRDA_3	00000000H	Read
	6FEE_00E0H		Current Transaction Byte Register 3	CRTB_3	00000000H	Read
	6FEE_00E4H	Channel	Channel Status Register 3	CHSTAT_3	00000000H	Read
	6FEE_00E8H		Channel Control Register 3	CHCTRL_3	00000000H	Read/Write
	6FEE_00ECH		Channel Configuration Register 3	CHCFG_3	00000000H	Read/Write
	6FEE_00F0H		Channel Interval Register 3	CHITVL_3	00000000H	Read/Write
	6FEE_00F4H		Channel Extension Register 3	CHEXT_3	00000000H	Read/Write
	6FEE_00F8H	Link	Next Link Address Register 3	NXLA_3	00000000H	Read/Write
	6FEE_00FCH		Current Link Address Register 3	CRLA_3	00000000H	Read
6FEE_0100H-6FEE_01FFH		Reserved		—	—	—
6FEE_0200H-6FEE_02FFH		Reserved		—	—	—
6FEE_0300H		DMA Control Register		DCTRL	00000000H	Read/Write
6FEE_0304H-6FEE_030FH		Reserved		—	—	—
6FEE_0310H		DMA Status EN Register		DST_EN	00000000H	Read
6FEE_0314H		DMA Status ER Register		DST_ER	00000000H	Read
6FEE_0318H		DMA Status END Register		DST_END	00000000H	Read
6FEE_031CH		DMA Status TC Register		DST_TC	00000000H	Read
6FEE_0320H		DMA Status SUS Register		DST_SUS	00000000H	Read
6FEE_0324H-6FEE_03FFH		Undefined		—	—	—

- 注意**
1. 制御レジスタは、下位アドレス[9:2]を直接デコードしたアドレスにマッピングされています。
 2. 予約済み領域（Reserved 領域）にアクセスした場合、OK レスポンスを返します。この領域は今後の機能拡張で、初期値、READ/WRITE 属性が変わる場合があります。ソフトウェアで、この領域を READ した値が 0 であることを期待した記述はしないで下さい。また、ライトする場合は 0 をライトして下さい。
 3. 未定義領域（Undefined 領域）にアクセスした場合、エラー・レスポンスを返します。制御レジスタに変化はありません。
 4. 以下のレジスタを除き、DMA 転送中（EN=1）にレジスタをソフトウェアで書き換えしないで下さい。
レジスタ・モードで転送をしていない側のレジスタ・セット
CHCTRL_n

18.2.2 レジスタ構成

以下にレジスタ構成を示します。

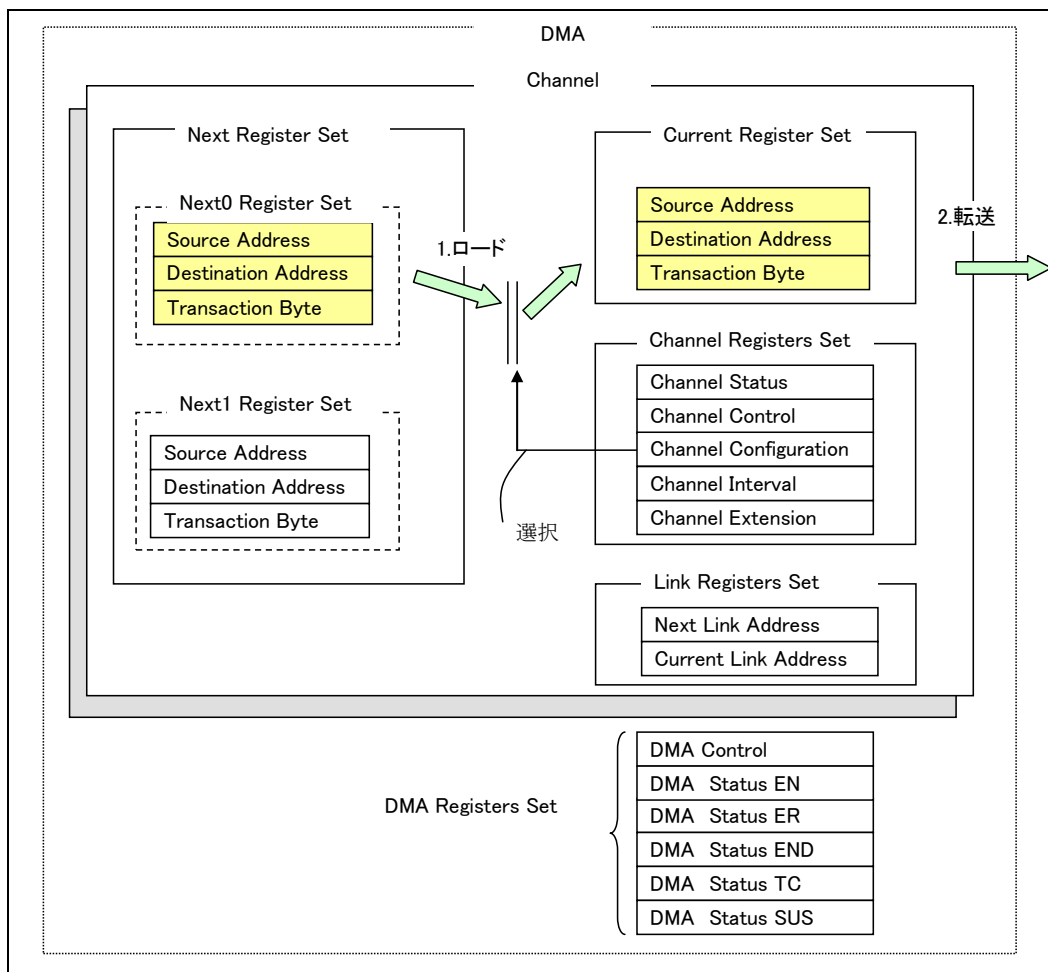


図 18-2 レジスタ構成

a. Next Register Set

次に実行する **DMA** トランザクションの転送元アドレス、転送先アドレス、転送バイト数を設定するレジスタ・セットです。

Next0 レジスタ・セットと **Next1** レジスタ・セットから成ります。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的に **Nex0** レジスタ・セットにセットされます。

これらレジスタ・セットの値は、**Current** レジスタ・セットにロードされ、**DMA** 転送に使用されます。

b. Current Register Set

現在実行中の、転送元アドレス、転送先アドレス、転送バイト数を表示するレジスタ・セットです。

Next0/1 レジスタ・セット(レジスタ・モード)または、ディスクリプタ・リード・データ(リンク・モード)からロードされます。ユーザが直接書き込むことはできません。

DMA トランザクションを実行するごとに、自動的に更新されます。

c. Channel Register Set

DMA 転送の設定を行うためのレジスタ・セットです。

このレジスタ・セットでは、チャネル状態の表示、チャネルの制御、**DMA** トランザクションの設定、**DMA** トランザクション間隔の設定などを行います。

d. Link Register Set

リンク・モード時に、次にロードするディスクリプタ・アドレスを設定するレジスタ（**Next Link Address Register**）と、現在実行しているディスクリプタ・アドレスを表示するレジスタ（**Current Link Address Register**）から成ります。

Current Link Address Register は、ディスクリプタ・リードにより自動的に更新され、ユーザが直接書き込むことはできません。

e. DMA Register Set

DMA 全体を制御するレジスタと、各チャネルの状態を表示するレジスタから成ります。チャネルの優先順位の制御、各チャネルの **EN**, **ER**, **END**, **TCO**, **SUS** の状態確認などができます。

18.2.3 Next Register Set

18.2.3.1 Next Source Address Register n (N0SA_n, N1SA_n)

DMA チャンネル n の DMA 転送元アドレス（32 ビット）を設定します（ $n = 3-0$ ）。
N0SA_n は Next0 Register Set 用，N1SA_n は Next1 Register Set 用です。



図 18-3 Next Source Address Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-8 Next Source Address Register

ビット位置	ビット名	意味
31:0	SA	Source Address DMA 転送元の開始アドレスを設定します。

18.2.3.2 Next Destination Address Register n (N0DA_n, N1DA_n)

DMA チャンネル n の DMA 転送先アドレス（32 ビット）を設定します（ $n = 3-0$ ）。
N0DA_n は Next0 Register Set 用，N1DA_n は Next1 Register Set 用です。

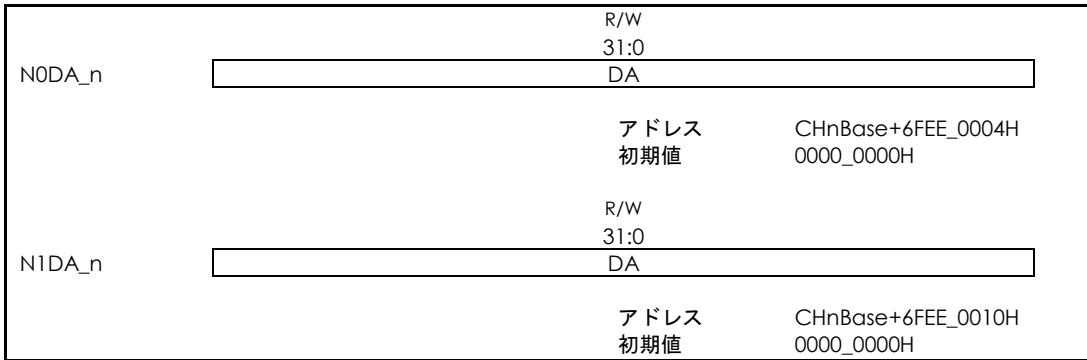


図 18-4 Next Destination Address Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-9 Next Destination Address Register

ビット位置	ビット名	意味
31:0	DA	Destination Address DMA 転送先の開始アドレスを設定します。

18.2.3.3 Next Transaction Byte Register n (NOTB_n, N1TB_n)

DMA チャンネル n の総転送バイト数(DMA トランザクション)を設定するレジスタです (n = 3-0)。
NOTB_n は Next0 Register Set 用, N1TB_n は Next1 Register Set 用です。

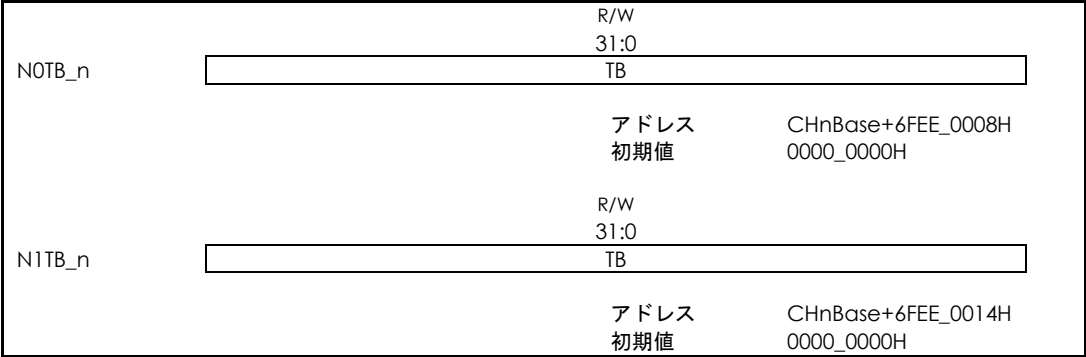


図 18-5 Next Transaction Byte Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-10 Next Transaction Byte Register

ビット位置	ビット名	意味
31:0	TB	Transaction Byte 総転送バイト数を設定します。 (注意 : 0 を設定した状態で DMA トランザクションを開始しないで下さい。)

18.2.4 Current Register Set

Current Register Set は、DMA 転送する転送元アドレス、転送先アドレス、総転送バイト数を表示します。レジスタ・モード時は Next0/1 レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。

18.2.4.1 Current Source Address Register (CRSA_n)

DMA チャンネル n の、DMA 転送元アドレスを表示します (n = 3-0)。



図 18-6 Current Source Address Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-11 Current Source Address Register

ビット位置	ビット名	意味
31:0	CRSA	<p>Current Source Address Register</p> <p>次の DMA トランザクションのリード・アドレスを表示します。DMA トランザクション中は、自動的にインクリメントします。(CHCFG_n の SAD=1 の場合は固定。)</p> <p>初期値は以下のレジスタからロードします。</p> <p>レジスタ・モード : Next0/1 から転送元アドレスをロード</p> <p>リンク・モード : ディスクリプタから転送元アドレスをロード</p> <p>インクリメントはリード・トランスファ開始時に行います。</p> <p>本レジスタは、DMA が停止 (CHSTAT_n レジスタの EN=0) してから READ して下さい。(DMA 動作中の値は参考値として扱って下さい。)</p>

18.2.4.2 Current Destination Address Register (CRDA_n)

DMA チャンネル n の DMA 転送先アドレスを表示します (n = 3-0)。



図 18-7 Current Destination Address Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-12 Current Destination Address Register

ビット位置	ビット名	意味
31:0	CRDA	<p>Current Destination Address Register</p> <p>次の DMA トランザクションのライト・アドレスを表示します。DMA トランザクション中は、自動的にインクリメントします。(CHCFG_n の DAD=1 の場合は固定)</p> <p>初期値は以下のレジスタからロードします。</p> <p>レジスタ・モード : Next0/1 から転送先アドレスをロード</p> <p>リンク・モード : ディスクリプタから転送先アドレスをロード</p> <p>インクリメントはライト・トランスファ開始時に行います。</p> <p>本レジスタは、DMA が停止 (CHSTAT_n レジスタの EN=0) してから READ して下さい。(DMA 動作中の値は参考値として扱って下さい。)</p>

18.2.4.3 Current Transaction Byte Register (CRTB_n)

DMA チャンネル n の、総転送バイト数を表示します (n = 3-0)。転送を終了時には 0 となります。



図 18-8 Current Transaction Byte Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-13 Current Transaction Byte Register

ビット位置	ビット名	意味
31:0	CRTB	<p>Current Transaction Byte Register</p> <p>現在実行している DMA トランザクションの、残りの転送バイト数を表示します。DMA トランザクション中は、自動的にデクリメントします。</p> <p>初期値は以下のレジスタからロードします。</p> <p>レジスタ・モード : Next0/1 から転送バイト数をロード</p> <p>リンク・モード : ディスクリプタから転送バイト数をロード</p> <p>デクリメントは、ライト・トランスファ完了時に行います。</p> <p>本レジスタは、DMA が停止 (CHSTAT_n レジスタの EN=0) してから READ して下さい。(DMA 動作中の値は参考値として扱って下さい。)</p>

18.2.5 Cannel Register Set

18.2.5.1 Channel Status Register n (CHSTAT_n)

DMA チャンネル n の状態を表示するレジスタです (n = 3-0)。

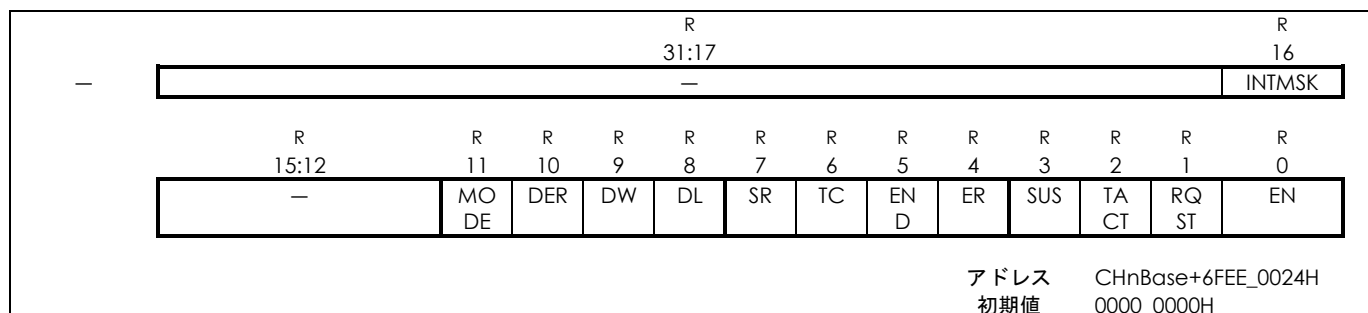


図18-9 Channel Staus Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表18-14 Channel Status Register

ビット位置	ビット名	意味
31:17	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
16	INTMSK	DMAEND[n]割り込み端子出力の一時マスク状態を表示します。 1 : 一時マスク状態 0 : 一時マスク解除状態 セット条件 : SETINTMSK セット時(1) リセット条件 : CLRINTMSK セット時(1) SWRST セット時(1)
15:12	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
11	MODE	DMA Mode DMA モードを示します。CHCFG_n レジスタの DMS ビットの設定値を表示します。 0 : レジスタ・モード 1 : リンク・モード
10	DER	Descriptor Error リードしたディスクリプタのバリッドがインバリッド(LV=0)であったことを示します (CHCFG_n レジスタの DIM のレベルには依存しません)。 0 : Descriptor Error 未発生 1 : Descriptor Error 発生 セット条件 : ・リンク・モードのディスクリプタ・ロードの LV が 0 リセット条件 : ・SWRST セット時(1)
9	DW	Descriptor WriteBack ディスクリプタ・ライト・バック状態であることを示します。また、ディスクリプタ・ライト・バック時にバス・エラーを受けた場合、1 を保持します。 0 : リンク・モードの header をライト・バック以外 1 : (ER=0 時) リンク・モードの header をライト・バック中 (ER=1 時) リンク・モードの header をライト・バック中にバス・エラーが発生 セット条件 : ・リンク・モードの header をライト・バック開始時 リセット条件 : ・リンク・モードの header ライト・バックが OK レスポンスで終了 ・SWRST(CHCTRL_n)のセット(1)
8	DL	Descriptor Load ディスクリプタ・ロード状態であることを示します。また、ディスクリプタ・ロード時にバス・エラー

		<p>を受けた場合、1 を保持します。</p> <p>0 : ディスクリプタ・ロード以外</p> <p>1 : (ER=0 時)</p> <p> リンク・モードのディスクリプタ・ロード中</p> <p>(ER=1 時)</p> <p> リンク・モードのディスクリプタ・ロード中にバス・エラーが発生</p> <p>セット条件 :</p> <ul style="list-style-type: none"> ・リンク・モードのディスクリプタ・ロード開始時 <p>リセット条件 :</p> <ul style="list-style-type: none"> ・リンク・モードのディスクリプタ・ロードが OK レスポンスで終了 ・SWRST(CHCTRL_n)のセット(1)
7	SR	<p>Selected Register Set</p> <p>レジスタ・モード時、選択しているレジスタ・セットを示します。</p> <p>0 : Next0 Register Set</p> <p>1 : Next1 Register Set</p> <p>セット条件 :</p> <ul style="list-style-type: none"> ・RSEL セット時(1) <p>リセット条件 :</p> <ul style="list-style-type: none"> ・RSEL セット時(0)
6	TC	<p>Terminal Count</p> <p>DMA トランザクションが完了したことを示すステータス・ビットです。CHCFG_n レジスタの TCM=0 の場合のみセットされます。</p> <p>0 : DMA 転送未了</p> <p>1 : DMA 転送完了</p> <p>セット条件 :</p> <ul style="list-style-type: none"> ・レジスタ・モードで、CRTB レジスタに設定された総転送バイト数分の転送が終了した場合 ・リンク・モードで、ディスクリプタの header の WBD=1 で、CRTB レジスタに設定された総転送バイト数分の転送が終了した場合 ・リンク・モードで、ディスクリプタの header の WBD=0 で、ディスクリプタ・ライト・バックが終了した場合 <p>クリア条件 :</p> <ul style="list-style-type: none"> ・CLRTC(CHCTRL_n)のビット(1) ・SWRST(CHCTRL_n)のセット(1)
5	END	<p>DMAEND Interrupted</p> <p>DMA トランザクションが完了し、DMAEND 割り込みが発生したことを示すビットです。</p> <p>0 : DMA 転送未了</p> <p>1 : DMA 転送完了</p> <p>セット条件 :</p> <ul style="list-style-type: none"> ・TC ビットのセット条件、かつ CHCFG_n レジスタの DEM=0 の場合 ・リンク・モードで、ディスクリプタ READ 時に、header の LV=0、かつ DIM=0 の場合 <p>クリア条件 :</p> <ul style="list-style-type: none"> ・CLREND(CHCTRL_n)のセット(1) ・SWRST(CHCTRL_n)のセット(1)
4	ER	<p>Error bit</p> <p>DMA 転送中に、ERROR レスポンスを受け、DMAERR 割り込みが発生したことを示します。</p> <p>0 : ERROR レスポンスを受けていない</p> <p>1 : ERROR レスポンスを受けた</p> <p>セット条件 :</p> <ul style="list-style-type: none"> ・バス・サイクルでエラー・レスポンスを受けた場合 <p>クリア条件 :</p> <ul style="list-style-type: none"> ・SWRST(CHCTRL_n)のセット(1)
3	SUS	<p>Suspend</p> <p>チャンネルが一時停止状態にあることを示すビットです。</p> <p>0 : Channel_n が一時停止状態でない</p> <p>1 : Channel_n が一時停止中</p> <p>セット条件 :</p> <ul style="list-style-type: none"> ・Channel_n の DMA 転送実行中に SETSUS をセット(1)し、内部が SUSPEND 状態になった場合。 <p>クリア条件 :</p> <ul style="list-style-type: none"> ・CLRSUS をセット(1) ・CLREN をセット(1)
2	TACT	<p>Transaction Active</p> <p>DMAC が動作中であることを示すビットです。チャンネルが完全に停止していることを確認するためのビットです。</p> <p>0 : Channel_n の DMA が停止状態</p> <p>1 : Channel_n の DMA が動作中</p>

		セット条件 : ・ Channel_n の DMA トランザクション開始時 クリア条件 : ・ DMA トランザクション完了時
1	RQST	Request 転送要求を受け付けていることを示すビットです。 0 : DMA 転送要求を受けていない 1 : DMA 転送要求を受けている セット条件 : ・ STG ビットをセット(1) ・ CHCFG_n レジスタで設定した DMAREQ 端子から、転送要求を受け付けた場合 クリア条件 : ・ SWRST(CHCTRL_n)のセット(1) ・ CLRRQ(CHCTRL_n)のセット(1) ・ シングル転送 (TM=0) モードで、REQD で指定した側の転送実行時 ・ レジスタ・モードで、全ての DMA トランザクションが完了した場合 (REN=0 でトランザクション完了) ・ リンク・モードで、最後のディスクリプタ (LE=1) の DMA 転送を終了した場合 ・ リンク・モードで、ディスクリプタ読み込みで停止 (LV=0) した場合 ・ リンク・モードで、DEM=0 の状態で、DMA トランザクションを終了した場合 ・ マスタ・インタフェースがバス・エラーを受けた場合
0	EN	Enable DMA チャンネル n の動作許可／停止状態を表示します。 0 : 動作停止状態 1 : 動作許可状態 セット条件 : SETEN(CHCTRL_n)をセット(1) クリア条件 : ・ SWRST(CHCTRL_n)のセット(1) ・ CLREN(CHCTRL_n)のセット(1) ・ 転送中にエラー・レスポンスを受けた場合 ・ レジスタ・モードで全ての DMA トランザクションが完了した場合 (REN=0 でトランザクション完了) ・ リンク・モードで、最後のディスクリプタ (LE=1) の DMA 転送 (WBD=0 の場合はライトバック) を終了した場合 ・ リンク・モードのディスクリプタ読み込みで停止 (LV=0) した場合

注意

1. ER ビットがセットされた転送は、その一連の転送が無効であるものとして処理して下さい。
2. DMA トランザクションを中断する場合は、転送要求をマスクおよびクリアするか、イネーブルをクリアすることで行って下さい（手順は 8.10.3 節に従って下さい）。
3. 同一のチャネルに対して DMA 転送要求端子 (DMAREQ[n]) 入力による転送要求と、ソフトウェアによる転送要求 (STG ビットのセット) を併用した場合、有効となった起動要因の特定はできません。システムで、いずれかの転送要求のみ使用するようにして下さい。
4. ソフトウェアによる転送要求を行う場合、前回要求した DMA 転送動作が完了 (Current Register などを確認) してから、次の STG ビット操作を行って下さい。

18.2.5.2 Channel Control Register n (CHCTRL_n)

DMA チャンネル n の DMA 転送動作を制御するレジスタです (n = 3-0)。

CHCTRL_n	R 31:18 —									R/W 17 CLR INT MS K	R/W 16 SETINTMS K	
	R 15:10 —	R/W 9 CLR SUS	R/W 8 SETS US	R 7 —	R/W 6 CLR TC	R/W 5 CLR EN D	R/W 4 CLR RQ	R/W 3 SW RST	R/W 2 STG	R/W 1 CLR EN	R/W 0 SETEN	
											アドレス 初期値 CHnBase+6FEE_0028H 0000 0000H	

図18-10 Channel Control Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-15 Channel Control Register

ビット位置	ビット名	意味
31:18	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
17	CLRINTMSK	このビットをセットすることで、DMAEND[n]端子出力をマスクする状態を解除します。また、CHSTATn レジスタの INTMSK ビットが 0 となります。 DCTRL レジスタの LVINT=1, CHSTAT_n レジスタの END=1 の状態でマスクを解除した場合、DMAEND[n]端子出力がアクティブになります。(LVINT=0 の場合は、アクティブにはなりません。) リードをすると 0 が読めます。 1 : SETINTMSK でセットしたマスクを解除します。 0 : 動作に影響を与えません。
16	SETINTMSK	このビットをセットすることで、DMAEND[n]端子出力を一時的にマスクする状態となります。また、CHSTATn レジスタの INTMSK ビットが 1 となります。 リードをすると 0 が読めます。 1 : DMAEND[n]をマスクします。 0 : 動作に影響を与えません。
15:10	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
9	CLRSUS	Clear Suspend 一時停止状態を解除します。CHSTAT_n レジスタの SUS が 1 のときに、このビットを 1 にセットすると、一時停止状態を解除することができます。 このビットをリードすると 0 が読めます。 1 : 実行中の DMA 転送の一時停止解除 0 : 動作に影響を与えません。
8	SETSUS	Set Suspend 実行中の DMA 転送を一時停止します。CHSTAT_n レジスタの EN が 1 のときに、このビットを 1 にセットすると、実行中の DMA 転送を一時停止させることができます。 このビットをリードすると 0 が読めます。 1 : 実行中の DMA 転送の一時停止 0 : 動作に影響を与えません。
7	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
6	CLR TC	Clear TC bit このビットをセットすることで、CHSTAT_n レジスタの TC ビットのクリアを行うことができます。 このビットをリードすると 0 が読めます。 1 : TC ビットのクリア 0 : 動作に影響を与えません。
5	CLREND	Clear End bit このビットをセットすることで、CHSTAT_n レジスタの END ビットのクリアを行うことができます。 また、DMAEND 割り込み端子をロウ・レベルにクリアします。 このビットをリードすると 0 が読めます。 1 : END ビットのクリア 0 : 動作に影響を与えません。
4	CLRRQ	Clear Request bit

		<p>このビットをセットすることで、CHSTAT_n レジスタの RQST ビットのクリアを行うことができます。</p> <p>このビットをリードすると 0 が読めます。</p> <p>1 : RQST ビットのクリア</p> <p>0 : 動作に影響を与えません。</p>
3	SWRST	<p>Software Reset</p> <p>このビットをセットすることで、ステータス・レジスタをクリアすることができます。このビットのセットは、EN ビットが 0 かつ TACT ビットが 0 のときに行ってください。</p> <p>このビットをリードすると 0 が読めます。</p> <p>1 : チャンネル・ステータス・レジスタのリセット</p> <p>0 : 動作に影響を与えません。</p>
2	STG	<p>Software Trigger</p> <p>このビットをセットすることで、内部転送要求をセットします（ソフト起動）。SWRST ビットと同時にセットした場合には、SWRST ビットによるクリアが優先されます。</p> <p>このビットをリードすると 0 が読めます。</p> <p>1 : ソフトウェアによる転送要求のセット (RQST ビットをセット)</p> <p>0 : 動作に影響を与えません。</p>
1	CLREN	<p>Clear Enable</p> <p>このビットをセットすることで、EN ビットのクリアを行うことができます（詳細は 8.10.3 節参照）。</p> <p>このビットをリードすると 0 が読めます。</p> <p>1 : DMA 転送の停止 (EN ビットをクリア)</p> <p>0 : 動作に影響を与えません。</p>
0	SETEN	<p>Set Enable</p> <p>DMA チャンネル n の DMA 転送の許可を設定します。SWRST ビットと同時にセットした場合には、SWRST ビットによるクリアが優先され、転送は開始しません。</p> <p>このビットをリードすると 0 が読めます。</p> <p>1 : DMA 転送の許可 (EN ビットをセット)</p> <p>0 : 動作に影響を与えません。</p>

18.2.5.3 Channel Configuration Register n (CHCFG_n)

DMA チャンネル n の DMA 転送動作を制御するレジスタです (n = 3-0)。

CHCFG_n	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W	
	31	30	29	28	27	26	25	24	23	22	21	20	19:16	
	DM S	RE N	RS W	RSE L	SBE	—	TC M	DE M	—	TM	DA D	SA D	DDS	
	R/W				R	R/W			R	R/W	R/W	R/W	R/W	
	15:12				11	10:8			7	6	5	4	3	2:0
	SDS				—	AM			—	LVL	HIE N	LO EN	RE QD	SEL
アドレス 初期値														CHnBase+6FEE_02CH 0000 0000H

図18-11 Channel Configuration Register

表18-16 Channel Configuration Register

ビット位置	ビット名	意味
31	DMS	DMA Mode Select DMA モードを設定します。 0 : レジスタ・モード (初期値) 1 : リンク・モード
30	REN	Register Set Enable DMA トランザクション完了後に、続けて、RSEL で選択されている Next レジスタ・セットで DMA 転送を行います。このビットはレジスタ・モード時のみ有効です。 0 : 続けて実行しない。 1 : 続けて実行する。 セット条件 本ビットへ 1 をライト クリア条件 本ビットへ 0 をライト REN=1 で DMA トランザクション完了時
29	RSW	Register Select Switch DMA トランザクション終了後に、RSEL を自動で反転します。このビットはレジスタ・モード時のみ有効です。 0 : DMA トランザクション完了後に RSEL を反転しない (初期値) 1 : DMA トランザクション完了後に RSEL を反転する
28	RSEL	Register Set Select 次に実行する Next レジスタ・セットを選択します。このビットはレジスタ・モード時のみ有効です。 RSW=1 の場合、DMA トランザクション完了時に自動的に反転します。 0 : Next0 Register Set を実行する (初期値) 1 : Next1 Register Set を実行する 遷移条件 : RSW=1 で DMA トランザクション完了時
27	SBE	Sweep Buffer Enable DMA トランザクション中にイネーブルを 0 にクリアした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して (ライトして) 停止するか否かを選択します。 REQD=0 の場合のみ、掃き出しモードを使用することができます。 0 : バッファの掃き出しをしないで転送中止 (初期値) 1 : バッファの掃き出しをして転送中止
26	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
25	TCM	DMATCO Mask DMATCO[n] 割り込み端子出力をマスクします。 DMATCO[n] 割り込みの出カタイミングでこのビットが 1 だった場合、DMATCO[n] をアサートしません。このとき、TCM は自動的に 0 クリアされます ソフトウェアによる DMA 転送の制御を行う場合に使用して下さい。 0 : マスクしない (初期値) 1 : マスクする クリア条件 : TCM=1 で DMA トランザクション完了時
24	DEM	DMAEND Mask レジスタ・モードの転送時に DMAEND[m] (m : SEL によりセレクトした端子) 割り込み端子

		<p>出力をマスクします。 DMAEND 割り込みの出力タイミングでこのビットが 1 だった場合、DMAEND[m] をアサートしません。このとき、DEM は自動的に 0 クリアされます。 0 : マスクしない (初期値) 1 : マスクする</p> <p>クリア条件 : DEM=1 で DMA トランザクション完了時</p>																														
23	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。																														
22	TM	<p>Transfer Mode DMA 転送モードを設定します。 0 : シングル転送モード (初期値) 1 : ブロック転送モード</p>																														
21	DAD	<p>DMA チャンネル n の転送先アドレスのカウント方向を設定します。 0 : インクリメント (初期値) 1 : 固定</p> <p>ディスティネーション側で SKIP モードを使う場合、またはディスティネーション側がビート・アンアラインの場合、DAD=1 (固定) は指定しないで下さい。</p>																														
20	SAD	<p>DMA チャンネル n の転送元アドレスのカウント方向を設定します。 0 : インクリメント (初期値) 1 : 固定</p> <p>ソース側で SKIP モードを使う場合、またはソース側がビート・アンアラインの場合、SAD=1 (固定) は指定しないで下さい。</p>																														
19:16	DDS[3:0]	<p>Destination Data Size DMA トランスファ・サイズを設定します。</p> <table border="1"> <thead> <tr> <th>設定値</th><th>サイズ</th><th>備考</th></tr> </thead> <tbody> <tr> <td>0000</td><td>8 ビット</td><td>初期値</td></tr> <tr> <td>0001</td><td>16 ビット</td><td></td></tr> <tr> <td>0010</td><td>32 ビット</td><td></td></tr> <tr> <td>0011</td><td>64 ビット</td><td></td></tr> <tr> <td>0100</td><td>128 ビット</td><td></td></tr> <tr> <td>0101</td><td>256 ビット</td><td></td></tr> <tr> <td>0110</td><td>512 ビット</td><td>バッファ段数 8, 16 の場合のみ設定可。 バッファ段数 4 の場合は設定禁止。</td></tr> <tr> <td>0111</td><td>1024 ビット</td><td>バッファ段数 16 の場合のみ設定可。 バッファ段数 4, 8 の場合は設定禁止。</td></tr> <tr> <td>上記以外</td><td>—</td><td>設定禁止</td></tr> </tbody> </table>	設定値	サイズ	備考	0000	8 ビット	初期値	0001	16 ビット		0010	32 ビット		0011	64 ビット		0100	128 ビット		0101	256 ビット		0110	512 ビット	バッファ段数 8, 16 の場合のみ設定可。 バッファ段数 4 の場合は設定禁止。	0111	1024 ビット	バッファ段数 16 の場合のみ設定可。 バッファ段数 4, 8 の場合は設定禁止。	上記以外	—	設定禁止
設定値	サイズ	備考																														
0000	8 ビット	初期値																														
0001	16 ビット																															
0010	32 ビット																															
0011	64 ビット																															
0100	128 ビット																															
0101	256 ビット																															
0110	512 ビット	バッファ段数 8, 16 の場合のみ設定可。 バッファ段数 4 の場合は設定禁止。																														
0111	1024 ビット	バッファ段数 16 の場合のみ設定可。 バッファ段数 4, 8 の場合は設定禁止。																														
上記以外	—	設定禁止																														
15:12	SDS[3:0]	<p>Source Data Size DMA トランスファ・サイズを設定します。</p> <table border="1"> <thead> <tr> <th>設定値</th><th>サイズ</th><th>備考</th></tr> </thead> <tbody> <tr> <td>0000</td><td>8 ビット</td><td>初期値</td></tr> <tr> <td>0001</td><td>16 ビット</td><td></td></tr> <tr> <td>0010</td><td>32 ビット</td><td></td></tr> <tr> <td>0011</td><td>64 ビット</td><td></td></tr> <tr> <td>0100</td><td>128 ビット</td><td></td></tr> <tr> <td>0101</td><td>256 ビット</td><td></td></tr> <tr> <td>0110</td><td>512 ビット</td><td>バッファ段数 8, 16 の場合のみ設定可。 バッファ段数 4 の場合は設定禁止。</td></tr> <tr> <td>0111</td><td>1024 ビット</td><td>バッファ段数 16 の場合のみ設定可。 バッファ段数 4, 8 の場合は設定禁止。</td></tr> <tr> <td>上記以外</td><td>—</td><td>設定禁止</td></tr> </tbody> </table>	設定値	サイズ	備考	0000	8 ビット	初期値	0001	16 ビット		0010	32 ビット		0011	64 ビット		0100	128 ビット		0101	256 ビット		0110	512 ビット	バッファ段数 8, 16 の場合のみ設定可。 バッファ段数 4 の場合は設定禁止。	0111	1024 ビット	バッファ段数 16 の場合のみ設定可。 バッファ段数 4, 8 の場合は設定禁止。	上記以外	—	設定禁止
設定値	サイズ	備考																														
0000	8 ビット	初期値																														
0001	16 ビット																															
0010	32 ビット																															
0011	64 ビット																															
0100	128 ビット																															
0101	256 ビット																															
0110	512 ビット	バッファ段数 8, 16 の場合のみ設定可。 バッファ段数 4 の場合は設定禁止。																														
0111	1024 ビット	バッファ段数 16 の場合のみ設定可。 バッファ段数 4, 8 の場合は設定禁止。																														
上記以外	—	設定禁止																														
11	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。																														
10:8	AM[2:0]	<p>ACK Mode DMAACK[n] 出力モードを設定します。 000 : パルス・モード (1 クロック間アクティブ) (初期値) 001 : レベル・モード (選択された DMAREQ 入力がインアクティブになるまでアクティブ) 01x : バス・サイクル・モード (DMA 転送がバス・サイクルの間アクティブ) 1xx : DMAACK[n] を出力しない</p>																														
7	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。																														
6	LVL	<p>Level DMA 要求を、信号のレベルで検出するかエッジで検出するかを選択します。 0 : エッジで検出します (初期値) 1 : レベルで検出します</p>																														
5	HIEN	High Enable																														

		<p>DMA 要求を、信号の High レベルか立ち上がりエッジで検出することを選択します。</p> <p>LVL=0 の場合：</p> <p>HIEN=1：信号が立ち上がった場合要求があったと認識します</p> <p>HIEN=0：信号が立ち上がった場合要求を認識しません（初期値）</p> <p>LVL=1 の場合：</p> <p>HIEN=1：信号が High の場合要求があったと認識します</p> <p>HIEN=0：信号が High でも要求を認識しません（初期値）</p>																											
4	LOEN	<p>Low Enable</p> <p>DMA 要求を、信号の Low レベルか立ち下がりエッジで検出することを選択します。</p> <p>LVL=0 の場合：</p> <p>LOEN=1：信号が立ち下がった場合要求があったと認識します</p> <p>LOEN=0：信号が立ち下がった場合要求を認識しません（初期値）</p> <p>LVL=1 の場合：</p> <p>LOEN=1：信号が Low の場合要求があったと認識します</p> <p>LOEN=0：信号が Low でも要求を認識しません（初期値）</p>																											
3	REQD	<p>Request Direction</p> <p>SEL ビットで選択した DMAREQ が、ソース側かディスティネーション側のどちらであるかを選択します。また、DMAACK がアクティブになるタイミングもこのビットで選択します。</p> <p>0：ソース側、DMAACK はリード時にアクティブ（初期値）</p> <p>1：ディスティネーション側、DMAACK はライト時にアクティブ</p>																											
2:0	SEL	<p>Terminal Select</p> <p>8 本の DMAREQ/DMAACK/DMATCO 信号から、1 本を選択します。</p> <table border="1"> <thead> <tr> <th>SEL[2:0]</th><th>選択信号</th><th></th></tr> </thead> <tbody> <tr> <td>0:</td><td>DMAREQ[0],DMAACK[0],DMATCO[0]</td><td>(初期値)</td></tr> <tr> <td>1:</td><td>DMAREQ[1],DMAACK[1],DMATCO[1]</td><td></td></tr> <tr> <td>2:</td><td>DMAREQ[2],DMAACK[2],DMATCO[2]</td><td></td></tr> <tr> <td>3:</td><td>DMAREQ[3],DMAACK[3],DMATCO[3]</td><td></td></tr> <tr> <td>4:</td><td>DMAREQ[4],DMAACK[4],DMATCO[4]</td><td></td></tr> <tr> <td>5:</td><td>DMAREQ[5],DMAACK[5],DMATCO[5]</td><td></td></tr> <tr> <td>6:</td><td>DMAREQ[6],DMAACK[6],DMATCO[6]</td><td></td></tr> <tr> <td>7:</td><td>DMAREQ[7],DMAACK[7],DMATCO[7]</td><td></td></tr> </tbody> </table>	SEL[2:0]	選択信号		0:	DMAREQ[0],DMAACK[0],DMATCO[0]	(初期値)	1:	DMAREQ[1],DMAACK[1],DMATCO[1]		2:	DMAREQ[2],DMAACK[2],DMATCO[2]		3:	DMAREQ[3],DMAACK[3],DMATCO[3]		4:	DMAREQ[4],DMAACK[4],DMATCO[4]		5:	DMAREQ[5],DMAACK[5],DMATCO[5]		6:	DMAREQ[6],DMAACK[6],DMATCO[6]		7:	DMAREQ[7],DMAACK[7],DMATCO[7]	
SEL[2:0]	選択信号																												
0:	DMAREQ[0],DMAACK[0],DMATCO[0]	(初期値)																											
1:	DMAREQ[1],DMAACK[1],DMATCO[1]																												
2:	DMAREQ[2],DMAACK[2],DMATCO[2]																												
3:	DMAREQ[3],DMAACK[3],DMATCO[3]																												
4:	DMAREQ[4],DMAACK[4],DMATCO[4]																												
5:	DMAREQ[5],DMAACK[5],DMATCO[5]																												
6:	DMAREQ[6],DMAACK[6],DMATCO[6]																												
7:	DMAREQ[7],DMAACK[7],DMATCO[7]																												

注意 クロックの異なるマクロが DMA 転送対象であり、且つ DMAACK を必要とする場合、同期クロックの関係で DMAACK 信号をうまく受け取れない可能性があります。このような場合、AM[2:0]を 001 または 010 に設定し、DMAACK が長くアクティブになるようにして下さい。

18.2.5.4 Channel Interval Register n (CHITVL_n)

DMA チャンネル n の転送間隔を設定します。 ($n = 3-0$)
 詳細は, "インターバル・カウント機能"を参照して下さい。

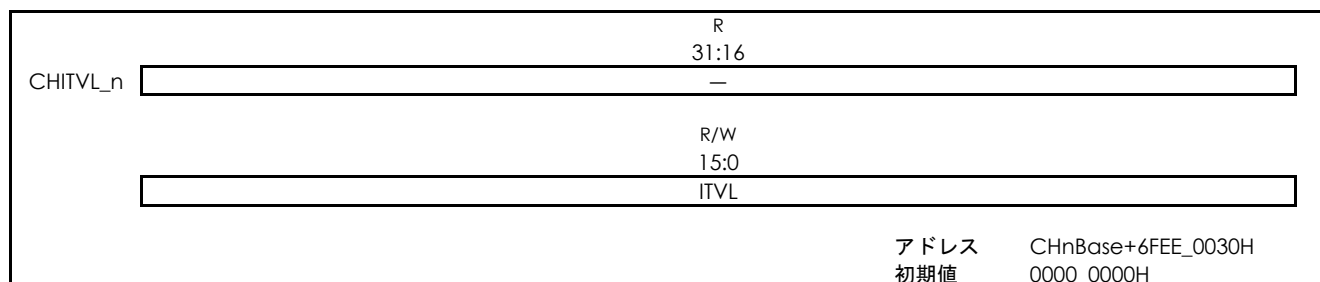


図 18-12 Channel Interval Register

CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-17 Channel Interval Register

ビット位置	ビット名	意味
31:16	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
15:0	ITVL	チャンネル転送間隔を設定します。

18.2.5.5 Channel Extension Register n (CHEXT_n)

DMA チャンネル n の拡張用レジスタです ($n = 3-0$)。

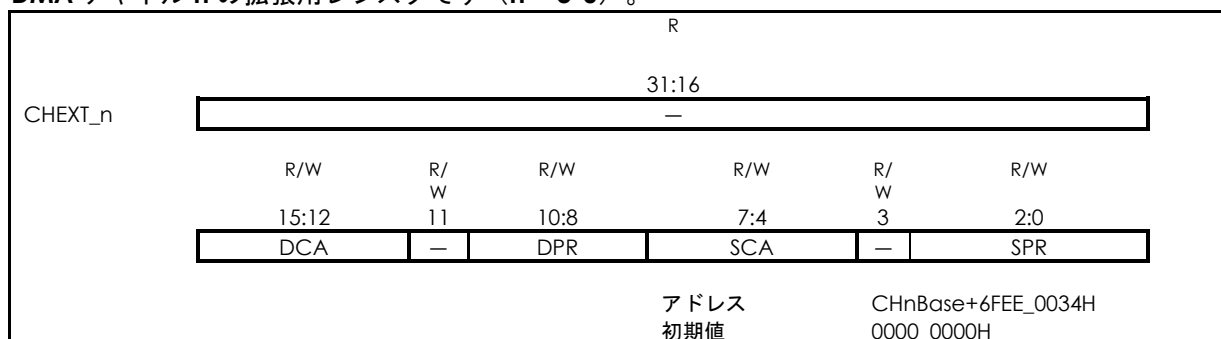


図18-13 Channel Extension Register

表18-18 Channel Extension Register

ビット位置	ビット名	意 味
31:16	—	0 を設定して下さい。読み出すと 0 が読めます。
15:12	DCA[3:0]	Destination CACHE DMA ライト・トランスファの CACHE[3:0]に出力する値を設定します。 初期値は 0000 です。
11	—	Reserved 領域です。0 を設定して下さい。初期値は 0 です。
10:8	DPR[2:0]	Destination PROT DMA ライト・トランスファの PROT[2:0]に出力する値を設定します。 初期値は 000 です。
7:4	SCA[3:0]	Source CACHE DMA リード・トランスファの CACHE[3:0]に出力する値を設定します。 初期値は 0000 です。
3	—	Reserved 領域です。0 を設定して下さい。初期値は 0 です。
2:0	SPR[2:0]	Source PROT DMA リード・トランスファの PROT[2:0]に出力する値を設定します。 初期値は 000 です。

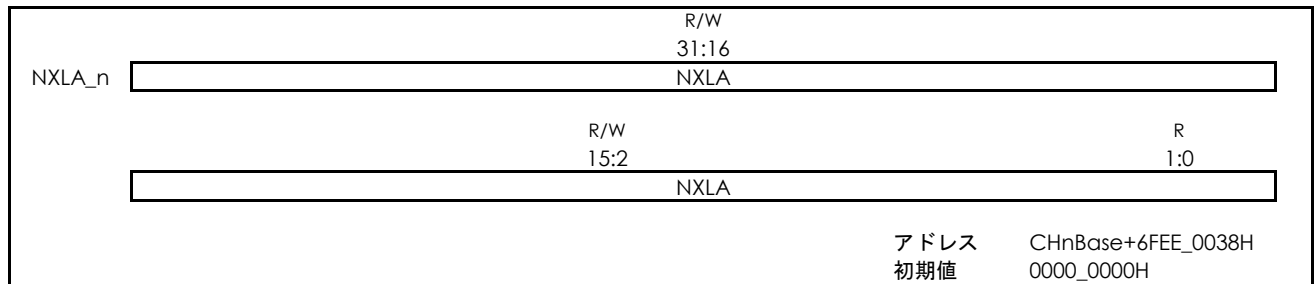
18.2.6 Link Register Set

リンク・モード時にリンク先を示すレジスタ・セットです。

18.2.6.1 Next Link Address Register n (NXLA_n)

DMA チャンネル n のリンク・アドレスを保持する 32 ビット・レジスタです ($n = 3-0$)。

リンク・モードについては、18.3.3を参照して下さい。



CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

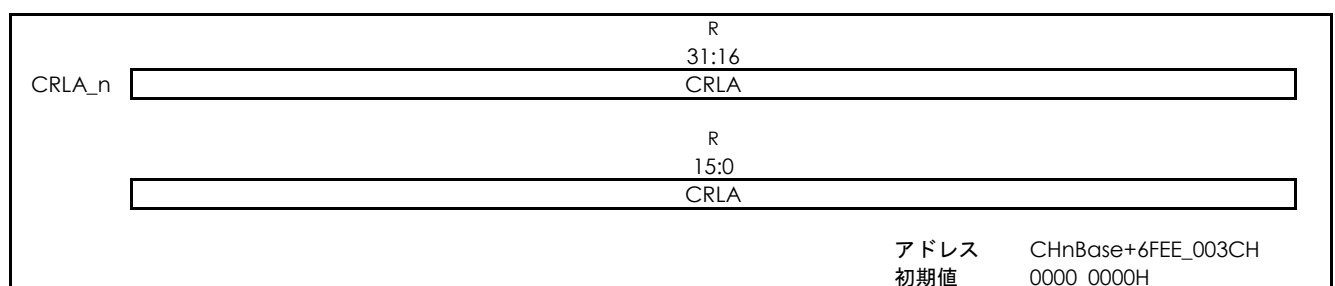
表 18-19 Next Link Address Register

ビット位置	ビット名	意味
31:0	NXLA	リンク先のアドレスを設定します。下位 2 ビットは 0 でマスクされます。ワード・アラインされたアドレスのみ設定可能です

18.2.6.2 Current Link Address Register n (CRLA_n)

DMA チャンネル n のリンク・アドレスを保持する 32 ビット・レジスタです ($n = 3-0$)。

リンク・モードについては、18.3.3を参照して下さい



CHnBase : チャンネル 0=00H, チャンネル 1=40H, チャンネル 2=80H, チャンネル 3=C0H

表 18-20 Current Link Address Register

ビット位置	ビット名	意味
31:0	CRLA	現在実行しているディスクリプタのアドレスが表示されます。

18.2.7 DMA Register Set

以下のレジスタは、全チャンネルに共通です。

18.2.7.1 DMA Control Register (DCTRL)

ディスクリプタ・アクセス時の転送タイプ、およびチャンネル間のアービトレーションを設定します。

DCTRL	R/W 31:28	R/W 27	R/W 26:24	R/W 23:20	R/W 19	R/W 18:16	
	LWCA	—	LWPR	LDCA	—	LDPR	
R 15:2 —						R/W 1 0 LVI NT	R/W PR
アドレス 初期値						6FEE_0300H 0000_0000H	

図 18-16 DMA Cotrol Register

表 18-21 DMA Control Register

ビット位置	ビット名	意味
31:28	LWCA	Link WriteBack CACHE リンク・モードのディスクリプタ・ライト・バック時に CACHE[3:0]に出力する値を設定します。
27	—	Reserved 領域です。0 を設定して下さい。初期値は 0 です。
26:24	LWPR	Link WriteBack PROT リンク・モードのディスクリプタ・ライト・バック時に MHPROT[2:0]に出力する値を設定します。
23:20	LDCA	Link Discripter CACHE リンク・モードのディスクリプタ・ロード時に CACHE[3:0]に出力する値を設定します。
19	—	Reserved 領域です。0 を設定して下さい。初期値は 0 です。
18:16	LDPR	Link Descriptor PROT リンク・モードのディスクリプタ・ロード時に MHPROT[2:0]に出力する値を設定します。
15:2	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
1	LVINT	DMAEND[7:0], DMAERR をパルスで出力するか、レベルで出力するかを設定します。 0 : パルス出力（初期値） 1 : レベル出力
0	PR	チャンネル間の転送優先順位制御モードを設定します（"18.4.2 DMA チャンネルの優先順位制御"参照）。 0 : 固定優先順位モード（初期値） 1 : ラウンドロビン・モード

18.2.7.2 DMA Status EN Register (DSTAT_EN)

全チャネルの EN ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

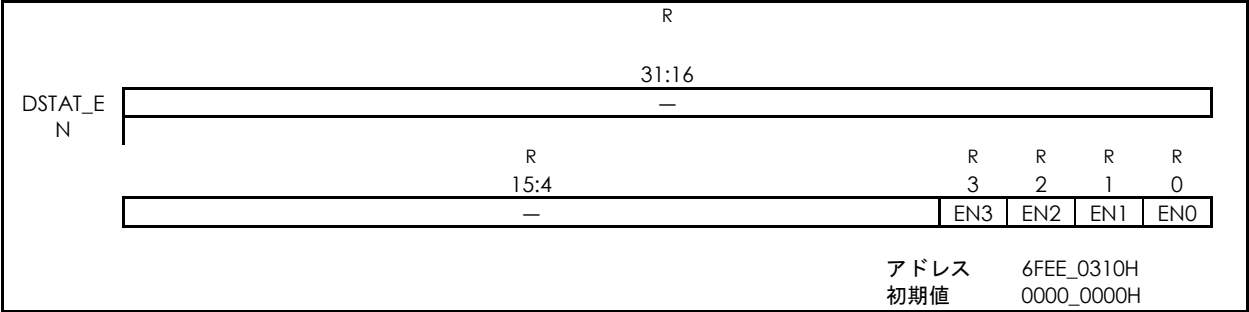


図 18-17 DMA Status EN Register

表 18-22 DMA Status EN Register

ビット位置	ビット名	意味
31:4	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
3	EN3	DMA チャネル 3 の EN ビットの状態を表示します。
2	EN2	DMA チャネル 2 の EN ビットの状態を表示します。
1	EN1	DMA チャネル 1 の EN ビットの状態を表示します。
0	EN0	DMA チャネル 0 の EN ビットの状態を表示します。

18.2.7.3 DMA Status ER Register (DSTAT_ER)

全チャネルの ER ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

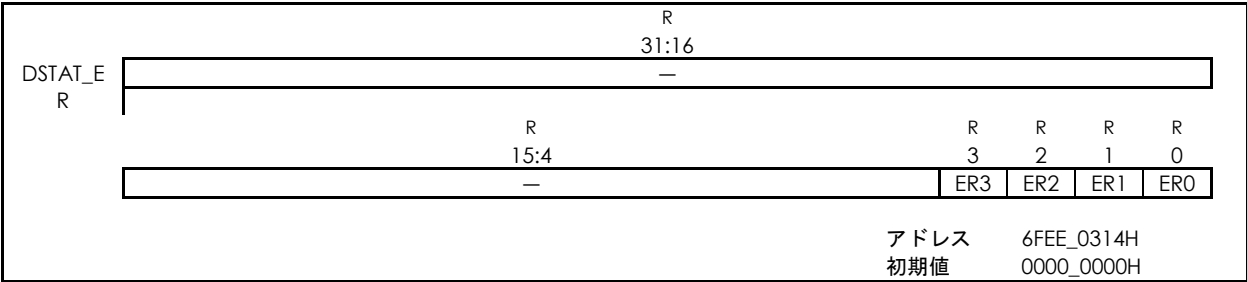


図 18-18 DMA Status ER Register

表 18-23 DMA Status ER Register

ビット位置	ビット名	意味
31:4	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
3	ER3	DMA チャネル 3 の ER ビットの状態を表示します。
2	ER2	DMA チャネル 2 の ER ビットの状態を表示します。
1	ER1	DMA チャネル 1 の ER ビットの状態を表示します。
0	ER0	DMA チャネル 0 の ER ビットの状態を表示します。

18.2.7.4 DMA Status END Register (DSTAT_END)

全チャネルの END ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

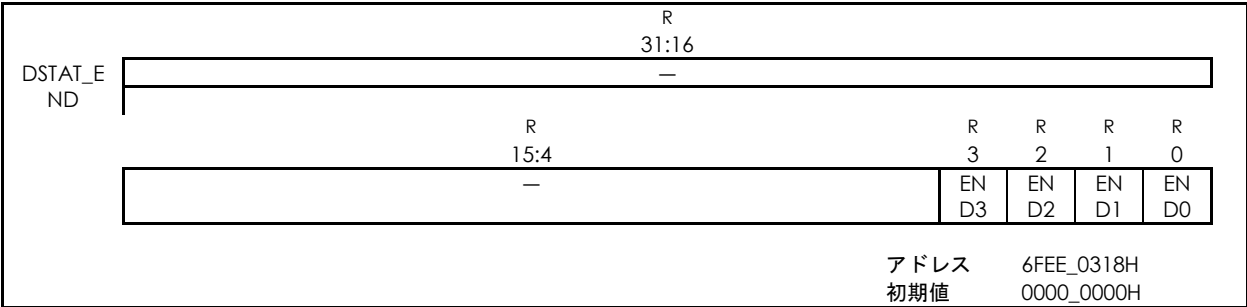


図 18-19 DMA Status END Register

表 18-24 DMA Status END Register

ビット位置	ビット名	意味
31:4	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
3	END3	DMA チャネル 3 の END ビットの状態を表示します。
2	END2	DMA チャネル 2 の END ビットの状態を表示します。
1	END1	DMA チャネル 1 の END ビットの状態を表示します。
0	END0	DMA チャネル 0 の END ビットの状態を表示します。

18.2.7.5 DMA Status TC Register (DSTAT_TC)

全チャネルの TC ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

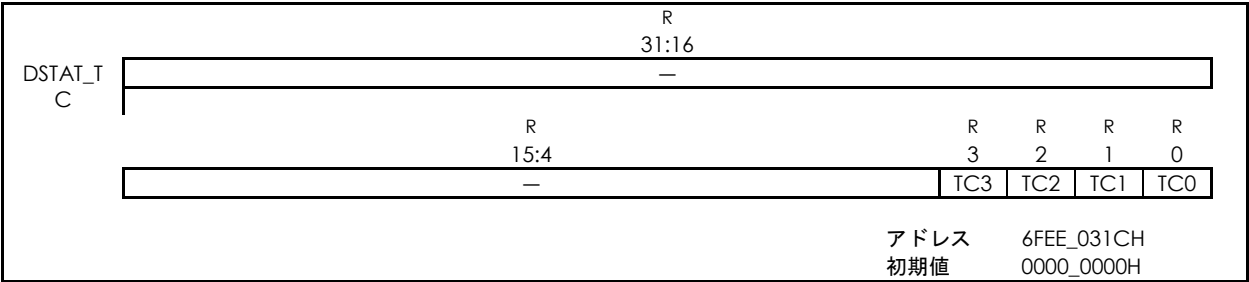


図 18-20 DMA Status TC Register

表 18-25 DMA Status TC Register

ビット位置	ビット名	意味
31:4	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
3	TC3	DMA チャネル 3 の TC ビットの状態を表示します。
2	TC2	DMA チャネル 2 の TC ビットの状態を表示します。
1	TC1	DMA チャネル 1 の TC ビットの状態を表示します。
0	TC0	DMA チャネル 0 の TC ビットの状態を表示します。

18.2.7.6 DMA Status SUS Register (DSTAT_SUS)

全チャネルの SUS ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

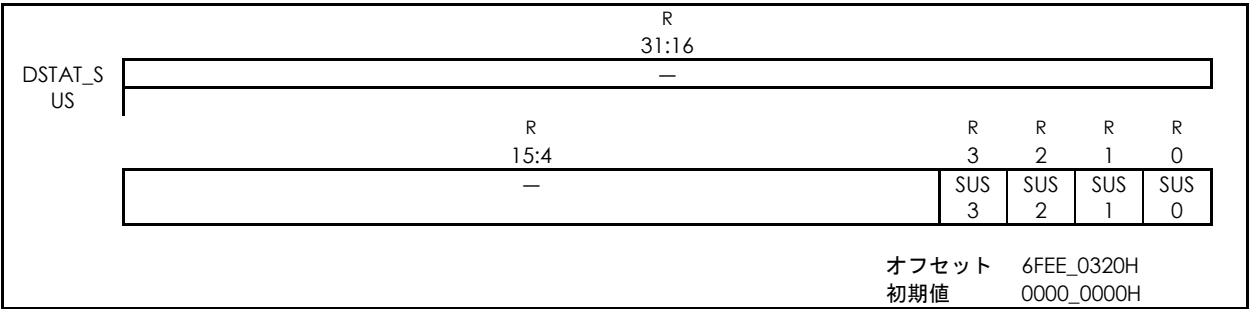


図 18-21 DMA Status SUS Register

表 18-26 DMA Status SUS Register

ビット位置	ビット名	意味
31:4	—	Reserved 領域です。0 を設定して下さい。読み出すと 0 が読めます。
3	SUS3	DMA チャネル 3 の SUS ビットの状態を表示します。
2	SUS2	DMA チャネル 2 の SUS ビットの状態を表示します。
1	SUS1	DMA チャネル 1 の SUS ビットの状態を表示します。
0	SUS0	DMA チャネル 0 の SUS ビットの状態を表示します。

18.3 DMA モード

18.3.1 モード設定

CHCFG_n レジスタの DMS フィールドにより、レジスタ・モードとリンク・モードを切り替えることができます。

表18-27 DMA モード設定

DMS (CHCFG)	モード	説明
0	レジスタ・モード	Next Register Set に設定された値で DMA 転送を行います。
1	リンク・モード	ディスクリプタを Current レジスタにセットして、DMA 転送を実行します。ディスクリプタによる設定、またはコントロールレジスタで停止しない限り、ディスクリプタのロードと DMA 転送を繰り返します。

18.3.2 レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 種類(**Next0 Register Set**, **Next1 Register Set**)設定できます。使用する **Next** レジスタ・セットを選択して転送したり、2 つの **Next** レジスタ・セットを連続して転送したりすることができます。

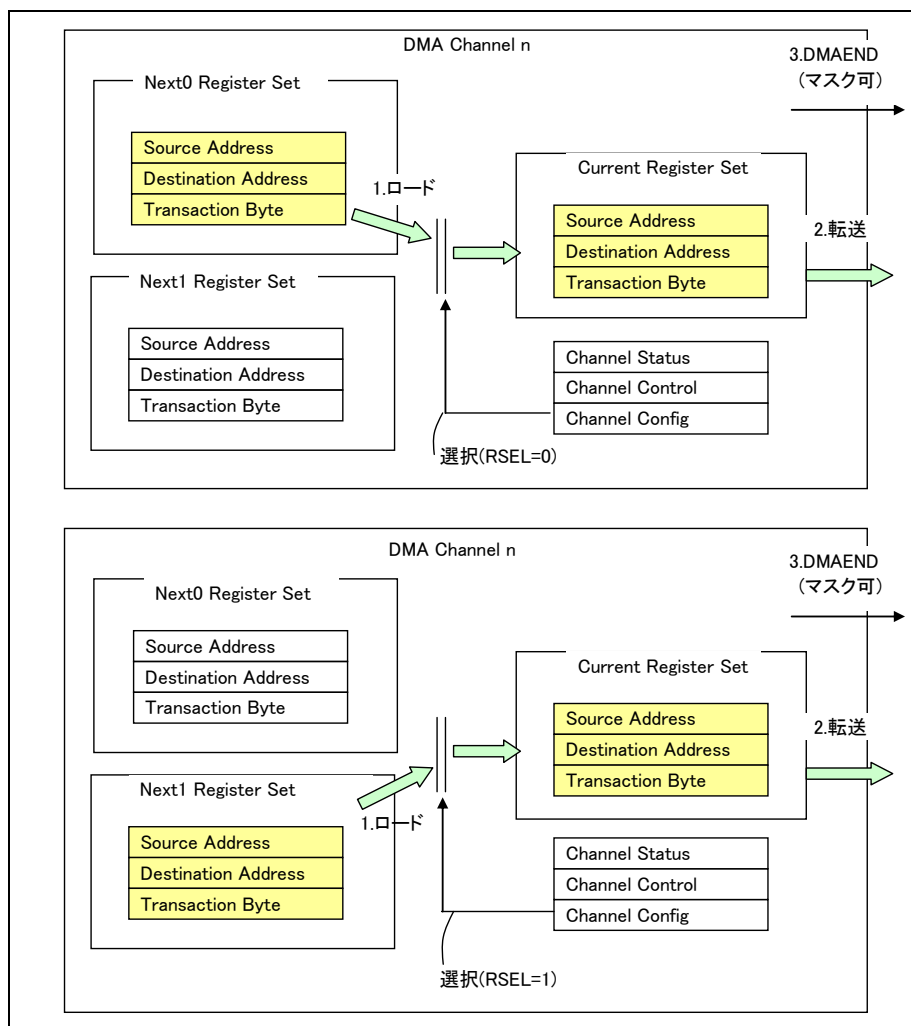


図 18-22 Register 通常モード概要

上記の図は、**Next0** を実行する場合(図上)と、**Next1** を実行する場合(図下)を示しています。

18.3.2.1 動作フロー

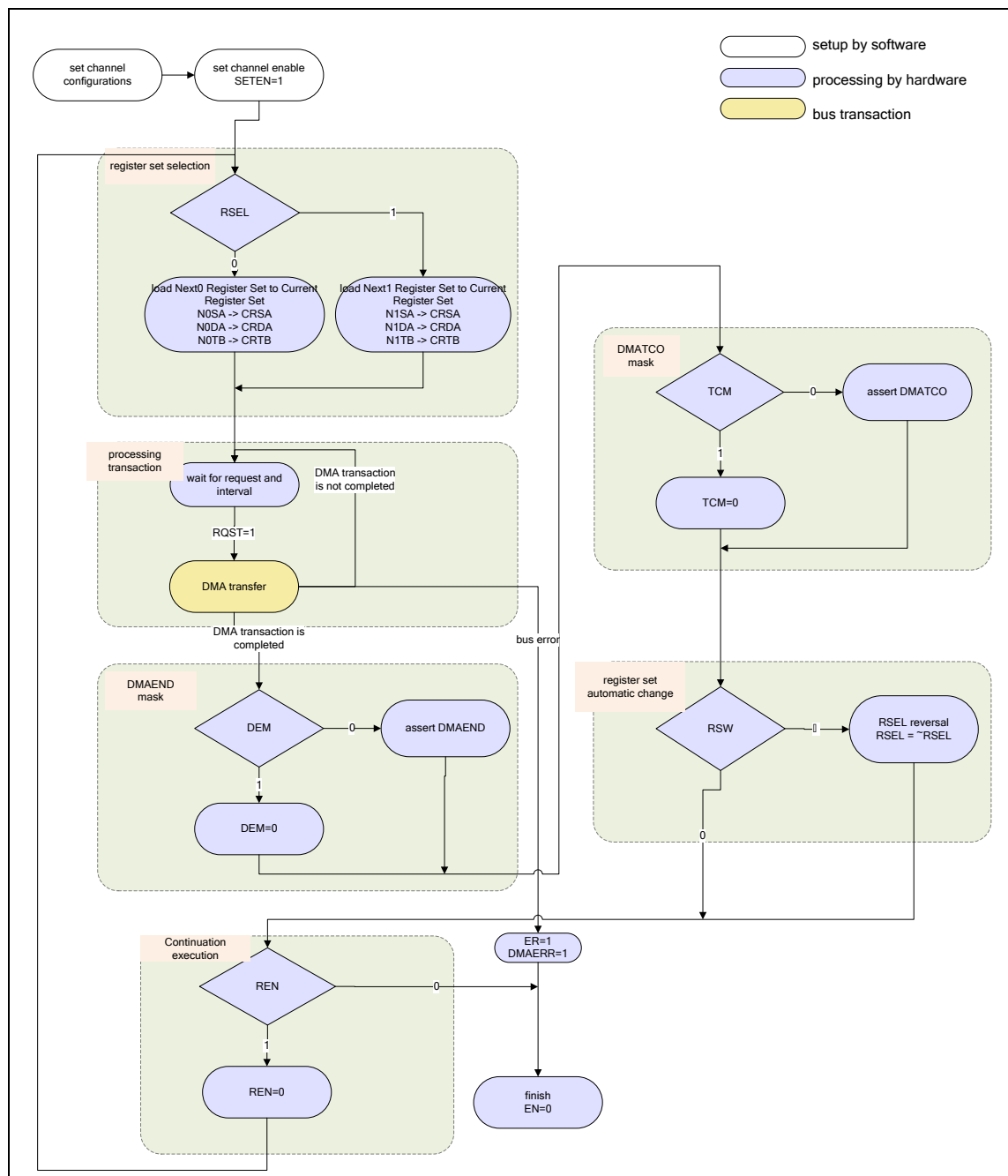


図18-23 レジスタ・モードフロー

<レジスタ・モードフローの説明>

1. チャネル設定 (set channel configuration)

Next0 または **Next1** レジスタ・セット(転送先アドレス, 転送元アドレス, 総転送バイト数)を設定します。**Channel** レジスタ・セットに **DMA** レジスタ・セット **REQ**, **DMAACK**, 転送量等)を設定します。(18.4参照)

2. レジスタ・セットの選択 (register set selection)

EN=1 にすると, **RSEL** で選択した **Next** レジスタ・セットの設定値を **Current** レジスタ・セットにロードします。

3. DMA トランザクション (processing transaction)

設定した値に従って, **DMA** 転送を行います。転送の詳細については, **18.4**を参照して下さい。

4. DMAEND マスク (DMAEND mask)

CHCFG_n の **DEM** ビットに設定した値に従って, **DMAEND** のマスクを行います。**DEM=1** だった場合, **DMAEND** を出力しません。またその直後, 自動的に **DEM** を **0** クリアします。

5. DMATCO マスク (DMATCO mask)

CHCFG_n の **TCO** ビットに設定された値に従って, **DMATCO** のマスクを行います。**TCM=1** だった場合, **TCO** を出力しません。また, その直後, 自動的に **TCM** を **0** クリアします。

6. レジスタ・セットの自動切換え (register set automatic change)

CHCFG_n の **RSW** ビットに設定された値に従って, もう一方の **Next** レジスタ・セットを使用するかを決定します。

7. 継続実行 (continuation execution)

CHCFG_n の **REN** ビットに設定した値に従って, **DMA** 転送を連続実行するかを決定します。**REN=1** だった場合, 継続して実行します。また, その直後, 自動的に **REN** を **0** クリアします。

18.3.2.2 レジスタ設定

○ レジスタ・モード設定

実行するレジスタ・セットを選択します。

表 18-28 レジスタ・モード設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	説明
0	0	Next0 Register Set を実行します
	1	Next1 Register Set を実行します

○ DMAEND マスク設定

レジスタ・セット毎に **DMAEND** をマスクすることができます。

表 18-29 DMAEND マスク設定

DEM (CHCFG_n)	動作	備考
0	DMA トランザクションが完了すると、DMAEND を発行します。	
1	DMA トランザクションが完了しても、DMAEND を発行しません。 DMA トランザクション完了後に、DEM はハードウェアにより 0 クリアされます。	

○ DMATCO マスク設定

レジスタ・セット毎に **DMATCO** をマスクすることができます。

表 18-30 DMATCO マスク設定

TCM (CHCFG_n)	動作	備考
0	DMA トランザクションが完了すると、DMATCO を発行します。	
1	DMA トランザクションが完了しても、DMATCO を発行しません。 DMA トランザクション完了後に、TCM はハードウェアにより 0 クリアされます。	

○ レジスタ・セット自動実行設定

DMA 転送後に自動的に選択されているレジスタ・セットの **DMA** トランザクションを実行します。

表 18-31 レジスタ・セット自動実行設定

REN (CHCFG_n)	動作	備考
0	RSEL に設定されているレジスタ・セットの DMA トランザクションが完了すると、EN ビットをクリアして DMA 動作を終了します	DMA トランザクションを 1 回実行したい場合に設定して下さい。
1	DMA トランザクション完了後に、続けて選択されているレジスタ・セットの内容を DMA 転送します。連続転送が成立した場合、REN は 0 クリアされます。	連続してレジスタ・セットの内容を実行したい場合に設定して下さい。

○ レジスタ・セット自動切り替え設定

REN=1 の場合、DMA トランザクション完了後に自動的に次に実行するレジスタ・セットを切り替えることができます。

表 18-32 レジスタ・セット自動切り替え設定

RSW (CHCFG_n)	動作	備考
0	REN=1 かつ DMA トランザクション完了時に、レジスタ・セットの切り替えを行いません。	1 つのレジスタ・セットのみを使う場合に設定して下さい。
1	REN=1 で DMA トランザクション完了時に、自動的に RSEL が反転して一方のレジスタ・セットが選択されます。	レジスタ・セットを切り替える場合に設定して下さい。

18.3.2.3 設定例

○ Next0 レジスタ・セットのみを使用する場合

表 18-33 レジスタ・モード設定例 1

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	TCM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	0 (マスクなし)	0 (マスクなし)	0 (スイッチなし)	0 (連続実行なし)

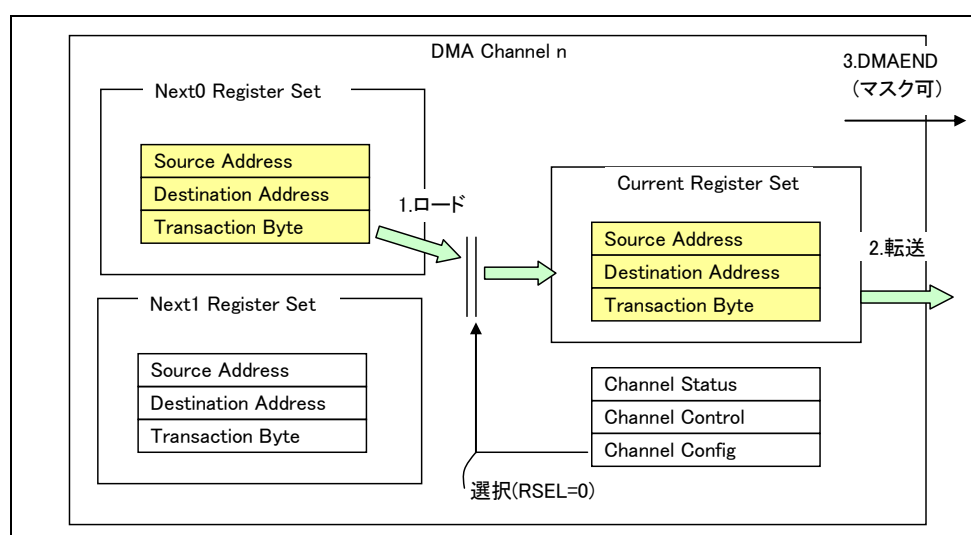


図 18-24 レジスタ・モード設定例 1

1. **EN=1 (SETEN=1)**にセットし、**Next0** レジスタ・セットを **Current** レジスタ・セットにロードします。
2. **Current** レジスタ・セットと **Channel** レジスタ・セットの値によって **DMA** トランザクションを実行します。
3. **DEM** が **0** であるため、**DMA** トランザクション完了後に **DMAEND** を発行します。
4. **TCM** が **0** であるため、**DMA** トランザクション完了後に **DMATCO** を発行します。
5. **REN** が **0** であるため、**EN** を **0** クリアして終了します。

○ 2 つのレジスタ・セットを連続して使用する場合

表 18-34 レジスタ・セット自動実行設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	TCM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	1 (マスクあり)	0 (マスクなし)	1 (スイッチあり)	1 (連続実行あり)

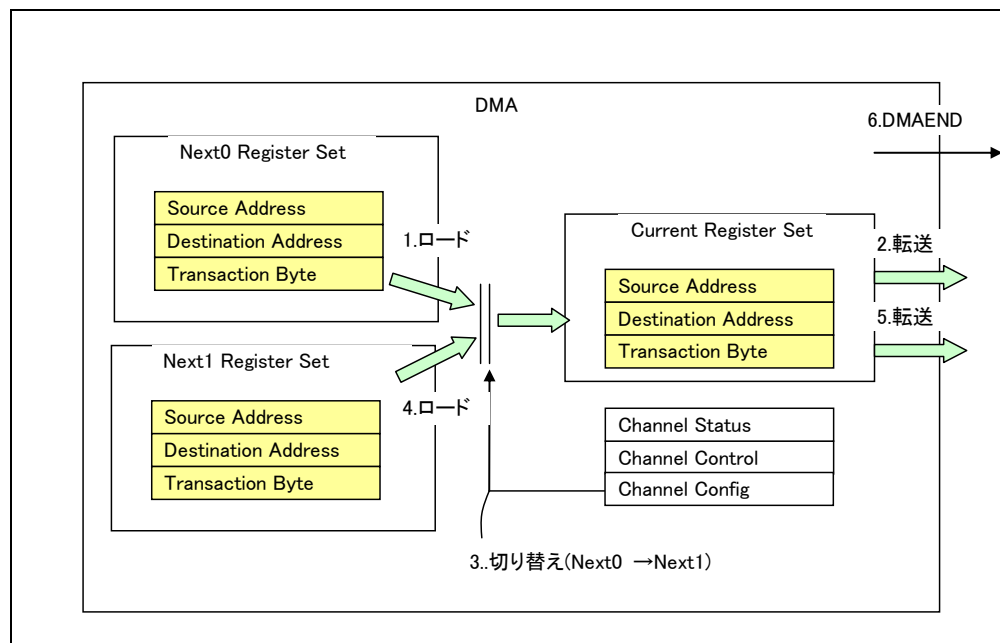


図 18-25 レジスタ・モード設定例 2

1. **EN=1**(**SETEN=1**)にセットし、**Next0** レジスタ・セットを **Current** レジスタ・セットにロードします。
2. **Current** レジスタ・セットと **Channel** レジスタ・セットの値によって **DMA** トランザクションを実行します。
3. **DEM** が **1** であるため、**DMA** トランザクション完了後の **DMAEND** は出力しません。また自動的に **DEM** を **0** クリアします。
4. **REN** が **1** であるため、継続実行します。また自動的に **REN** を **0** クリアします。
5. **RSW** が **1** であるため、次に実行するレジスタ・セットを切り替えます(**RSEL=0→1**)。
6. **Next1** レジスタ・セットを **Current** レジスタ・セットにロードします。
7. **Current** レジスタ・セットと **Channel** レジスタ・セットの値によって **DMA** トランザクションを実行します。
8. **DEM** が **0** であるため、トランザクション完了後に **DMAEND** を発行します。
9. **TCM** が **0** であるため、トランザクション完了後に **DMATCO** を発行します。
10. **REN** が **0** であるため、**EN** を **0** クリアして終了します。

18.3.3 リンク・モード

リンク・モードは、外部の記憶領域に置かれたディスクリプタを設定値としてロードして、DMA トランザクションを実行するモードです。DMAC 内部にはチャンネル毎に **Next Link** アドレスと **Current Link** アドレスがあり、それぞれ、次に実行するディスクリプタ・アドレスの設定と、現在実行中の DMA トランザクションのディスクリプタ・アドレスの表示に使用します。

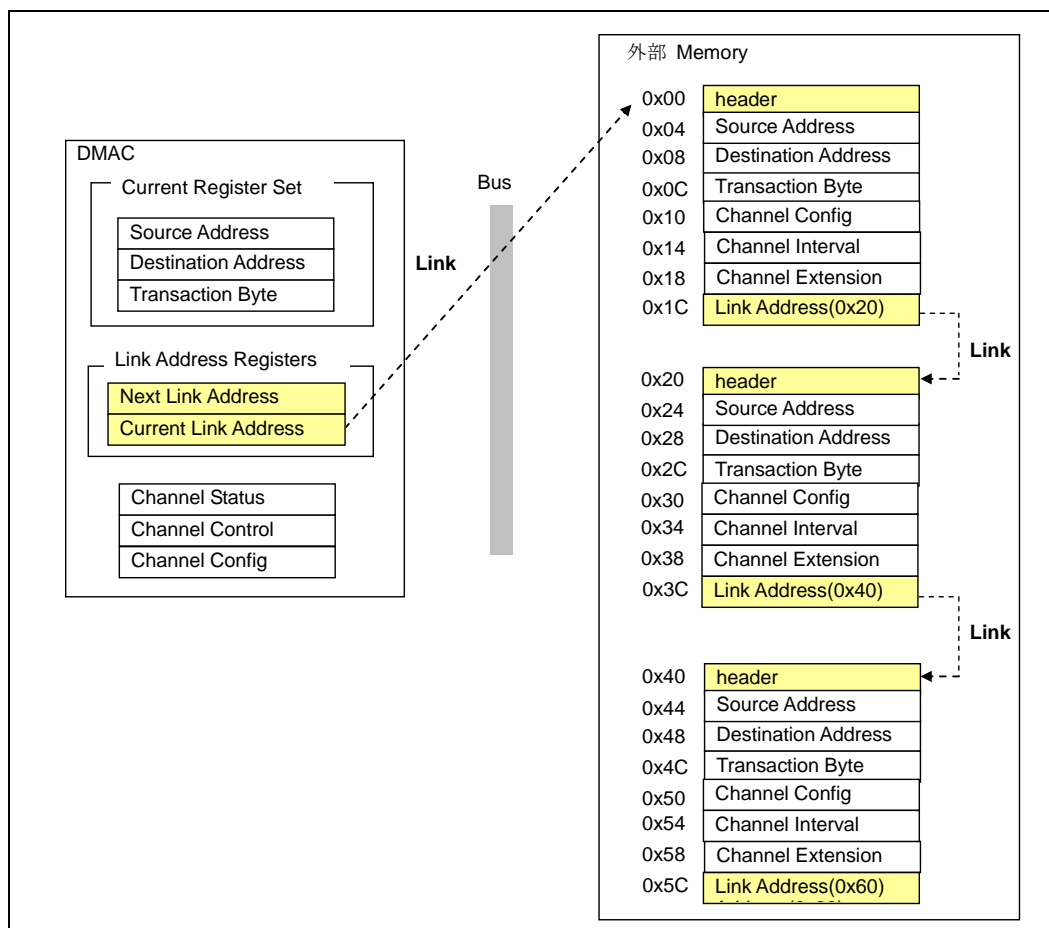


図18-26 リンク・モード概要

18.3.3.1 動作フロー

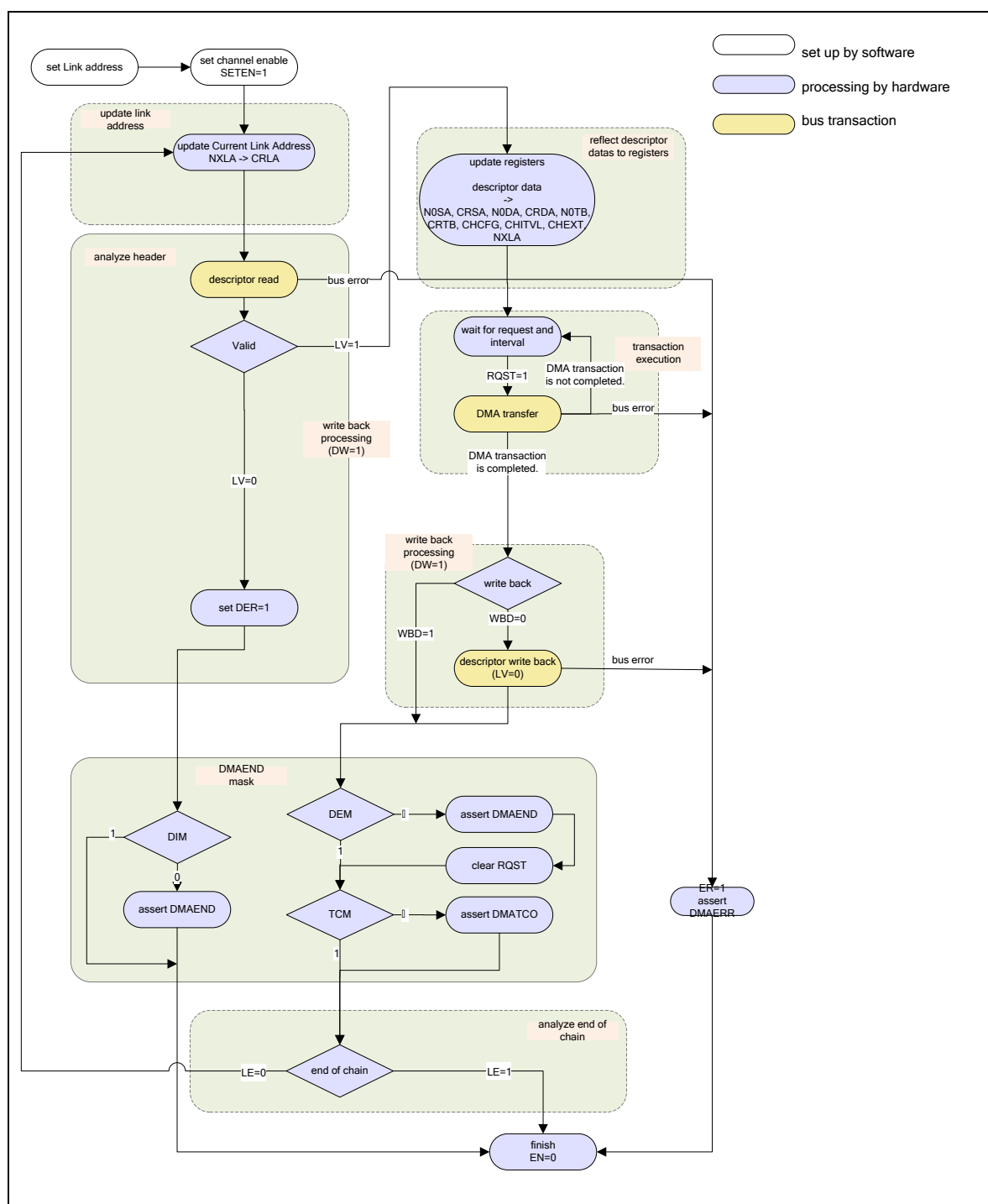


図18-27 リンク・モードのフロー

<リンク・モードフローの説明>

1. チャネル設定

NXLA_nにリンク先の先頭アドレスを設定します。

2. リンク・アドレス更新

EN=1(**SETEN** を 1 にセット)にすると **NXLA_n**に設定した **Link** アドレスを **CRLA_n**にロードされます。

3. ディスクリプタ読み出しと header 判定

ディスクリプタ・ロードを開始し、**DMAC** は **header** の内容を確認します。**LV=0** の場合は、ディスクリプタを読み捨て、**DER=1** になり終了状態(**EN=0**)になります。このとき、**header** 内の **DIM** が **0** ならば、**DMAEND** が発行されます。

4. ディスクリプタ設定

ロードしたディスクリプタを **Current** レジスタ・セットと、**Channel** レジスタ・セットに設定します。また、**NXLA_n**に次のリンク先を設定します。

5. DMA トランザクション

設定された値に従って、**DMA** トランザクションを実行します。

6. header 書き戻し (ライト・バック)

header の **WBD=0** の場合、**DMA** が **header** の **LV** ビットを **0** として **header** を書き戻します。

7. DMAEND マスク

CHCFG_n の **DEM** ビットが **0** の場合、**DMAEND** を発行します。

8. DMATCO マスク

CHCFG_n の **TCM** ビットが **0** の場合、**DMATCO** を発行します。

9. リンク終了判定

header の **LE=1** の場合、ディスクリプタ設定での転送後、**TCO** を発行 (**CHCFG_n** でマスク可)し、**EN** を **0** クリアして終了します。**LE=0** の場合は、**Current** レジスタを更新し、次のディスクリプタ・ロードを開始します。

18.3.3.2 レジスタ設定

○ リンク・モード設定

リンク・モードを使用する場合は、**CHCFG_n** レジスタの **DMS** ビットを 1 に設定して下さい。

表 18-35 リンク・モード設定

DMS (CHCFG_n)	説明
1	リンク・モードで動作します。 ディスクリプタによって、このビットを書き換えることはできません。

○ LINK アドレス設定

リンク先を示すレジスタとして、**Next Link** アドレス・レジスタと **Current Link** アドレス・レジスタがあります。
リンク・モードを開始する際には、**Next Link** アドレス・レジスタにリンク先を設定して下さい。

Next Link アドレスは、ディスクリプタ・ロード後に、次のリンク先を示します。また、**Current Link** アドレスは現在実行中のリンク・アドレスを示しています。

表 18-36 Link アドレスレジスタ・セット

レジスタ	説明
Next Link Address Register (NXLA_n)	次のリンク先の設定、および表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定して下さい。
Current Link Address Register (CRLA_n)	現在実行中のリンク先を表示します。このレジスタは読み出しのみ可能です。

注意)

リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア・リクエストとの同期は取ることはできません。このため、ハードウェア・リクエストを使う場合、イネーブルをセットする前に **CHCFG_n** レジスタの **AM**, **LVL**, **HIEN**, **LOEN**, **SEL** を設定し、かつディスクリプタ中でこれらの設定ビットを変更しないようにして下さい。

18.3.3.3 ディスクリプタ設定

リンク先のアドレスには、以下の順で、ディスクリプタを準備して下さい。

DMAC はディスクリプタをバーストでリードします。

○ ディスクリプタ並び

表 18-37 ディスクリプタ設定並び

アドレス	データ	備考
LinkAddress + 00H	header	
LinkAddress + 04H	Source Address	
LinkAddress + 08H	Destination Address	
LinkAddress + 0CH	Transaction Byte	
LinkAddress + 10H	Config	レジスタ・モードの設定はできません。
LinkAddress + 14H	Interval	
LinkAddress + 18H	Extension	
LinkAddress + 1CH	Next Link Address	

備考：リンク先には、32bit 境界にアラインされているアドレスを設定して下さい

○ headr

headr は以下に示すように、ディスクリプタの状態を表します。

この領域は、リンク・モードでの **DMA** 転送開始前に、**DMAC** によってリードされます。また、**DMA** トランザクション終了後に、転送状況が **DMAC** によってライト・バックされます。

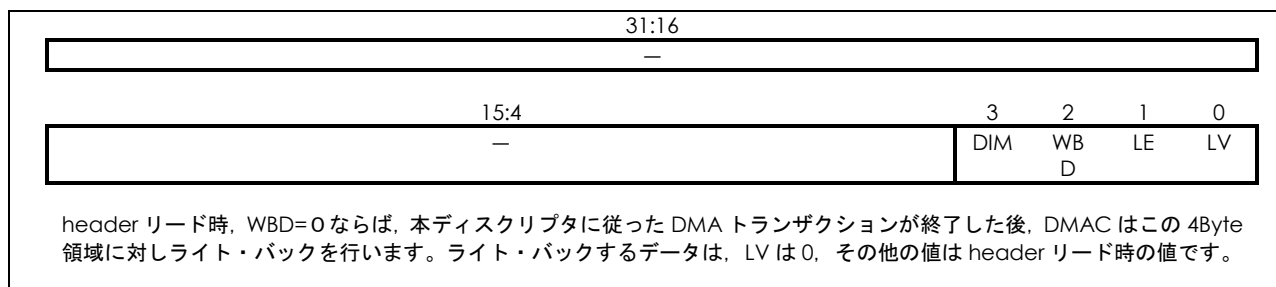


図18-28 header 領域

表 18-38 header 領域

ビット位置	ビット名	意味
31:4	—	—
3	DIM	Descriptor Interrupt Mask header ロード時に LV=0 だった場合、DMAEND のマスクの有無を設定します。 0:DMAEND を発行する。 1:DMAEND を発行しない。
2	WBD	Write Back Disable LV ビットのライト・バック実行をマスクします。このビットが 1 である場合、DMAC は書き戻す動作を行いません。 0:LV ビットを 0 に書き戻す。 1:LV ビットを書き戻さない。
1	LE	Link End このディスクリプタの DMA トランザクションでリンクが終了することを示します。 リンクの最後を示す場合にこのビットを 1 に設定して下さい。 0:リンク継続 1:リンク終了
0	LV	Link Valid このディスクリプタが有効であることを示します。 このビットは WBD=0 の場合、DMAC がディスクリプタに書かれた DMA トランザクション実行後に 0 を書き込みます。header 設定時には 1 を設定して下さい。 0:ディスクリプタ無効 1:ディスクリプタ有効

○ header 以外のディスクリプタの設定

header 以外のディスクリプタの各データは、内蔵レジスタの仕様と同じです（ただし CHCFG_n レジスタの DMS ビットはディスクリプタで書き換えることはできません。）。内蔵レジスタの仕様は18.2を参照して下さい。

○ ディスクリプタ・アクセス時の AXI 設定

ディスクリプタのアクセス時の PROT, CACHE 設定はDMA Control Register (DCTRL)の LWCA, LWPR, LDCA, LDPR に設定することができます。ディスクリプタが準備されているアクセス先に応じて、設定して下さい。

○ ディスクリプタ領域と DMA 転送領域

以下に、DMAC がアクセスする、ディスクリプタ領域と DMA 転送領域の概略を示します。

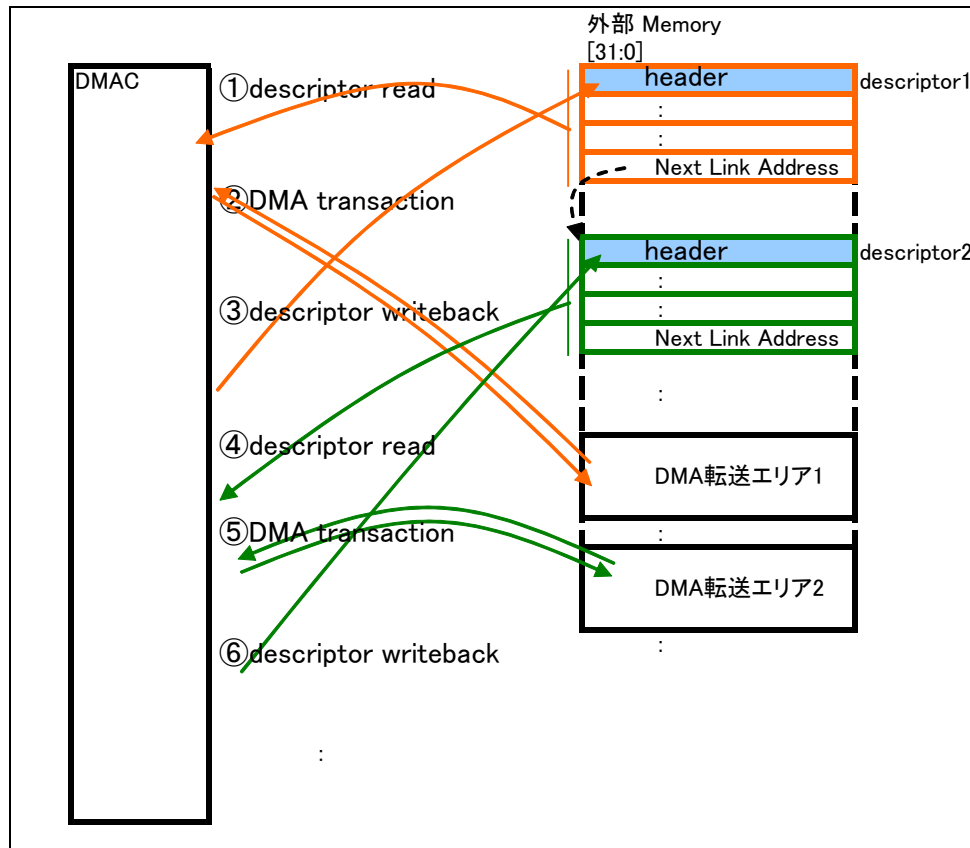


図 18-29 ディスクリプタ領域と DMA 転送領域の概略

- ①ディスクリプタ・リード
内蔵の **Next Link Address** レジスタに設定した値を、**Current Link Address** レジスタにロードし、**Current Link Address** レジスタの指し示す外部メモリ空間(descriptor1)から、ディスクリプタをリード
- ②DMA 転送
ディスクリプタの **header** 中の **LV=1** だったならば、ディスクリプタ情報に従い、**DMA** 転送を実行
- ③ディスクリプタ・ライト・バック
設定バイト数 **DMA** 転送後、**header** 中の **WBD=0** だったならば、**descriptor1** の **header** に対し、**LV** は **0**、その他のフィールドは①でリードした値をデータとして、ワード・サイズでのライト・バックを実行。
- ④ディスクリプタ・リード
前回 (①) リードしたディスクリプタの **header** 中の **LE=0** だったならば、ディスクリプタ中の **Next Link Address** で示されるアドレス (**descriptor2**) から、次のディスクリプタをリード。
- ⑤DMA 転送
ディスクリプタの **header** 中の **LV=1** だったならば、ディスクリプタ情報に従い、**DMA** 転送を実行
- ⑥ディスクリプタ・ライト・バック
設定バイト数 **DMA** 転送後、**header** 中の **WBD=0** だったならば、**descriptor2** の **header** に対し、**LV** は **0**、その他のフィールドは④でリードした値をライト・データとして、ワード・サイズでのライト・バックを実行。
- 以降④~⑥の繰り返し
- header** 中の **LE=1**、**WBD=0** だったならば、そのディスクリプタ設定での **DMA** 転送、および **header** の **LV** ビットに **0** をライト・バックして終了。
- header** 中の **LE=1**、**WBD=1** だったならば、そのディスクリプタ設定での **DMA** 転送を行って終了（ライト・バックは行わない）。
- header** 中の **LV=0** だったならば停止（**DMA** 転送は行わない）。

18.3.3.4 ディスクリプタ構成例

リンク・モードでは、ディスクリプタを以下のように構成することが可能です。

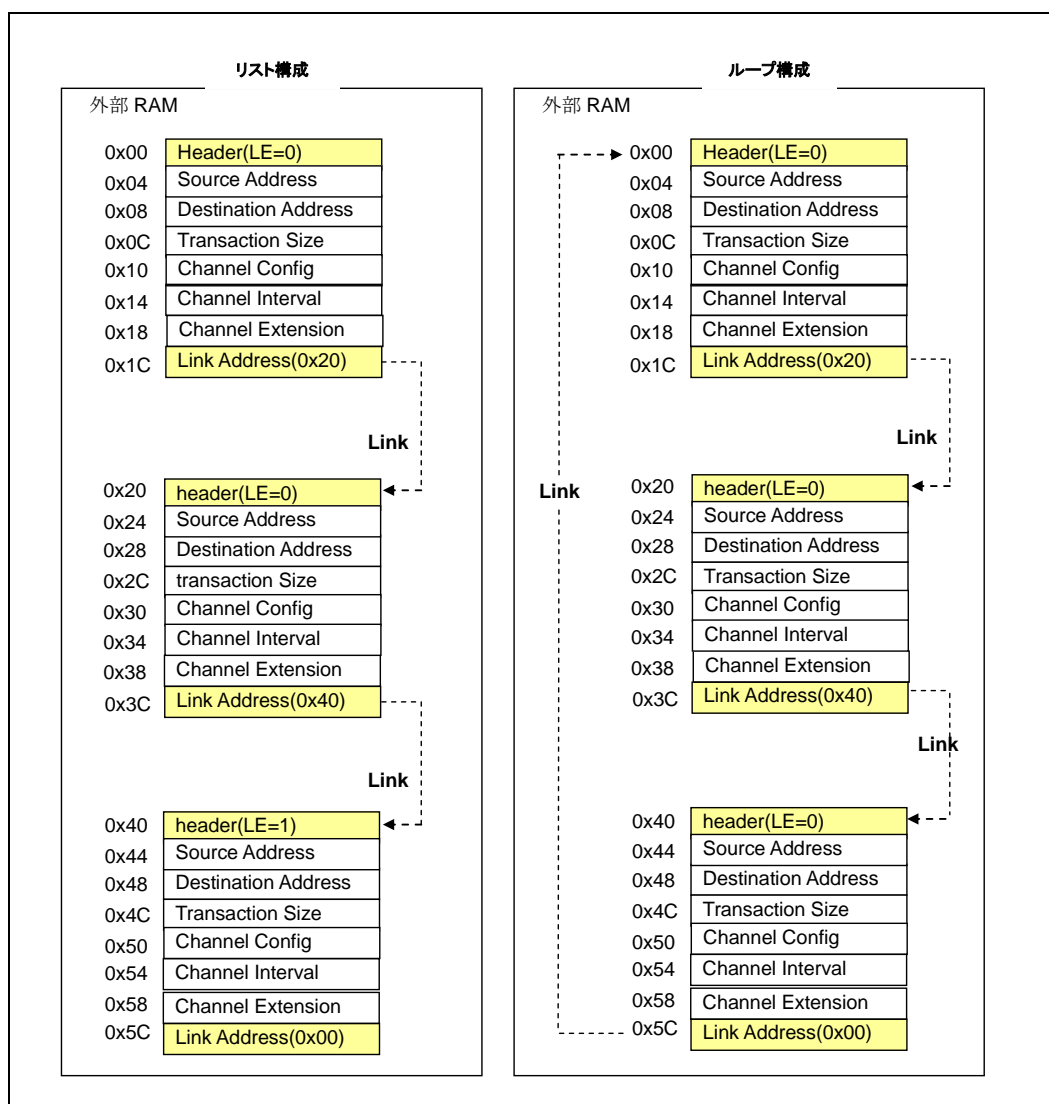


図18-30 ディスクリプタ構成例

- ・ リスト構成

最後のディスクリプタの **header** にある **LE** ビットを 1 に設定することで、リンクを終了します。

- ・ ループ構成

最後のディスクリプタのリンク先を、前のディスクリプタのアドレスに設定することで、ディスクリプタをループ構成とする事ができます。ループを終了するためには、**DMAC** がディスクリプタ・リードする前に **header** の **LE** ビットを 1 に書き換えるか、転送中断手順に従って停止して下さい。

18.4 DMA 転送

本章では、DMA 転送の基本動作について説明をします。

18.4.1 転送モード

転送モードは、シングル転送モードとブロック転送モードをサポートしています。

モードの選択は、チャンネル毎に CHCFG_n の TM ビットで設定して下さい。

シングル転送モードは、DMAREQn 入力を使用した通常の DMA 転送で使用し、ブロック転送モードは、ソフトウェアによる起動でメモリ-メモリ間転送等を行う際に使用して下さい。

表 18-39 基本転送設定

転送モード	TM (CHCFG_n)	機能	用途
シングル転送	0	1 回の DMAREQ に対して、1 回の DMA トランスファを実行します。	DMAREQ 入力を使用した DMA 転送に使用して下さい。
ブロック転送	1	1 回のソフト起動に対して、DMA トランザクションが完了するまで、転送を実行します。	ソフト起動によるメモリ-メモリ間転送に使用して下さい。

18.4.1.1 シングル転送モード

DMA 転送要求を受け付けると、REQD で示された方向(ソースあるいはディスティネーション)の DMA トランスファを 1 回実行し、DMAACK をアサートします。転送要求を受け付ける度に 1 回の転送を行い、この動作を CRTB_n にロードされたバイト数分続けます (チャンネル間のアービトレーションは、DMA トランスファ毎に行います)。

REQD の設定やトランスファサイズ(DDS, SDS)の設定で DMAACK のタイミングや、CRTB のカウントタイミングも異なります。詳細は、18.4.9を参照して下さい。

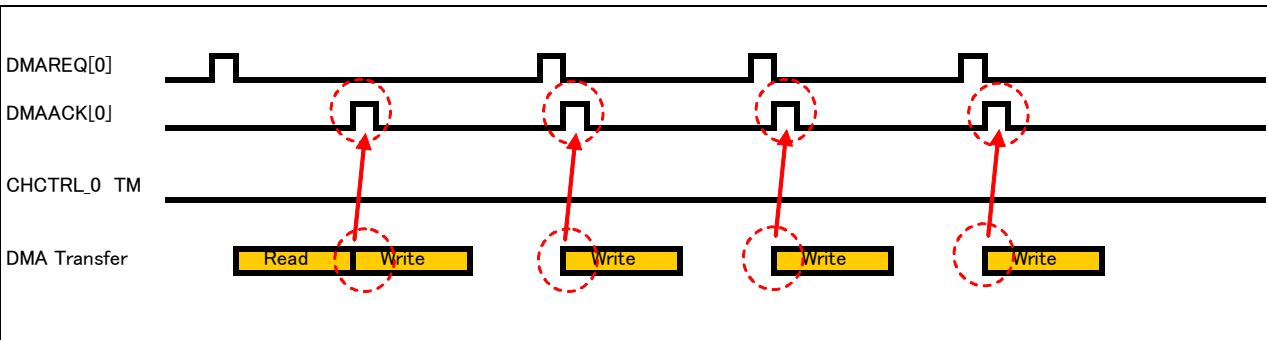


図 18-31 シングル転送モード(REQD=1, SDS>DDS)

18.4.1.2 ブロック転送モード

DMA 転送要求を 1 度受け付けると、DMA 転送バイト・レジスタ (CRTB_n レジスタ) にロードしたバイト数分の転送が完了する (DMA トランザクション完了) まで転送を続けます (チャンネル間のアービトレーションは、DMA トランスファ毎に行います)。

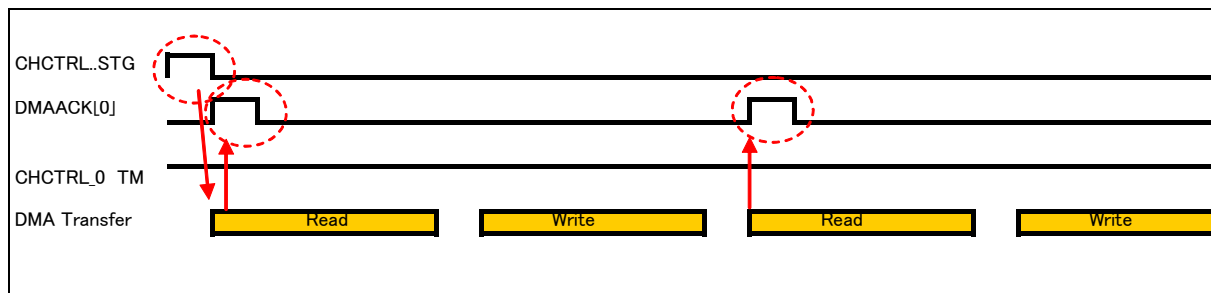


図 18-32 ブロック転送モード (REQD=0, SDS<DDS)

18.4.2 DMA チャンネルの優先順位制御

優先順位は、固定優先順位モードとラウンドロビン・モードをサポートしています。モードの選択は、DMA コントロール・レジスタ（DCTRL レジスタ）の PR ビットで行います。PR ビットが 0 の場合、固定優先順位モードとなり、PR ビットが 1 の場合、ラウンドロビン・モードとなります。

リードの優先順位とライトの優先順位を独立に制御します。

DMAC はトランスファの完了を待たずに、各チャンネルのトランスファを並行して発行し、レスポンスが返って来た順に処理します。このため、各チャンネルのトランザクション開始とトランザクション完了の順番が一致するとは限りません。詳細は18.5.4を参照して下さい。

表 18-40 優先順位制御設定

モード	PR (DCTRL)	機能	用途
固定優先順位	0	固定優先順位(高: CH0 > CH1 > CH2 > CH3 > CH4 > CH5 > CH6 > CH7 : 低)でリクエストを制御します。	チャンネルに優先順位がある場合に使用して下さい。
ラウンドロビン	1	ラウンドロビンでリクエストを制御します。	各リクエストに対して均等に実行させたい場合に使用して下さい。

18.4.2.1 固定優先順位モード

固定優先順位モードでは、各チャンネルの優先順位は固定となり次のようになります

高	CH0 > CH1 > CH2 > CH3	低
---	-----------------------	---

DMA 転送要求が複数のチャンネルで同時に発生した場合は、番号の小さいチャンネルの DMA 転送要求を優先します。固定優先順位モードでの DMA 転送実行時に、優先順位の高い他の DMA 転送要求が発生した場合の例を次に示します。

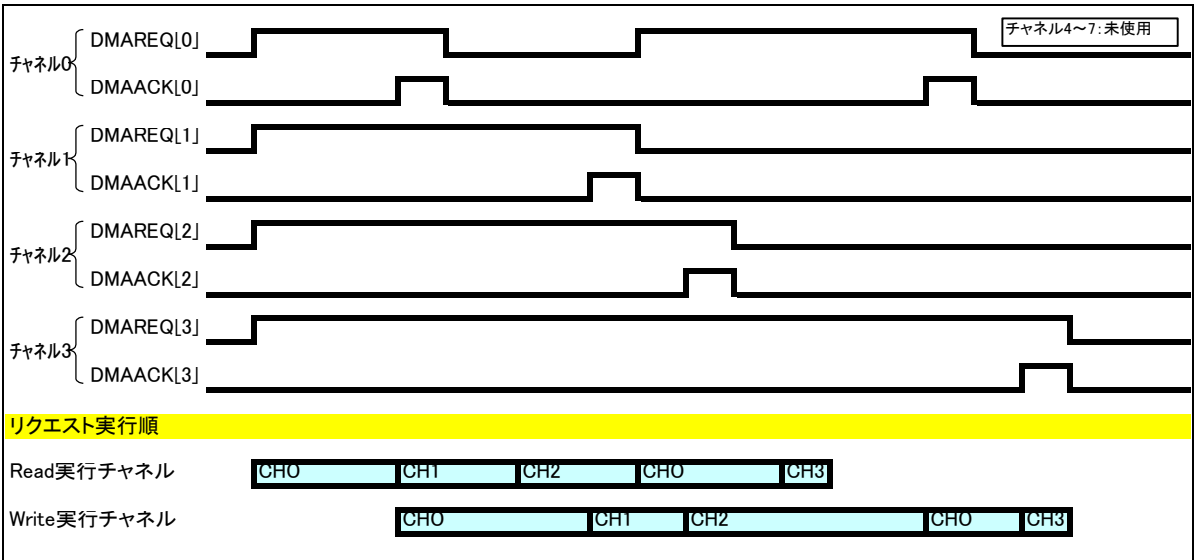


図 18-33 固定優先順位モード（チャンネル数 4, REQD=1 の場合）

18.4.2.2 ラウンドロビン・モード

ラウンドロビン・モードでは、各チャンネルの転送受け付け毎に、直前の転送を行ったチャンネルの優先順位が一番低くなるように優先順位を変更します。

リセット直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高 CH0 > CH1 > CH2 > CH3 低

この状態で、DMA チャンネル 0 の転送要求が無く、DMA チャンネル 2 の転送要求があった場合、DMA チャンネル 2 の転送を行い、終了後には以下ようになります。

高 CH3 > CH0 > CH1 > CH2 低

ラウンドロビン・モードで DMA 転送の例を次に示します。

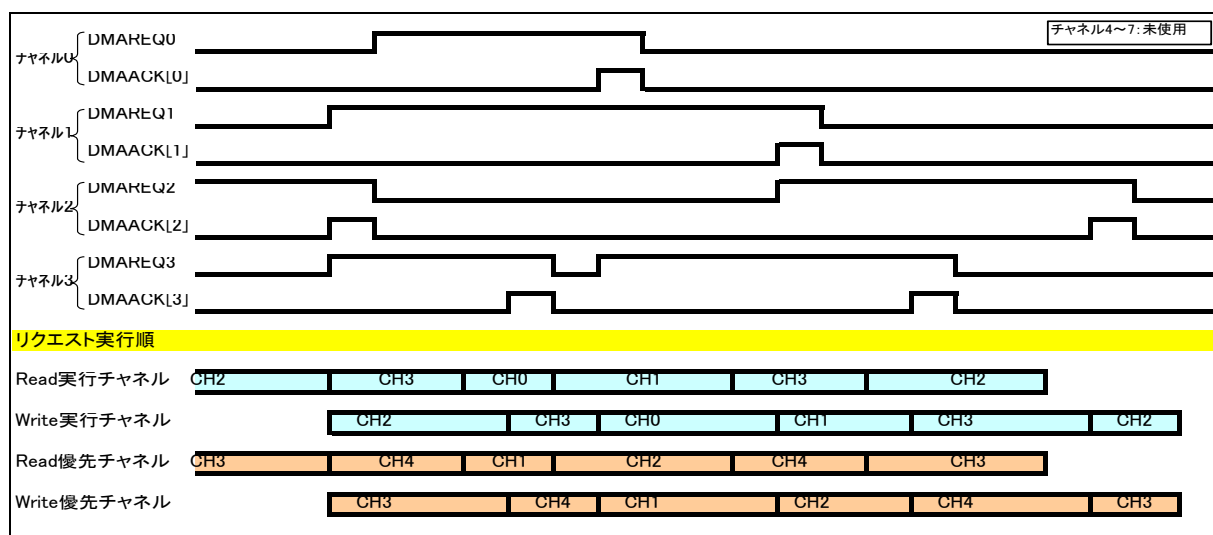


図 18-34 ラウンドロビン・モード（チャンネル数 4, REQD=0 の場合）

現在 DMA トランスファを実行しているチャンネル+1 の番号のチャンネルが、次にトランスファを行います。+1 のチャンネルの転送要求が無い場合は、さらに+1 のチャンネルがトランスファを実行することができます。

18.4.3 DMA 転送要求

DMA 転送要求は、CHCFG_n レジスタの SEL ビットによって、DMAREQ[7:0]の 8 本の入力から 1 本を選択します。

CHCFG_n レジスタの LVL ビットにより、エッジ検出とレベル検出を選択します。

CHCFG_n レジスタの HIEN/LOEN ビットにより、エッジ検出の場合は立ち上がり/立ち下がり、レベル検出の場合は High レベル/Low レベル検出を設定します。

表 18-41 DMAREQ 端子選択設定

SEL[2:0] (CHCFG_n)	リクエスト端子	アクノリッジ端子	ターミナル・カウント端子	用途
000	DMAREQ[0]	DMAACK[0]	DMATCO[0]	チャンネルnで使用するDMA端子を設定します。
001	DMAREQ[1]	DMAACK[1]	DMATCO[1]	
010	DMAREQ[2]	DMAACK[2]	DMATCO[2]	
011	DMAREQ[3]	DMAACK[3]	DMATCO[3]	
100	DMAREQ[4]	DMAACK[4]	DMATCO[4]	
101	DMAREQ[5]	DMAACK[5]	DMATCO[5]	
110	DMAREQ[6]	DMAACK[6]	DMATCO[6]	
111	DMAREQ[7]	DMAACK[7]	DMATCO[7]	

表 18-42 DMAREQ 検出設定

モード	LVL (CHCFG_n)	HIEN (CHCFG_n)	LOEN (CHCFG_n)	機能	用途
エッジ 検出	0	0	0	この設定ではエッジ検出できません。 ハードウェア・リクエストを使用しない場合は この設定にして下さい。	DMAREQ の モードと立ち 上がり/立ち下 がりを検出す る方法を設定 します。
			1	DMAREQn の立ち下がりエッジで検出します。	
		1	0	DMAREQn の立ち上がりエッジを検出します。	
			1	DMAREQn の立ち上がりと立ち下がりエッジ を検出します。	
レベル 検出	1	0	0	この設定ではレベル検出できません。	
			1	DMAREQn を Low レベル・モードで検出しま す。	
		1	0	DMAREQn を High レベル・モードで検出しま す。	
			1	DMAREQ n の入力レベルに関係なく、 CHCTRL_n レジスタの SETEN ビットを 1 に設 定することにより、転送を開始します。 (この設定では DMAACK をレベル・モードで 使用しないで下さい。)	

<注意>

DMAREQ の検出設定は、システムに応じた設定を行って下さい。

18.4.3.1 エッジ検出

CHCFG_n レジスタの LVL ビットを 0 に設定することにより、エッジ検出となります。

CHCFG_n レジスタの HIEN ビットを 1 に設定することにより立ち上がりエッジ検出、LOEN ビットを 1 に設定することにより立ち下がりエッジ検出となります。

接続するマクロは、DMAACK の検出を待ってから次の DMA 転送要求を出すようにして下さい。

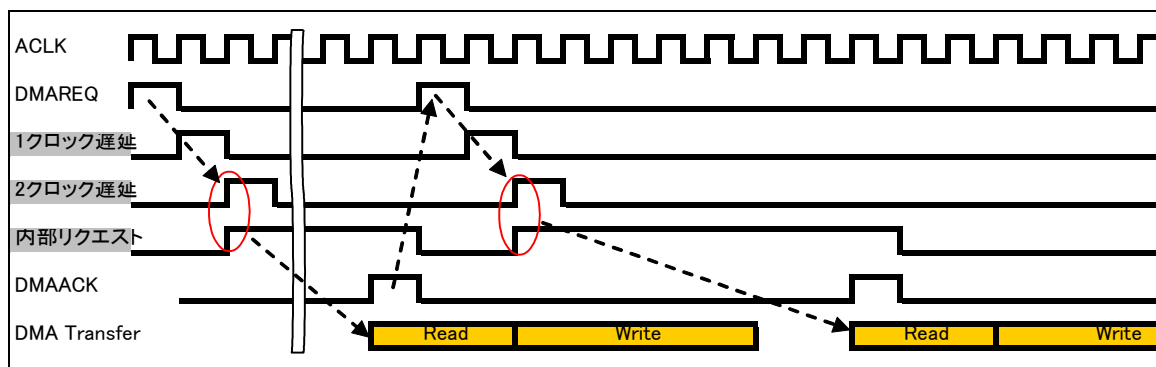


図 18-35 エッジ検出タイミング (HIEN=1, REQD=0)

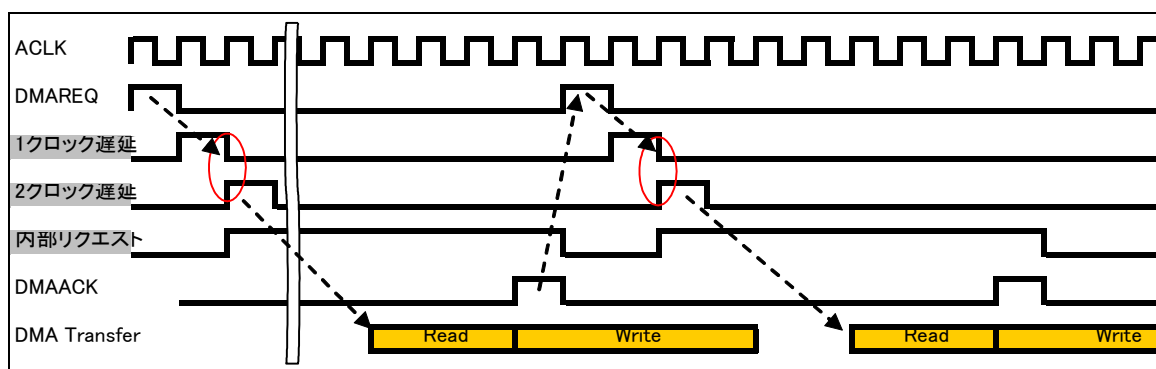


図 18-36 エッジ検出タイミング (HIEN=1, REQD=1)

18.4.3.2 レベル検出

CHCFG_n レジスタの LVL ビットを 1 に設定することにより、レベル検出となります。

DMAREQ が、連続した 2 クロック・サイクル以上の期間アクティブ(HIEN, LOEN の設定による)である場合、正しい DMAREQ として認識します。

DMAACK をレベル・モードにした場合、DMAACK は DMAREQ がディアサートされるまで、High レベルになります。

次の DMA 転送要求を行う場合、DMAACK がディアサートされてから次の DMA 転送要求をアサートして下さい。

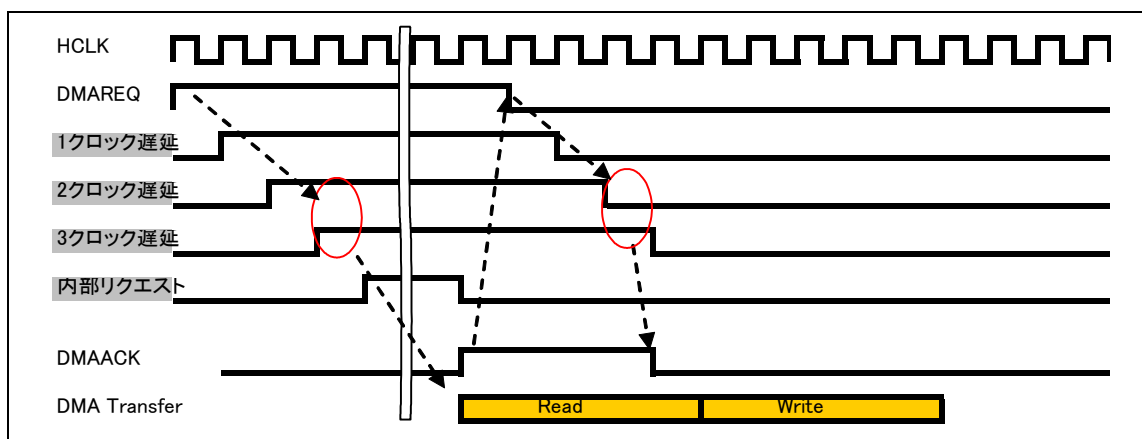


図 18-37 レベル検出タイミング (HIEN=1, REQD=0, AM[2:0]=001)

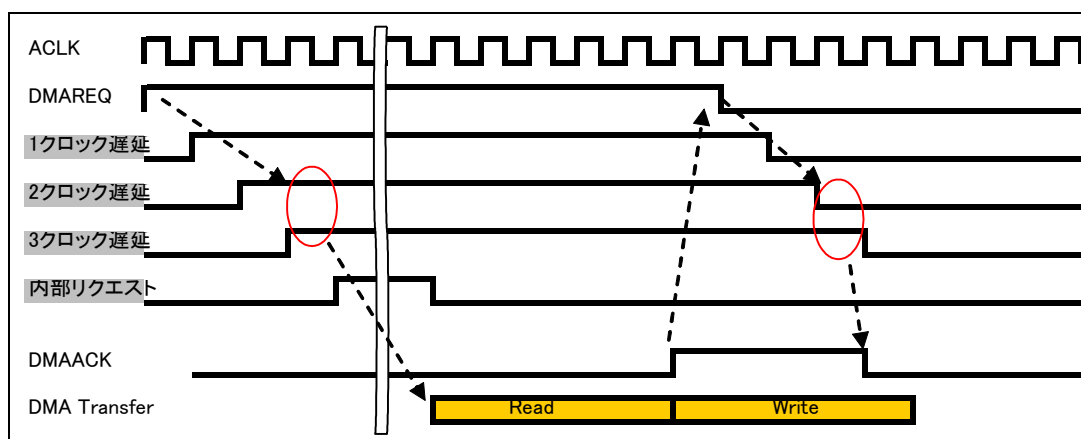


図 18-38 レベル検出タイミング (HIEN=1, REQD=1, AM[2:0]=001)

18.4.4 DMA アクノリッジ出力機能

DMAACK[7:0]は、DMA 転送要求を出した要求元に対するアクノリッジ信号です。本マクロでは DMAACK の出力は、パルス出力、レベル出力、バス・サイクル出力をサポートしています。

DMAACK[7:0]の 8 本の出力から、チャンネル毎に 1 本を選択することが可能です。CHCFG_n レジスタの SEL ビットによって設定します。(表 18-41 DMAREQ 端子選択設定 参照)

18.4.4.1 DMA アクノリッジ信号出力タイミング設定

DMA 転送要求が受け付けるとアクティブ(High レベル出力)になります。CHCFG_n レジスタの REQD ビットと AM[2:0]ビットによって、以下のように設定することが可能です。

表 18-43 DMAACK 出力タイミング設定

モード	AM[2] (CHCFG_n)	AM[1:0] (CHCFG_n)	REQD (CHCFG_n)	用途
パルス	0	00	0 (リード時にアクティブ)	パルスで DMAACK を出力します。DMAACK の接続先のユニットが、DMAACK をパルスで受け取れる場合などに使用します。
			1 (ライト時にアクティブ)	
レベル	0	01	0 (リード時にアクティブ)	レベルで DMAACK を出力します。DMAACK は DMAREQ がディアサートされるまでアサートし続けます。DMAACK の接続先と非同期な関係の場合などに使用します。
			1 (ライト時にアクティブ)	
バス・サイクル	0	10 11	0 (リード時にアクティブ)	バス・サイクルの期間 DMAACK を出力します。バス・サイクルの終了タイミングまで DMAACK をアサートしたい場合に使用します。
			1 (ライト時にアクティブ)	
マスク	1	—	—	DMAACK を Low 固定にします。DMAACK を接続先に発行しない場合に使用します。

18.4.4.2 パルス出力

CHCFG_n レジスタの AM ビットを 000 に設定することにより、パルス出力となります。

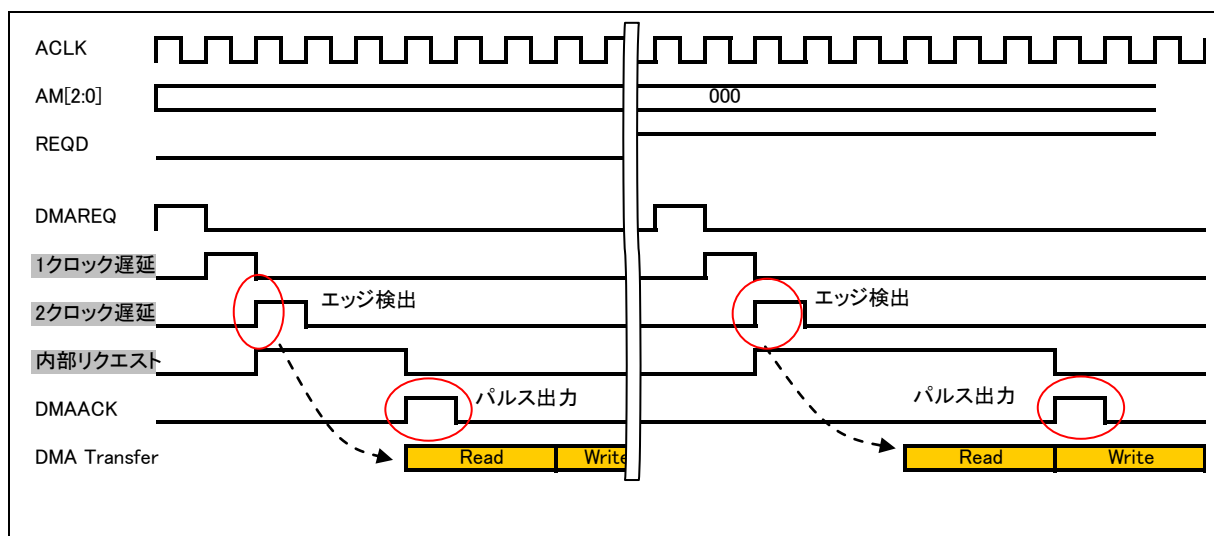


図 18-39 DMAACK 出力タイミング (AM[2:0]=000)

REQD=0 の場合、リードのバス・サイクル開始時に DMAACK をアサートします。

REQD=1 の場合、ライトのバス・サイクル開始時に DMAACK をアサートします。

18.4.4.3 レベル出力

CHCFG_n レジスタの AM ビットを 001 に設定することにより、レベル出力となります。DMAACK は、DMAREQ がディアサートされるまでアサートし続けます。

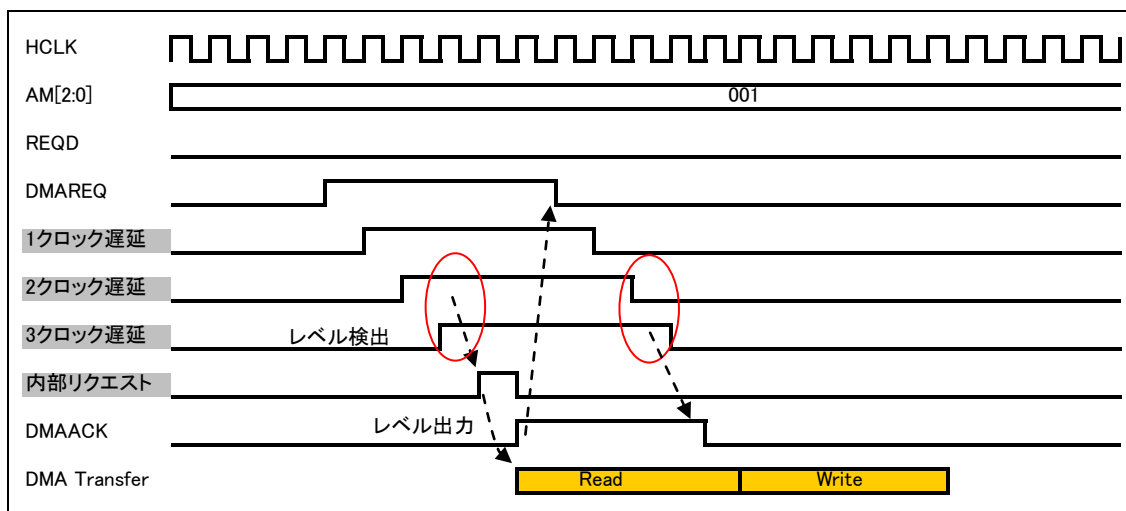


図 18-40 DMAACK 出力タイミング (AM[2:0]=001, REQD=0)

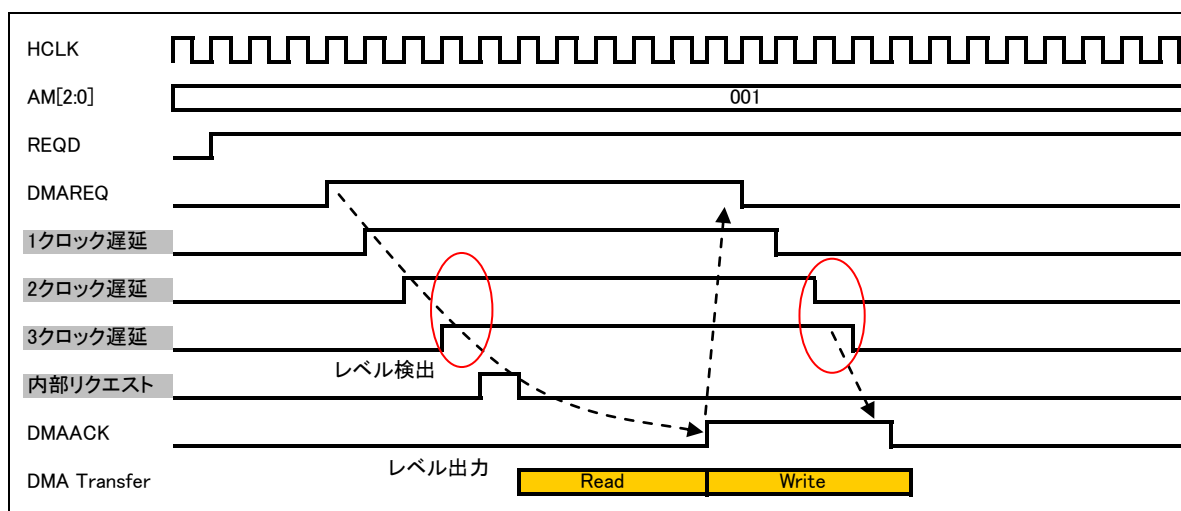


図 18-41 DMAACK 出力タイミング (AM[2:0]=001, REQD=1)

18.4.4.4 バス・サイクル出力

CHCTRL_n レジスタの AM ビットを 010 に設定することにより、バス・サイクル出力となります。バス・サイクルの期間、DMAACK がアクティブになります。

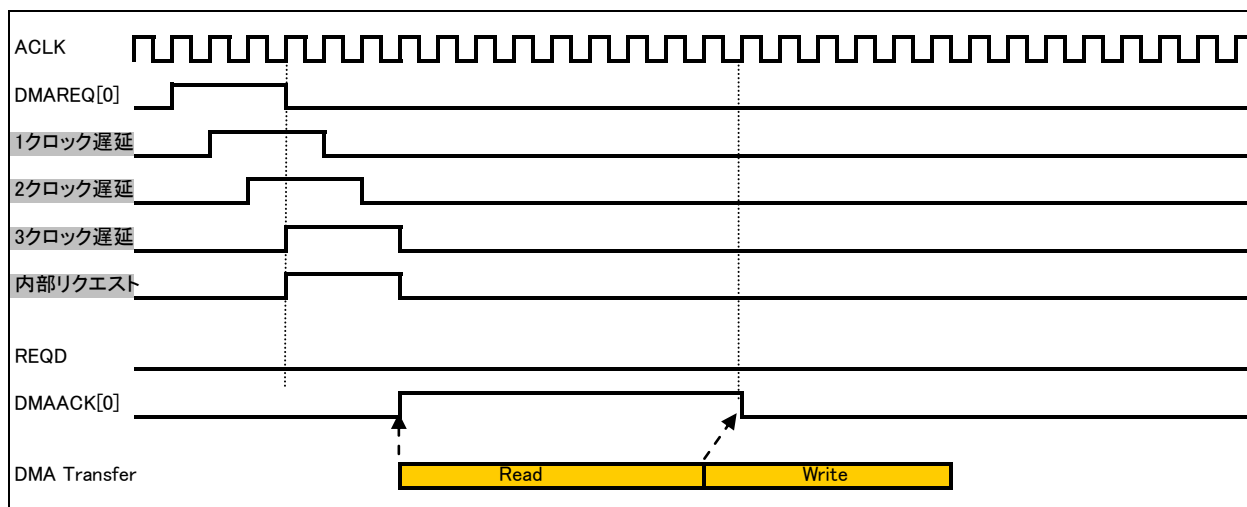


図 18-42 バス・サイクル出力タイミング (REQD=0)

- ・ リード時アクティブ(REQD=0)の場合は、バス上でリードリクエストを出力するタイミングから最後のリード・データの 1 サイクル後までの期間、DMAACK がアクティブになります。
- ・ DMAREQ がレベル検出の場合、バス・サイクル終了後の次のサイクルまで DMAREQ は無効です。

AXI バスでは、以下の信号が DMAACK の立ち上がり・立ち下りのトリガになります。

立ち上がり：転送開始 (MARVALID =1)

立ち下がり：転送終了 (MRLAST & MRREADY=1)

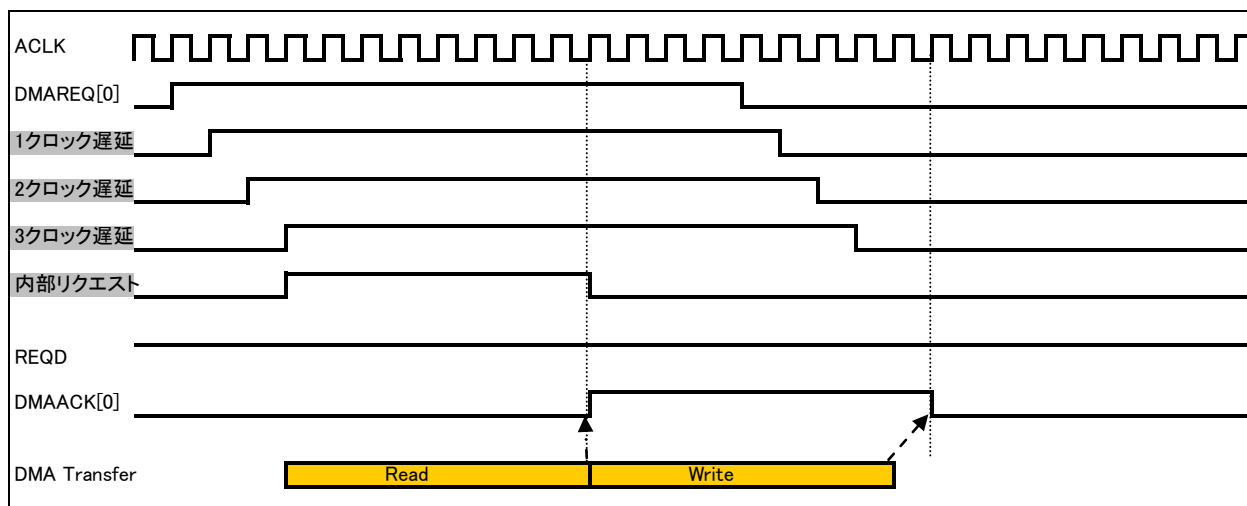


図 18-43 バス・サイクル出力タイミング (REQD=1)

- ・ ライト時アクティブ(REQD=1)の場合は、ライトリクエストを出力するタイミングから最後のデータに対するレスポンスが返った 1 サイクル後までの期間、DMAACK がアクティブになります
- ・ DMAREQ がレベルの場合、バス・サイクル終了後の次のサイクルまで DMAREQ は無効です。

AXI バスでは、以下の信号が DMAACK の立ち上がり・立ち下りのトリガになります。

立ち上がり：転送開始 (MAWVALID =1)

立ち下がり：転送終了 (MBVALID & MBREADY=1)

18.4.5 DMA 転送完了割り込み

DMAEND[3:0]は、DMA トランザクションが終了したことを示す割り込み要求信号です。
DMAEND[3:0]の各ビットは、各チャネルに対応しています。

CRTB(Current Transaction Byte)にロードされた総転送バイト数分の転送が、**OKAY** レスポンスで完了した場合、**CHSTAT_n** レジスタの **END** を 1 にセットします。この時、**CHCFG_n** レジスタの **DEM=0** だった場合、**DMAEND[n]**端子から **High** レベルを出力します (**n=3-0**)。(リンク・モードでライト・バックを行う場合は、ライト・バック後に **High** レベルを出力します。)

またリンク・モードにおいて、リードしたディスクリプタの **header** が **LV=0** だった場合、**CHSTAT_n** レジスタの **DER** を 1 にセットします。この時、**header** の **DIM=0** だった場合、**DMAEND[n]**端子から **High** レベルを出力します。

この信号は、割り込みコントローラでの転送完了割り込み検出に使用して下さい。

表 18-44 DMAEND アサート条件

要因	条件	DMAEND[n] マスク信号
DMA トランザクション完了	CRTB(Current Transaction Byte)にロードされた総転送バイト数分の転送が、OKAY レスポンスで完了した時 (リンク・モードでライト・バックを行う場合は、ライト・バック後)	CHCFG_n レジスタの DEM ビット
ディスクリプタ・インバリッド	リンク・モードにおいて、header の DIM=0 の状態で、リードしたディスクリプタの header が LV=0 だった時	header の DIM ビット

18.4.6 DMA ターミナル・カウント信号出力機能

DMATCO[7:0]は、DMA 転送要求を出した要求元に対するトランザクション完了信号です。

DMATCO[7:0]の 8 本の出力から、チャンネル毎に 1 本を選択することが可能です。CHCFG_n レジスタの SEL ビットによって設定します。(表 18-41 DMAREQ 端子選択設定参照)

CRTB_n(Current Transaction Byte)にロードされた総転送バイト数分のトランザクションが OKAY レスポンスで完了した場合、CHSTAT_n レジスタの TC を 1 にセットし、1 サイクル期間 DMA ターミナル・カウント信号 (DMATCO) をアクティブにします (n = 7-0)。

DMATCO 出力信号は、CHCFG_n レジスタの TCM ビットによって、マスクすることが可能です。ソフト起動 (CHCTRL_n レジスタの STG ビットのセット) を使用する場合は、マスクして下さい。

表 18-45 DMATCO 設定

TCM (CHCFG_n)	機能	用途
0	DMATCO を出力	ハードウェアで転送、カウント終了、リンク・モードの終了を検出する場合に使用して下さい。
1	DMATCO をマスク	ソフトウェアにより DMA 転送制御する場合に使用して下さい。 DMA トランザクション後に TCM は 0 クリアされます。

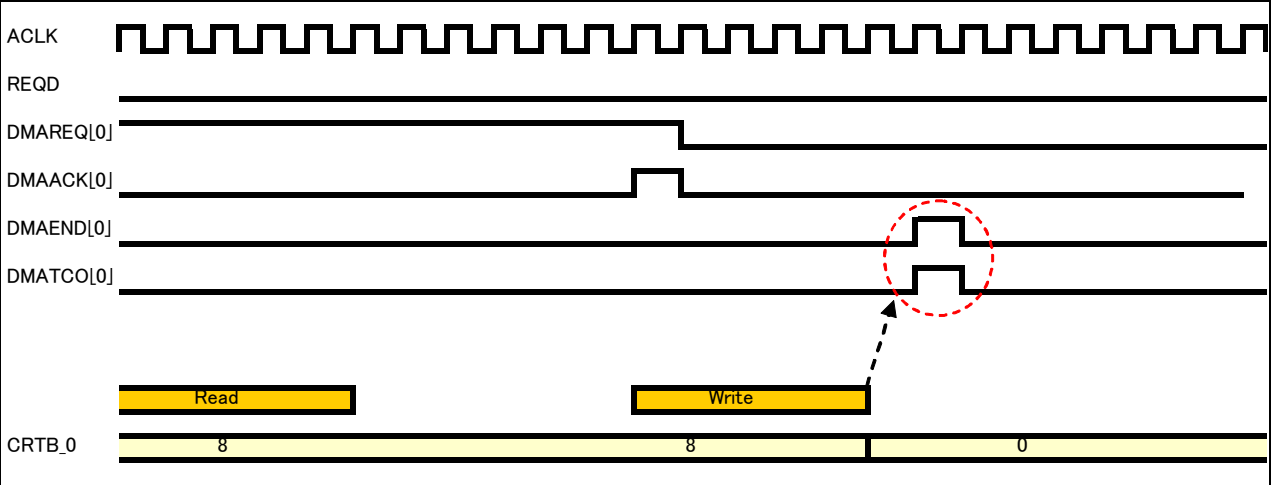


図 18-44 DMAEND と DMATCO のタイミング 2 (REQD=1)

18.4.7 DMA エラー割り込み (DMAERR)

DMA 転送およびディスクリプタ・アクセスに対して、エラー・レスポンスを受けた場合、本マクロはエラーと判断し、転送を中止します。エラー・レスポンスを受けると、転送中のチャンネル n の CHSTAT_ n レジスタの EN ビットを 0 にクリアし、ER ビットを 1 にセットします ($n = 3-0$)。また、DMAERR 端子から High レベルを出力します（一方、本マクロのスレーブに対するアクセスでエラーが起こった場合は、DMAERR は出力しません）。

DMAERR 信号をマスクすることはできません。

エラーとなった一連の転送はそのデータを保証できません。必ず下記の手順にて、最初から転送をやり直して下さい。

1. CHCTRL_n レジスタの SWRST ビットを 1 にセット
2. 各レジスタを再設定

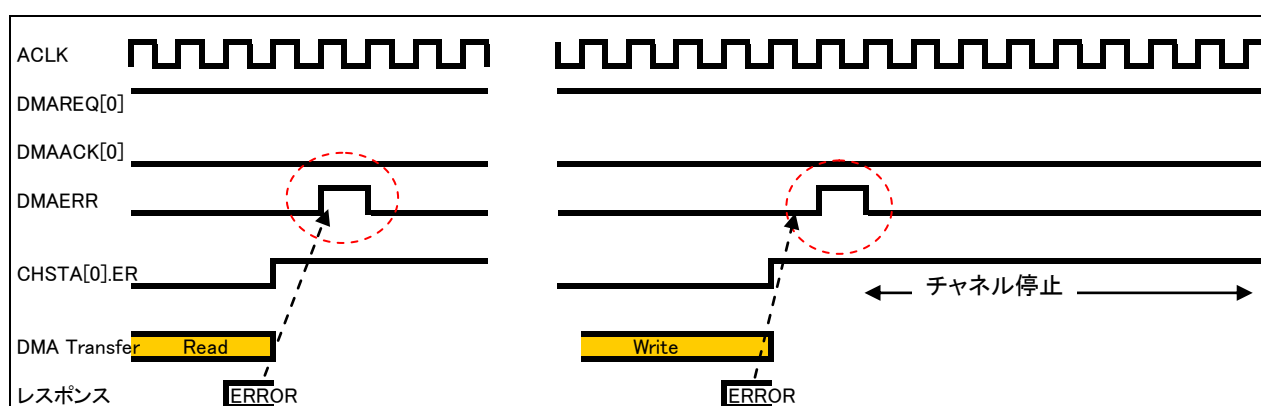


図18-45 エラー応答 (ERROR) による停止タイミング

18.4.8 インターバル・カウント機能

チャンネル・インターバル・レジスタ（CHITVL_n）の ITVL ビットの設定によって、DMA 転送の実行間隔を調整することが可能です。この機能は、DMA コントローラがバスを占有することの無いようにするためのものです。

1 回のリードまたはライトが完了すると、CHITVL_n に設定された値からカウントダウンを始めます。カウント値が 0 になるまでは、次の内部リクエストが実行されません。

動作例を次に示します。

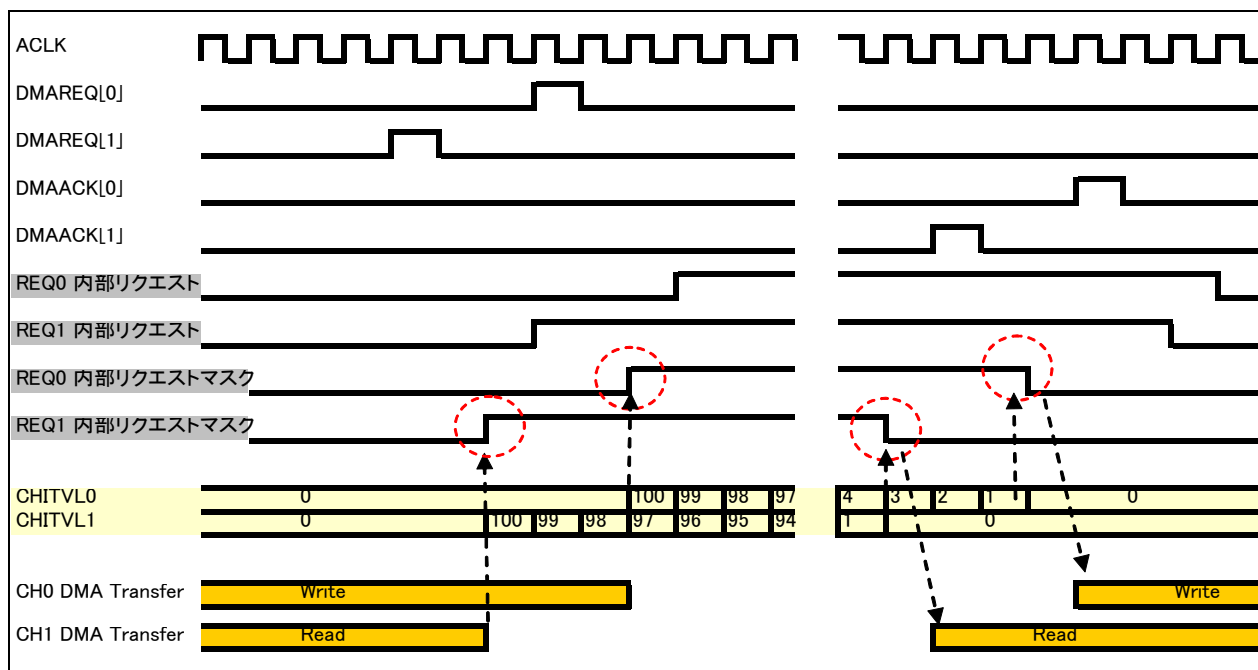


図 18-46 インターバル・カウント

18.4.9 転送サイズによる動作の違い

18.4.9.1 ソース側の転送サイズが小さい場合

ディスティネーション・データ・サイズ分のデータのリードが完了すると、ディスティネーションへのライトを行います。

ソース側が **8bit**、ディスティネーション側が **32bit** の場合のタイミング図を以下に示します。（立ち上がりエッジ検出の場合）

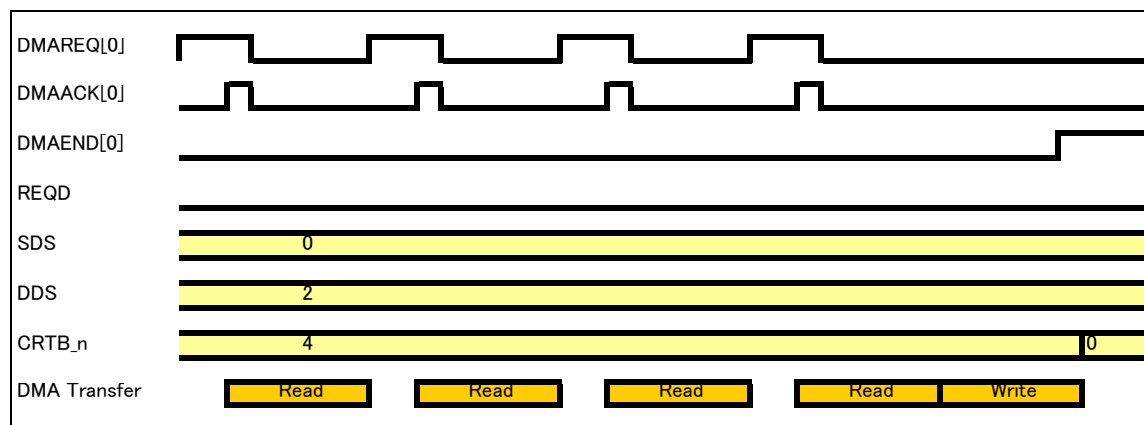


図 18-47 ソースが小さい場合（CHCFG_n の LVL=0, HIEN=1, REQD=0, SDS<DDS）

18.4.9.2 ディスティネーション側の転送サイズが小さい場合

ソース側の方が大きいため、一度のソース・リードの後、数回のディスティネーション・ライトが発生することとなります。ソース側が **64bit**、ディスティネーション側が **16bit** の場合を以下に示します。（立ち上がりエッジ検出の場合）（CHCFG_n レジスタの REQD=1 に設定）

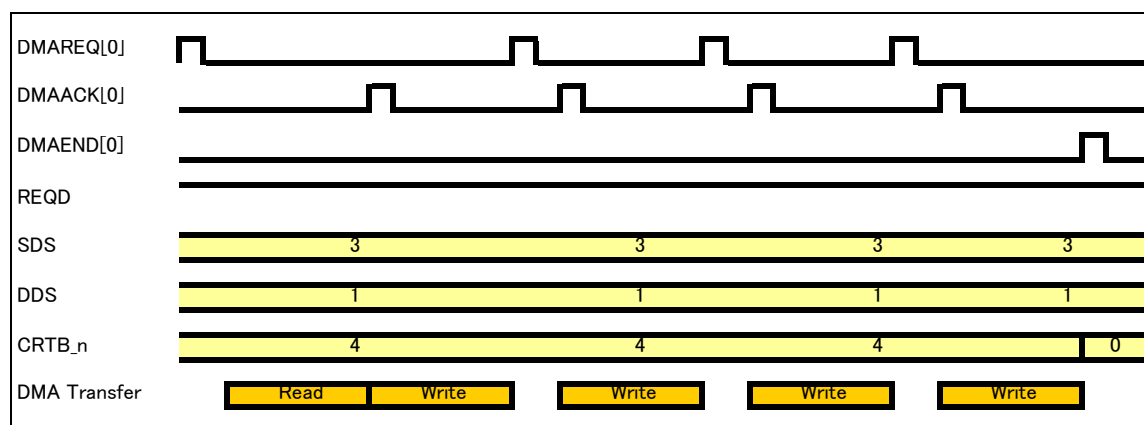


図 18-48 ディスティネーションが小さい場合（CHCFG_n の LVL=0, HIEN=1, REQD=1, SDS>DDS）

18.4.9.3 ソースとディスティネーションの転送サイズが同じ場合

DMA 転送要求を検出するたびにソースのリードとディスティネーションへのライトを行います。

ソースとディスティネーションが **8bit** の場合のタイミング図を以下に示します。（立ち上がりエッジ検出で、CHCFG_n レジスタの REQD=1 に設定の場合）

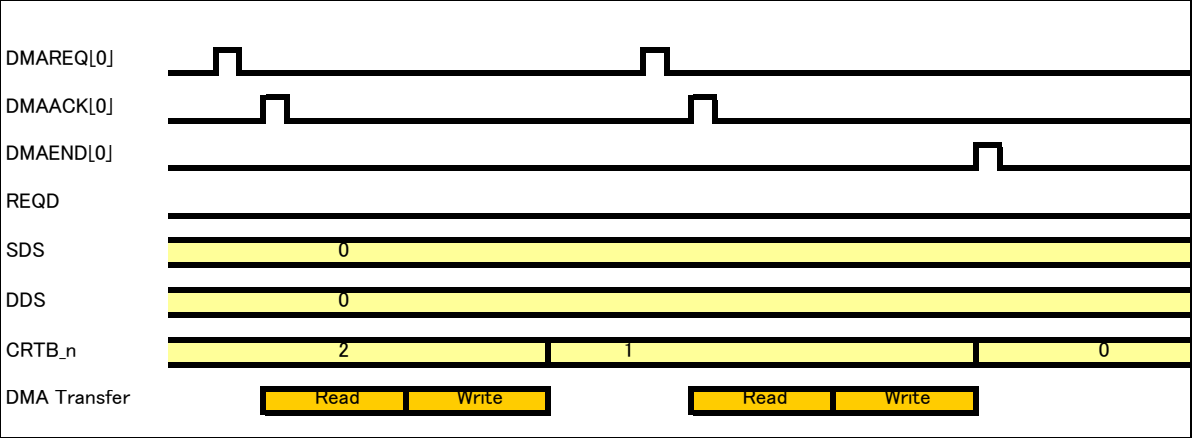


図 18-49 ソースとディスティネーションが同じ場合（CHCFG_n の LVL=0, HIEN=1, REQD=0, SDS=DDS）

18.4.10 転送状態

Channel ステータス・レジスタはチャンネルの DMA 転送実行状態を示します。

18.4.10.1 転送状態

転送状態を示す TACT の表示は以下のようになります。

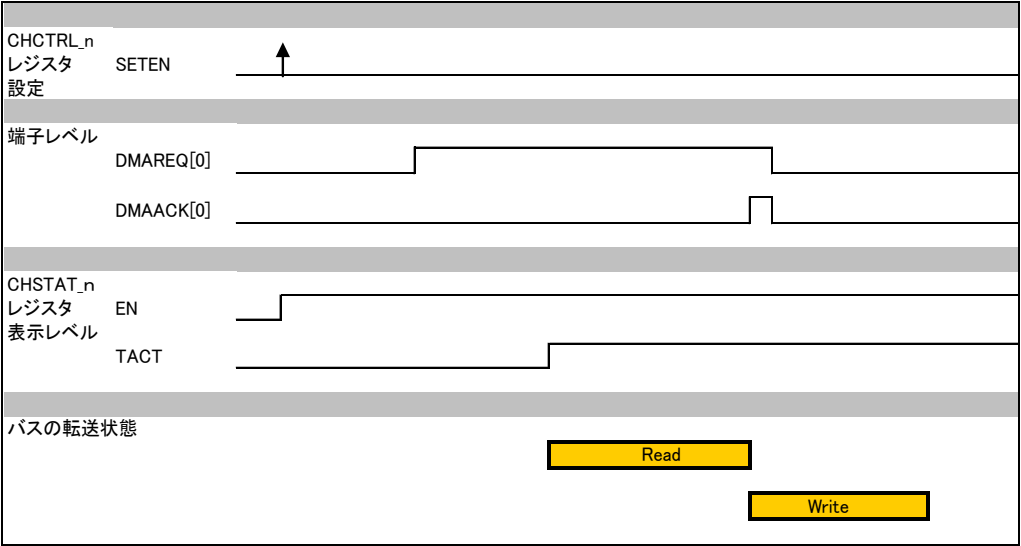


図 18-50 DMAC 状態例 1 (ハードウェア・リクエスト)

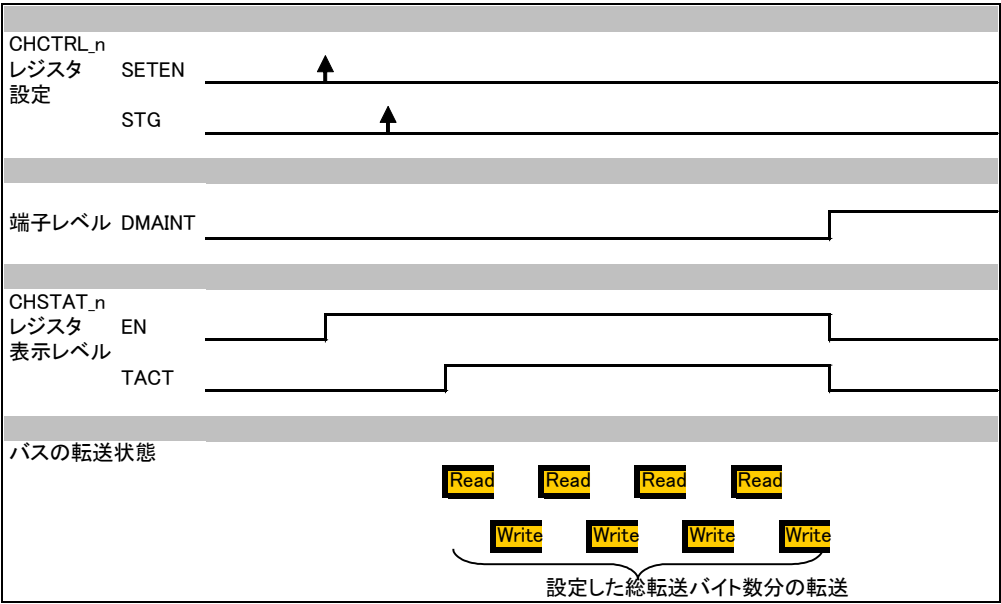


図 18-51 DMAC 状態例 2(ソフトウェア・リクエスト)

18.4.10.2 一時停止

CHCTRL_n の SETSUS ビットで DMA 転送を一時停止することができます。この時、すでに実行されているバス・サイクルがあれば、その完了を待って、停止状態になります。CLRSUS ビットに 1 をライトすることで停止状態から復帰することができます。

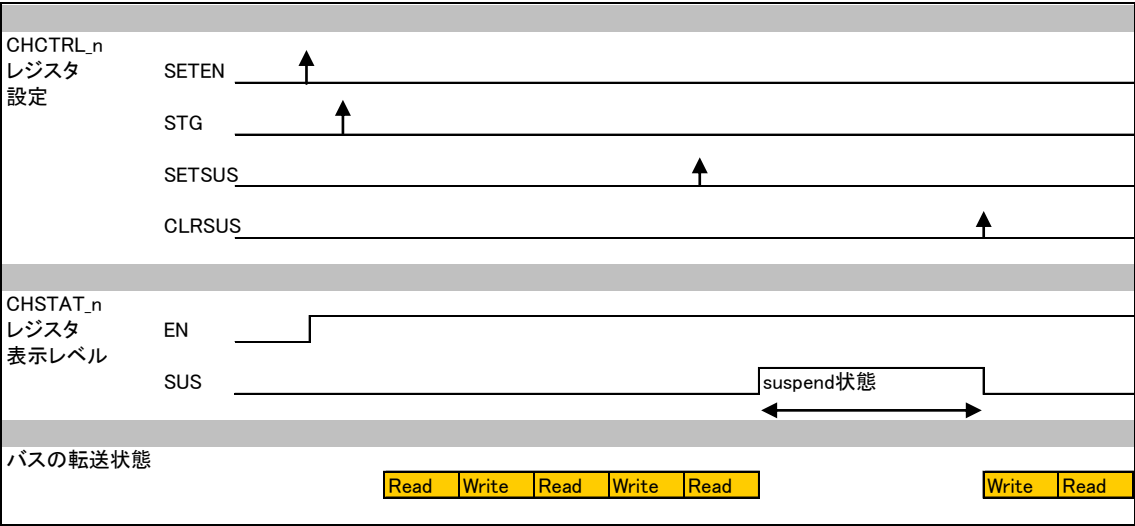


図 18-52 DMAC 一時停止状態(ソフトウェアリクエスト ブロック転送)

上記の場合、リード・トランスファが終了した時点で停止状態に入ります。

すでに DMA が転送を実行している場合、その転送が完了した時点でサスペンド状態になります。サスペンド状態であることを確認するためには、SETSUS をセットした後、CHSTAT レジスタまたは DSTAT_SUS レジスタをリードして該当チャンネルの SUS ビットが 1 になっていることを確認して下さい。

18.4.10.3 転送中断

DMA トランザクション中に **CLREN** に 1 をライトすると、そのチャネルの **DMA** トランザクションを中断することができます。中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモード(**SBE=1**)と、掃き出しを行わないモード(**SBE=0**)を **CHCFG_n** レジスタの **SBE** ビットで選択することができます。デフォルトは **SBE=0** です。

この掃き出しモードが有効で、**CLREN=1** で進行中の転送が中断されると、**DMAC** のバッファにデータが残っていた場合、そのデータを掃き出して、トランザクションが完了になります。

18.4.10.3.1 転送中断（バッファ掃き出しなし：SBE=0）

DMA 転送中に **CLREN** をセットすると、DMA 転送を中断して停止します。停止するタイミングは **REQD** 設定した値にしたがって停止します。停止後は必ず、**SWRST** をセットし **DMA** 内部状態をクリアしてから、次の転送設定を行って下さい。

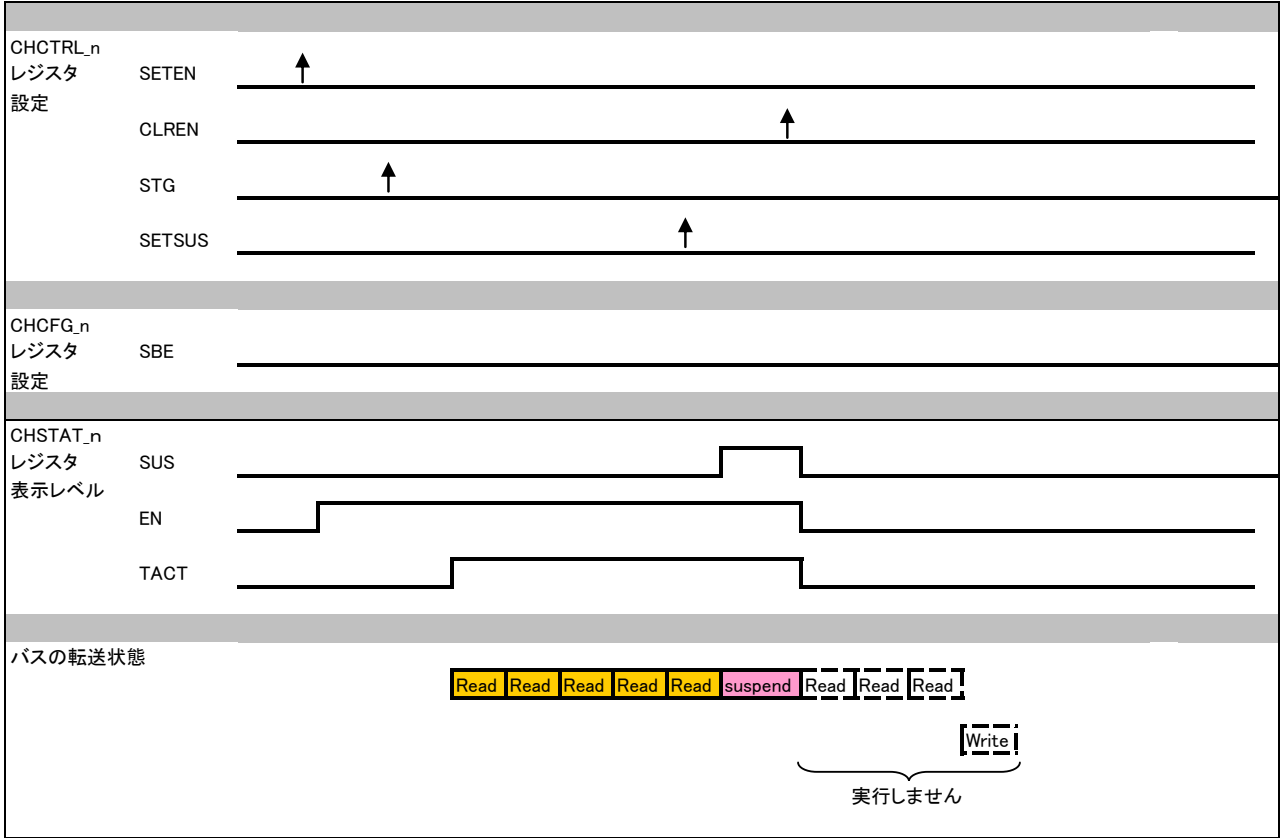


図 18-53 DMA 転送中断

- ・ **TACT** ビットが落ちた時点でチャネルが完全に停止したことを確認できます。
- ・ **DMA** 転送の途中で中断した場合、**DMAEND** 端子はアサートしません。
- ・ **REQD=0** の場合、次のリードが完了した時点で停止します。(ただし、ライトできるデータがバッファ内にある場合はライトして停止します)。
- ・ **REQD=1** の場合、次のライトが完了した時点で停止します。

18.4.10.3.2 転送中断（バッファ掃き出しあり：SBE=1）

DMA 転送中に **CLREN** をセットすると、DMA 転送を中断します。**REQD=0** の場合、すでにリードしたデータを掃き出し(ライト)して DMA 転送を停止します。**REQD=1** でハードウェア・リクエストを使用している場合は、掃き出しモードを使用しないで下さい。停止後は **SWRST** をセットし、**DMAC** 内部状態をクリアしてから、次の転送設定を行って下さい。

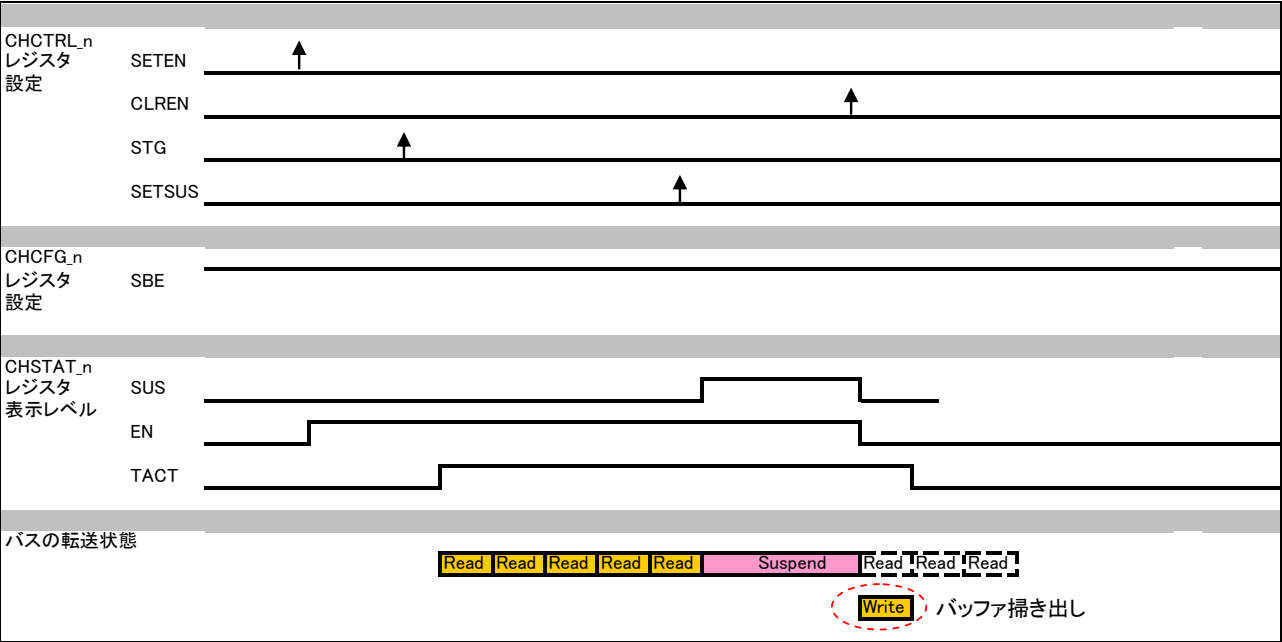


図 18-54 DMA 転送中断(バッファ掃き出しモード)

- ・ **TACT** ビットが落ちた時点でチャンネルが完全に停止したことを確認できます。
- ・ 掃き出しモード(**SBE=1**)で、5 回目のリード転送中に **SETSUS**→**CLREN** で転送を中断した場合、リードしたデータをライトして、DMA を停止します。

18.4.10.3.3 チャンネルの停止確認方法

EN ビットを **0** クリアしても、すでにバス上で転送が実行されている場合は、DMA はすぐに停止することができません。よって DMA が完全に停止したことを確認するためには、**EN** ビットが **0** かつ **TACT** ビットが **0** であることを確認する必要があります。

18.4.10.3.4 転送中断手順

以下に転送停止手順を示します。

1. CHCTRL_n の SETSUS をセットします。
2. CHSTAT_n の SUS ビットが 1 になるまでポーリングします。(このとき、すでに EN が 0 の場合は DMAC が停止しているため、手順 6 へ)
3. CHCTRL_n の CLREN をセットします。
4. SBE=0 の場合は REQD の値にしたがって停止、SBE=1 の場合は掃き出し状態になります。SBE=1 の設定の場合、REQD=0 に設定しておいて下さい。
5. CHSTAT_n をリードして TACT ビットが 0 になっていることを確認します。TACT=0 ならば、DMA が完全に停止したことを意味します。TACT=1 の場合は、0 になるまでポーリングして下さい。
6. 中断後、次の DMA 転送を行う場合、次の転送を開始する直前までに必ず CHCTRL_n の SWRST (ソフトウェアリセット) ビットをセットして下さい。

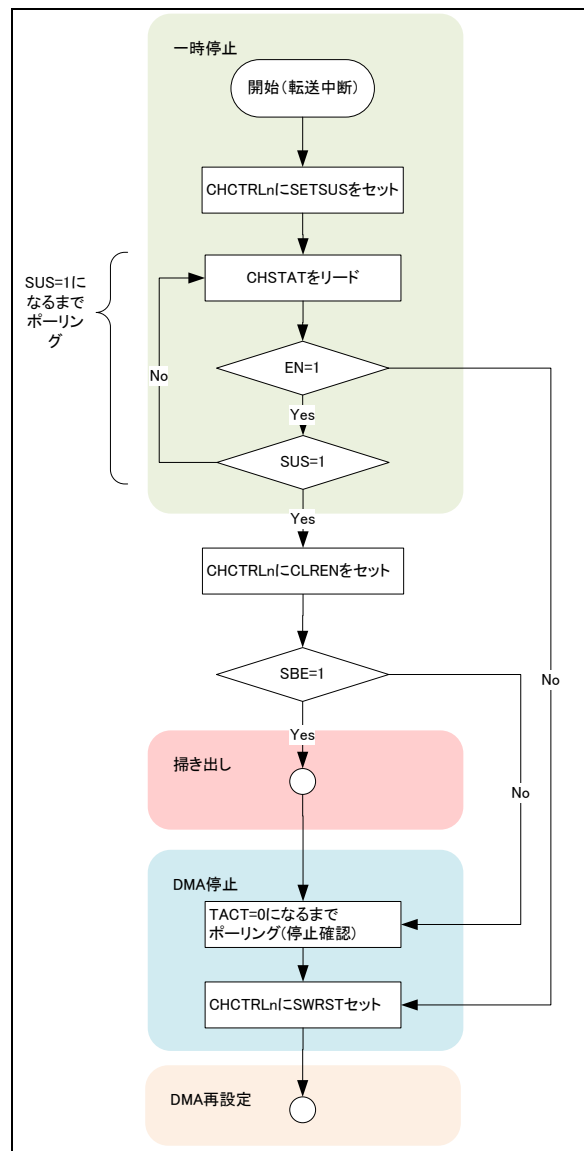


図 18-55 転送中断フロー

18.5 AXI 転送

18.5.1 リード動作概要

単独の DMA チャンネルが動作している場合、リード・アドレスを発行した後、リード・データが返ってきてから、そのチャンネルの次のリード or ライト動作を行います。

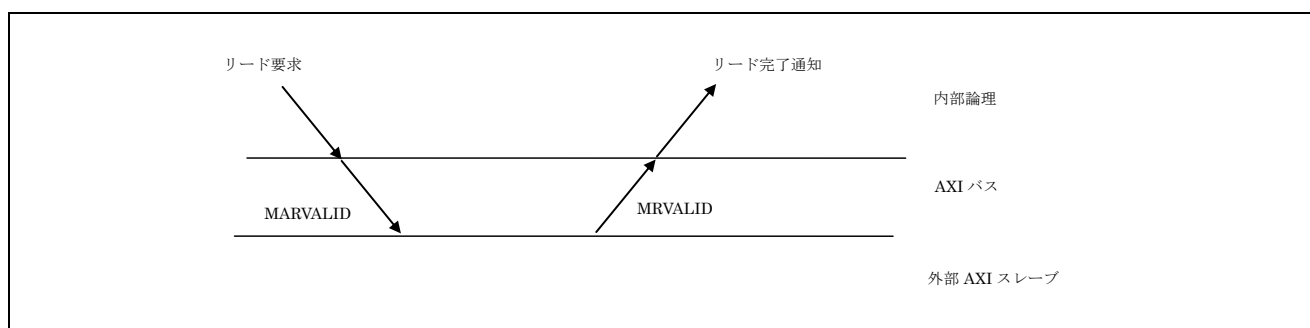


図 18-56 単独 DMA チャンネル転送

複数の DMA チャンネルが動作している場合、リード・アドレスを出力した後、リード・データを待たずに他の DMA チャンネルの転送を行います。後述するように、アンアラインドの場合、アドレスを 2 回発行するので、発行数は最大で、チャンネル数 x2 となります。

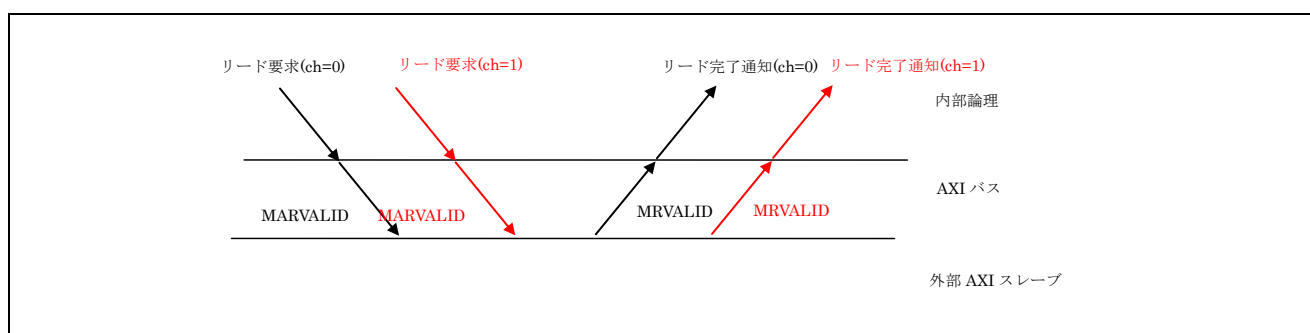


図 18-57 複数 DMA チャンネル転送

リード・データのアウト・オブ・オーダーに対応しています。

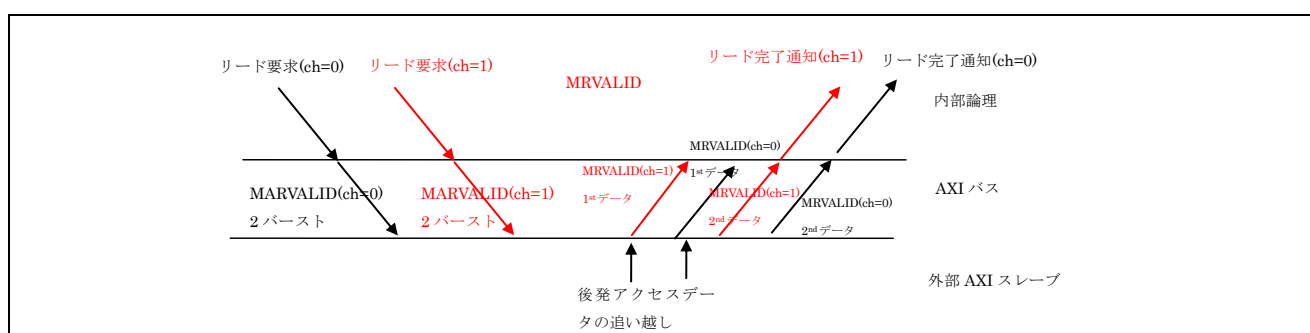


図 18-58 複数 DMA チャンネル転送

アンアラインド領域へのアクセスの場合、1 回のリード要求に対し、AXI へ 2 回のリードを行います（詳細は 18.8 を参照）。分割された 2 回のリードは、MRVALID を待たずに出力されます（MARVALID 間は、1 サイクル間が空きます）。

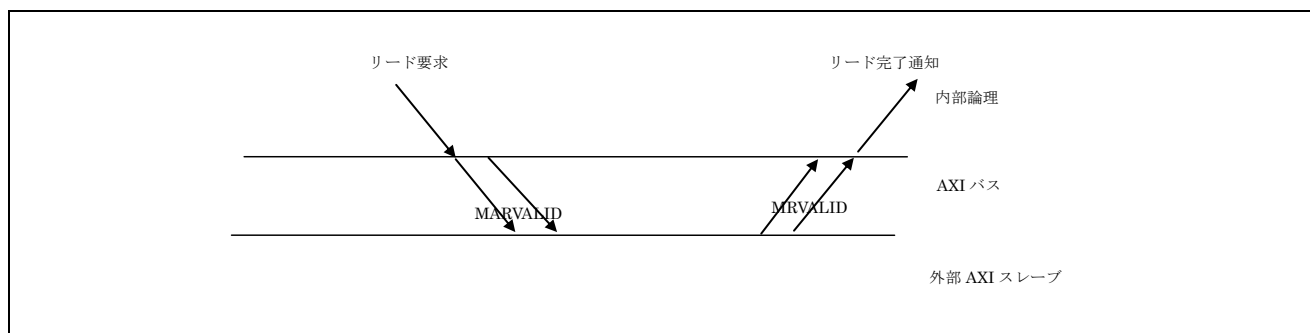


図 18-59 アンアラインド

18.5.2 ライト動作概要

単独の DMA チャンネルが動作している場合、ライト・アドレスを発行した後、レスポンスが返ってきてから、そのチャンネルの次のリード or ライト動作を行います。

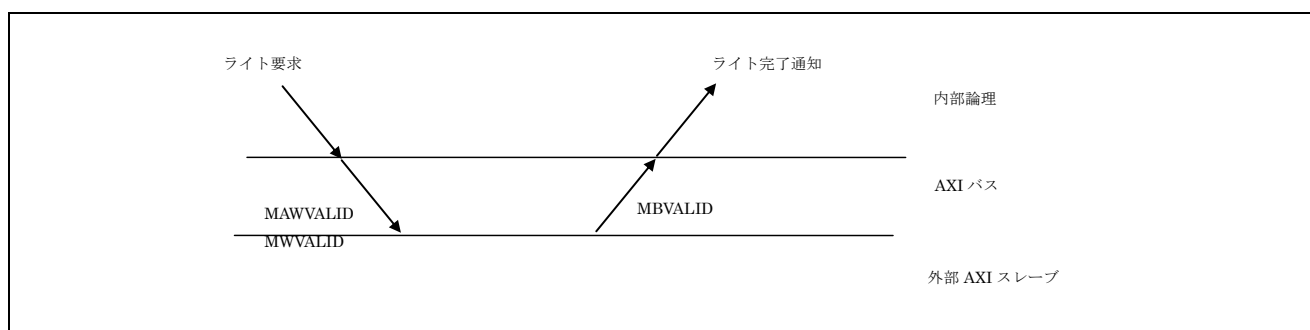


図 18-60 単独 DMA チャンネル転送

複数の DMA チャンネルが動作している場合、ライト・アドレスを出力した後、ライトレスポンスを待たずに他の DMA チャンネルの転送を行います。後述するように、アンアラインドの場合、アドレスを 2 回発行するので、発行数は最大で、チャンネル数 $\times 2$ となります。

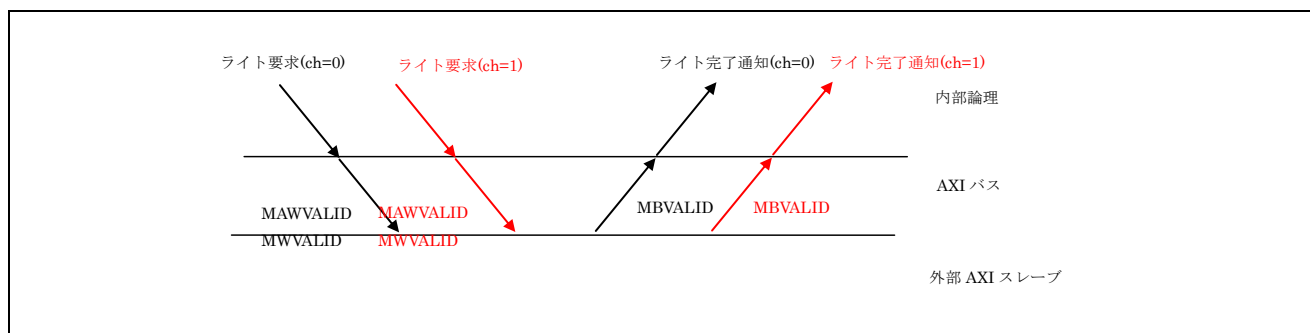


図 18-61 複数 DMA チャンネル転送

アンアラインド領域へのアクセスの場合、1 回のライト要求に対し、AXI へ 2 回のライトを行います（詳細は18.8参照）。分割された 2 回のライトは、MBVALID を待たずに出力されます（MAWVALID 間は、1 サイクル間が空きます）。

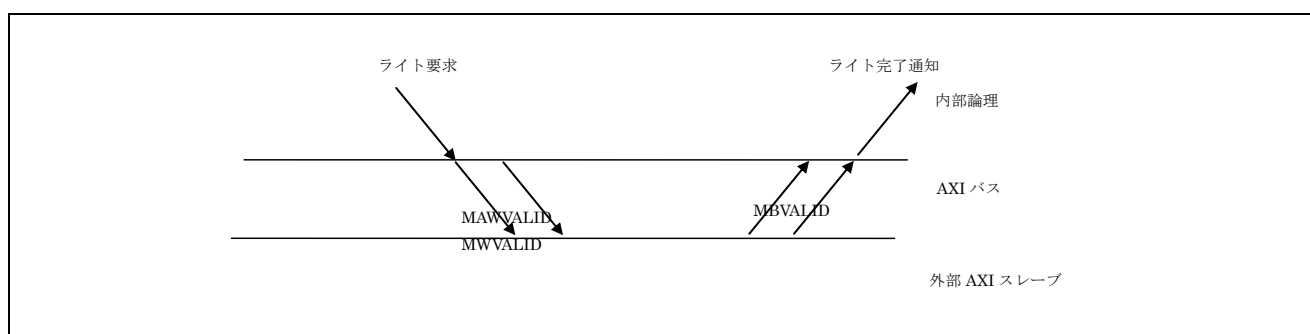


図 18-62 複数 DMA チャンネル転送（アンアラインド）

ライト・データのインタリーブは行いません。発行したアドレスに対応したバーストデータが、全て受け付けられた後、後続のライト・アドレスに対応したデータを発行します。

18.5.3 リード・データのアウト・オブ・オーダー

マスタはチャンネル毎に FIFO バッファを持っているため、1つのチャンネルの転送完了を待たずに連続して転送することができます。例を以下に示します。

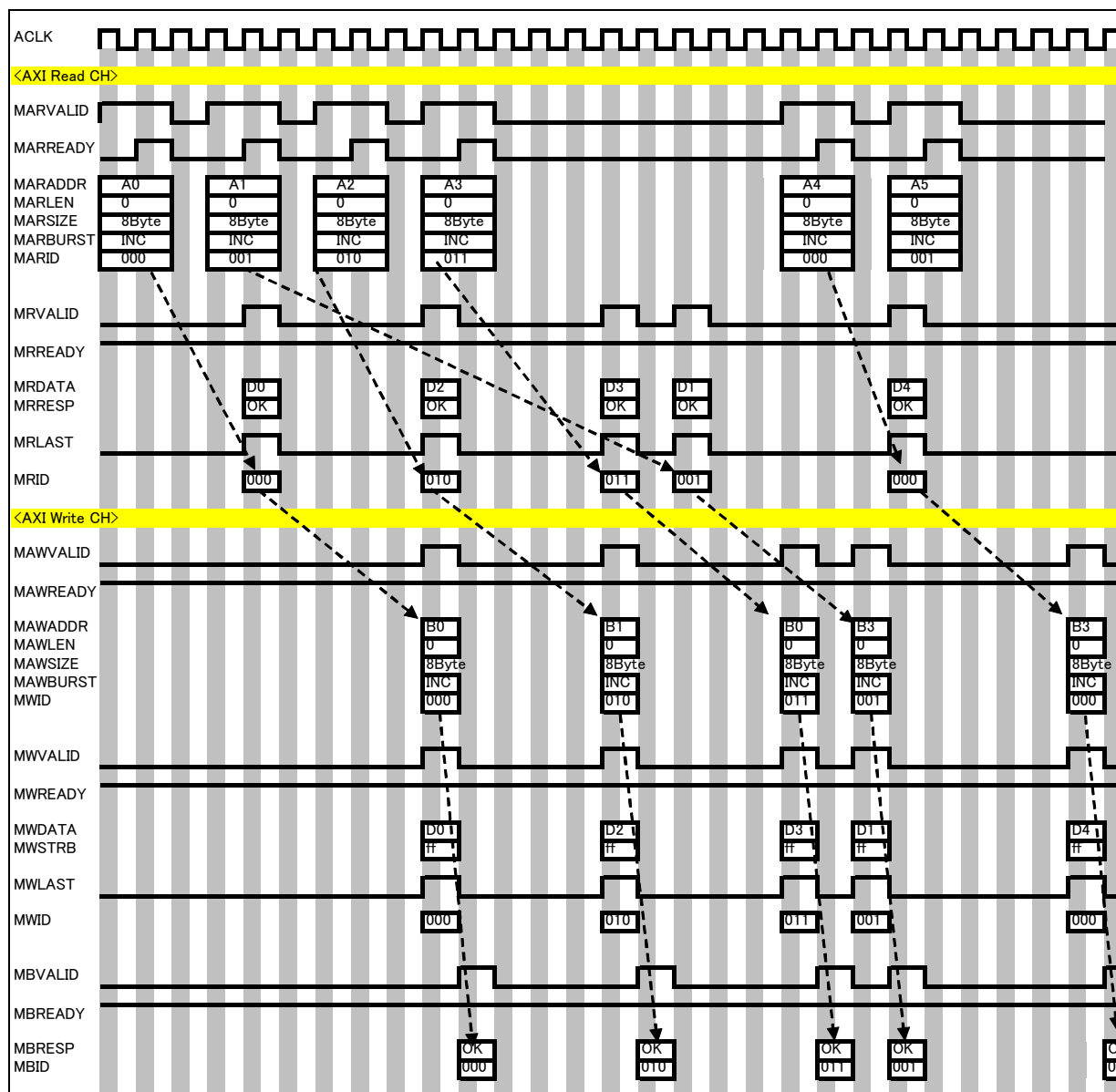


図 18-63 リード・データのアウト・オブ・オーダー

18.5.4 チャンネル優先順位制御と AXI バス

DMAC 内部でチャンネルの優先順位制御を行います。本マクロのマスタ・インタフェースは、リード・データをインタリーブすることができるため、以下のように、優先順位制御された順番で、転送が完了するとは限りません。

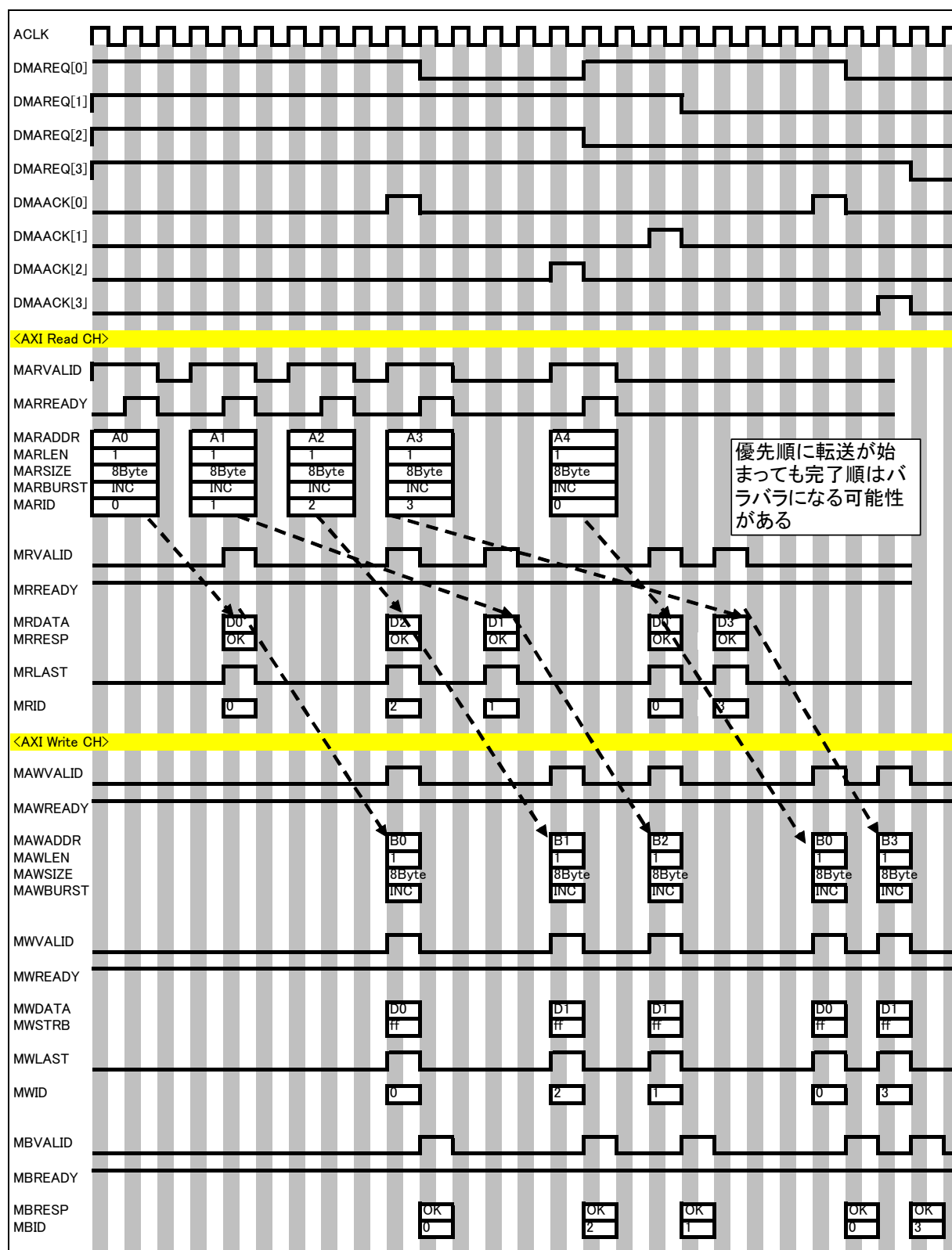


図 18-64 固定優先順位モード波形

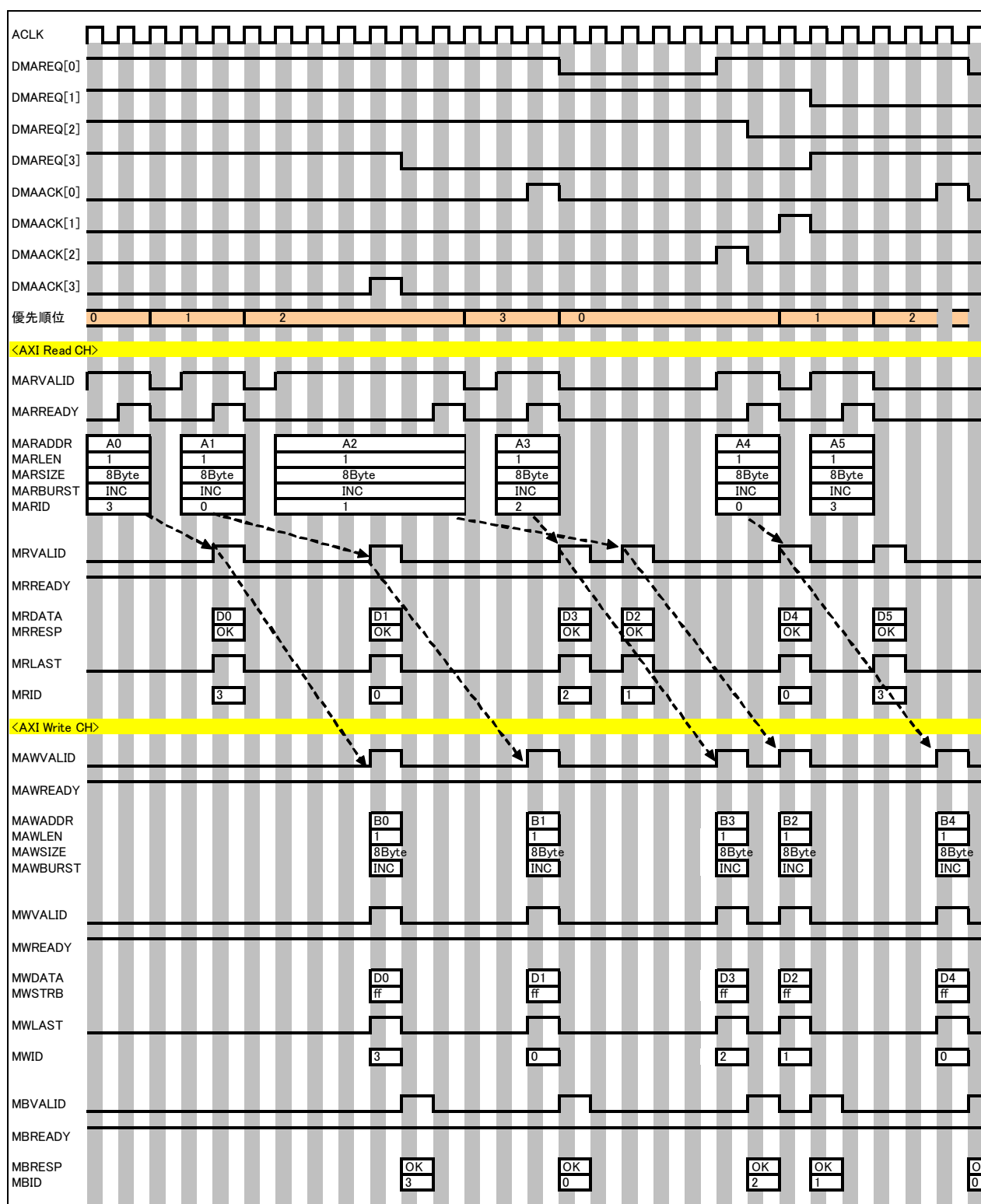


図 18-65 ラウンドロビン・モード

18.5.5 アンアラインド・アドレス転送

ソースまたはディスティネーション・アドレスにアラインされていないアドレスが設定されている場合、要求された空間の前後のアラインされた空間をアクセスします。

アドレスとサイズの組み合わせによる詳細な転送方法については、表 18-57を参照して下さい。

表 18-46 アンアラインド転送とバースト回数

Source address	Destination address	ソースバースト回数	ディスティネーションバースト回数
Aligned	Aligned	N 回	N 回
Unaligned	Aligned	N 回 x2	N 回
Aligned	Unaligned	N 回	N 回 x2
Unaligned	Unaligned	N 回 x2	N 回 x2

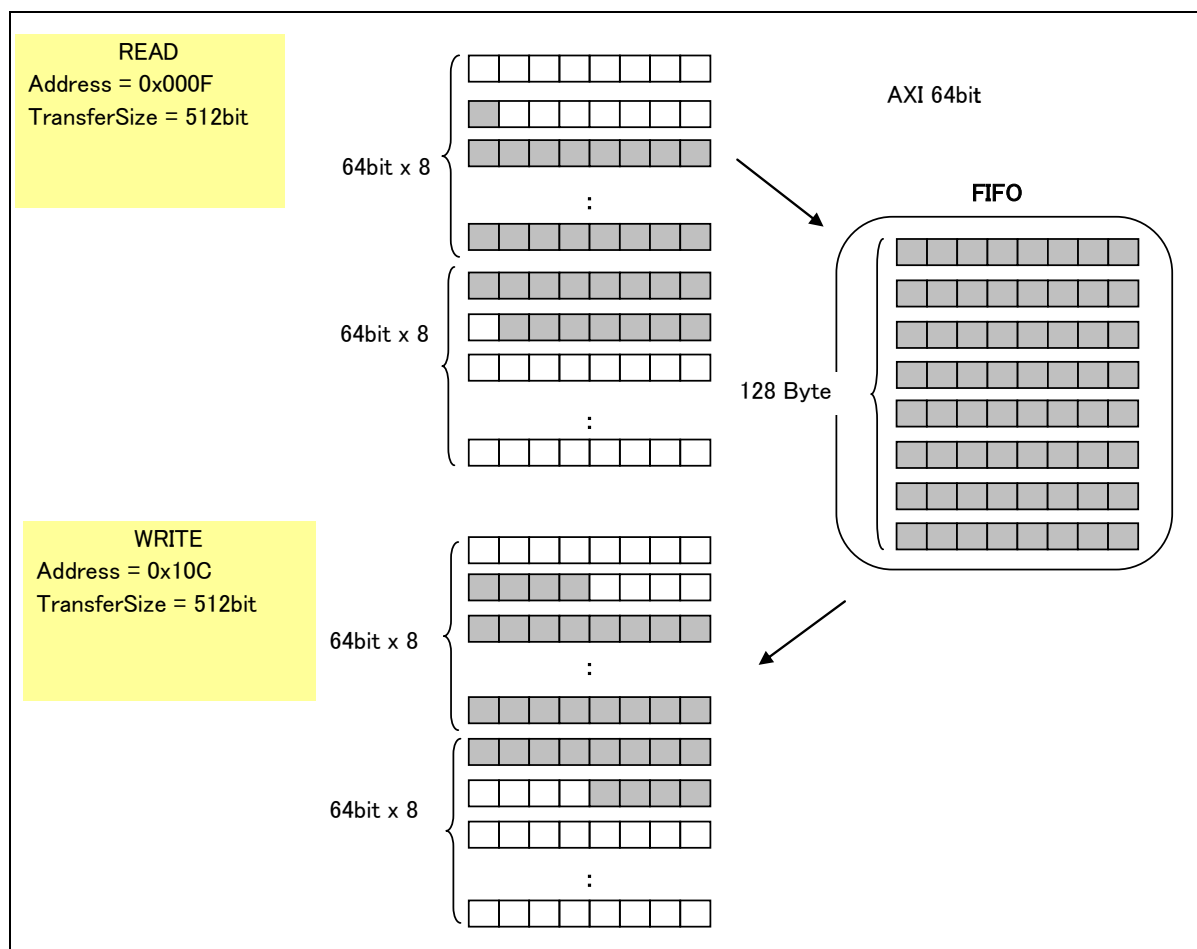


図 18-66 アンアラインド転送イメージ

リードの場合は、マスタ側でリードしたデータから必要なデータ(バイト・ストローブに相当する)を使用します。

18.6 割り込み

割り込み端子として、**DMAEND** と **DMAERR** を有しています。

- DMAEND[x:0]**割り込み端子
 チャンネルごとに端子を分割。
DMA トランザクションが終了した時、またはリンク・モードでインバリッドなディスクリプタをリードした場合にアサート。
- DMAERR** 割り込み端子
 全チャンネルで共通。
 マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合にアサート。

これら割り込み出力は、**DMACTRL** レジスタの **LVINT** フィールドに **0** を設定するとパルス出力、**1** を設定するとレベル出力となります。リセット後はパルス出力となっています。

レベル出力の場合は、**CHSTAT_n** レジスタの対応するフィールドをクリアするまで、割り込み出力を保持します。

DMAEND 割り込み信号は、**CHSTAT_n** レジスタの **INTMSK=1** (**CHCTRL_n** レジスタの **SETINTMSK** フィールドでセット) により、端子出力を一時マスクすることができます。

また、ディスクリプタ **header** の **DIM**、および **CHCFG_n** レジスタの **DEM** フィールドにて、**DMAEND** 割り込み検出をマスクすることができます。割り込み検出をマスクした場合、割り込み発生を表示するステータス・レジスタも変化しません。

上記関係を以下に示します。

表 18-47 割り込み一覧

割り込み端子	アサート条件	割り込み検出のマスク	パルス出力/割り込み出力の切り替え	割り込み出力のマスク
DMAEND	DMA トランザクションが終了	CHCFG_n レジスタ DEM=1	DMACTRL レジスタ LVINT=0：パルス出力 LVINT=1：レベル出力	CHSTAT_n レジスタ INTMSK=1
	リンク・モードでインバリッドなディスクリプタをリード	header の DIM=1		
DMAERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	—（不可）		—（不可）

18.7 DMA 設定例

この章では、本マクロを使用して、DMA 転送を行う場合の設定例を示します。
各設定例の転送条件は次のとおりです。

表 18-48 DMA 転送設定例の転送条件一覧

	DMA モード	転送モード	転送要求
設定例 1	Register	シングル	ハード
設定例 2	Register	ブロック	ソフト
設定例 3	Register (連続実行)	ブロック	ソフト
設定例 4	Link	ブロック	ソフト

設定内容の詳細については、各設定例を参照して下さい。

18.7.1 設定例 1 (レジスタ・モード ハードウェア・リクエスト)

次に示す設定で DMA 転送を行う場合の設定値を示します。

表 18-49 DMA 転送の設定例 1

項目	内容	
使用チャンネル	3	
DMA モード	Register	
転送モード	シングル転送	
使用レジスタ・セット	Next0	
転送元／転送先	転送元	転送先
開始アドレス	1111_0000H	2222_0000H
アドレス方向	インクリメント	インクリメント
データ・サイズ	32 ビット	32 ビット
DMA 転送バイト数	64 Byte	
DMAREQ/ACK/TCO	DMAREQ[3], DMAACK[3], DMATCO[3]を選択	
DMA 転送要求	ハードウェア (DMAREQ[3]端子) による、立ち上がりエッジ検出	
DMAACK 信号	リード時にパルス出力	
DMAEND マスク	なし	
AXI 設定(PROT, CACHE)	デフォルト値	

設定例 1

NOSA = 1111_0000H (転送元アドレス)

NODA = 2222_0000H (転送先アドレス)

NOTB = 0000_0040H (転送バイト数)

CHCFG = 0002_2023H (コンフィグ)

CHITVL = 0000_0000H (インターバル)

CHEXT = 0000_0000H (AXI 設定)

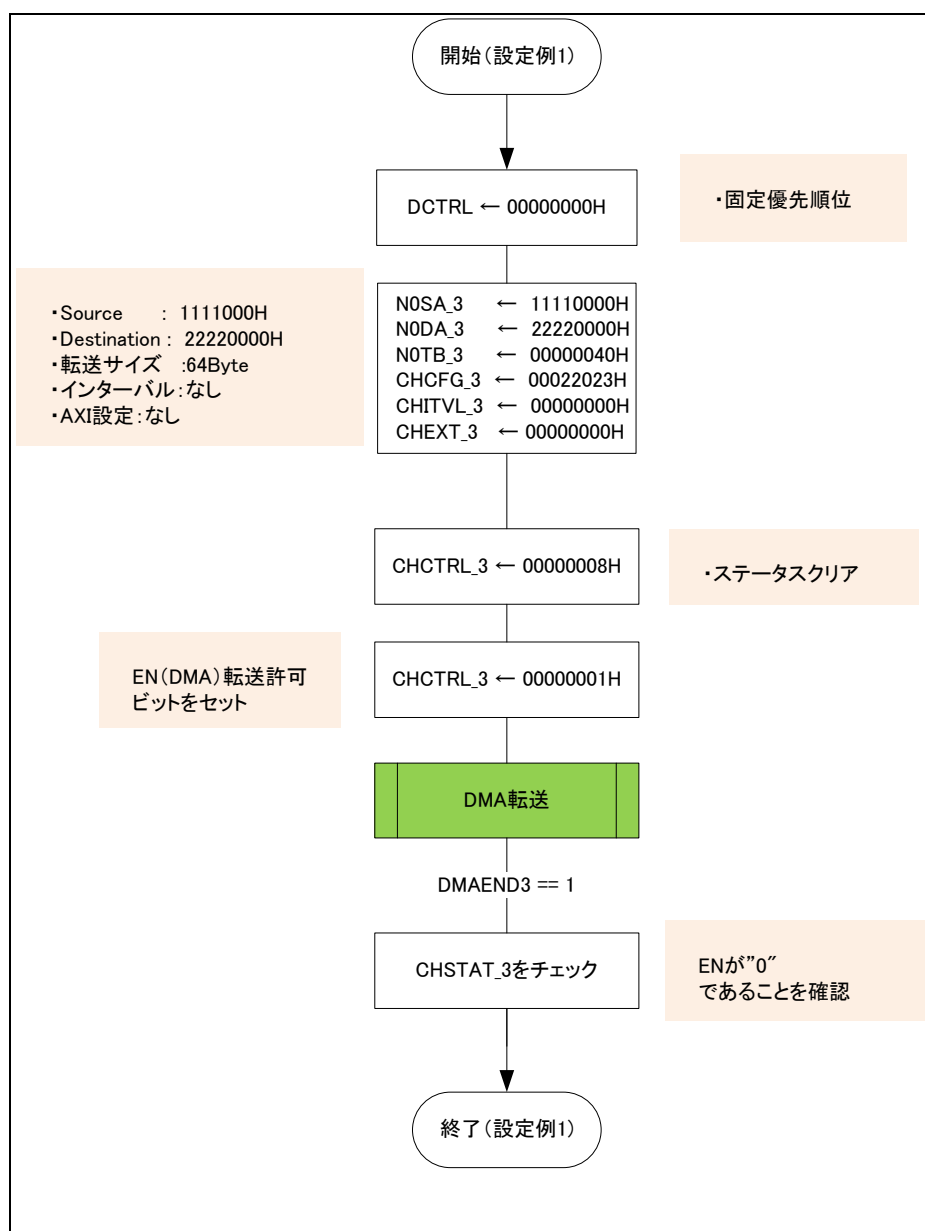


図 18-67 設定例 1

18.7.2 設定例 2 (レジスタ・モード ソフトウェア・リクエスト)

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 18-50 DMA 転送の設定例 2

項目	内容	
使用チャンネル	2	
優先順位制御	ラウンドロビン	
DMA モード	Register	
転送モード	ブロック転送	
使用レジスタ・セット	Next1	
転送元／転送先	転送元	転送先
	開始アドレス	0FFF_E000H 3333_0000H
	アドレス方向	インクリメント インクリメント
	データ・サイズ	8 ビット 256 ビット
DMA 転送バイト数	128 Byte	
DMAREQ/ACK/TCO	DMAREQ[7], DMAACK[7], DMATCO[7]を選択	
DMA 転送要求	ソフトウェア・リクエスト	
DMAACK 信号	マスク	
DMAEND マスク	なし	
AXI 設定(PROT, CACHE)	デフォルト値	

設定例 2

DCTRL = 0000_0001H(DMA 設定)

N1SA = 0FFF_E000H (転送元アドレス)

N1DA = 3333_0000H (転送先アドレス)

N1TB = 0000_0080H (転送バイト数)

CHCFG = 1045_0407H (コンフィグ)

CHITVL = 0000_0000H (インターバル)

CHEXT = 0000_0000H (AXI 設定)

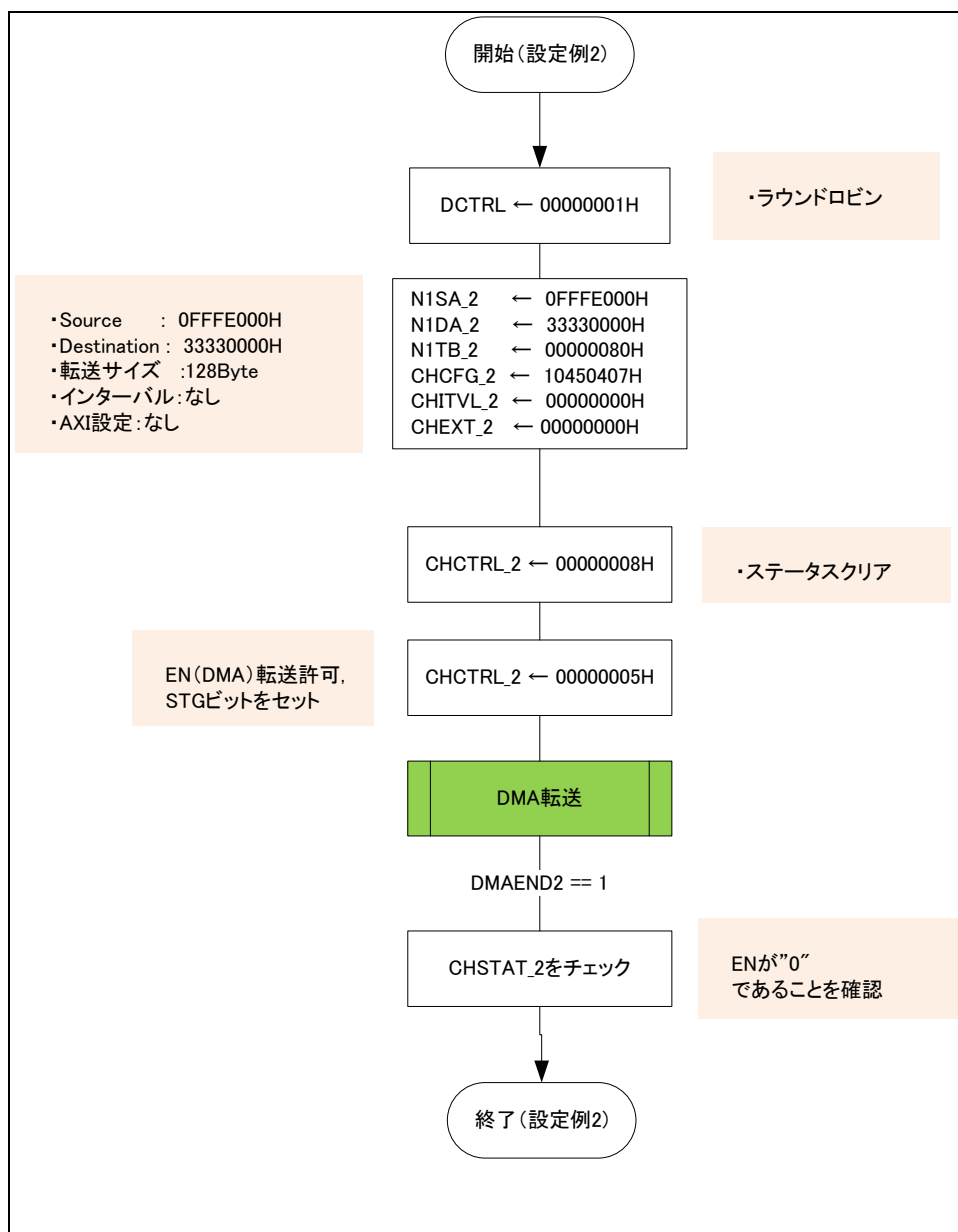


図 18-68 設定例 2

18.7.3 設定例 3 (レジスタ・モード 連続実行)

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 18-51 DMA 転送の設定例 3

項目		内容	
使用チャンネル		1	
優先順位制御		ラウンドロビン	
DMA モード		Register	
転送モード		ブロック転送	
使用レジスタ・セット		Next0→Next1 連続	
Next0		転送元	転送先
	開始アドレス	1111_0000H	3333_0000H
	アドレス方向	固定	固定
	データ・サイズ	32 ビット	512 ビット
	DMA 転送バイト数	512Byte	
Next1		転送元	転送先
	開始アドレス	2222_0000H	4444_0000H
	アドレス方向	固定	固定
	データ・サイズ	32 ビット	512 ビット
	DMA 転送バイト数	2048Byte	
DMAREQ/ACK/TCO		DMAREQ[7], DMAACK[7], DMATCO[7]を選択	
DMA 転送要求		ソフトウェア・リクエスト	
DMAACK 信号		出力しない	
DMAEND マスク		Next0 完了時に DMAEND をマスク	
AXI 設定(PROT, CACHE)		デフォルト値	

設定例 3

DCTRL = 0000_0001H(DMA 設定)

N0SA = 1111_0000H (転送元アドレス)

N0DA = 3333_0000H (転送先アドレス)

N0TB = 0000_0200H (転送バイト数)

N1SA = 2222_0000H (転送元アドレス)

N1DA = 4444_0000H (転送先アドレス)

N1TB = 0000_0800H (転送バイト数)

CHCFG = 6176_2007H (コンフィグ)

CHITVL = 0000_0000H (インターバル)

CHEXT = 0000_0000H (AXI 設定)

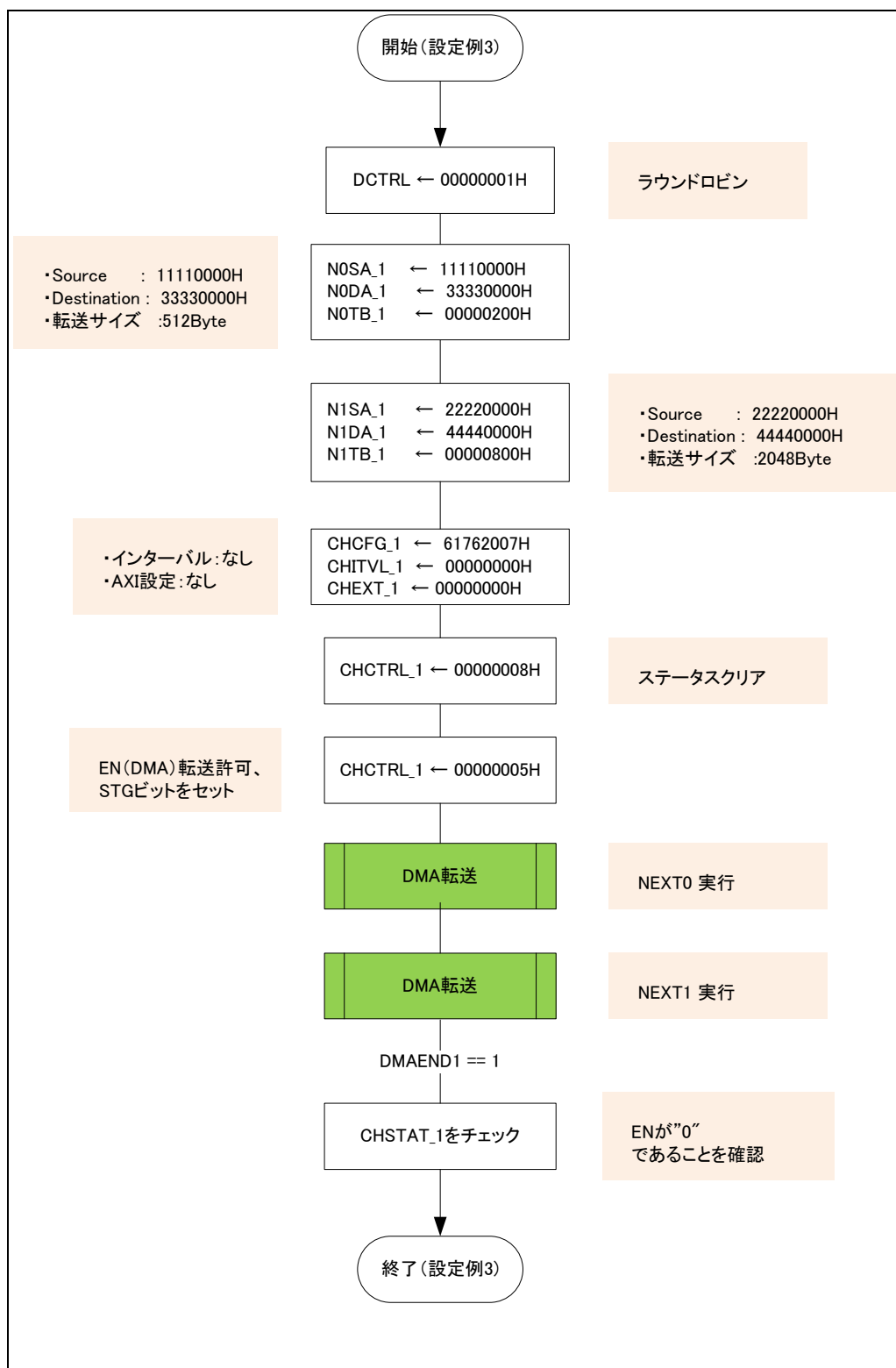


図 18-69 設定例 3

18.7.4 設定例 4(リンク・モード)

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 18-52 DMA 転送の設定例 4

項目	内容
使用チャンネル	0
優先順位制御	ラウンドロビン
DMA モード	Link
転送モード	ブロック転送
使用レジスタ・セット	—
ディスクリプタ 開始アドレス	0000_1000H

表 18-53 DMA 転送の設定例 4(ディスクリプタ 1)

項目		内容	
ディスクリプタ 先頭アドレス		0000_1000H	
次ディスクリプタ 先頭アドレス		0000_2000H	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	1111_0000H	3333_0000H
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	32 ビット	32 ビット
	DMA 転送バイト数	2048Byte	
DMAREQ/ACK/TCO		DMAREQ[0], DMAACK[0], DMATCO[0]を選択	
DMA 転送要求		ソフト起動(STG)	
DMAACK 信号		出力しない	
DMAEND マスク		あり	
AXI 設定(PROT, CACHE)		デフォルト値	
header			
	LV=1 だった場合の DMAEND	発行(DIM=0)	
	LV 書き戻し	あり(WBD=0)	
	次リンク先	あり(LE=0)	
	ディスクリプタ有効	有効(LV=1)	

表 18-54 DMA 転送の設定例 4(ディスクリプタ 2)

項目		内容	
ディスクリプタ 先頭アドレス		0000_2000H	
次ディスクリプタ 先頭アドレス		0000_5000H	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	4444_0000H	5555_0000H
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	64 ビット	256 ビット
	DMA 転送バイト数	1024Byte	
DMAREQ/ACK/TCO		DMAREQ[0], DMAACK[0], DMATCO[0]を選択	
DMA 転送要求		ソフト起動(STG)	
DMAACK 信号		出力しない	
DMAEND マスク		あり	
AXI 設定(PROT, CACHE)		デフォルト値	
header			
	LV=1 だった場合の DMAEND	発行(DIM=0)	
	LV 書き戻し	あり(WBD=0)	
	次リンク先	あり(LE=0)	
	ディスクリプタ有効	有効(LV=1)	

表 18-55 DMA 転送の設定例 4(ディスクリプタ 3)

項目		内容	
ディスクリプタ 先頭アドレス		0000_5000H	
次ディスクリプタ 先頭アドレス		—	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	7777_0000H	AAAA_0000H
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	512 ビット	512 ビット
	DMA 転送バイト数	4096Byte	
DMAREQ/ACK/TCO		DMAREQ[0], DMAACK[0], DMATCO[0]を選択	
DMA 転送要求		ソフト起動(STG)	
DMAACK 信号		出力しない	
DMAEND マスク		なし	
AXI 設定(PROT, CACHE)		デフォルト値	
header			
	LV=1 だった場合の DMAEND	発行(DIM=0)	
	LV 書き戻し	あり(WBD=0)	
	次リンク先	なし(LE=1)	
	ディスクリプタ有効	有効(LV=1)	

設定例 4

DCTRL= 0000_0001H(DMA 設定)

NXLA = 0000_1000H(ディスクリプタ先頭アドレス)

CHCFG = 8000_0000H (コンフィグ)

表 18-56 ディスクリプタ設定

	ディスクリプタ 1	ディスクリプタ 2	ディスクリプタ 3
header	0000_0001H	0000_0001H	0000_0003H
SA(Source Address)	1111_0000H	4444_0000H	7777_0000H
DA(Destination Address)	3333_0000H	5555_0000H	AAA_A0000H
TB(Transaction Byte)	0000_0800H	0000_0400H	0000_1000H
CFG(configuration)	8342_2008H	8345_3008H	8246_6008H
ITVL(Interval)	0000_0000H	0000_0000H	0000_0000H
EXT(Extension)	0000_0000H	0000_0000H	0000_0000H
NXLA(Next Link Address)	0000_2000H	0000_5000H	0000_0000H

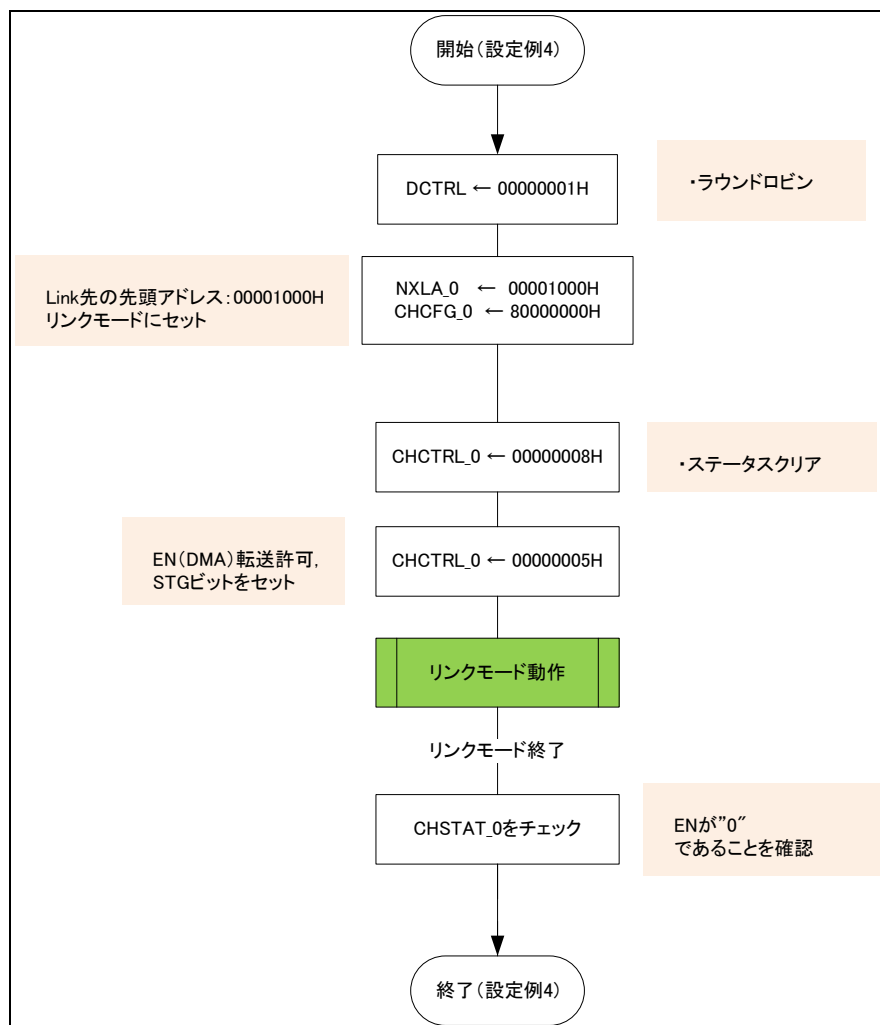


図 18-70 設定例 4

18.7.5 Next レジスタ連続実行設定

レジスタ・モードで 2 つの Next レジスタ・セットを使用して、DMA 転送を継続する場合のフローチャートを示します。一方の Next レジスタの DMA トランザクションを実行中に、もう一方の Next レジスタの設定を行い、DMA 転送を継続して実行します。

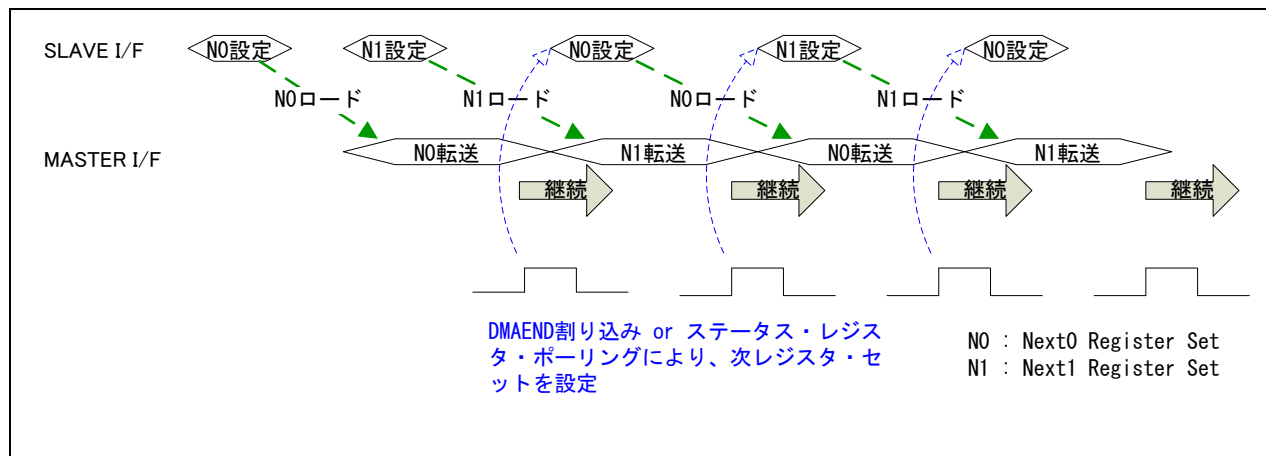
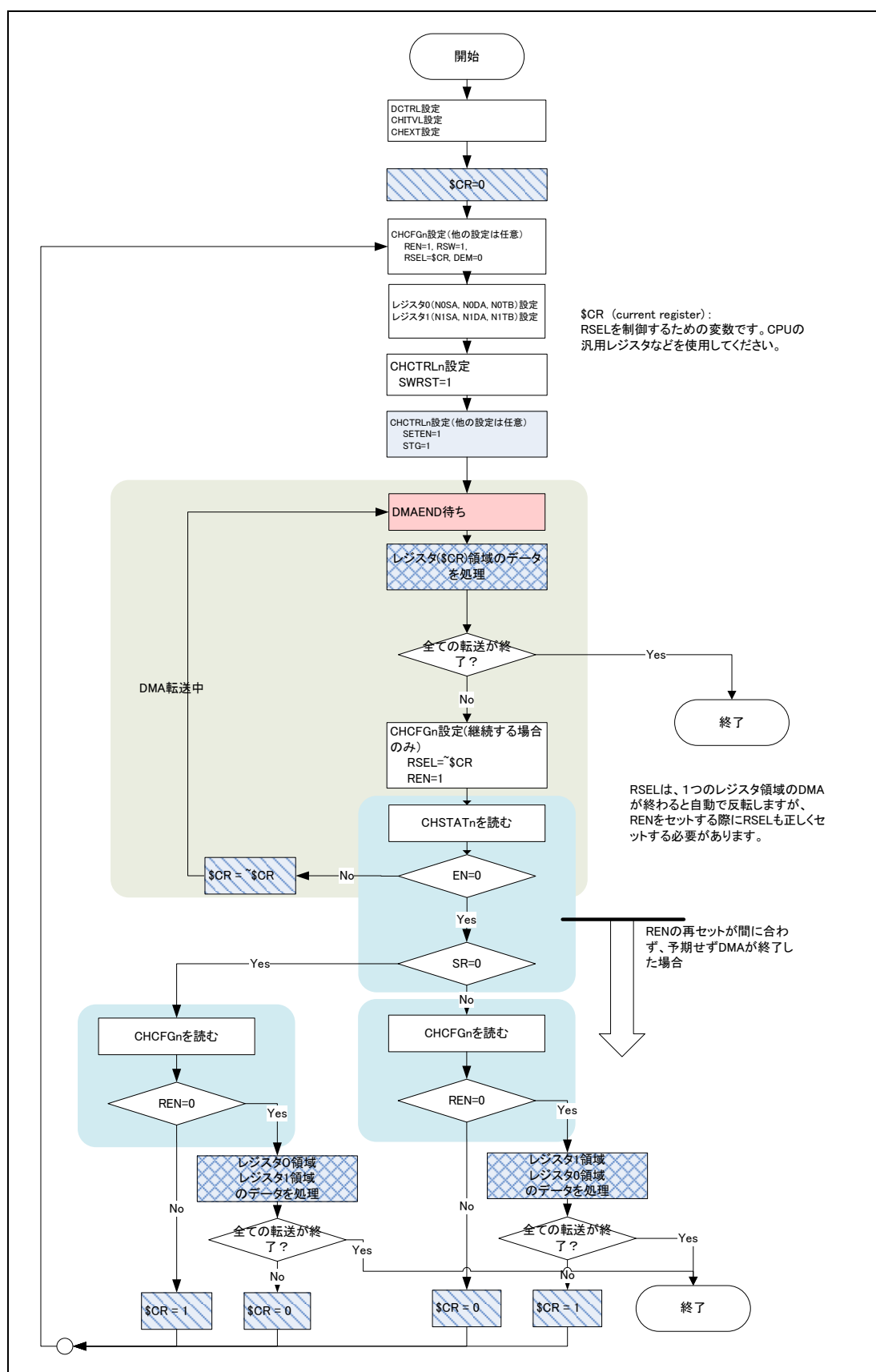


図 18-71 Next レジスタ連続実行イメージ



- 補足

最初に転送するレジスタ・セット（0（N0SA, N0DA, N0TB）, 1（N1SA, N1DA, N1TB））を CPU の汎用レジスタなどに保存して下さい（このレジスタの値を便宜上 \$CR と呼びます。）。

1つのレジスタ・セットの DMA 転送が終わる（DMAEND がアサートされる）ごとに、REN は自動的に 0 にクリアされます。続けて実行するには、DMAEND がアサートされるたびに、CHCFGn レジスタの REN をセットする必要がありますが、同レジスタには RSEL の設定ビットもあり、この値も正しく設定する必要があります。このために \$CR を使用して下さい。

本モードでは二つの Next レジスタを連続して実行しますが、CLREN のセットが DMA トランザクション終了（次の DMAEND がアサートされる）までに間に合わなかった場合、連続実行は止まります。この場合、CHSTATn レジスタの SR, EN ビットと、CHCFGn レジスタの REN をリードすることで、どこまで転送ができたかを確認することができます。再開する場合には上記のフローチャートの手順に従って実行して下さい。

18.8 付録

AXI 64bit マスタ転送の発行タイプの一覧を示します。

表 18-57 AXI 64bit マスタ転送組み合わせ一覧

Source/Destination Address [2:0]	SDS(DDS) 設定値	AXI 転送				
		アドレス	データ サイズ	バースト サイズ	MWSTRB(ライト時のみ)	
					1 データ目	2 データ目以降
0x0	0(8bit)	0x00	8	1	0000_0001	—
	1(16bit)	0x00	16	1	0000_0011	—
	2(32bit)	0x00	32	1	0000_1111	—
	3(64bit)	0x00	64	1	1111_1111	—
	4(128bit)	0x00	64	2	1111_1111	—
	5(256bit)	0x00	64	4	1111_1111	—
	6(512bit)	0x00	64	8	1111_1111	—
0x1	7(1024bit)	0x00	64	16	1111_1111	—
	0(8bit)	0x01	8	1	0000_0010	—
	1(16bit)	0x00	16	1	0000_0010	—
		0x02			0000_0100	—
	2(32bit)	0x00	32	1	0000_1110	—
		0x04			0001_0000	—
	3(64bit)	0x00	64	1	1111_1110	—
		0x08			0000_0001	—
	4(128bit)	0x00	64	2	1111_1110	1111_1111
		0x10			0000_0001	0000_0000
	5(256bit)	0x00	64	4	1111_1110	1111_1111 x3
		0x20			0000_0001	0000_0000 x3
	6(512bit)	0x00	64	8	1111_1110	1111_1111 x7
		0x40			0000_0001	0000_0000 x7
0x2	7(1024bit)	0x00	64	16	1111_1110	1111_1111 x15
		0x80			0000_0001	0000_0000 x15
	0(8bit)	0x02	8	1	0000_0100	—
	1(16bit)	0x02	16	1	0000_1100	—
	2(32bit)	0x00	32	1	0000_1100	—
		0x04			0011_0000	—
	3(64bit)	0x00	64	1	1111_1100	—
		0x08			0000_0011	—
	4(128bit)	0x00	64	2	1111_1100	1111_1111
		0x10			0000_0011	0000_0000
	5(256bit)	0x00	64	4	1111_1100	1111_1111 x3
		0x20			0000_0011	0000_0000 x3
	6(512bit)	0x00	64	8	1111_1100	1111_1111 x7
		0x40			0000_0011	0000_0000 x7
0x3	7(1024bit)	0x00	64	16	1111_1100	1111_1111 x15
		0x80			0000_0011	0000_0000 x15
	0(8bit)	0x03	8	1	0000_1000	—
	1(16bit)	0x00	16	1	0000_1000	—
		0x02			0001_0000	—
	2(32bit)	0x00	32	1	0000_1000	—
		0x04			0111_0000	—
	3(64bit)	0x00	64	1	1111_1000	—
		0x08			0000_0111	—
	4(128bit)	0x00	64	2	1111_1000	1111_1111
		0x10			0000_0111	0000_0000
	5(256bit)	0x00	64	4	1111_1000	1111_1111 x3
		0x20			0000_0111	0000_0000 x3
	6(512bit)	0x00	64	8	1111_1000	1111_1111 x7
		0x40			0000_0111	0000_0000 x7
0x4	7(1024bit)	0x00	64	16	1111_1000	1111_1111 x15
		0x80			0000_0111	0000_0000 x15
	0(8bit)	0x04	8	1	0001_0000	—
	1(16bit)	0x04	16	1	0011_0000	—
	2(32bit)	0x04	32	1	1111_0000	—
	3(64bit)	0x00	64	1	1111_0000	—
		0x08			0000_1111	—

	4(128bit)	0x00	64	2	1111_0000	1111_1111
		0x10	64	2	0000_1111	0000_0000
	5(256bit)	0x00	64	4	1111_0000	1111_1111 x3
		0x20	64	4	0000_1111	0000_0000 x3
	6(512bit)	0x00	64	8	1111_0000	1111_1111 x7
		0x40	64	8	0000_1111	0000_0000 x7
	7(1024bit)	0x00	64	16	1111_0000	1111_1111 x15
		0x80	64	16	0000_1111	0000_0000 x15
0x5	0(8bit)	0x05	8	1	0010_0000	—
	1(16bit)	0x04	16	1	0010_0000	—
		0x06	16	1	0100_0000	
	2(32bit)	0x04	32	1	1110_0000	—
		0x08	32	1	0000_0001	—
	3(64bit)	0x00	64	1	1110_0000	—
		0x08			0001_1111	
	4(128bit)	0x00	64	2	1110_0000	1111_1111
		0x10			0001_1111	0000_0000
	5(256bit)	0x00	64	4	1110_0000	1111_1111 x3
		0x20			0001_1111	0000_0000 x3
	6(512bit)	0x00	64	8	1110_0000	1111_1111 x7
		0x40			0001_1111	0000_0000 x7
	7(1024bit)	0x00	64	16	1110_0000	1111_1111 x15
		0x80			0001_1111	0000_0000 x15
0x6	0(8bit)	0x06	8	1	0100_0000	—
	1(16bit)	0x06	16	1	1100_0000	—
	2(32bit)	0x04	32	1	1100_0000	—
		0x08			0000_0011	—
	3(64bit)	0x00	64	1	1100_0000	—
		0x08			0011_1111	
	4(128bit)	0x00	64	2	1100_0000	1111_1111
		0x10			0011_1111	0000_0000
	5(256bit)	0x00	64	4	1100_0000	1111_1111 x3
		0x20			0011_1111	0000_0000 x3
	6(512bit)	0x00	64	8	1100_0000	1111_1111 x7
		0x40			0011_1111	0000_0000 x7
	7(1024bit)	0x00	64	16	1100_0000	1111_1111 x15
		0x80			0011_1111	0000_0000 x15
0x7	0(8bit)	0x07	8	1	1000_0000	—
	1(16bit)	0x06	16	1	1000_0000	—
		0x08			0000_0001	—
	2(32bit)	0x04	32	1	1000_0000	—
		0x08			0000_0111	—
	3(64bit)	0x00	64	1	1000_0000	—
		0x08			0111_1111	
	4(128bit)	0x00	64	2	1000_0000	1111_1111
		0x10			0111_1111	0000_0000
	5(256bit)	0x00	64	4	1000_0000	1111_1111 x3
		0x20			0111_1111	0000_0000 x3
	6(512bit)	0x00	64	8	1000_0000	1111_1111 x7
		0x40			0111_1111	0000_0000 x7
	7(1024bit)	0x00	64	16	1000_0000	1111_1111 x15
		0x80			0111_1111	0000_0000 x15

18.9 制限事項

以下に、本マクロの制限事項を示します。

- 本マクロを使用して、データのソースとディスティネーションの領域が同じ、または一部を共有するような転送を行った場合、データの一貫性を保障することができません。したがって、データのソースとディスティネーションのアドレス領域が重複する転送は行わないで下さい。
- **DMAREQ** 端子を使ったハードウェア起動で、**REQD=1**（ディスティネーション側がハードウェア要求を発行）の時、**SBE=1**（掃き出しモード）は使用できません。このような設定で転送を行った場合、動作は不定です。このような転送は行わないで下さい。