

10.1 概要

NPPFAHBMEMSRAMSP1V10（以降「**TYPE-SRAM**」と記します）は、**AMBA AHB-Lite** インタフェースを持つ、**SRAM/ページ ROM** 対応のメモリ・コントローラを内蔵したメモリ・サブシステムです。

10.1.1 特徴

- **SRAM/ページ ROM** メモリ・コントローラを内蔵しています。
 - **SRAM 接続機能**
 - ◇ チャンネル 0,1 の 2 チャンネル搭載
 - ◇ 最小 4 サイクルのリードサイクル
 - ◇ 最小 5 サイクルのライトサイクル
 - ◇ 外部端子入力により、データ・ウェイトを挿入可能
 - **ページ ROM 接続機能**
 - ◇ チャンネル 0 領域にのみ接続可能
 - ◇ 最小 3 サイクルのリードサイクル
 - ◇ レジスタ設定により、アドレス比較ビットを変更可能
 - ◇ 外部端子入力により、データ・ウェイトを挿入可能
- システムバス、レジスタ設定共用インタフェース
 - **AHB-Lite**（バス幅 32 ビット）シングルポート・インタフェース

10.1.2 準拠規格

TYPE-SRAM の **AMBA AHB-Lite** スレーブ・インタフェースは **AHB-Lite Protocol** に準拠しています。
詳細は **AMBA® 3 AHB-Lite Protocol Specification** (IHI-0033A)を参照ください。

10.2 端子機能

10.2.1 端子表

表 10-1 メモリ・インタフェース端子一覧

端子名	I/O	説明	Active Level	初期値
A[17:1]	○	外部メモリ・アドレス出力	--	L
CSZ[1:0]	○	スタティク・メモリ用外部メモリチップセレクト出力	L	H
BENZ[1:0]	○	外部スタティク・メモリ用バイトイネーブル出力	L	H
WRSTBZ	○	外部スタティク・メモリ用ライト・ストロープ出力	L	H
RDZ	○	外部スタティク・メモリ用リード・ストロープ出力	L	H
D[15:0]	I/O	データ入出力	--	L
WAITZ	I	スタティク・メモリ用ウェイト要求入力	L	--
BUSCLK	○	バス・クロック出力	--	--

10.2.2 端子説明

10.2.2.1 メモリ・インタフェース端子機能説明

(a) A[17:1]

- アドレス出力信号です。すべてのメモリ・アクセスに対するアドレスを出力します。

(b) CSZ[1:0]

- スタティク・メモリ、ページ ROM に対するロー・レベルのチップセレクト出力信号です。

表10-2 CSZ端子一覧

アクティブ（ロー・レベル）となる信号	有効となるメモリ空間
CSZ[1]	SRAM チャンネル 1
CSZ[0]	SRAM チャンネル 0, ページ ROM

(c) BENZ[1:0]

- スタティク・メモリ、ページ ROM に対するバイトイネーブル出力信号です。アクティブ・レベルはロー・レベルで、外部データバス（D[0:15]）を 2 分割したうちの有効となるバイト・レーンを示します。

表10-3 BENZ端子一覧

アクティブ（ロー・レベル）となる信号	有効バイト・データ
BENZ[1]	D[15:8]
BENZ[0]	D[7:0]

(d) WRSTBZ

- スタティク・メモリに対するライト・ストローブ出力信号です。アクティブ・レベルはロー・レベルです。

(e) RDZ

- スタティク・メモリ， ページ **ROM** に対するリード・ストローブ出力信号です。アクティブ・レベルはロー・レベルです。

(f) D[15:0]

- データバス入出力信号です。スタティク・メモリ， ページ **ROM** からのリードデータを入力します。

(g) WAITZ

- ウェイト要求入力信号です。アクティブ・レベルはロー・レベルで， スタティク・メモリのみ有効です。

(h) BUSCLK

- バス・クロック出力信号です。

10.2.3 AMBA インタフェース

10.2.3.1 AHB スレーブ・インタフェース仕様一覧(メモリ・アクセス)

TYPE-SRAM のメモリ領域へのアクセスは、以下の通りに動作します。

表 10-4 発行レスポンス (メモリ・アクセス)

SHRESP	備考
OKAY (0)	転送が成功した場合に OKAY を発行します。
ERROR (1)	対応しない転送方式でアクセスされた場合 ERROR を発行します。 表 10-6を参照して下さい。

表 10-5 転送タイプ (メモリ・アクセス)

SHTRANS1-0	応答	動作
IDLE (00)	OKAY	TYPE-SRAM はウェイトなしの OKAY 応答を発行し、その転送を無視します。
BUSY (01)	OKAY	バースト転送中にBUSY転送を受け取ると、転送タイプがSEQになるまでメモリサイクルを延長します。その後の転送も正常に行えます。 ※ BUSY転送に対して、メモリサイクルをウェイトさせるのは、バッファリング機能を追加する事により、回路規模が増大するのを防ぐためです。
NONSEQ (10)	OKAY	OKAY応答を発行し、メモリサイクルを実行します。
SEQ (11)	OKAY	OKAY応答を発行し、メモリサイクルを実行します。

表 10-6 転送サイズ (メモリ・アクセス)

SHSEZE2-0	応答	備考
8ビット (000)	OKAY	要求された転送サイズでのメモリサイクルを実行します。
16ビット (001)	OKAY	要求された転送サイズでのメモリサイクルを実行します。
32ビット (010)	OKAY	要求された転送サイズでのメモリサイクルを実行します。
上記以外	ERROR	ERROR応答を発行します。メモリサイクルは実行されません。

表 10-7 バースト動作 (メモリ・アクセス)

SHBURST2-0	応答	備考
000-111	OKAY	AHBの全てのバースト・タイプに対応します。 但し、不定長バースト転送はシングル転送として扱います。 8ビット/16ビットデータサイズのバースト転送は保証しません。バースト転送は32ビットデータサイズで行って下さい。

表 10-8 ロック転送 (メモリ・アクセス)

内容
アクティブ・レベルが入力されても無視します。

10.2.3.2 AHB スレーブ・インタフェース仕様一覧(制御レジスタアクセス)

TYPE-SRAM の制御レジスタへのアクセスは、以下の通りに動作します。

表 10-9 発行レスポンス（制御レジスタアクセス）

SHRESP	発行	備考
OKAY (0)	する	転送が成功した場合に OKAY を発行します。
ERROR (1)	する	対応しない転送方式でアクセスされた場合 ERROR を発行します 対応する転送方法は表 10-10を参照ください。

表 10-10 対応転送方式（制御レジスタアクセス）

SHTRANS [1:0]	SHSIZE [2:0]	SHBURST [2:0]	応答	備考
BUSY (01)	—	—	OKAY	INCR 転送中の BUSY 転送に対して、OKAY レスポンスで応答します。BUSY 解除後の転送も正常に行えます。
NONSEQ (10)	000/001	000/001	OKAY	動作保障外のアクセスです。
	010	000/001	OKAY	32 ビットのリード/ライトを正常に行えます。
	—	000/001 以外	ERROR	バーストが SINGLE/INCR 以外を示す場合、ERROR で応答します。 転送は正常に行えません。
	011-111	—	ERROR	HSIZE が 64 ビット以上を示すとき、ERROR で応答します。転送 は正常に行えません。
SEQ (11)	—	001	OKAY	INCR 転送(不定長バースト)に対しては OKAY で応答します。
		010-111 以外	ERROR	INCR4 等のバースト転送に対しては ERROR で応答します。

【注意】 制御レジスタのアクセスは 32 ビットデータサイズで行って下さい。

表 10-11 エンディアン（制御レジスタアクセス）

内容
エンディアンの設定に依存しません。 ただしアクセスは32ビットで行ってください。 他のサイズのアクセスでは正しくリード/ライトできません。

表 10-12 ロック転送（制御レジスタアクセス）

内容
アクティブ・レベルが入力されても無視します。

10.2.4 接続メモリのサイズ

チャンネル領域には、設定したチャンネル領域より小さいサイズのメモリを接続することも可能ですが、以下に示す制限があります。

1. メモリは、チャンネル開始アドレスから割り当ててください。
2. チャンネル内のメモリが接続されていない領域にアクセスした場合、メモリにより挙動が異なります。
 - **SRAM** : メモリが接続されている **SRAM** のミラー領域として認識されます。

チャンネル領域より小さいサイズのメモリを接続する際の、チャンネル領域と接続されるメモリの関係は、以下のとおりです。

チャンネルサイズ : 接続されるメモリサイズ = $2^n : 1$ ($n = 0, 1, 2, \dots$)

10.3 レジスタ一覧

10.3.1 制御レジスタ一覧

表10-13 制御レジスタ一覧

オフセット・アドレス	レジスタ名	略称	R/W	初期値	アクセス・サイズ
EFF3_0000H～ EFF3_0003H (*1)	RFU	--	--	--	--
EFF3_0004H	バスサイズ制御レジスタ	BSC	R/W	0000_5555H	32ビット
EFF3_0008H	スタティック・メモリ制御レジスタ0	SMC0	R/W	0000_FFFFH	32ビット
EFF3_000CH	スタティック・メモリ制御レジスタ1	SMC1	R/W	0000_FFFFH	32ビット
EFF3_0010H～ EFF3_0017H (*2)	RFU	--	--	--	--
EFF3_0018H	ページROM制御レジスタ	PRC	R/W	F000_0000H	32ビット
EFF3_001CH～ EFF3_007FH (*2)	RFU	--	--	--	--

【注】 *1: 00H は、予約領域です。リードした場合は 0 を読み出します。ライトする場合は 0 を書き込んでください。0 以外を書き込んだ場合の動作は保証しません。

*2: 制御レジスタは、SHADDR[6:0] を直接デコードした値にマッピングされています。4CH～7FH にアクセスした場合は、ERROR で応答します。80H～3FFH へのアクセスは、SHADDR[9:7]を無視したミラーアクセスとなります。

10.4 機能詳細

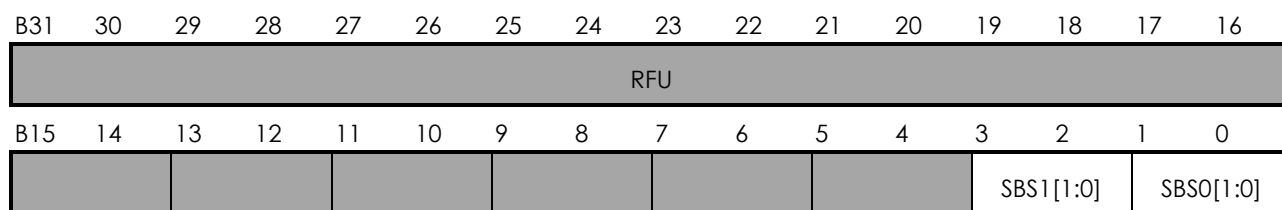
10.4.1 レジスタ機能

バスサイズ制御レジスタ (BSC : Address EFF3_0004H)

BSC レジスタは、アクセスを行うメモリに対するデータバス幅を設定します。SBS1-SBS0 ビットは SRAM のチャンネル領域 0~1 にそれぞれ対応します。

BSC レジスタを 16 ビットに設定してデータバス幅が 16 ビットのメモリに対して、AHB バスからワードアクセスした場合は、TYPE-SRAM から下位 16 ビット/上位 16 ビットのデータの順番でメモリへアクセスします。メモリに対して 32 ビットのデータを転送完了した時点で AHB 転送完了状態信号を AHB バスへ返します。

BSC レジスタは 32 ビット単位でのみリード/ライト可能です。



Bits	ビット名	R/W	初期値	機能説明
31:4	RFU	R	0000555H	予約領域。初期値を書いてください。初期値以外を書いた場合の動作は保証しません。
3:0	SBSn	RW	5H	接続されたメモリに対するデータバス幅をチップセレクトごとに設定します。 00B : 設定禁止 01B : 16ビット 10B : 設定禁止 11B : 設定禁止

【備考】 n = 1,0

スタティク・メモリ・制御レジスタ n (SMCn : Address EFF3_0008H+4n)

SMCn レジスタは、スタティク・メモリ・チップセレクト (CSZ1-CSZ0) 領域のウェイト数を設定します。SMCn レジスタは 32 ビット単位でのみリード/ライト可能です。レジスタ名の n は、SRAM のチャンネル 0～チャンネル 1 の領域番号に対応します (n=1,0)。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RFU															
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IWn[3:0]				WWn[3:0]				DWn[3:0]				ACn[3:0]			

Bits	ビット名	R/W	初期値	機能説明
31:16	RFU	R	ALLO	予約領域。初期値を書いてください。初期値以外を書いた場合の動作は保証しません。
15:12	IWn[3:0] (*1)	RW	FH	CSZn領域のリード時のアイドル・ウェイト数を設定します。 CSZ端子="H"からAHB転送完了状態までのサイクル数です。 0000B : 0 0001B : 1 : 1111B : 15
11:8	WWn[3:0] (*1)	RW	FH	CSZn領域のライト時のライト・リカバリ・ウェイト数を設定します。 WRSTBZ端子="H"からCSZ端子="H"までのサイクル数です。 0000B : 1(*2) 0001B : 1 0010B : 2 : 1111B : 15
7:4	DWn[3:0] (*1)	RW	FH	CSZn領域のリード/ライト時のデータ・ウェイト数を設定します。 RDZ/WRSTBZ端子のアクティブ期間を延長します。また、ページROMの場合はオフページ・アクセスで使用されます。 0000B : 0(PageROMの場合は設定禁止(*3)) 0001B : 1(*4) : 1111B : 15

Bits	ビット名	R/W	初期値	機能説明
3:0	ACn[3:0] (*1)	RW	FH	CSZn領域のリード/ライト時のアドレス設定・ウェイト数を設定します。CSZ端子="L"からRDZ/WRSTBZ端子="L"までのサイクル数です。ページROMのオンページ・アクセスでも使用されます。 0000B : 0(リードの場合設定禁止(*6))、1(ライトの場合(*5)) 0001B : 1 : 1111B : 15

【備考】 n = 1,0

【注意】 *1: 未使用チャンネルの **SMCn** レジスタへのライトアクセスを行わないでください。誤動作の原因となります。

*2: ライト・リカバリ・ウェイト数は **0** ウェイトに設定することが出来ません。1 以上になります。

*3: ページ **ROM** を使用する時は、データ・ウェイト数を 1 以上に設定してください。

*4: 外部ウェイト挿入(**WAITZ** 端子)を使用する場合は、データ・ウェイト数を 1 以上に設定して下さい。

*5: アドレス設定・ウェイト数はライトアクセスの場合は **0** ウェイトに設定出来ません。1 以上になります。

*6: リードの場合、アドレス設定・ウェイト数を 1 以上に設定してください。

ページ ROM 制御レジスタ (PRC : Address EFF3_0018H)

PRC レジスタは、MSTCSZ0 領域のメモリ・タイプ設定と、ページ ROM アクセス時のアドレス比較幅とオンページ・サイクル時のデータ・ウェイト数を設定します。

PRC レジスタは 32 ビット単位でのみリード/ライト可能です。

B31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRW[3:0]				RFU								MA6	MA5	MA4	MA3
B15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFU														ST	

Bits	ビット名	R/W	初期値	機能説明
31:28	PRW[3:0]	RW	FH	ページROMのオンページ・サイクル時のデータ・ウェイト数を設定します。 0000B : 設定禁止 0001B : 1 : 1111B : 15
27:20	RFU	R	ALLO	予約領域。初期値を書いてください。初期値以外を書いた場合の動作は保証しません。
19:16	MA6-MA3	RW	0H	アドレス比較時のマスク・ビットを設定します。 0000B : 16ビット× 4 0001B : 16ビット× 8 0011B : 16ビット× 16 0111B : 16ビット× 32 1111B : 16ビット× 64 その他 : 設定禁止 (設定した場合の動作は保証しません)
15:1	RFU	R	ALLO	予約領域。初期値を書いてください。初期値以外を書いた場合の動作は保証しません。
0	ST	RW	0B	スタティック・メモリ・チップセレクト0 (HSELST0) に接続するメモリの種類を設定します。 0B : SRAM 1B : ページROM

- 【注意】
- ・ オンページ・アクセス中は、データ・ウェイト数(PRW3-0)と SMC0 レジスタのアドレス設定ウェイト数(AC3-0)が加算されたウェイト数が入ります。
 - ・ ページ ROM 未使用時に PRC レジスタの ST ビットを 1(ページ ROM) に設定しないでください。誤動作の原因となります。

図 10-1に 1M ワード×8 ビットのページ ROM を 4 つ接続した場合の、アドレス・マスク制御の例を示します。

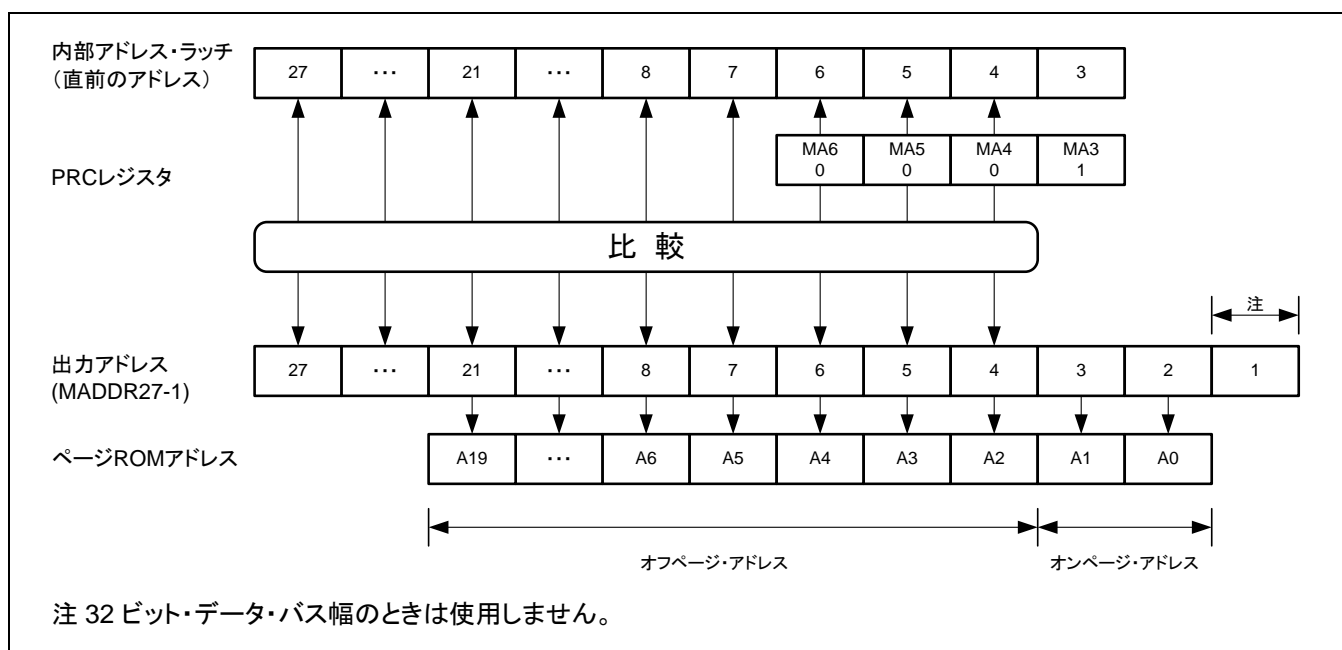


図 10-1 ページ ROM オンページ判定

オンページ・アクセス判定について

オンページ・アクセスの判断は固定長バースト転送中において、2 ワード目以降の転送で行われます。1 ワード目の転送、シングル転送および不定長バースト転送ではオフページ・アクセスとなります。ただし以下のような例外があります。

ページ ROM のデータバス幅よりも、転送データ幅の大きいアクセス要求があった場合、ページ ROM へのアクセスは分割して行われます(ex ページ ROM のデータバス幅=16 ビットに対して、HSIZE=32 ビットのアクセスがあった場合、ページ ROM へのアクセスは、下位 16 ビット、上位 16 ビットに分割されます)。このような場合は、下位/上位のアクセスでオンページ判定を行います。分割アクセス時はシングル転送でもオンページ判定を行います。また、不定長バースト転送は、シングル転送の連続に置き換えられるため、ワード単位で下位/上位でオンページ判定を行います。ワード→次のワードでのオンページ判定は行わず、必ずオフページ・アクセスとなります。

10.4.2 機能詳細

10.4.2.1 スタティック・メモリ・コントローラ

SRAM, ページ ROM とのリード/ライト動作の制御を行います。ページ ROM はチャンネル 0 領域にのみ接続できます。SRAM はチャンネル 0 からチャンネル 1 のすべての領域に接続できます。

10.4.3 タイミングチャート

TYPE-SRAM, ページ ROM へのアクセスを行った際のタイミング例を示します。

表 10-14 タイミングチャート一覧

図番号	メモリ・タイプ	アクセス条件
図 10-2	SRAM	リード: アドレス設定・ウェイト=1 / データ・ウェイト設定=1 / 外部ウェイトなし ライト: アドレス設定・ウェイト=1 / データ・ウェイト設定=1 / ライト・リカバリ・ウェイト設定=1 / 外部ウェイトなし
図 10-3	SRAM	リード: アドレス設定・ウェイト=1 / データ・ウェイト設定=1 / 外部ウェイトあり
図 10-4	SRAM	ライト: アドレス設定・ウェイト=1 / データ・ウェイト設定=1 / ライト・リカバリ・ウェイト設定=1 / 外部ウェイトあり
図 10-5	ページ ROM	アドレス設定・ウェイト=1 / データ・ウェイト設定=1 / 外部ウェイトなし
図 10-6	ページ ROM	アドレス設定・ウェイト=0 / データ・ウェイト設定=2 / PROM データ・ウェイト=1 / 外部ウェイトなし

リード : アドレス設定・ウェイト = 1
 データ・ウェイト = 1
 ライト : アドレス設定・ウェイト = 1
 データ・ウェイト = 1
 ライト・リカバリ・ウェイト = 1

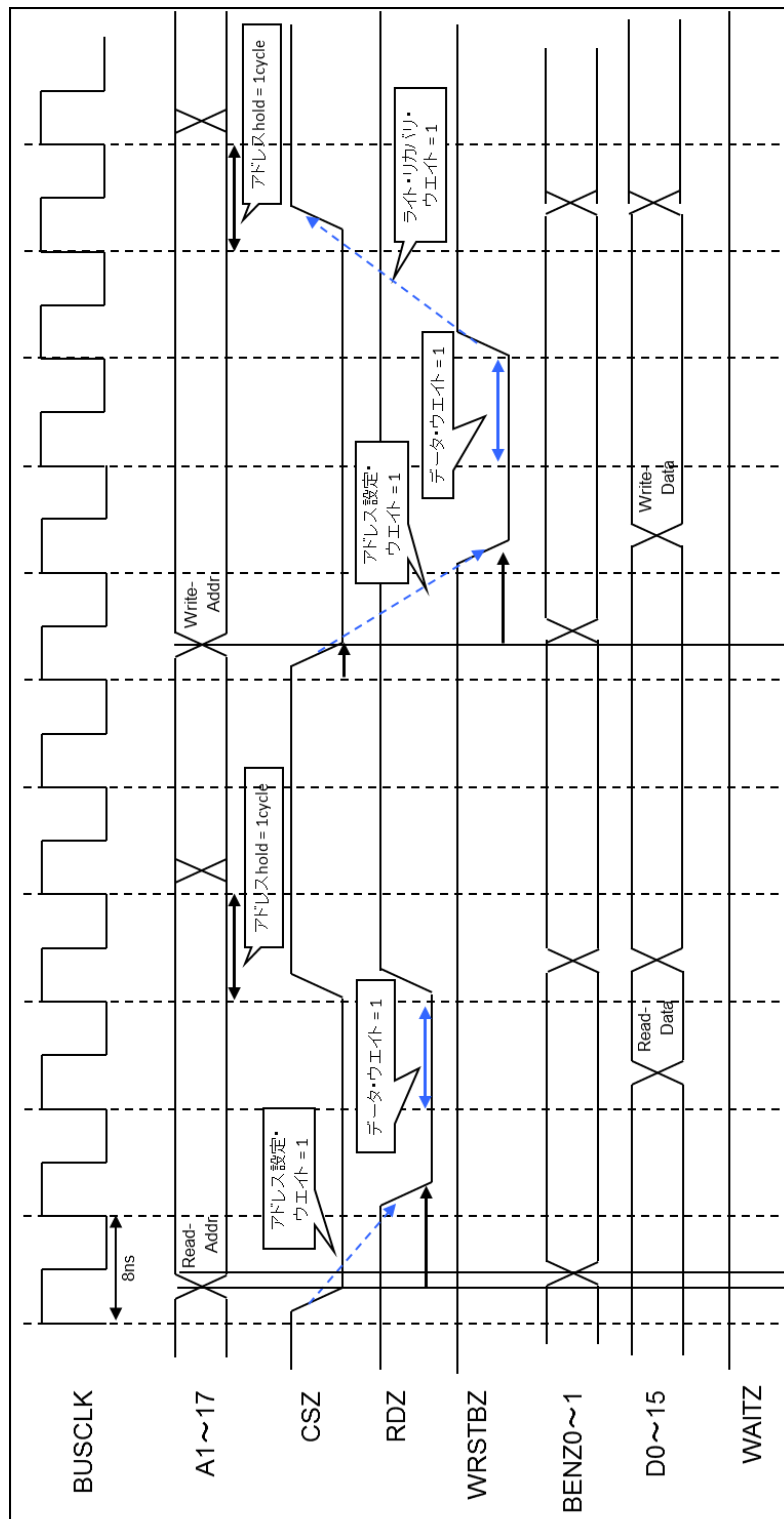


図 10-2 SRAMリード・ライトサイクル

注 図10-2中のBUSCLKは125MHzの場合を示しています。
 BUSCLKの周波数は、SCUにて切り替えることが可能です。レジスタ設定の詳細は
 第6章 SCU SSPRO7_CLK_SELレジスタをご参照ください。

リード : アドレス設定・ウェイト = 1
 データ・ウェイト = 1

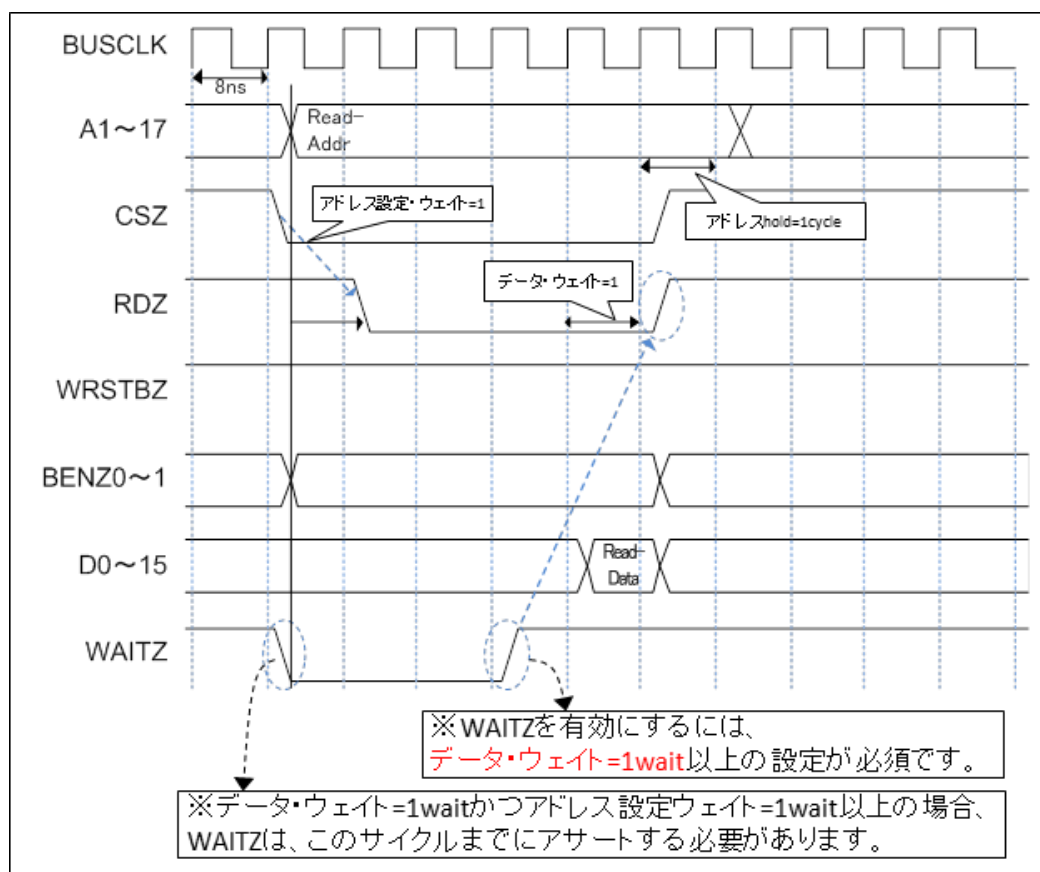


図 10-3 SRAMリードサイクル（外部ウェイトあり）

注 図10-3中のBUSCLKは125MHzの場合を示しています。
 BUSCLKの周波数は、SCUにて切り替えることが可能です。レジスタ設定の詳細は
 第6章 SCU SSPRO7_CLK_SELレジスタをご参照ください。

ライト : ライト・リカバリ・ウェイト=1
 アドレス設定・ウェイト=1
 データ・ウェイト = 1

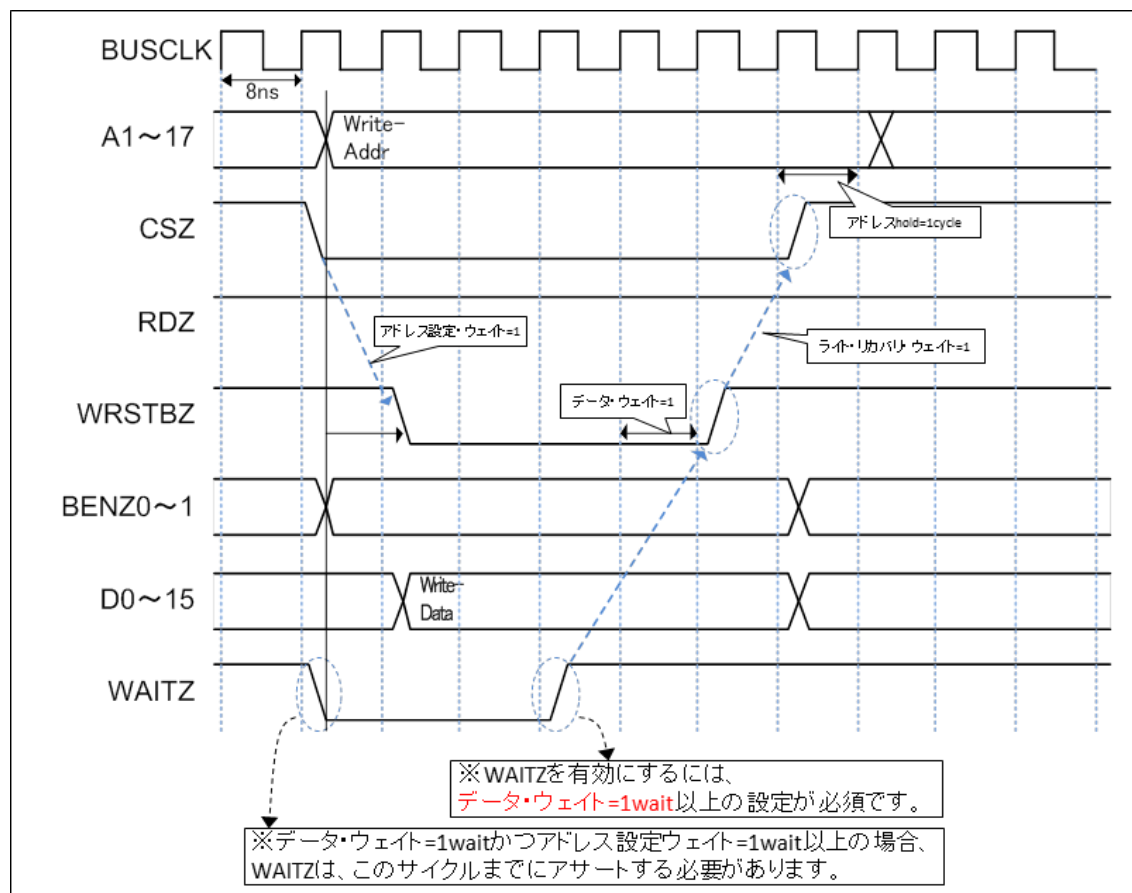


図 10-4 SRAMライトサイクル（外部ウェイトあり）

注 図10-4中のBUSCLKは125MHzの場合を示しています。
 BUSCLKの周波数は、SCUにて切り替えることが可能です。レジスタ設定の詳細は
 第6章 SCU SSPRO7_CLK_SELレジスタをご参照ください。

アドレス設定・ウェイト=1

データ・ウェイト = 1

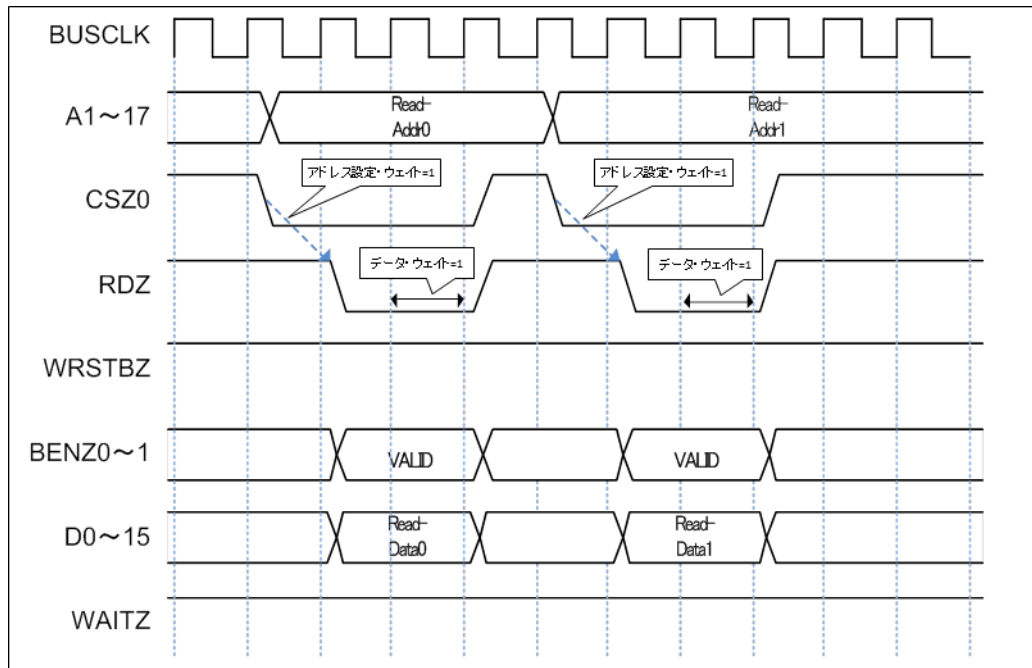
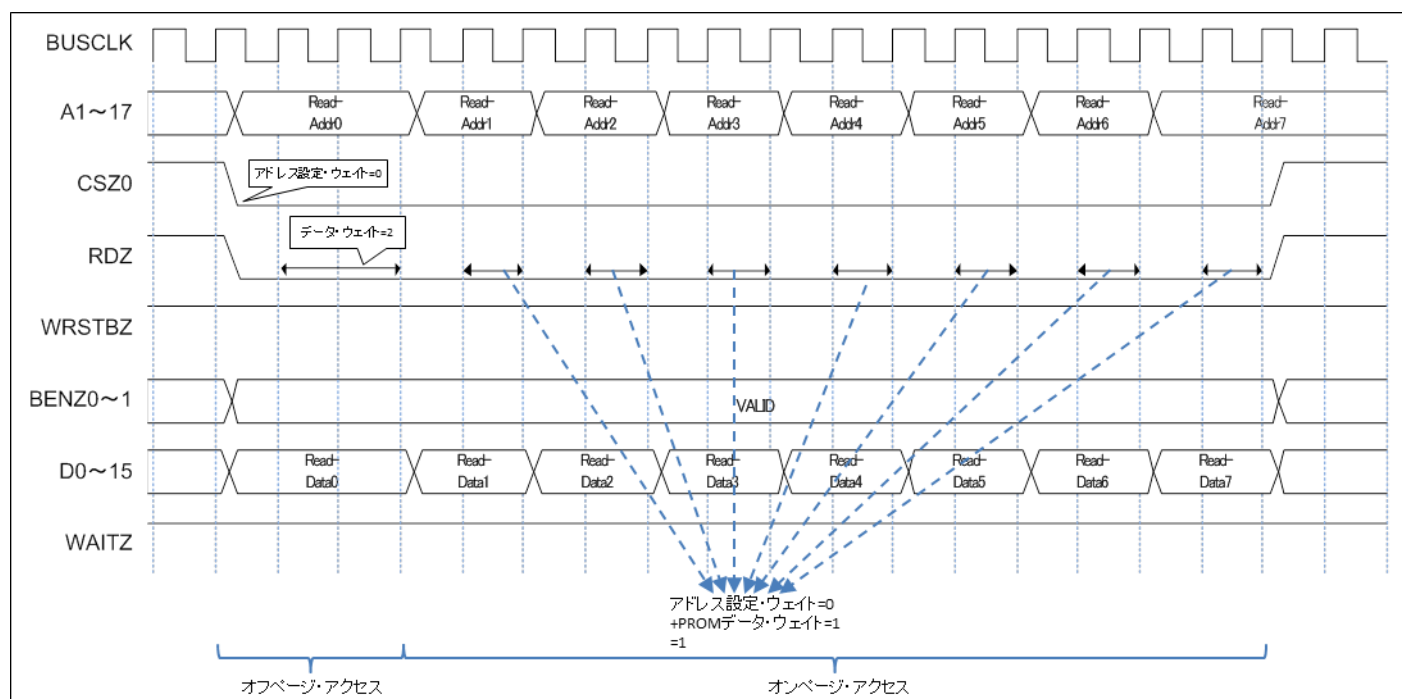


図 10-5 ページROMリードサイクル（オフページ転送）

注 図10-5中のBUSCLKは125MHzの場合を示しています。
BUSCLKの周波数は、SCUにて切り替えることが可能です。レジスタ設定の詳細は
第6章 SCU SSPRO7_CLK_SELレジスタをご参照ください。

アドレス設定・ウェイト = 0
 データ・ウェイト = 2
 PROM データ・ウェイト = 1



注 図10-6中のBUSCLKは125MHzの場合を示しています。
 BUSCLKの周波数は、SCUにて切り替えることが可能です。レジスタ設定の詳細は
 第6章 SCU SSPRO7_CLK_SELレジスタをご参照ください。

10.5 オペレーション

10.5.1 制御レジスタ設定手順

以下に、チャンネル 0 領域にページ ROM、チャンネル 1 領域に **SRAM** を接続する場合の制御レジスタ設定手順を説明します。

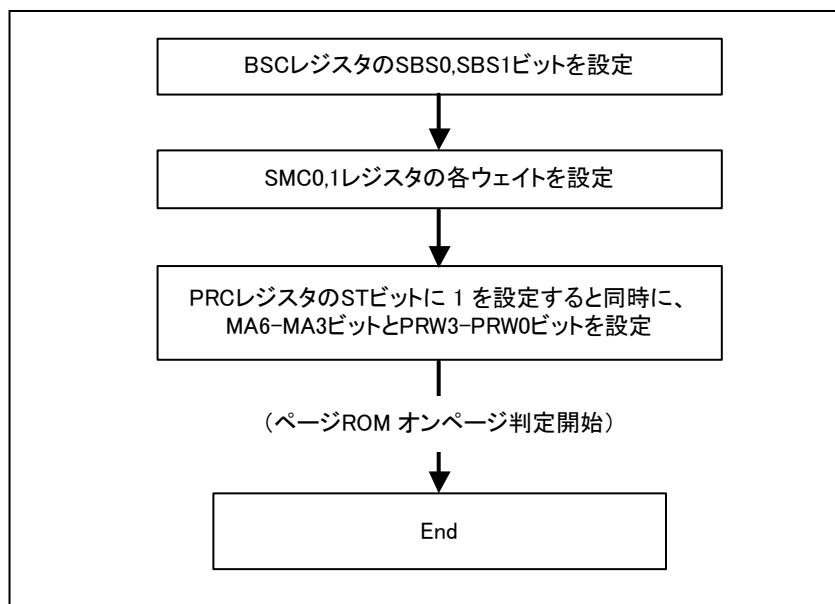


図 10-7 制御レジスタ設定手順