
第11章 APB(クロック・リセット)制御

11.1 概要

NPPFAHBAPBPERIV20（以降、APB-SS と略します）は、AHBAPB ブリッジ、APB 周辺マクロを内蔵したサブシステムです。

11.1.1 特徴

APB-SS は以下のマクロを搭載しています。

- ・ 32 ビット精度 APB-SS タイマ(Interval Timer)
- ・ UART
- ・ CSI
- ・ I2C
- ・ AHBAPB ブリッジ

11.1.2 準拠規格

- ・ AMBA3 AHB Lite
- ・ AMBA3 APB
- ・ I2C バスフォーマット（Philips 社 1995 年 4 月発行「The I2C-bus and how to use it」）

11.2 レジスタ

11.2.1 レジスタ一覧

本 APB-SS のレジスタの一覧を示します。

R/W 欄の記号は以下の動作になります。

R/W : リード・ライト可能

R : リードのみ可能

W : ライトのみ可能(リードした場合は 0000_0000H が読み出されます)

表 11-1 レジスタ一覧(1/5)

| 対応マクロ | アドレス | レジスタ名称 | 略号 | R/W | 初期値 | アクセス・サイズ |
|----------------------|-------------------------------|-------------------------|-----|-----|------------|----------|
| APB-SS クロック 制御 | FFFF_0200H | APB-SS クロック制御レジスタ | ACC | R/W | FFFF_FFFFH | 32 ビット |
| | FFFF_0204H FFFF_020FH | 予約領域 ^{注2} | — | — | 不定 | — |
| | FFFF_0210H | APB-SS ソフトウェア・リセット・レジスタ | ASR | R/W | FFFF_FFFFH | 32 ビット |
| APB-SS リセット | FFFF_0214H FFFF_021FH | 予約領域 ^{注2} | — | — | 不定 | — |
| | FFFF_0220H FFFF_023FH | 未使用領域 ^{注1} | — | — | 不定 | — |
| | | | | | | |

注 1 未使用領域にアクセスした場合、ERRORレスポンスを返します。

注 2 予約領域にアクセスした場合、OKAYレスポンスを返します。

この領域は今後の機能拡張で、初期値、リード・ライト属性が変わる場合があります。
ソフトウェアで、この領域をリードした値が 0 であることを期待した記述はしないで下さい。

表 11-2 レジスタ一覧(2/5)

| 対応マクロ | アドレス | レジスタ名称 | 略号 | R/W | 初期値 | アクセス・サイズ |
|--------------|------------|----------------------|---------|-----|------------|----------|
| APB-SS タイマ 0 | FFFF_1000H | APB-SS タイマ・カウント・レジスタ | TMD0 | R | 0000_0000H | 32 ビット |
| | FFFF_1004H | コンペア・レジスタ | CMD0 | R/W | 0000_0000H | 32 ビット |
| | FFFF_1008H | コントロール・レジスタ | TMCD0 | R/W | 00H | 8 ビット |
| | FFFF_100CH | 割り込みクリア・レジスタ | INTCLR0 | W | 0000_0000H | 32 ビット |
| APB-SS タイマ 1 | FFFF_1010H | APB-SS タイマ・カウント・レジスタ | TMD1 | R | 0000_0000H | 32 ビット |
| | FFFF_1014H | コンペア・レジスタ | CMD1 | R/W | 0000_0000H | 32 ビット |
| | FFFF_1018H | コントロール・レジスタ | TMCD1 | R/W | 00H | 8 ビット |
| | FFFF_101CH | 割り込みクリア・レジスタ | INTCLR1 | W | 0000_0000H | 32 ビット |
| APB-SS タイマ 2 | FFFF_1020H | APB-SS タイマ・カウント・レジスタ | TMD2 | R | 0000_0000H | 32 ビット |
| | FFFF_1024H | コンペア・レジスタ | CMD2 | R/W | 0000_0000H | 32 ビット |
| | FFFF_1028H | コントロール・レジスタ | TMCD2 | R/W | 00H | 8 ビット |
| | FFFF_102CH | 割り込みクリア・レジスタ | INTCLR2 | W | 0000_0000H | 32 ビット |
| APB-SS タイマ 3 | FFFF_1030H | APB-SS タイマ・カウント・レジスタ | TMD3 | R | 0000_0000H | 32 ビット |
| | FFFF_1034H | コンペア・レジスタ | CMD3 | R/W | 0000_0000H | 32 ビット |
| | FFFF_1038H | コントロール・レジスタ | TMCD3 | R/W | 00H | 8 ビット |
| | FFFF_103CH | 割り込みクリア・レジスタ | INTCLR3 | W | 0000_0000H | 32 ビット |

注 1 未使用領域にアクセスした場合、ERROR レスポンスを返します。

注 2 アクセス・サイズに記載以外のアクセスは禁止です。

表 11-3 レジスタ一覧(3/5)

| 対応マクロ | アドレス | レジスタ名称 | 略号 | R/W | 初期値 | アクセス・サイズ |
|-------|-------------------------------|-----------------------|--------------|-----|------------|----------|
| CSI0 | EEEE_4000H | CSI モード・コントロール・レジスタ | CSI_MODE0 | R/W | 0000_0000H | 32 ビット |
| | EEEE_4004H | CSI クロック選択レジスタ | CSI_CLKSEL0 | R/W | 0000_FFEH | 32 ビット |
| | EEEE_4008H | CSI コントロール・レジスタ | CSI_CNT0 | R/W | 1000_0000H | 32 ビット |
| | EEEE_400CH | CSI 割り込みステータス・レジスタ | CSINT0 | R/W | 0000_0000H | 32 ビット |
| | EEEE_4010H | CSI 受信 FIFO レベル表示レジスタ | CSI_IFIFOL0 | R/W | 0000_0000H | 32 ビット |
| | EEEE_4014H | CSI 送信 FIFO レベル表示レジスタ | CSI_OFIFOL0 | R/W | 0000_0000H | 32 ビット |
| | EEEE_4018H | CSI 受信ウィンドウ・レジスタ | CSI_IFIFO0 | R | 0000_0000H | 32 ビット |
| | EEEE_401CH | CSI 送信ウィンドウ・レジスタ | CSI_OFIFO0 | W | 0000_0000H | 32 ビット |
| | EEEE_4020H | CSI FIFO トリガ・レベル・レジスタ | CSI_FIFOTRG0 | R/W | 0000_0000H | 32 ビット |
| | EEEE_4024H EEEE_403FH | 予約領域 ^{注2} | — | — | 不定 | — |

注 1 未使用領域にアクセスした場合、ERROR レスポンスを返します。

注 2 予約領域にアクセスした場合、OKAY レスポンスを返します。

この領域は今後の機能拡張で、初期値、リード・ライト属性が変わる場合があります。

ソフトウェアで、この領域をリードした値が 0 であることを期待した記述はしないで下さい。

注 3 アクセス・サイズに記載以外のアクセスは禁止です。

表 11-4 レジスタ一覧(4/5)

| 対応マクロ | アドレス | レジスタ名称 | 略号 | R/W | 初期値 | アクセス・サイズ |
|-------|-------------------------------|--------------------------|------|-----|-------------------|----------|
| UART0 | EFFF_4800H | UART シリアル受信データ・レジスタ | RBR0 | R | 00H | 8 ビット |
| | | UART シリアル送信データ・レジスタ | THR0 | W | 00H | 8 ビット |
| | | UART ボー・レート除数レジスタ（下位バイト） | DLLO | R/W | 00H | 8 ビット |
| | EFFF_4804H | UART ボー・レート除数レジスタ（上位バイト） | DLHO | R/W | 00H | 8 ビット |
| | | UART 割込み許可レジスタ | IER0 | R/W | 00H | 8 ビット |
| | EFFF_4808H | UART 割込み確認レジスタ | IIR0 | R | 01H | 8 ビット |
| | | UART FIFO コントロール・レジスタ | FCR0 | W | 00H | 8 ビット |
| | EFFF_480CH | UART ラインコントロール・レジスタ | LCR0 | R/W | 00H | 8 ビット |
| | EFFF_4810H | UART モデムコントロール・レジスタ | MCR0 | R/W | 00H | 8 ビット |
| | EFFF_4814H | UART ラインステータス・レジスタ | LSR0 | R | 60H | 8 ビット |
| | EFFF_4818H | UART モデムステータス・レジスタ | MSR0 | R | 00H | 8 ビット |
| | EFFF_481CH | UART スクラッチパッド・レジスタ | SCR0 | R/W | 00H | 8 ビット |
| | EFFF_4820H EFFF_487BH | 予約領域 | — | — | 不定 | アクセス禁止 |
| | EFFF_487CH | UART ステータス・レジスタ | USR0 | R | 0B *bit7-1 は不定 | 8 ビット |
| | EFFF_4880H EFFF_48FFH | 予約領域 | — | — | 不定 | アクセス禁止 |
| | EFFF_4900H | UART DMA 転送要求コントロール・レジスタ | FDR0 | R/W | 00H | 8 ビット |
| | EFFF_4904H EFFF_49FFH | 予約領域 ^{注1} | — | — | 不定 | — |

注 1 予約領域にアクセスした場合、OKAYレスポンスを返します。

この領域は今後の機能拡張で、初期値、リード・ライト属性が変わる場合があります。

ソフトウェアで、この領域をリードした値が0であることを期待した記述はしないで下さい。

注 2 アクセス・サイズに記載以外のアクセスは禁止です。

表 11-5 レジスタ一覧(5/5)

| 対応マクロ | アドレス | レジスタ名称 | 略号 | R/W | 初期値 | アクセス・サイズ |
|-------|-------------------------------|---------------------------------|---------|-----------------------|-----|----------|
| I2C | FFFF_5000H | I2C 動作許可レジスタ | IICACT0 | R/W | 00H | 8 ビット |
| | FFFF_5004H | I2C シフト・レジスタ | IIC0 | R/W | 00H | 8 ビット |
| | FFFF_5008H | I2C コントロール・レジスタ | IICC0 | R/W | 00H | 8 ビット |
| | FFFF_500CH | スレーブアドレス・レジスタ | SVA0 | R/W (Bit0 のみ R) | 00H | 8 ビット |
| | FFFF_5010H | I2C 転送クロック選択レジスタ | IICCL0 | R/W | 00H | 8 ビット |
| | FFFF_5014H | I2C 機能拡張レジスタ | IICX0 | R/W | 00H | 8 ビット |
| | FFFF_5018H | I2C 状態レジスタ | IICS0 | R | 00H | 8 ビット |
| | FFFF_501CH | I2C 状態レジスタ (エミュレーション用リード専用レジスタ) | IICSE0 | R | 00H | 8 ビット |
| | FFFF_5020H | I2C フラグ・レジスタ | IICF0 | R/W | 00H | 8 ビット |
| | FFFF_5024H FFFF_503FH | 予約領域 ^{注2} | — | — | 不定 | — |

注 1 未使用領域にアクセスした場合、ERROR レスポンスを返します。

注 2 予約領域にアクセスした場合、OKAY レスポンスを返します。

この領域は今後の機能拡張で、初期値、リード・ライト属性が変わる場合があります。

ソフトウェアで、この領域をリードした値が 0 であることを期待した記述はしないで下さい。

注 3 アクセス・サイズに記載以外のアクセスは禁止です。

11.3 割り込み

11.3.1 割り込み信号

本 APB-SS では、以下の割り込み信号を出力します。

表 11-6 割り込み信号一覧

| 端子名 | 割り込み発生マクロ | アクティブ・レベル | パルス/レベル | 同期クロック |
|----------|--------------|-----------|-------------|---------|
| INTTM0 | APB-SS タイマ 0 | ハイ | パルス/レベル出力*1 | TIM_CLK |
| INTTM1 | APB-SS タイマ 1 | ハイ | パルス/レベル出力*1 | TIM_CLK |
| INTTM2 | APB-SS タイマ 2 | ハイ | パルス/レベル出力*1 | TIM_CLK |
| INTTM3 | APB-SS タイマ 3 | ハイ | パルス/レベル出力*1 | TIM_CLK |
| UART_INT | APB-SS UART | ハイ | レベル出力 | PCLK |
| CSI_INT | APB-SS CSI0 | ハイ | レベル出力 | PCLK |
| IIC_INT | APB-SS I2C | ハイ | レベル出力 | IIC_CLK |

*1 レジスタにより切り替え可能です。

| | | |
|------|---------|------------------------|
| [備考] | TIM_CLK | APB-SS タイマ用カウント・クロック入力 |
| | HCLK | AHB バス・クロック入力 |
| | PCLK | APB バス・クロック入力 |
| | IIC_CLK | I2C 内部サンプリング・クロック入力 |

- 注意**
- ・ INTTM0-3 はパルス設定時、TIM_CLK 同期で TIM_CLK の 1 クロック期間アクティブになります。割り込みコントローラは立ち上がりエッジの設定でご使用ください。
 - ・ パルス設定の INTTM0-3 と接続する割り込みコントローラの入力をパルス設定にし、かつ非同期の割り込み信号を割り込みコントローラに入力する場合は、割り込みコントローラの動作クロックである HCLK の 2 クロック以上の長さが必要となります。この為、APB-SS タイマ・カウント・クロックである TIM_CLK には HCLK の 2 クロック以下の低い周波数のクロックを入力してください。
 - ・ レベル設定の INTTM0-3 を使用し、割り込み要因のクリアにおいて連続アクセスを行う場合、パルス割り込みと同様、TIM_CLK には HCLK の 2 クロック以下の低い周波数のクロックを入力してください。
 - ・ IIC_INT はレベル出力されますが、割り込みコントローラはパルス設定で使用してください。

11.4 機能説明

11.4.1 AHBAPB ブリッジ

(1) AHB 対応レスポンス一覧

本 APB-SS が発行するレスポンス一覧を示します。

表 11-7 使用レスポンス一覧

| SHRESP | 発行 | 備考 |
|--------|-----|---|
| ERROR | する | APB アクセスにて、未使用領域へのアクセス及び、スレーブからのエラー応答時に発行します。 |
| SPLIT | しない | SPLIT は発行しません。 |
| RETRY | しない | RETRY は発行しません。 |

本 APB-SS がサポートする転送方式およびレスポンス一覧を示します。

表 11-8 サポート転送方式一覧

| SHTRANS | SHSIZE | SHBURST | PSLVERR | 応答 | 備考 |
|---------|--------|---------|---------|-------|--|
| BUSY | 注 1 | all | — | OKAY | IDLE 転送とみなします。 |
| NONSEQ | | | 0 | OKAY | 32 ビットのリード・ライトを正常に行ないます。 |
| | | | 1 | ERROR | APB アドレス・デコーダが PSLVERR をアサートした場合、ERROR を発行します。 |
| SEQ | | | 0 | OKAY | NONSEQ と同様に扱います。 |
| | | | 1 | ERROR | |

注 1 本 APB-SS は 32 ビット・アクセスを前提としておりますが、他のサイズでアクセスが来た場合でも OKAY レスポンスを返します。

(2) バイト・レーン

本ブリッジでは AHB、APB とも 32 ビット・データ・バスを想定しています。32 ビットよりも小さいバス幅の APB スレーブを接続する場合、APB スレーブが接続されているバイト・レーンに正しくアクセスできるよう、AHB マスタにて転送方式を選択してください。バイト/ハーフワード・アクセスは、ワード・アラインしたアドレスに対してアクセスして下さい。

11.4.2 APB-SS タイマ機能

APB-SS タイマの機能については第 14 章 Interval Timer を参照ください。

11.4.3 CSI 機能

CSI についての詳細仕様は第 13 章 CSI を参照ください。

11.4.4 UART 機能

UART の詳細仕様は第 16 章 UART を参照ください。

11.4.5 I2C 機能

I2C の詳細仕様は第 15 章 I2C を参照ください。

11.5 クロック

APB-SS のクロック構成について説明します。

11.5.1 クロック制御レジスタ

本 APB-SS は、APB-SS クロック制御レジスタにアクセスすることで搭載する各 APB マクロに供給するクロックの制御が可能です。（対応マクロ：APB-SS タイマ、UART、CSI、I2C）

次のような APB インタフェースのクロック制御レジスタがあります。

(1) APB-SS クロック制御レジスタ（ACC）

アドレス(EFFF_0200H)

APB-SS に搭載する各 APB マクロへのクロック供給を制御します。初期状態では全てのクロックを供給します。クロックを停止する場合は手順に従ってください。

| アドレ ス | EFFF_0200H | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----------|------------|----|----|----|----|----|----|----|---------|----------|----|----|----|----------|----------|----|----|----|---------|----------|----|----|---|----------|---|---|---|---|---|---|---|---------|---------|---------|---------|----------|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | |
| レジスタ名称 | Reserved | | | | | | | | IIC0_CC | Reserved | | | | UART0_CC | Reserved | | | | CSI0_CC | Reserved | | | | Reserved | | | | | | | | CTM3_CC | CTM2_CC | CTM1_CC | CTM0_CC | Reserved |

| ビット位置 | ビット名 | R/W | 初期値 | 機能 |
|-------|----------|-----|--------|---|
| 31:27 | Reserved | R/W | 11111B | Reserved |
| 26 | Reserved | R/W | 1B | Reserved |
| 25 | Reserved | R/W | 1B | Reserved |
| 24 | IIC0_CC | R/W | 1B | APB-SS I2C へのクロック (PCLK,IIC_CLK)供給を制御します。 0 : クロック停止 1 : クロック供給 |

| ビット位置 | ビット名 | R/W | 初期値 | 機能 |
|-------|----------|-----|-----|--|
| 23 | Reserved | R/W | 1B | Reserved |
| 22 | Reserved | R/W | 1B | Reserved |
| 21 | Reserved | R/W | 1B | Reserved |
| 20 | UART0_CC | R/W | 1B | APB-SS UART へのクロック (PCLK,UART_CLK) 供給を制御します。 0 : クロック停止 1 : クロック供給 |
| 19 | Reserved | R/W | 1B | Reserved |
| 18 | Reserved | R/W | 1B | Reserved |
| 17 | Reserved | R/W | 1B | Reserved |
| 16 | CSI0_CC | R/W | 1B | APB-SS CSI0 へのクロック (PCLK,CSI_CLK) 供給を制御します。 0 : クロック停止 1 : クロック供給 |
| 15 | Reserved | R/W | 1B | Reserved |
| 14 | Reserved | R/W | 1B | Reserved |
| 13 | Reserved | R/W | 1B | Reserved |
| 12 | Reserved | R/W | 1B | Reserved |
| 11 | Reserved | R/W | 1B | Reserved |
| 10 | Reserved | R/W | 1B | Reserved |
| 9 | Reserved | R/W | 1B | Reserved |
| 8 | Reserved | R/W | 1B | Reserved |
| 7 | Reserved | R/W | 1B | Reserved |
| 6 | Reserved | R/W | 1B | Reserved |
| 5 | Reserved | R/W | 1B | Reserved |
| 4 | CTM3_CC | R/W | 1B | APB-SS タイマ 3 (PCLK,TIM_CLK) へのクロック供給を制御します。 0 : クロック停止 1 : クロック供給 |
| 3 | CTM2_CC | R/W | 1B | APB-SS タイマ 2 (PCLK,TIM_CLK) へのクロック供給を制御します。 0 : クロック停止 1 : クロック供給 |
| 2 | CTM1_CC | R/W | 1B | APB-SS タイマ 1 (PCLK,TIM_CLK) へのクロック供給を制御します。 0 : クロック停止 1 : クロック供給 |
| 1 | CTM0_CC | R/W | 1B | APB-SS タイマ 0 (PCLK,TIM_CLK) へのクロック供給を制御します。 0 : クロック停止 1 : クロック供給 |
| 0 | Reserved | R/W | 1B | Reserved |

(2) APB-SS タイマ・クロック制御手順

APB-SS タイマのクロック制御手順を示します。

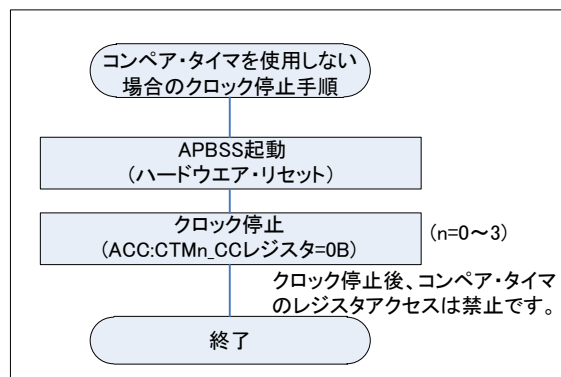


図 11-1 APB-SS タイマ・クロック停止手順(1/2)

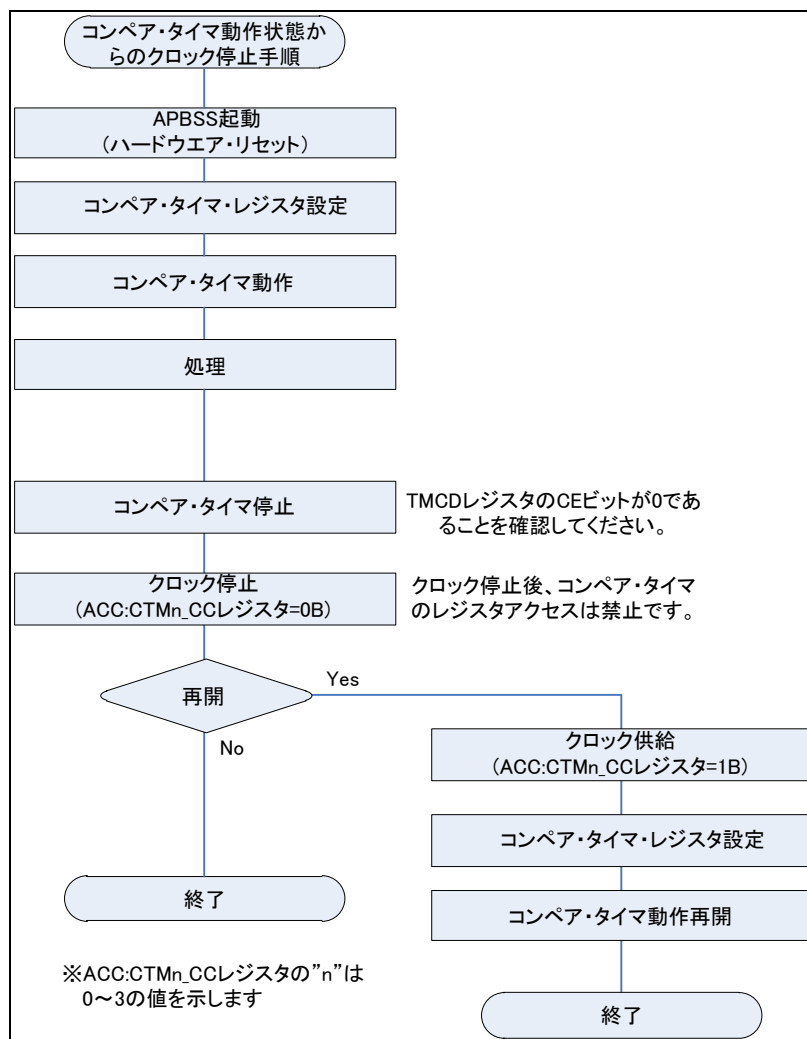


図 11-2 APB-SS タイマ・クロック停止手順(2/2)

(3) UART クロック制御手順

UART のクロック制御手順を示します。

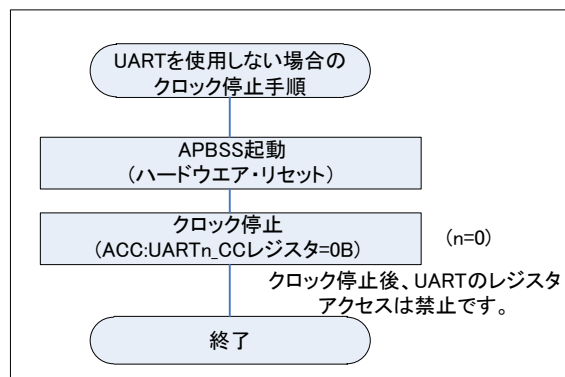


図 11-3 UART クロック停止手順(1/2)

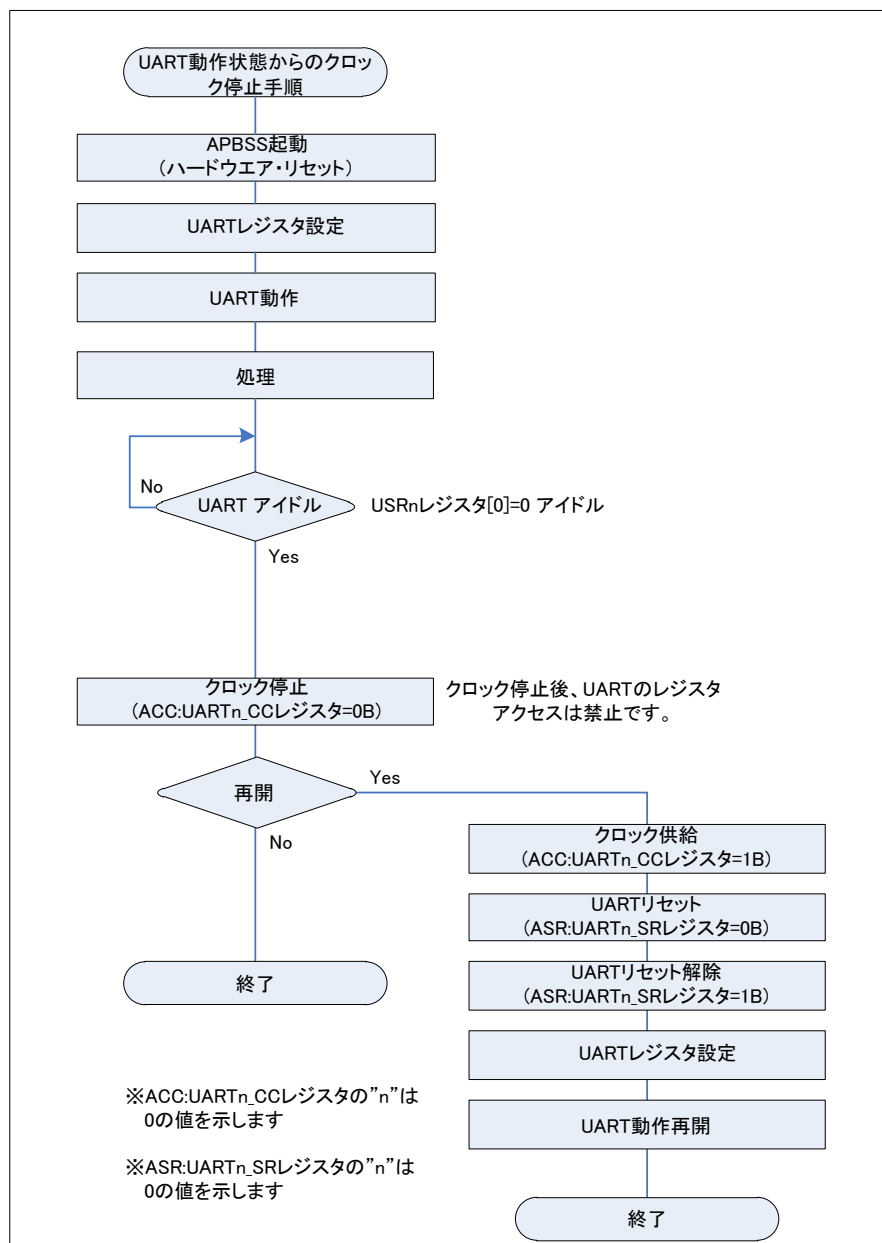


図 11-4 UART クロック停止手順(2/2)

(4) CSI クロック制御手順

CSI のクロック制御手順を示します。

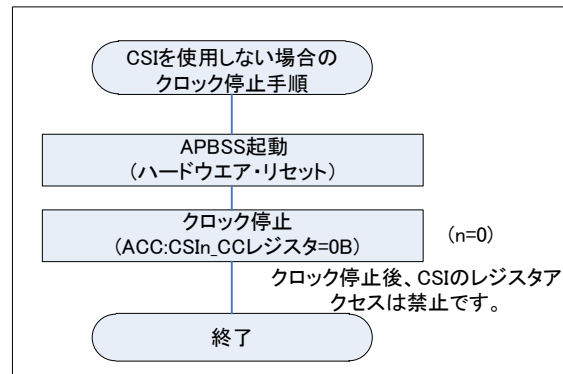


図 11-5 CSI クロック停止手順(1/2)

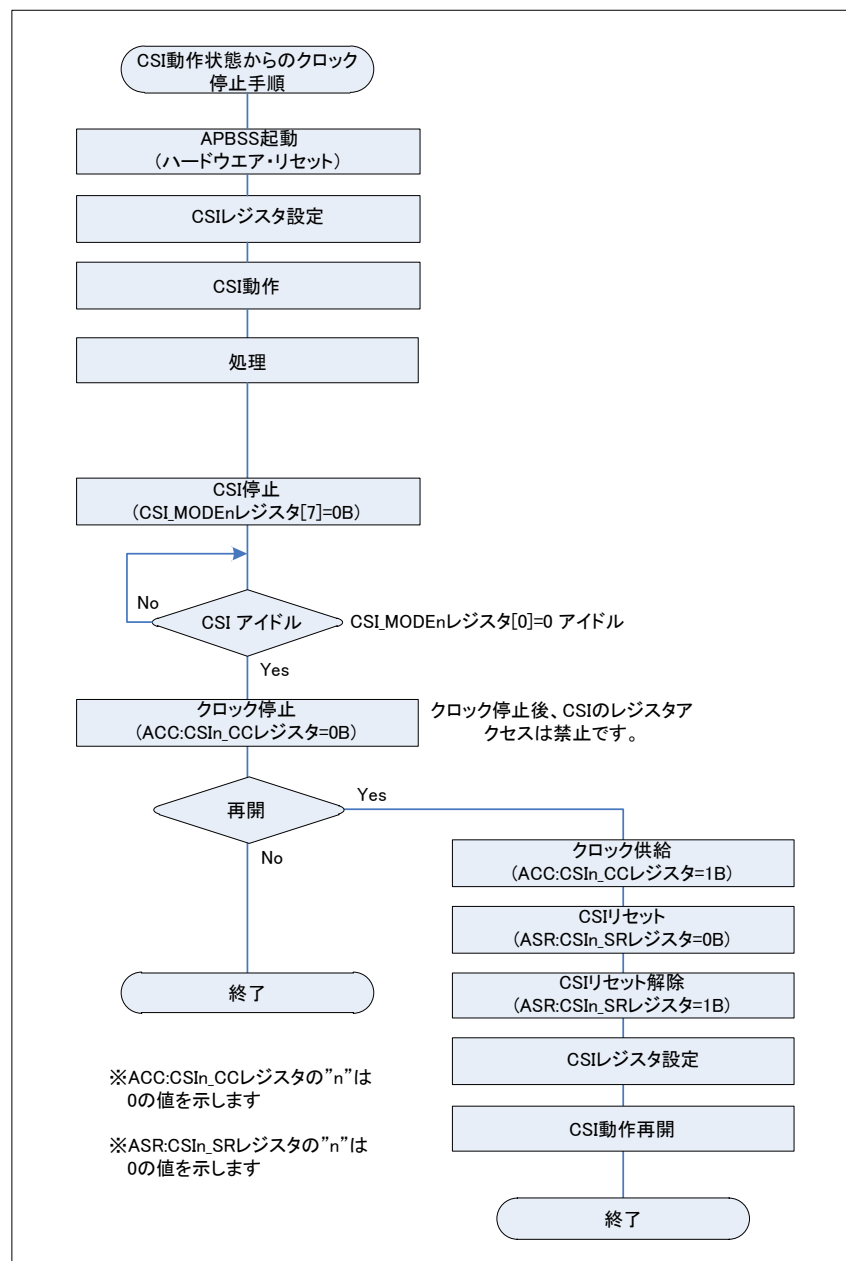


図 11-6 CSI クロック停止手順(2/2)

(5) I2C クロック制御手順

I2C のクロック制御手順を示します。

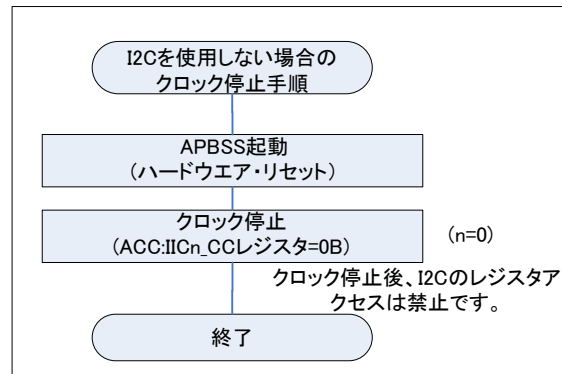


図 11-7 I2C クロック停止手順(1/2)

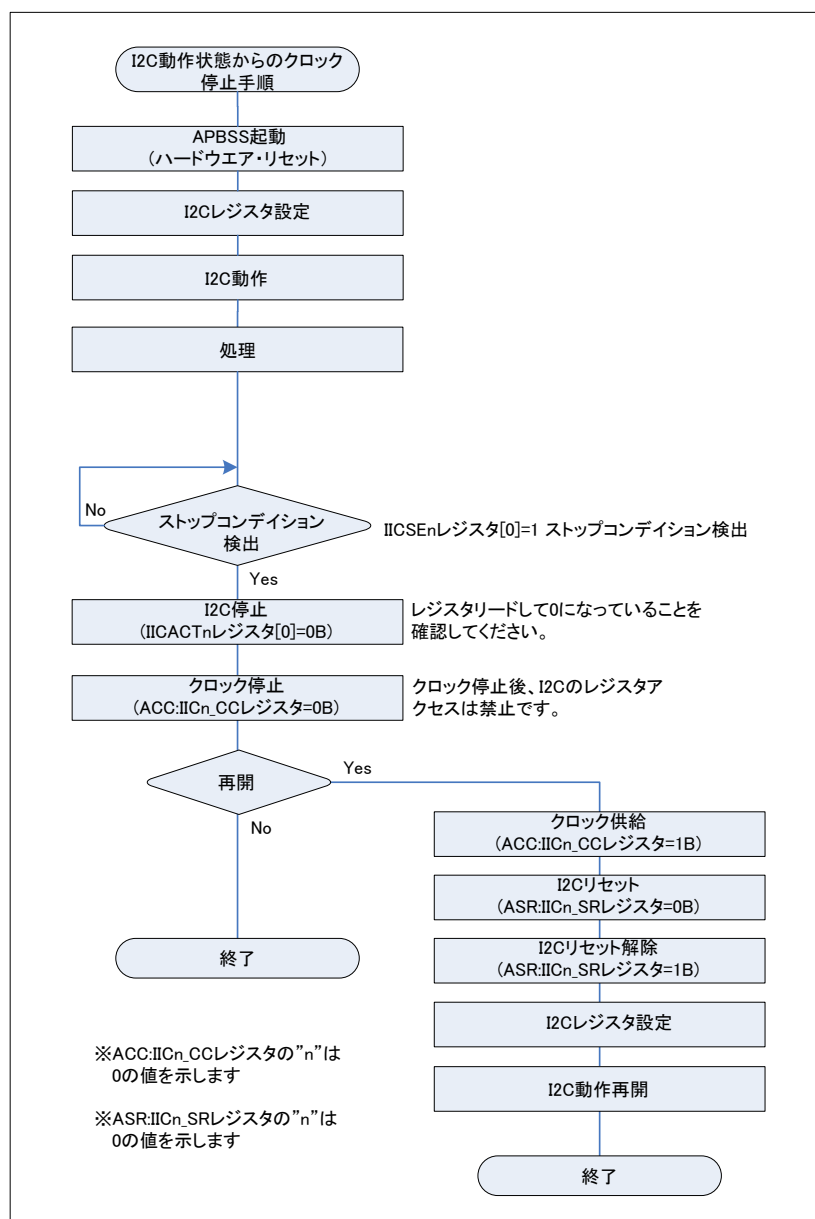


図 11-8 I2C クロック停止手順(2/2)

11.6 リセット

本 APB-SS をリセットする方法は、外部端子よりリセットするハードウェア・リセットと、本 APB-SS 内部に搭載する APB インタフェースのレジスタよりリセットするソフトウェア・リセットがあります。

11.6.1 ソフトウェア・リセット

次のようなソフトウェア・リセット用の APB インタフェースのレジスタがあります。

(1) APB-SS ソフトウェア・リセット・レジスタ (ASR)

アドレス(EFFF_0210H)

APB-SS に搭載する APB マクロをリセットします。

| アドレ ス | EFFF_0210H | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----------|------------|----|----|----|-------|----|----------|----|---------|----|----------|----|----------|----|----------|----|---------|----|----------|----|----|----|---|---|---|---|---|---|---|---|---|---|---------|--|---------|--|---------|--|---------|--|----------|--|
| ビット | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | | |
| レジスタ名称 | Reserved | | | | CC_SR | | Reserved | | IIC0_SR | | Reserved | | UART0_SR | | Reserved | | CSI0_SR | | Reserved | | | | | | | | | | | | | | CTM3_SR | | CTM2_SR | | CTM1_SR | | CTM0_SR | | Reserved | |

| ビット位置 | ビット名 | R/W | 初期値 | 機能 |
|-------|----------|-----|-------|---|
| 31:28 | Reserved | R/W | 1111B | Reserved |
| 27 | Reserved | R/W | 1B | Reserved |
| 26 | CC_SR | R/W | 1B | クロック制御レジスタへのリセット信号を生成します。 0：リセット(ロー・レベル) 1：リセット解除(ハイ・レベル) |
| 25 | Reserved | R/W | 1B | Reserved |
| 24 | IIC0_SR | R/W | 1B | APB-SS I2C へのリセット信号を生成します。 0：リセット(ロー・レベル) 1：リセット解除(ハイ・レベル) |
| 23 | Reserved | R/W | 1B | Reserved |
| 22 | Reserved | R/W | 1B | Reserved |
| 21 | Reserved | R/W | 1B | Reserved |
| 20 | UART0_SR | R/W | 1B | APB-SS UART へのリセット信号を生成します。 0：リセット(ロー・レベル) 1：リセット解除(ハイ・レベル) |

| ビット位置 | ビット名 | R/W | 初期値 | 機能 |
|-------|----------|-----|-----|--|
| 19 | Reserved | R/W | 1B | Reserved |
| 18 | Reserved | R/W | 1B | Reserved |
| 17 | Reserved | R/W | 1B | Reserved |
| 16 | CSI0_SR | R/W | 1B | APB-SS CSI0 へのリセット信号を生成します。 0 : リセット(ロー・レベル) 1 : リセット解除(ハイ・レベル) |
| 15 | Reserved | R/W | 1B | Reserved |
| 14 | Reserved | R/W | 1B | Reserved |
| 13 | Reserved | R/W | 1B | Reserved |
| 12 | Reserved | R/W | 1B | Reserved |
| 11 | Reserved | R/W | 1B | Reserved |
| 10 | Reserved | R/W | 1B | Reserved |
| 9 | Reserved | R/W | 1B | Reserved |
| 8 | Reserved | R/W | 1B | Reserved |
| 7 | Reserved | R/W | 1B | Reserved |
| 6 | Reserved | R/W | 1B | Reserved |
| 5 | Reserved | R/W | 1B | Reserved |
| 4 | CTM3_SR | R/W | 1B | APB-SS タイマ 3 へのリセット信号を生成します。 0 : リセット(ロー・レベル) 1 : リセット解除(ハイ・レベル) |
| 3 | CTM2_SR | R/W | 1B | APB-SS タイマ 2 へのリセット信号を生成します。 0 : リセット(ロー・レベル) 1 : リセット解除 |
| 2 | CTM1_SR | R/W | 1B | APB-SS タイマ 1 へのリセット信号を生成します。 0 : リセット(ロー・レベル) 1 : リセット解除(ハイ・レベル) |
| 1 | CTM0_SR | R/W | 1B | APB-SS タイマ 0 へのリセット信号を生成します。 0 : リセット(ロー・レベル) 1 : リセット解除(ハイ・レベル) |
| 0 | Reserved | R/W | 1B | Reserved |