**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ**

**«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»**

**ІНСТИТУТ ПРИКЛАДНОГО СИСТЕМНОГО АНАЛІЗУ**

**КАФЕДРА СИСТЕМНОГО ПРОЕКТУВАННЯ**

**Дисціпліна:**

**«Комп'ютерна схемотехніка»**

**Курсова робота**

**На тему:**

**«**Синхронний лічильник на JK тригерах на чотири розряди без декодування коефіцієнта рахування з паралельним переносом для віднімання.»

Робота виконана студентом гр. ДА-92

Насікан Д. Ю.

**Керівник**

**Доц. Стіканов В. Ю.**

**Київ 2021**

НТУУ “Київський Політехнічний Інститут імені Ігоря Сікорського ”

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(назва вищого навчального закладу)

Системного проектування

Кафедра\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Комп’ютерна схемотехніка

Дисципліна\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Спеціальність \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_122–Комп’ютерні науки\_\_\_\_\_\_\_\_

Спеціалізації Інформаційні технології проектування, Системне проектування

Курс 2 Група ДА-92 Семестр 4

**ЗАВДАННЯ**

**на курсову роботу студента**

Насікана Дмитра Юрійовича

(прізвище, ім’я, по батькові)

1. Тема курсової роботи

Синхронний лічильник на JK тригерах на чотири розряди без декодування коефіцієнта рахування з паралельним переносом для віднімання \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | | | | |
| \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | | | | | |
|  | | |  |  |  |
|  | |  |  |  |  |
| 2. |  |  |  | до 19.05.2021 р. | |
| Строк здачі студентом закінченого проекту (роботи)\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | | | | |
| 3. | Вихідні дані до виконання роботи: бібліотека стандартних елементів, система | | | | |
|  | проектування цифрових схем | |  |  |  |
|  |  |  | | | |
| 4. | Зміст розрахунково – пояснювальної записки (перелік питань, які підлягають | | | | |
|  | розробці):\_\_ | |  |  |  |
|  | ▪ Аналіз технічного завдання | |  |  |  |
|  | ▪ Проектування функціональної схеми пристрою | | | | |
|  | ▪ Проектування принципової схеми пристрою | | | | |
|  | ▪ Аналіз функціонування та дослідження часових параметрів пристрою | | | | |
| 5. | Перелік графічного матеріалу (з точним зазначенням обов’язкових креслень) | | | | |
|  | 1. Функціональна схема пристрою 2. Принципова схема пристрою 3. Результати | | | | |
|  | моделювання (часові діаграми) 4. Результати моделювання (часові параметри) | | | | |
| 6. | Дата видачі | | 12.03.2021 р. | | |
|  |  |  |
|  | завдання\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | | | | |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **КАЛЕНДАРНИЙ ПЛАН** | | |  |  |
|  |  |  |  |  |
|  | № |  | Строк виконання етапів |  |
|  | п/п | Назва етапів курсового проекту (роботи) | проекту (роботи) | Примітки |
|  |  |  |  |  |
|  |  |  |  |  |
| 1. | | Аналіз вимог технічного завдання, підбір та | 1.04.2021р. |  |
|  |  |  |  |  |
|  |  | вивчення літератури |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
| 2. | | Проектування функціональної схеми | 5.04.2021р. |  |
|  |  | пристрою |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
| 3. | | Проектування принципової схеми пристрою | 10.04.2021р |  |
|  |  |  |  |  |
| 4. | | Аналіз функціонування пристрою | 25.04.2021р |  |
|  |  |  |  |  |
|  |  |  |  |  |
| 5. | | Дослідження часових параметрів пристрою | 30.04.2021р. |  |
|  |  |  |  |  |
|  |  |  |  |  |
| 6. | | Оформлення пояснювальної записки | 05.05.2021р. |  |
|  |  |  |  |  |
|  |  |  |  |  |
| 7. | | Виконання графічної частини роботи | 15.05.2021р. |  |
|  |  |  |  |  |
|  |  |  |  |  |
| 8. | | Підготовка до захисту курсової роботи та | до 19.05.2021р. |  |
|  |  | захист |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

Студент\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  | (підпис) |  |
| Керівник\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | | | | | В. Ю. Стіканов |
|  |  |  |  | (підпис) | (прізвище, ім’я, по батькові) |
|  | «15» лютого 2021р. | | | |  |
|  |  |  |  |  |  |

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ**

**«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»**

**ІНСТИТУТ ПРИКЛАДНОГО СИСТЕМНОГО АНАЛІЗУ**

**КАФЕДРА СИСТЕМНОГО ПРОЕКТУВАННЯ**

**Пояснювальна записка**

**До курсової роботи на тему:**

**«**Синхронний лічильник на JK тригерах на чотири розряди без декодування коефіцієнта рахування з паралельним переносом для віднімання.»

**Київ 2021**

**ЗМІСТ**

**1. ВВЕДЕННЯ.......................................................................................................6**

**2. МЕТА ТА ЗАВДАННЯ....................................................................................7**

**3. ТЕОРЕТИЧНІ ВІДОМОСТІ..........................................................................8**

* 1. ***База логічних елементів*...........................................................................8**
  2. ***Двотактний JK тригер............................................................................*9**
  3. ***Лічильник віднімання...............................................................................*11**

**4. ПОБУДОВА СХЕМИ.....................................................................................14**

***4.1 Побудова елементної бази.......................................................................*14**

***4.2 Побудова JK тригера................................................................................*20**

***4.3 Побудова лічильника.................................................................................*21**

**5. ТЕСТУВАННЯ ПРИЛАДІВ..........................................................................23**

**6. ВИСНОВКИ......................................................................................................37**

**7. СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ.............................................38**

1. **ВВЕДЕННЯ**

Цифрова схемотехніка — це галузь науки електроніки, що передбачає вивчення цифрових сигналів та розробку пристроїв на їх основі. Цифрові (електронні) схеми обробляють цифрові сигнали або оцифровані аналогові сигнали. Діапазон сигналу в них представлений дискретними смугами (інтервалами) аналогового рівня, тобто не неперервною шкалою значень, а дискретною шкалою значень. Цифрові кола складаються з аналогових компонентів. Розробник повинен гарантувати, що аналогова природа компонентів не буде домінуючою при передачі цифрового сигналу. Цифрові системотехніки повинні враховувати величини шуму і перехідних завад, паразитні індуктивності і ємності, не забувати про фільтри при підключенні до електроживлення.

У ході цієї роботи буде розроблено послідовний цифровий пристрій для підрахування кількості імпульсів, які надходять на його інформаційний вхід – статичний лічильник. Для побудови такого лічильника знадобляться JK тригери та логічні елементи AND. Лічильник буде рахувати імпульси по задньому фронту від максимальної кількості кількості, до 0 (лічильник віднімання).

1. **МЕТА ТА ЗАВДАННЯ**

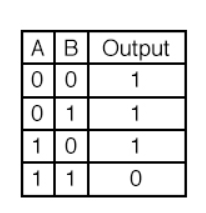
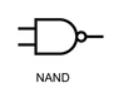
**Мета курсової роботи**:закріплення,поглиблення та узагальненнятеоретичних знань і розвиток навичок їх практичного застосування в галузі комп’ютерної схемотехніки, набуття умінь використання сучасних засобів комп’ютерного проектування цифрових пристроїв.

**Завдання на курсову роботу** полягає у проектуванні синхронного цифровогопристрою, а саме, синхронного лічильника віднімання на 4 розряди без декодування стану з паралельним переносом.

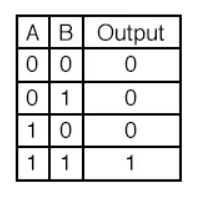
1. **ТЕОРЕТИЧНІ ВІДОМОСТІ**
   1. **База логічних елементів**

У ході даної роботи для проектування пристроїв використовуються наступні логічні елементи:

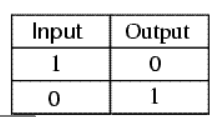
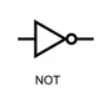
**NAND:**



**AND:**



**NOT:**



* 1. **Двотактний JK тригер з сигналами асинхронної очистки та встановлення**

JK тригер - це пристрій з двома інформаційними входами J і K, який у випадку комбінації J=K=1 переключається у протилежний стан подібно до Т-тригеру, а при усіх інших комбінаціях - функціонує як RS-тригер, у якого роль входів R та S виконують інформаційні входи K, J. JK тригер зазвичай будується по двохступеневій схемі і має входи початкової S R-установки (Set, Reset). JK-тригер називають універсальним, тому що на його основі можна побудувати тригери інших типів. Схема JK-тригеру із синхронізацією по задньому фронту виглядає наступним чином:

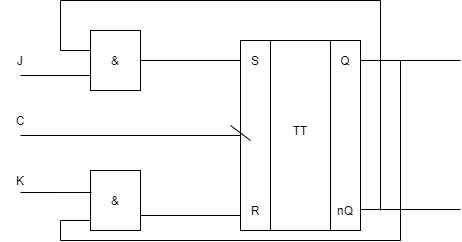


Рис 1. Схема двохступінчатого JK-тригеру

В даній схемі використовується RS-тригер типу Master Slave із керуванням по задньому фронту, тому дана схема є двустепеневою та шестиелементною, RS-тригер типу Master-Slave побудований на елементах І-НІ. Даний тригер не містить встановлюючого та очищуючого сигналів (Set, Reset). Схема RS-тригеру, який використовується в даній схемі наведена нижче.

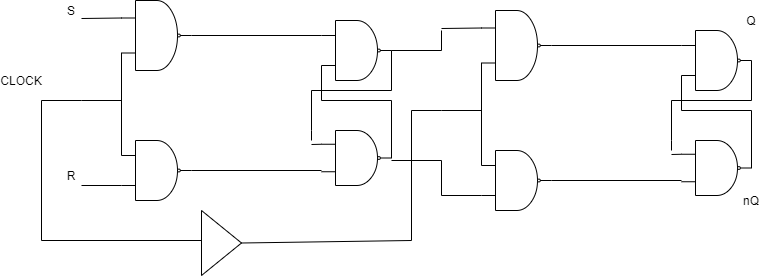


Рис 2. Схема RS-тригеру типу Master-Slave з синхронізацією по задньому фронту

Таблиця істинності такого JK-тригера виглядає наступним чином:

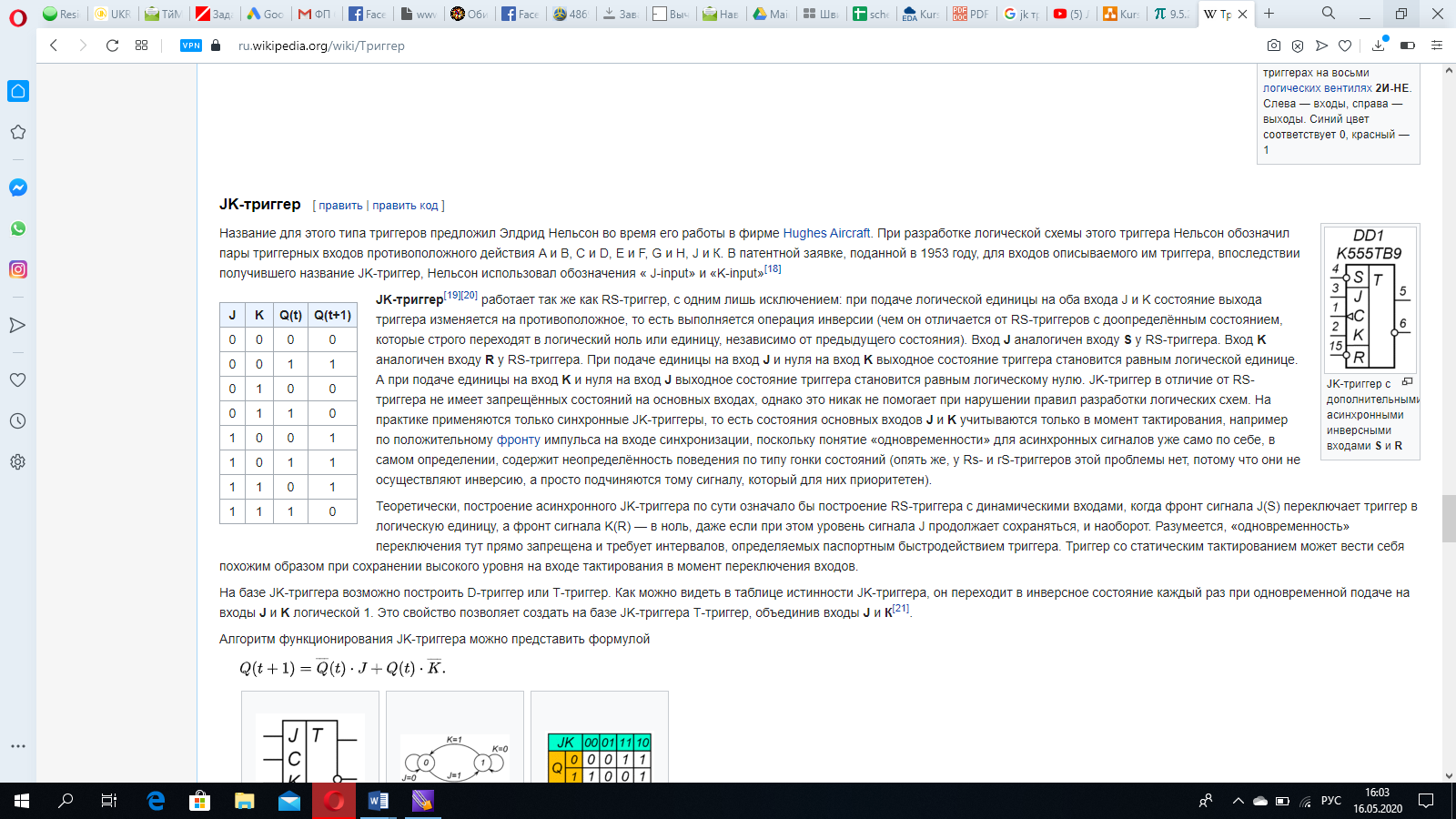


Рис 3. Таблиця істинності JK-тригера без синхронізації

У випадку синхронного JK тригера до таблиці істинності додається синхросигнал С, якщо С=0, то тригер спрацьовує в режимі пам’яті, тобто зберігає останнє записане значення. Діаграма роботи JK-тригера з синхронізацією по передньому фронту виглядає наступним чином:

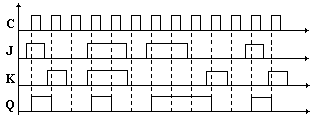


Рис 4. Діаграма роботи JK тригеру по передньому фронту

* 1. **Лічильник віднімання**

Лічильники представляють собою пристрої, які підраховують число вхідних імпульсів, що приходять на інформаційний вхід. Лічильники будуються на тригерах, сполученими складними зв’язками. Внутрішня пам’ять лічильників оперативна, це означає, що в разі вимкнення живлення лічильник не буде зберігати записане в лічильник значення, з виключенням живлення пам’ять стирається. Лічильник підраховує імпульси від 0 до найбільшого значення, що може в ньому поміститися (залежить від розрядності лічильника) або від найбільшого до 0 (лічильник віднімання). Приклад роботи лічильника наведено на рисунку:

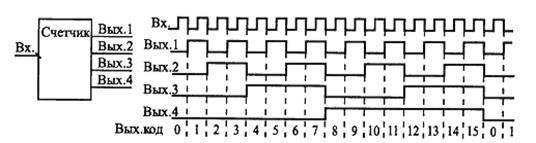


Рис 5. Схема роботи двійкового лічильника

Як видно на рисунку, з приходом кожного нового імпульсу двійковий код на виході лічильника збільшується або зменшується на 1. Спрацьовувати лічильник може або по задньому або по передньому фронту вхідного сигналу. Режим підрахунку забезпечується використанням внутрішніх тригерів, що працюють в рахунковому режимі (наприклад, T-тригер). Виходи лічильника якраз є виходами цих тригерів. Кожний вихід лічильника є розрядом двійкового коду, що позначає кількість порахованих імпульсів.

Лічильники працюють в звичайному двійковому коді, тобто рахують від 0 до 2N-1, де N- число розрядів вихідного лічильника. Наприклад, 4-розрядний лічильник в режимі прямого підрахунку рахує від 0 (код 0000) до 15 код (1111). Після максимального значення коду лічильник по наступному вхідному імпульсу змінюється на 0, тобто працює по колу. Якщо лічильник інверсивний, то лічильник рахує до нуля, а далі переходить до максимального коду 111..1

Лічильники поділяються на асинхронні та синхронні лічильники. В асинхронних лічильниках відсутня спільна для всіх розрядів синхронізація і перехід із розрядів в нові стани відбуваються послідовно розряд за розрядом.

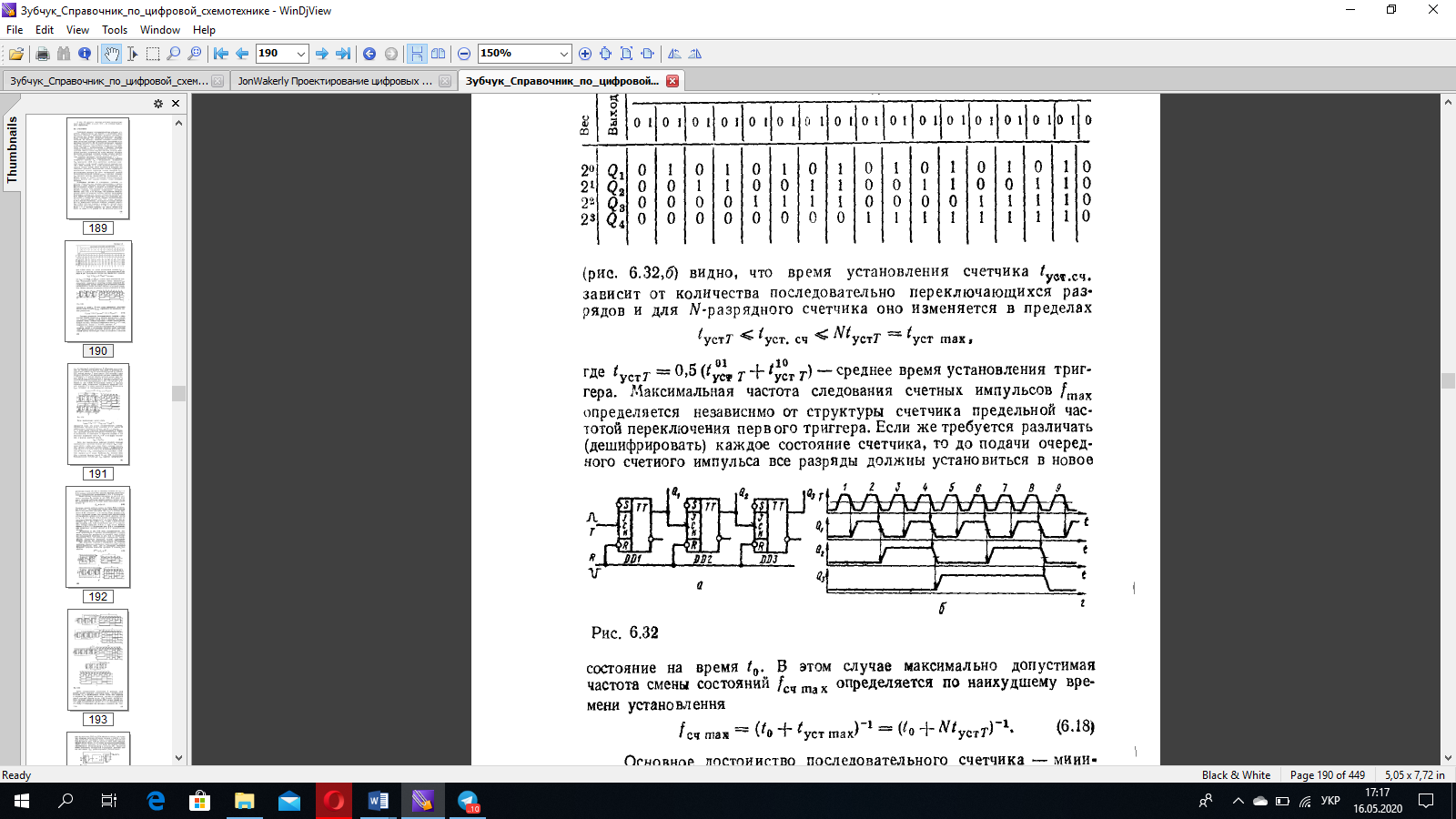


Рис 6. Робота асинхронного лічильника

Головною перевагою асинхронного лічильника є простота схеми, а логовним недоліком низька швидкодія, оскільки в схемі послідовно переключаються N тригерів.

До синхронних або паралельних лічильників відносять лічильники, в яких переключення розрядів відбувається одночасно і не залежить від віддаленості розряду від входу сигналу. Це досягається подачею на всі тригери синхросигналу, які переднім або заднім фронтом перемикають тригери у відповідності до логіки роботи лічильника. Таким чином, досягається мінімальний час встановлення лічильника, який не перевищує час встановлення одного тригеру , тим самим забезпечується максимальна частота зміни станів лічильника. Схема найпростішого синхронного лічильника показана на рисунку нижче:

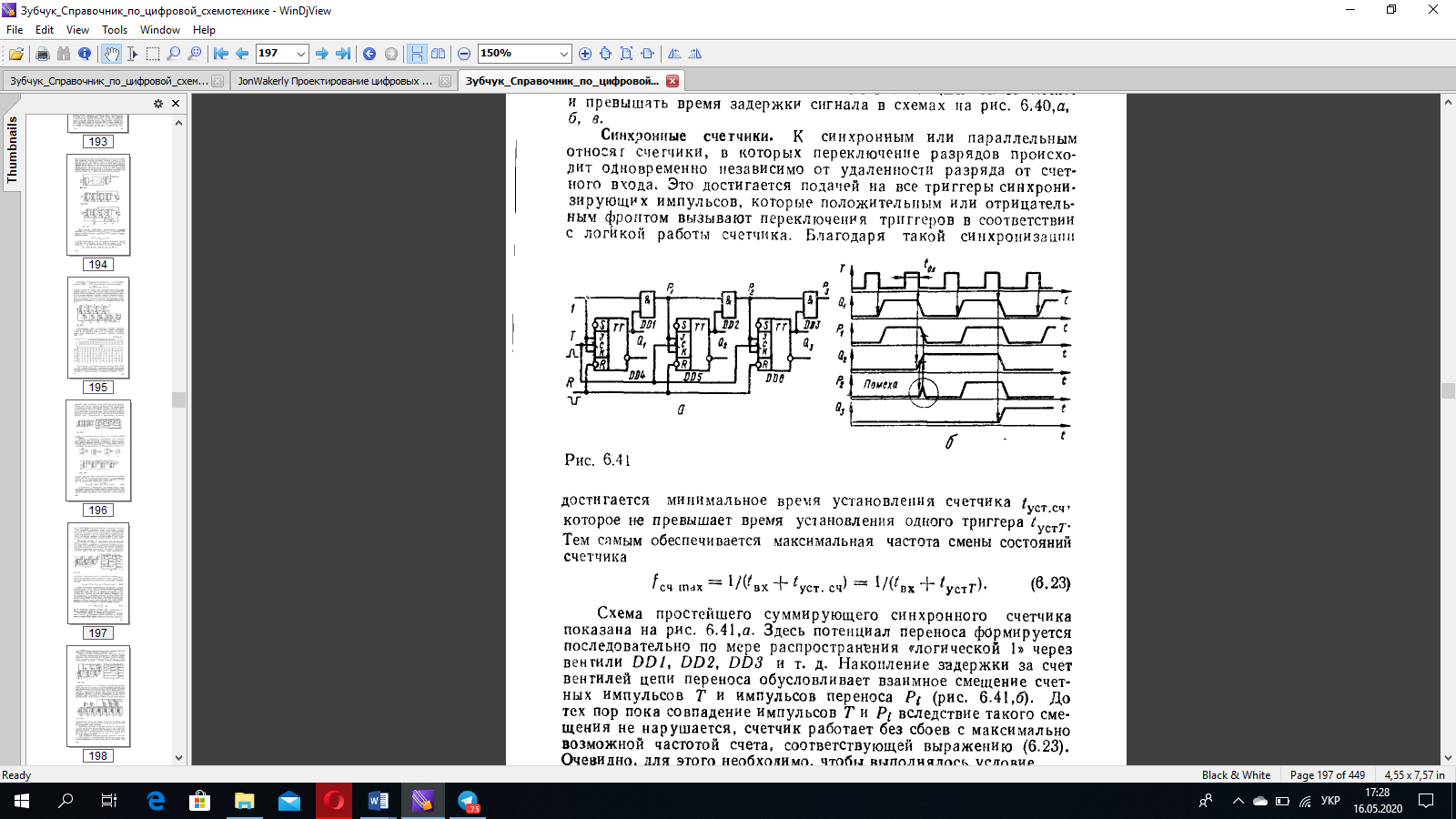


Рис 7. Синхронний лічильник з послідовним переносом

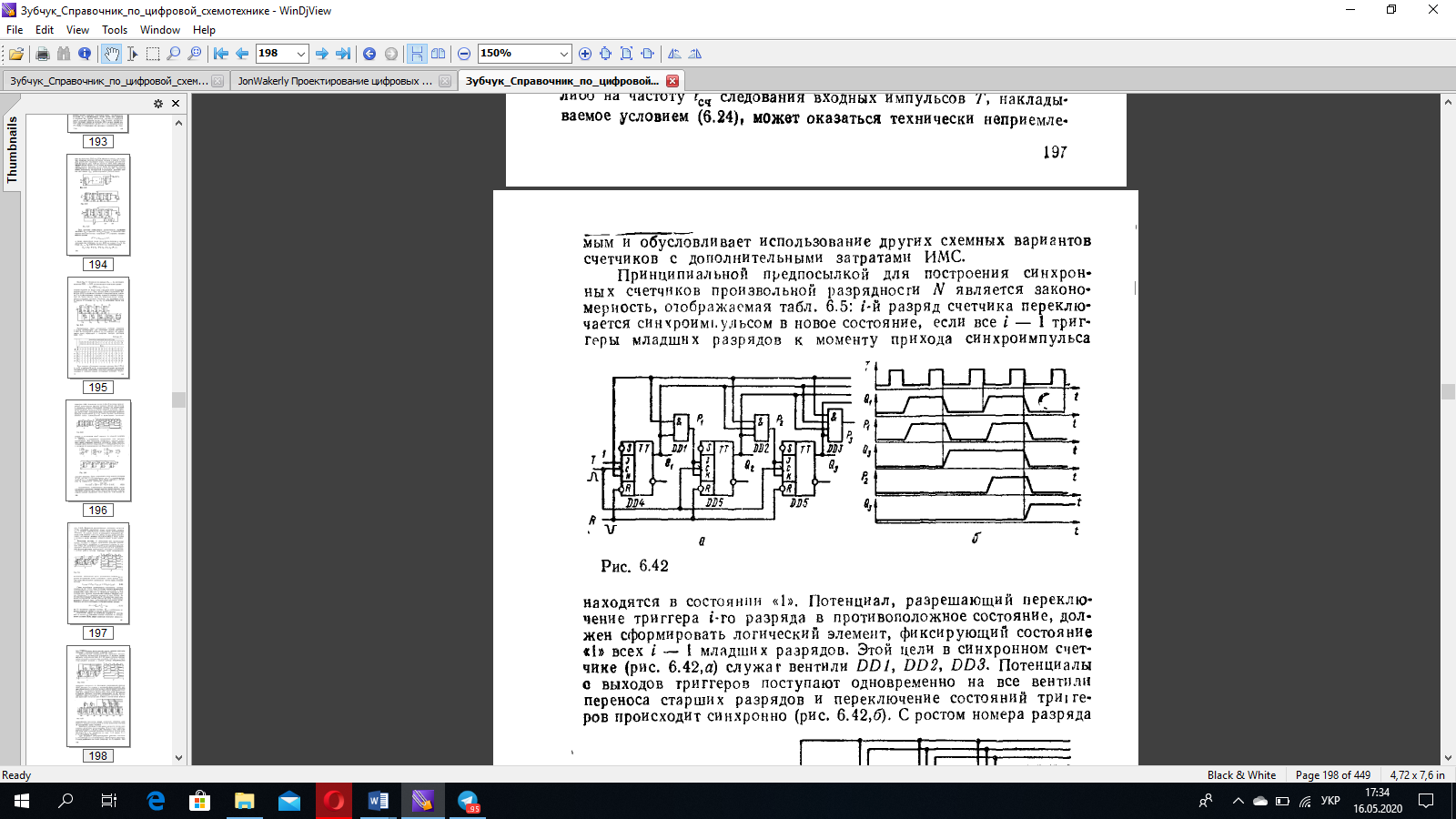


Рис 8. Синхронний лічильник з паралельним переносом.

1. **ПОБУДОВА СХЕМИ**

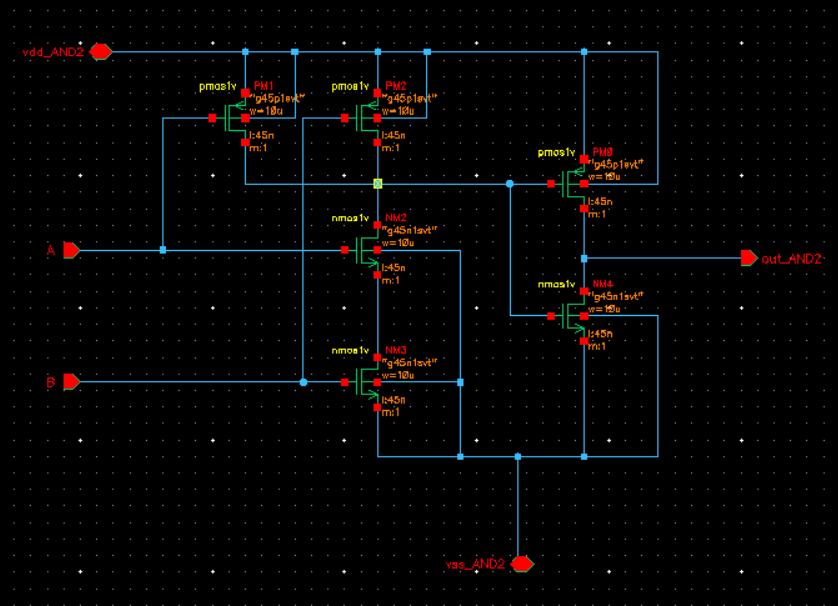
Використовуючи засоби системи проектування CADENCE та бібліотеку gpdk045 побудуємо лічильник згідно завдання.

* 1. **Побудова елементної бази**

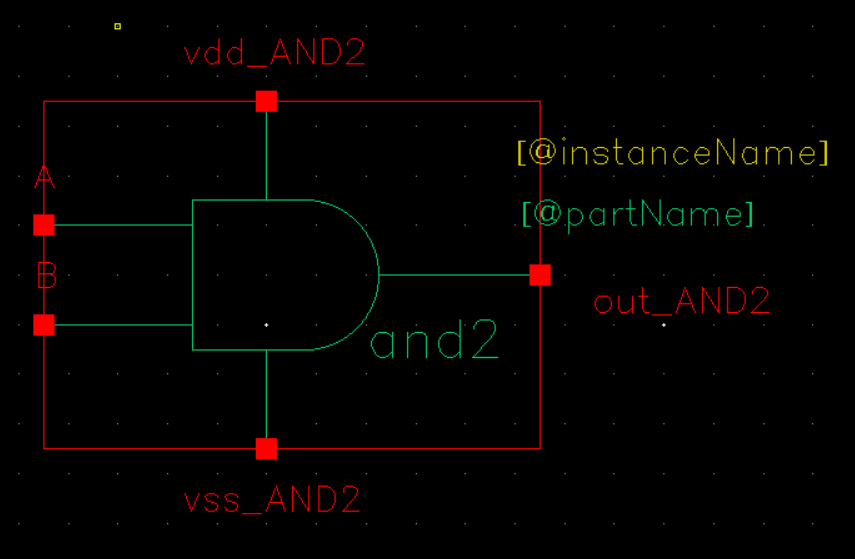
Спочатку спроектуємо логічні елементи, що будуть використані для побудови лічильника:

**AND 2:**

Схема:

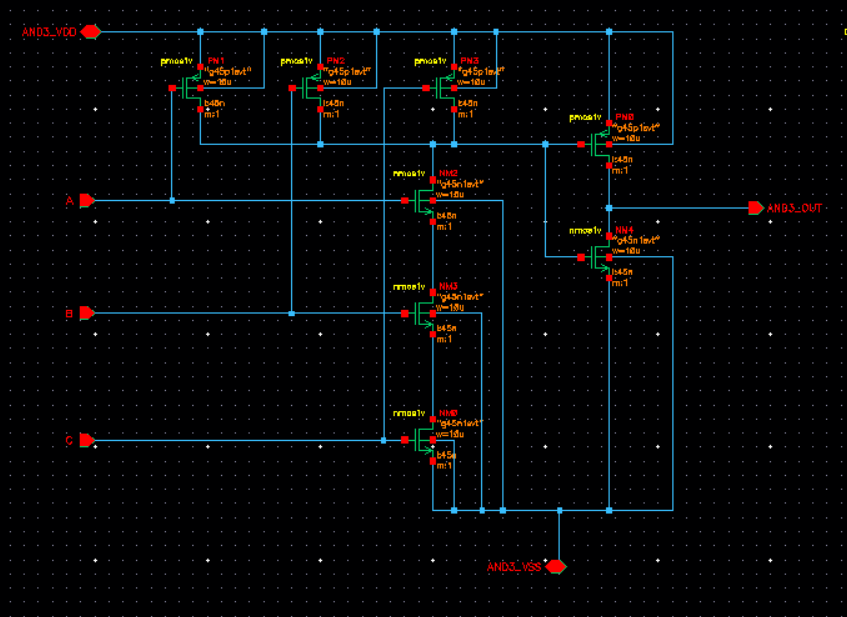


Умовний символ:

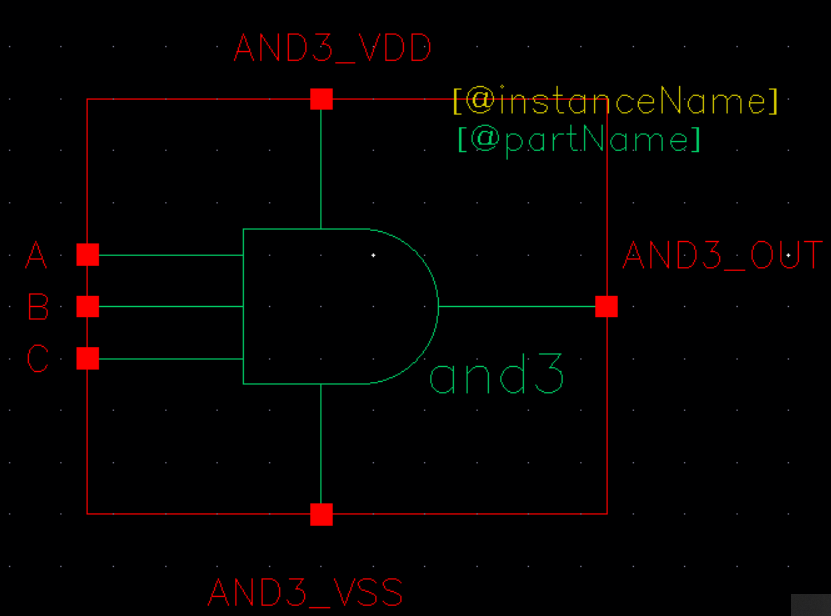


**AND 3:**

Схема:

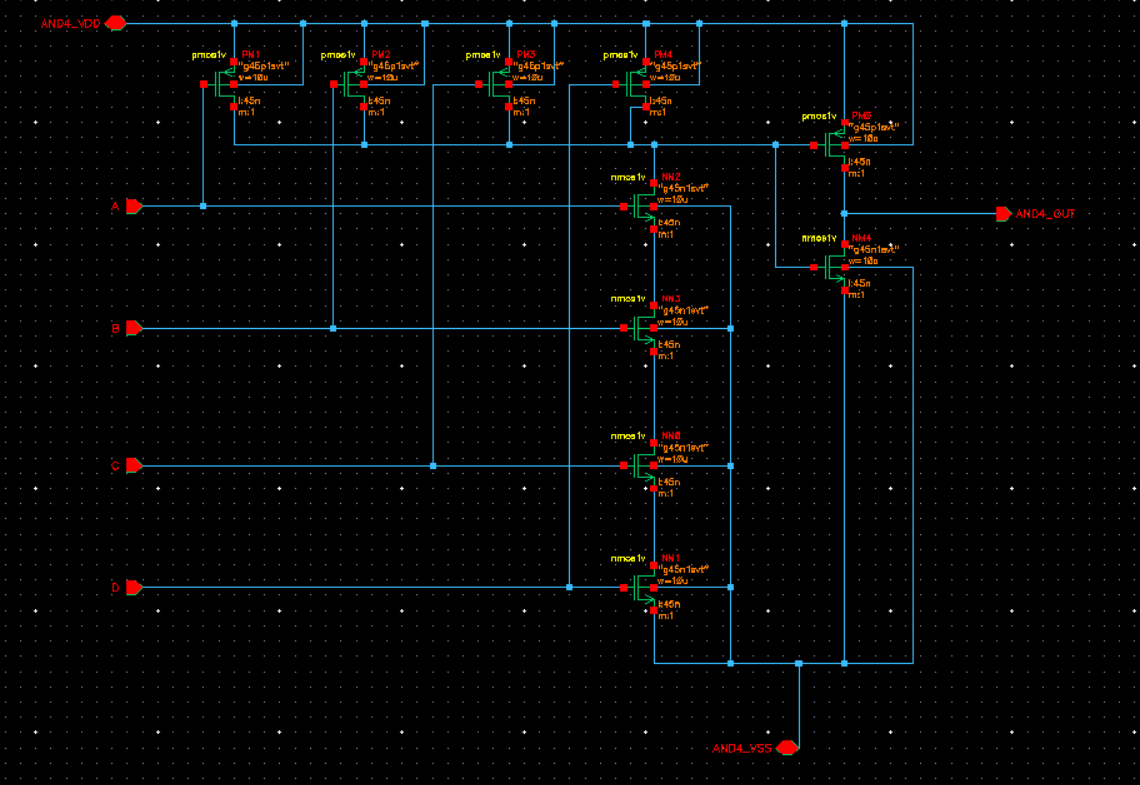
****

Умовний символ:

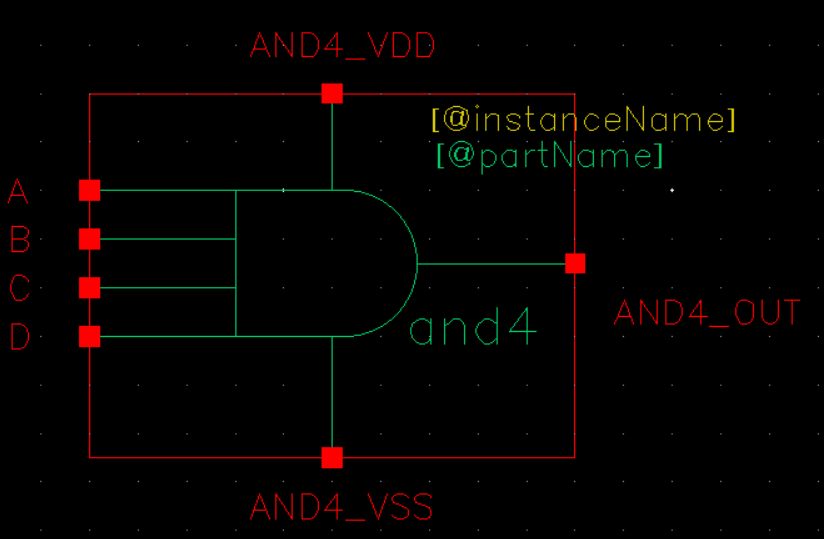


**AND 4:**

Схема:

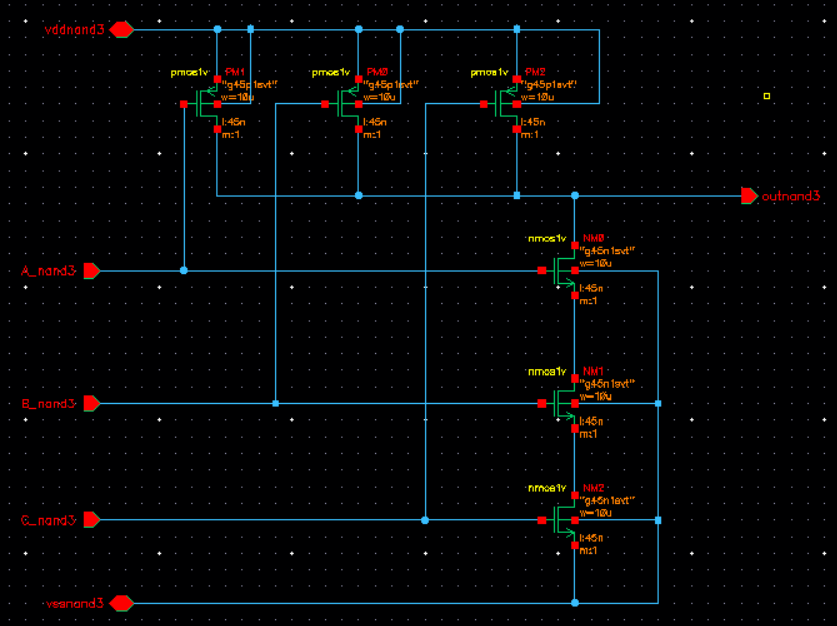


Умовний символ:

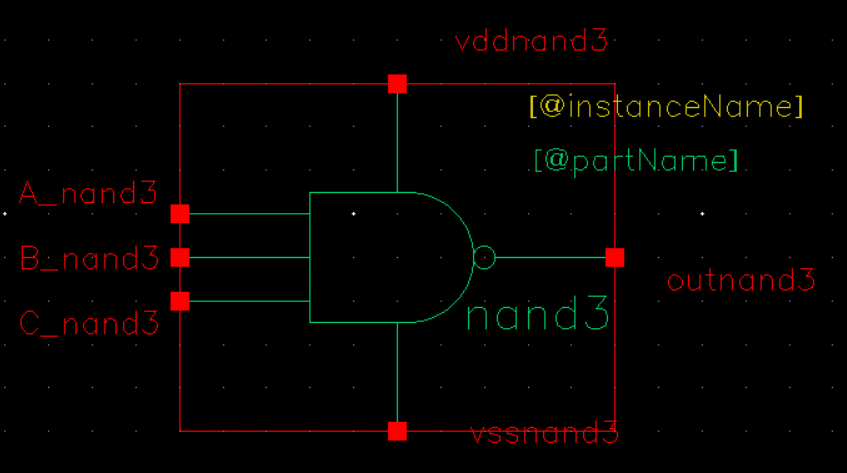


**NAND3:**

Схема:

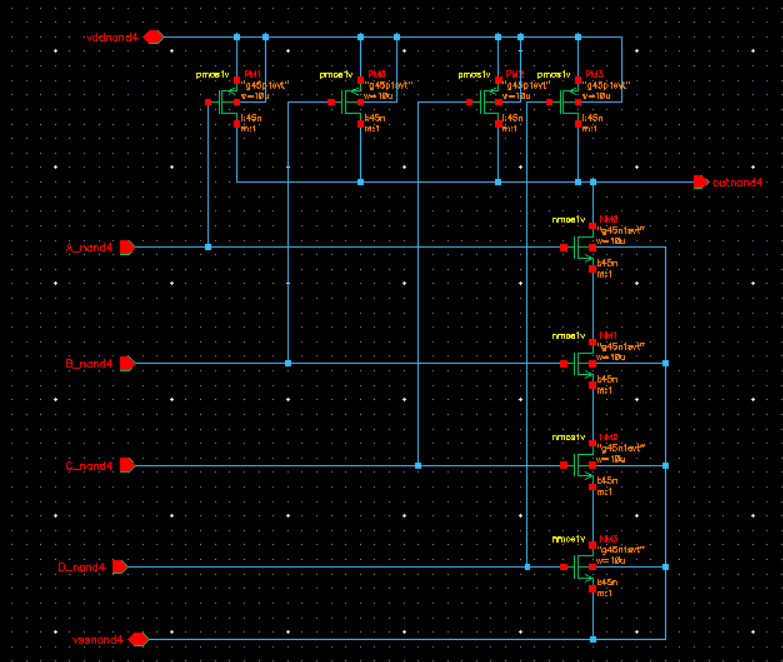
****

Умовний символ:

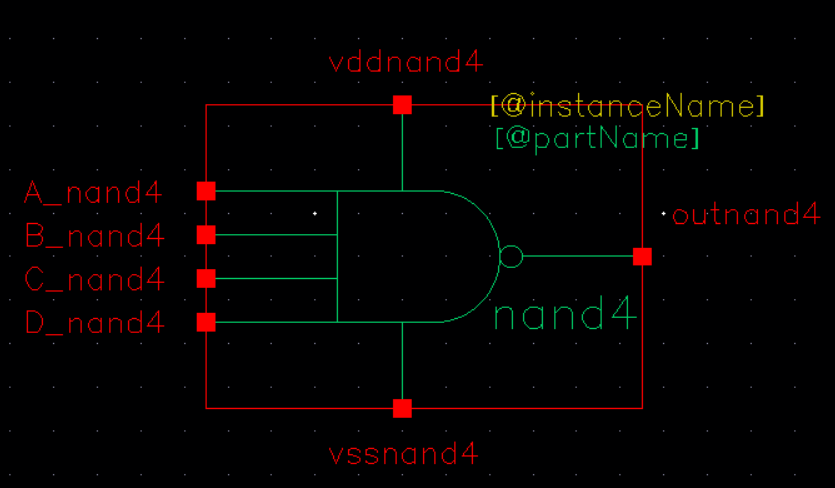


**NAND4:**

Схема:



Умовний символ:

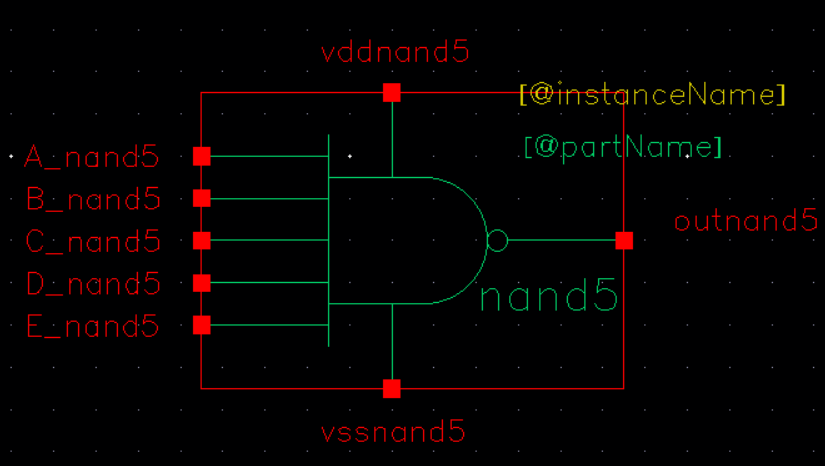


**NAND5:**

Схема:

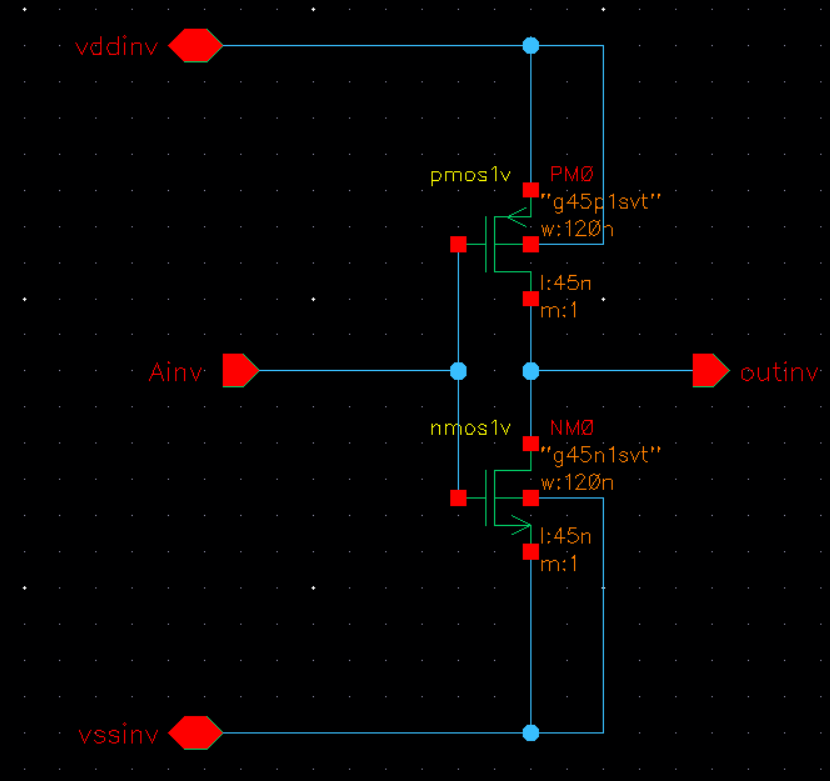


Умовний символ:

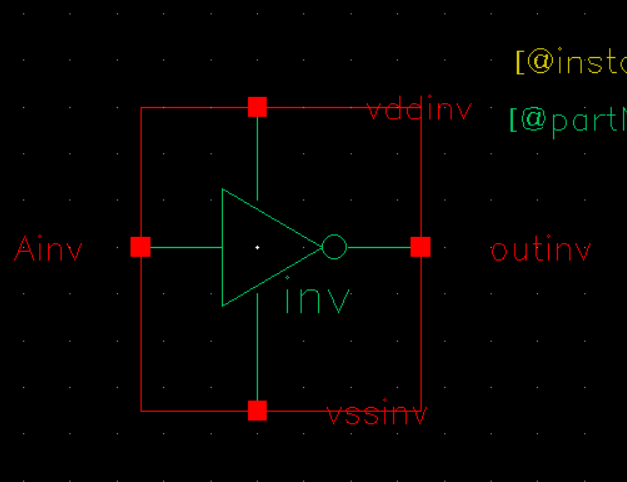
****

**NOT1:**

Схема:



Умовний символ:

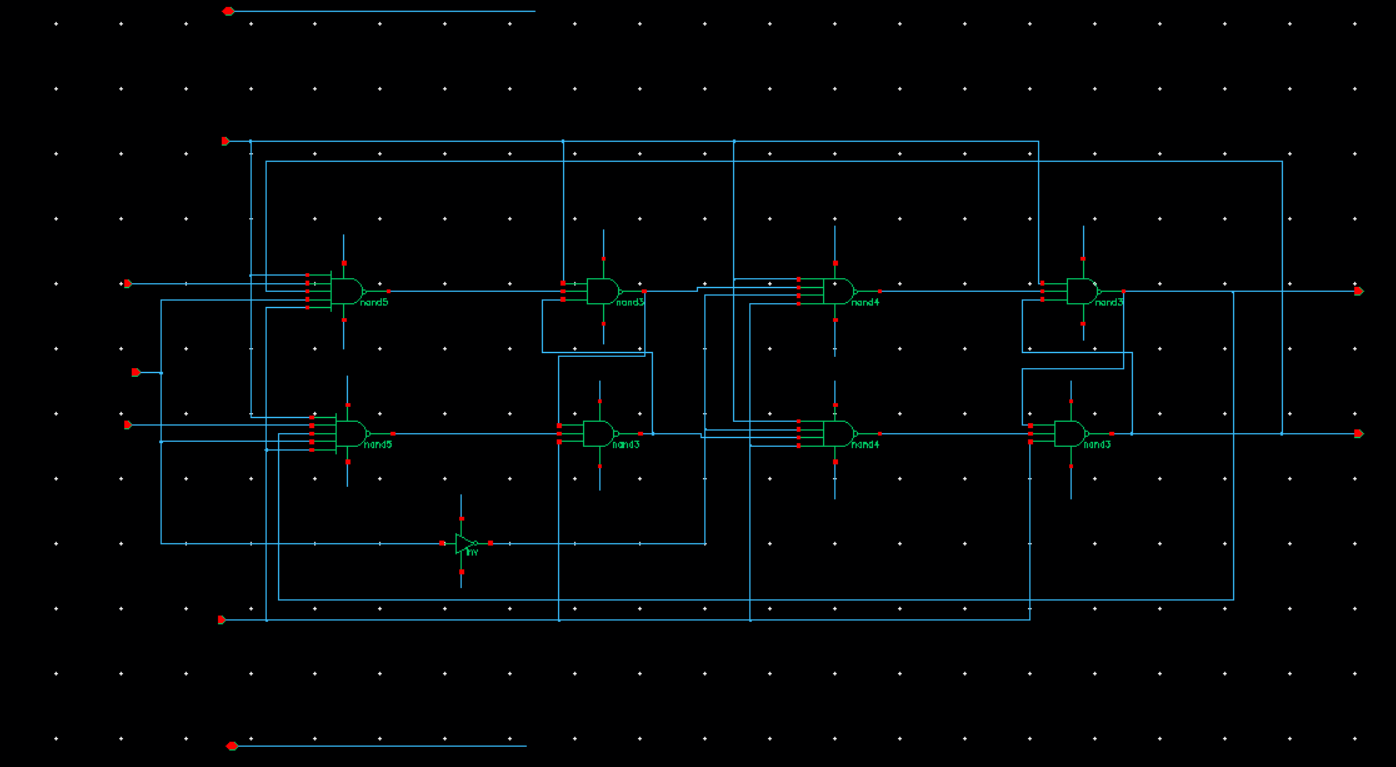
****

Варто зазначити, що усі логічні елементи були побудовані на MOS транзисторах з напругою живлення 1V та спроектовані за CMOS логікою.

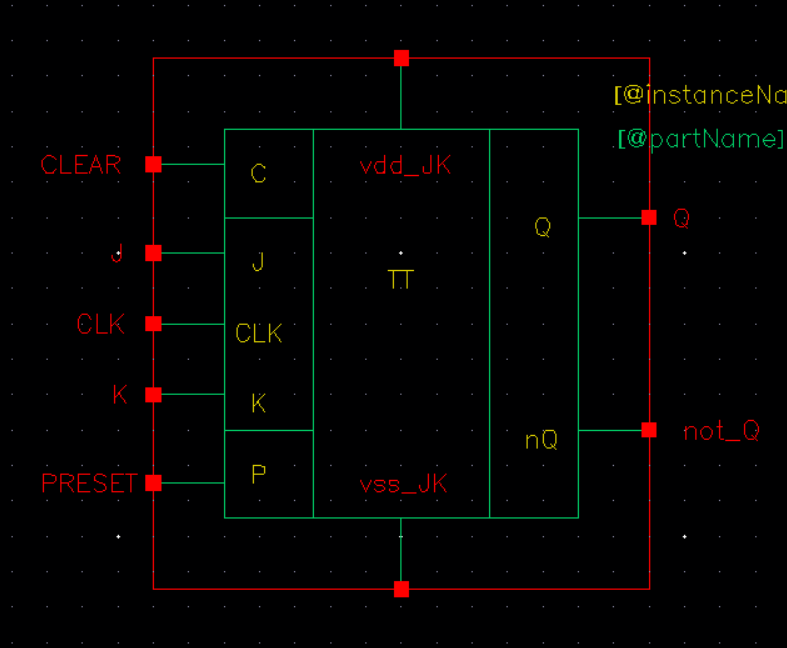
* 1. **Побудова JK тригера**

Використовуючи спроектовані логічні елементи, розробимо схему двотактного синхронного JK тригера (з синхронізацією по задньому фронту), що має додаткові асинхронні сигнали встановлення та очищення.

Схема:



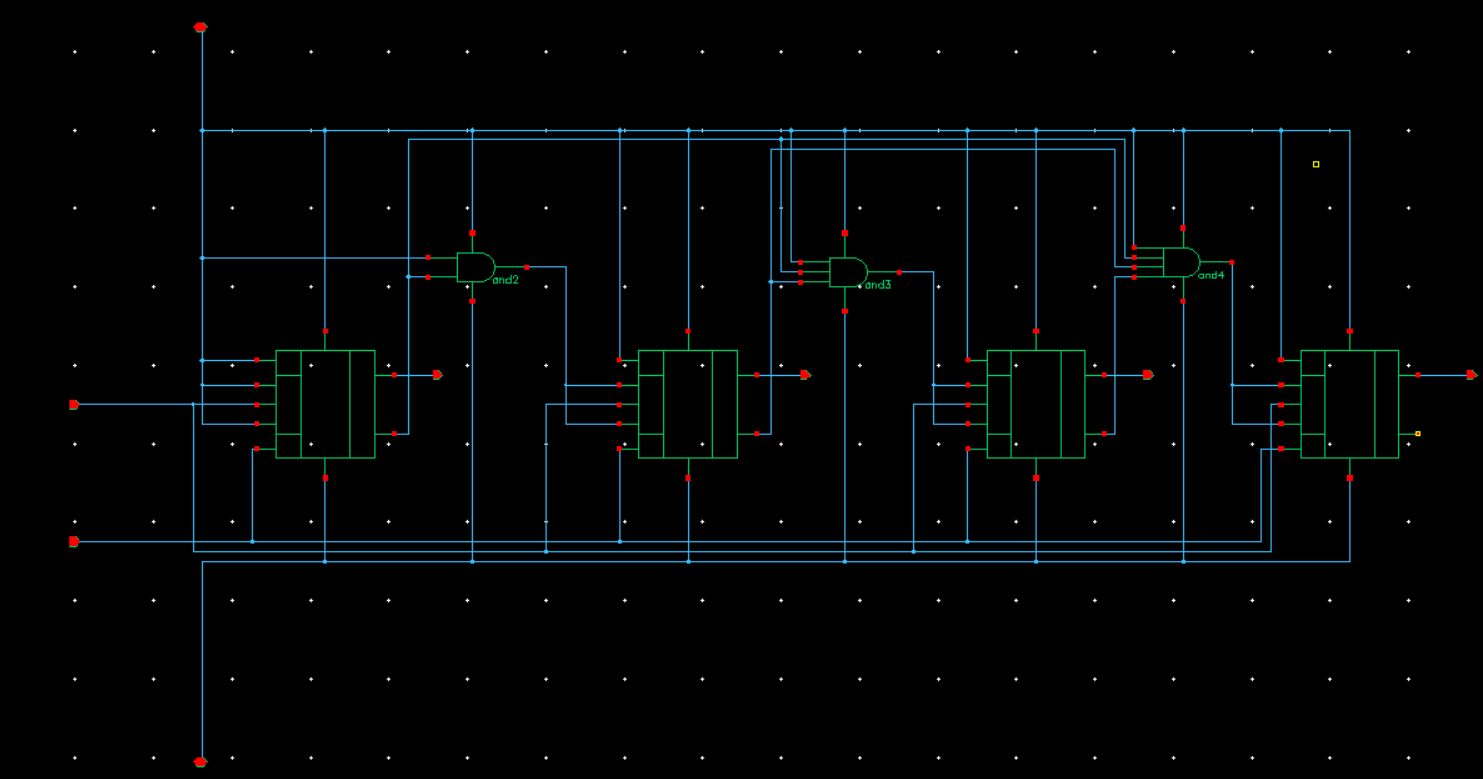
Умовний символ:



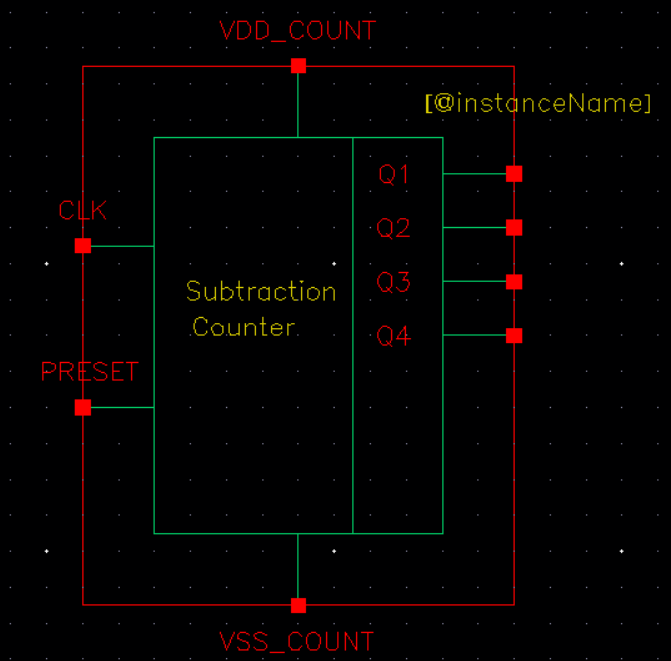
* 1. **Побудова лічильника**

Користуючись побудованим тригером, та елементами and, побудуємо лічильник віднімання на 4 розряди. Також, сконструюємо паралельне перенесення сигналу для лічильника за допомогою елементів and.

Схема:



Умовний символ:

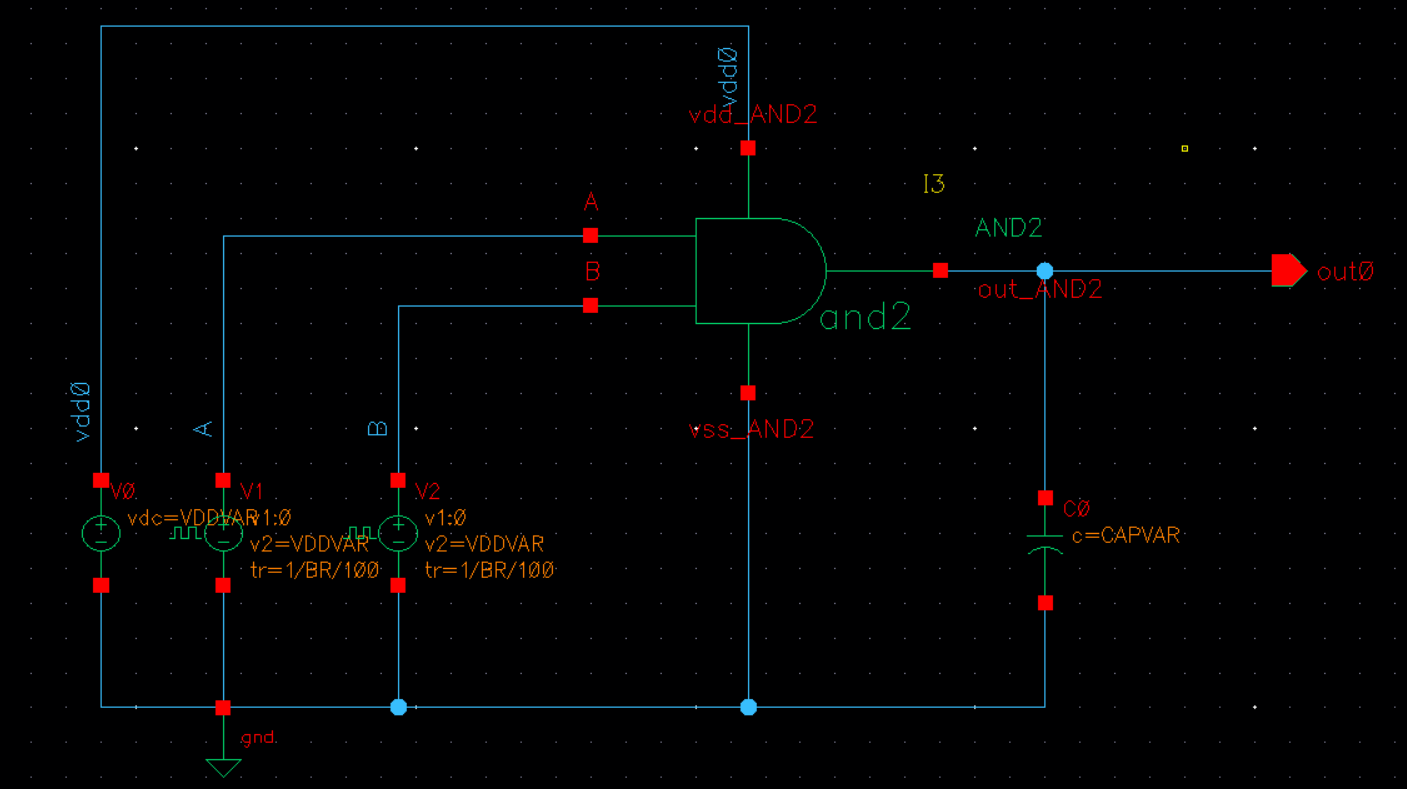


1. **ТЕСТУВАННЯ ПРИЛАДІВ**

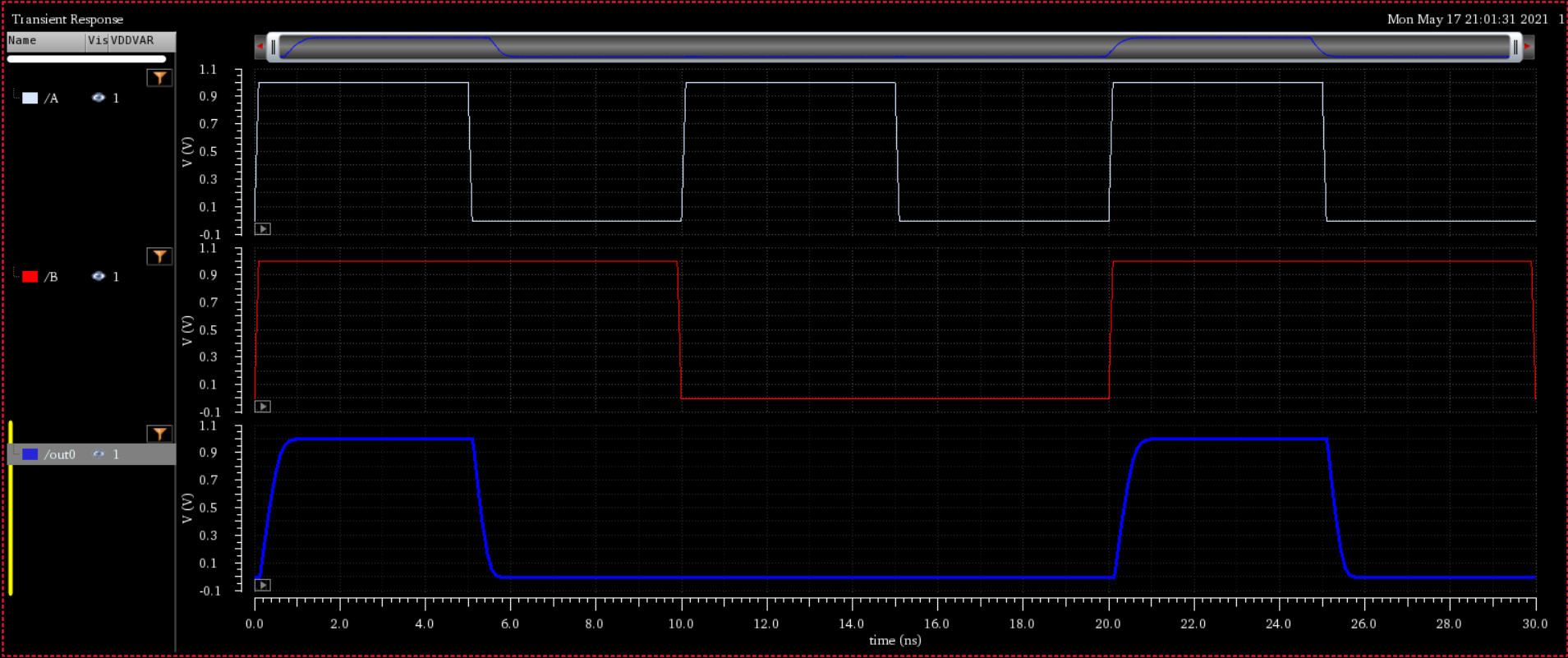
Проведемо тестування спроектованих пристроїв та елементів користуючись утилітою системи cadence ADE XL.

**AND 2:**

Схема для моделювання:



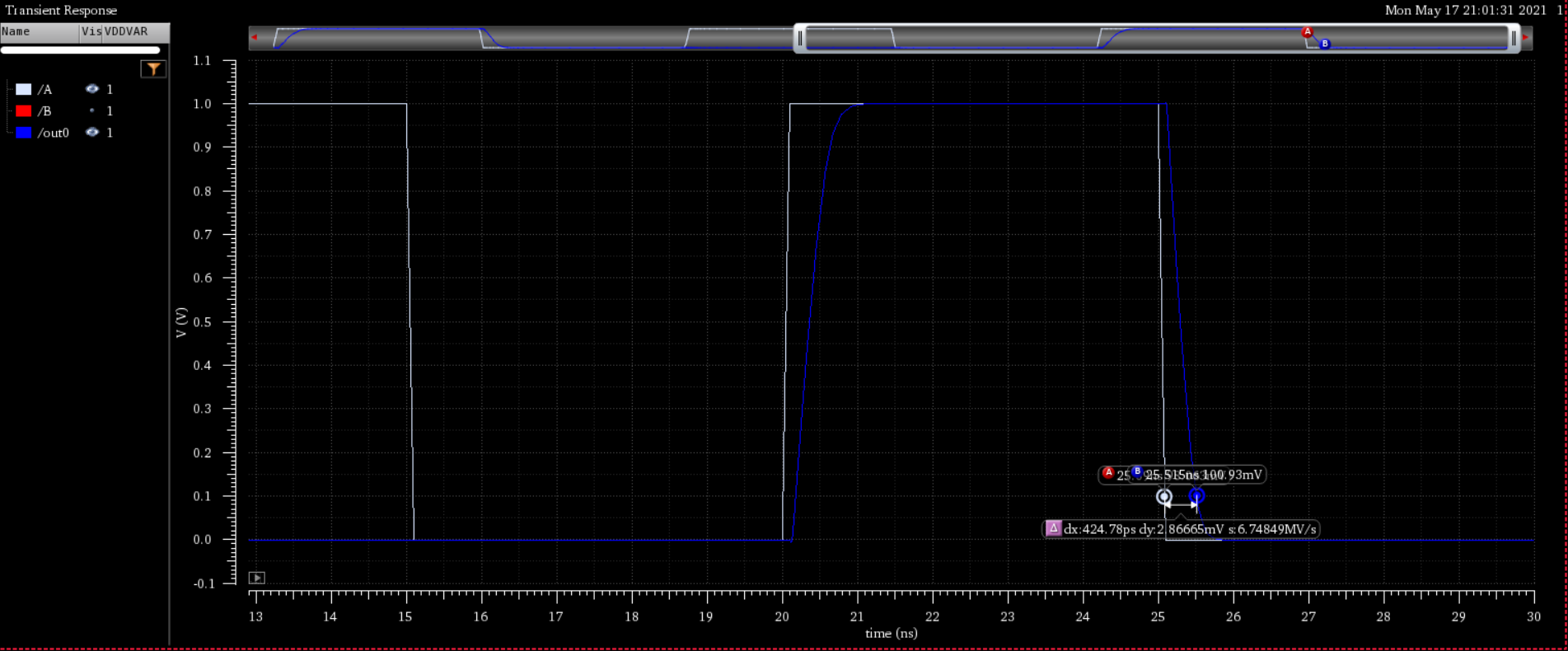
Результати transient аналізу схеми:



Як бачимо, логічний елемент працює відповідно до своєї таблиці істиності.

Виміряємо часові параметри затримки:

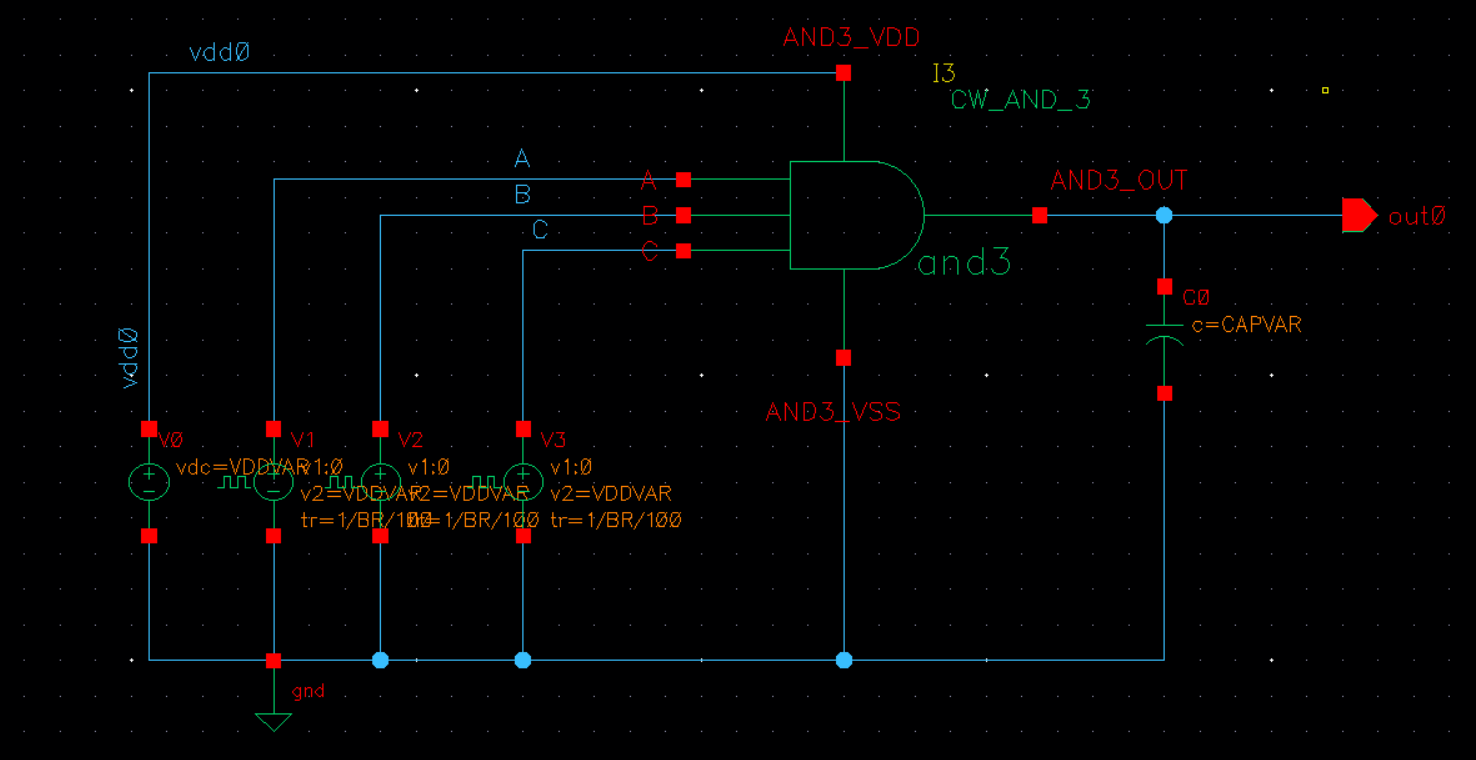




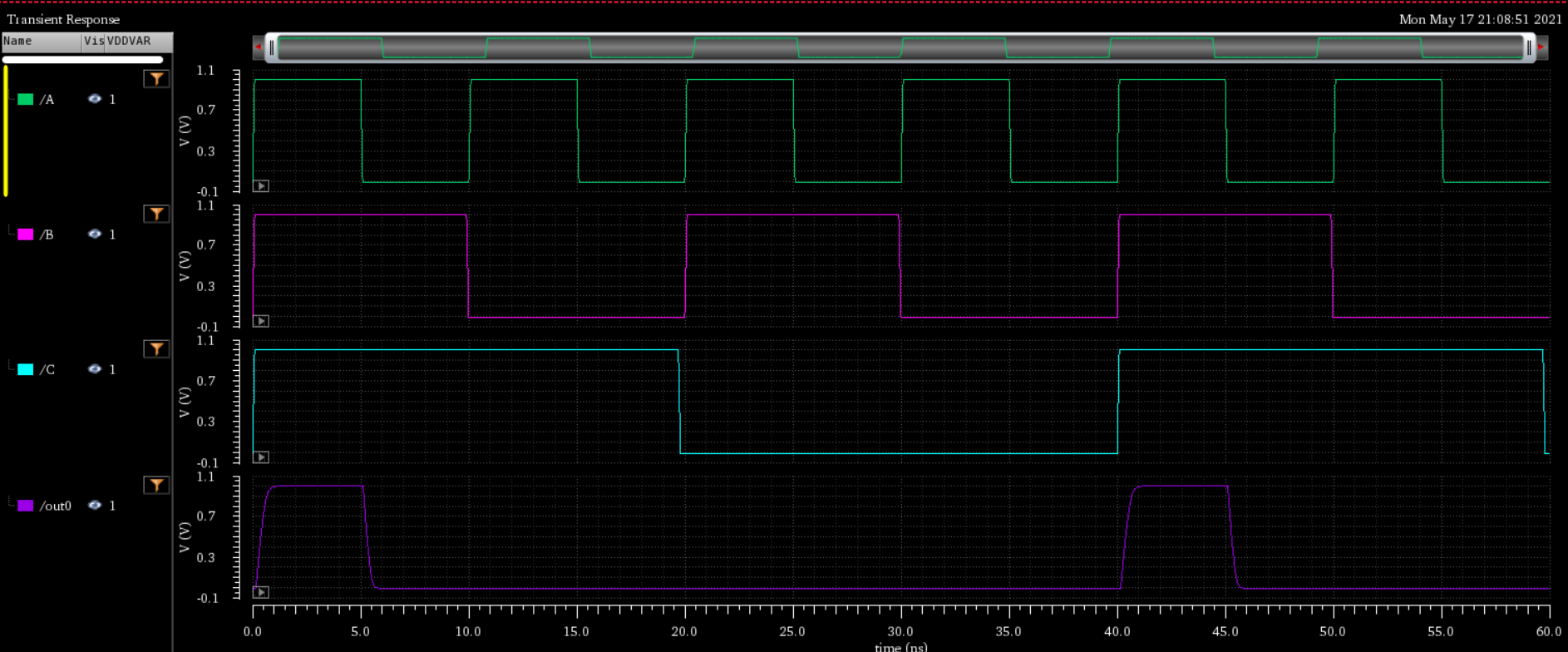
Отже, загальний час затримки

**AND 3:**

Схема для моделювання:

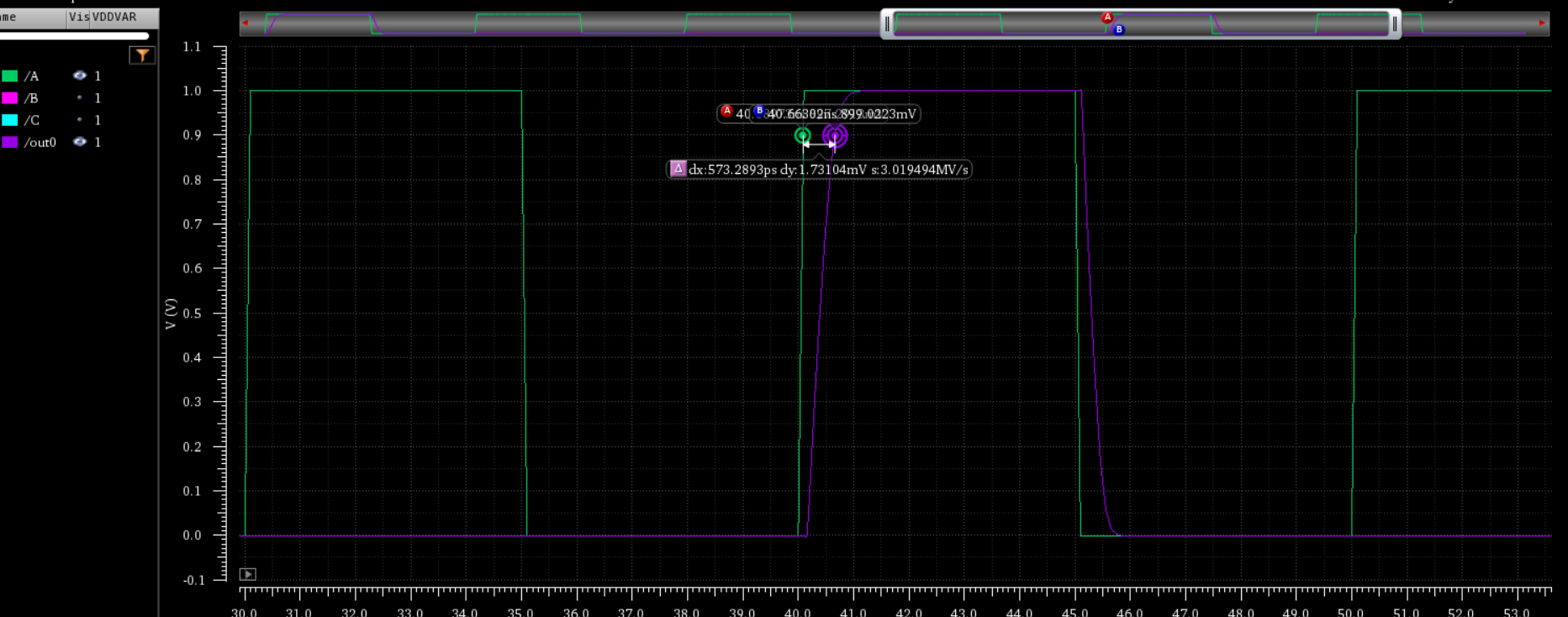


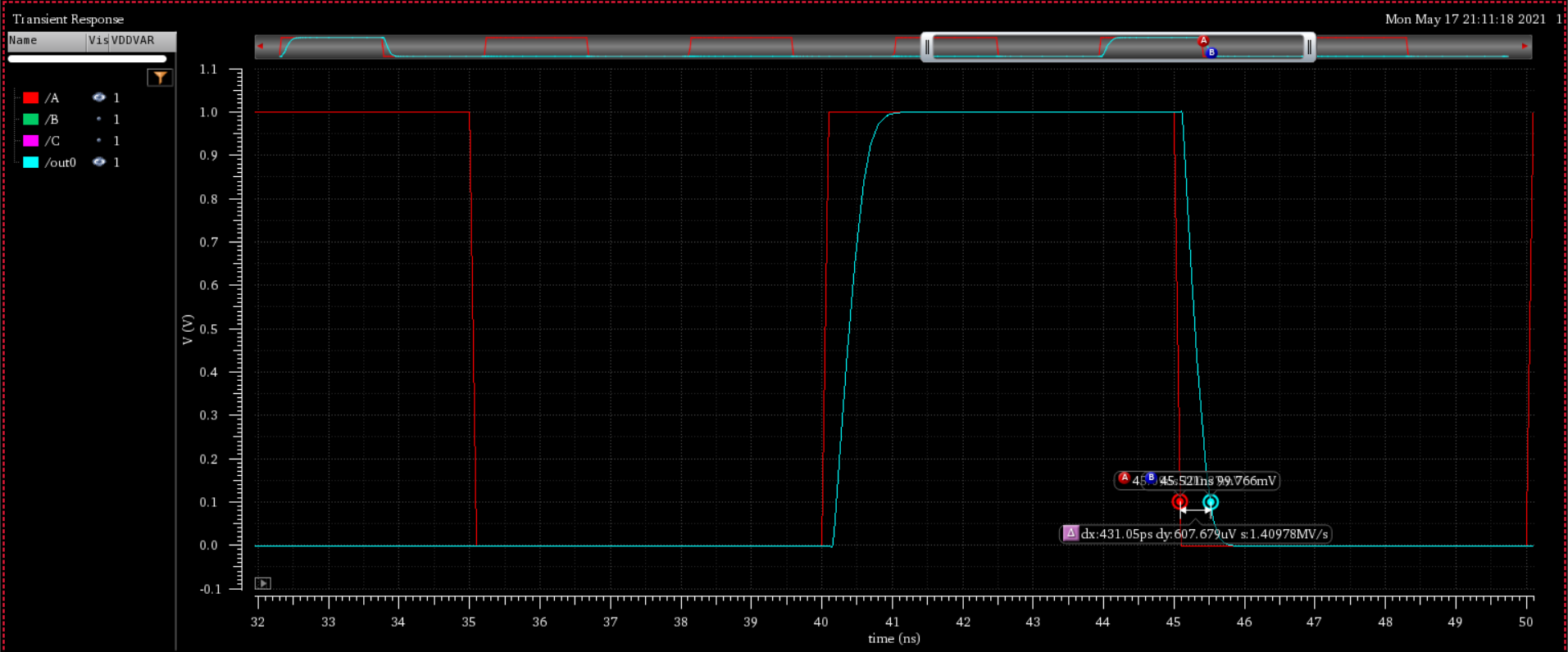
Результати transient аналізу схеми:



Як бачимо, логічний елемент працює відповідно до своєї таблиці істиності.

Виміряємо часові параметри затримки:

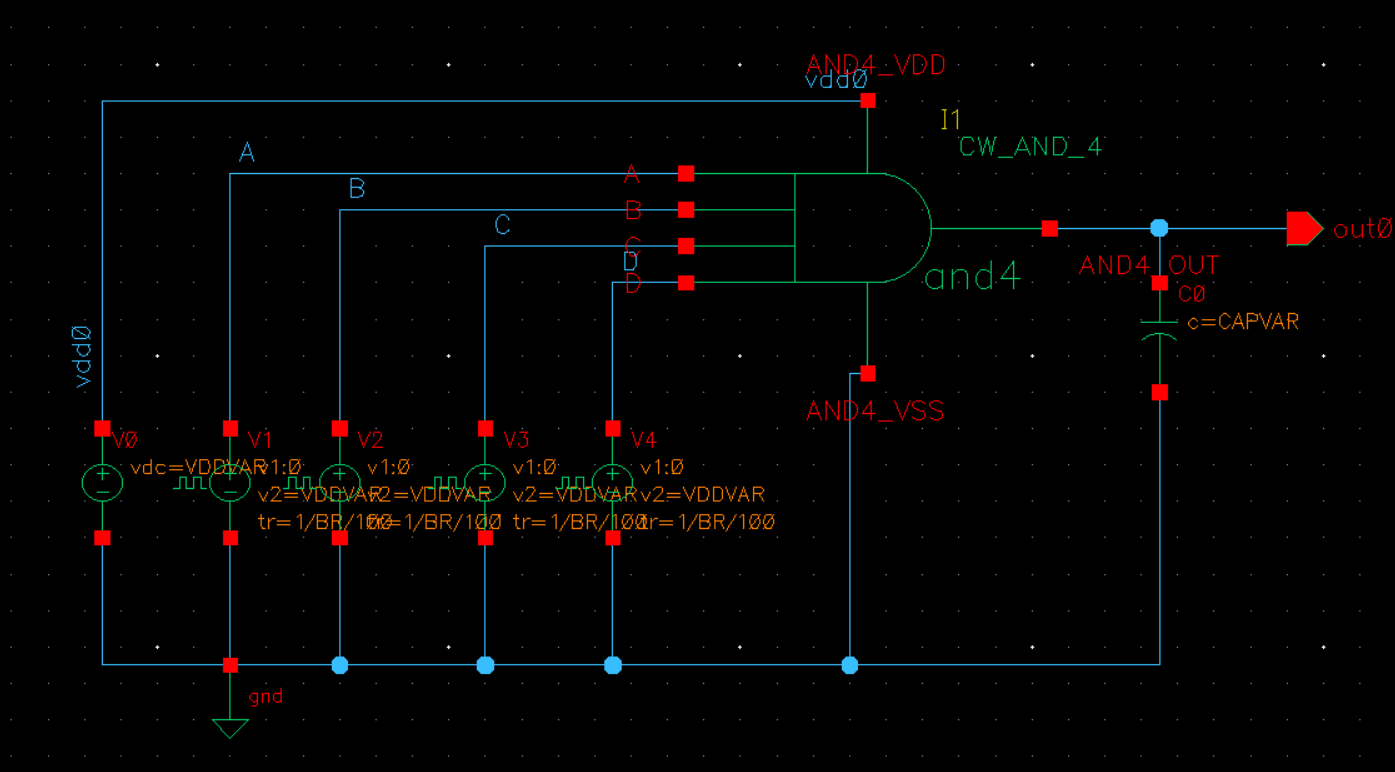




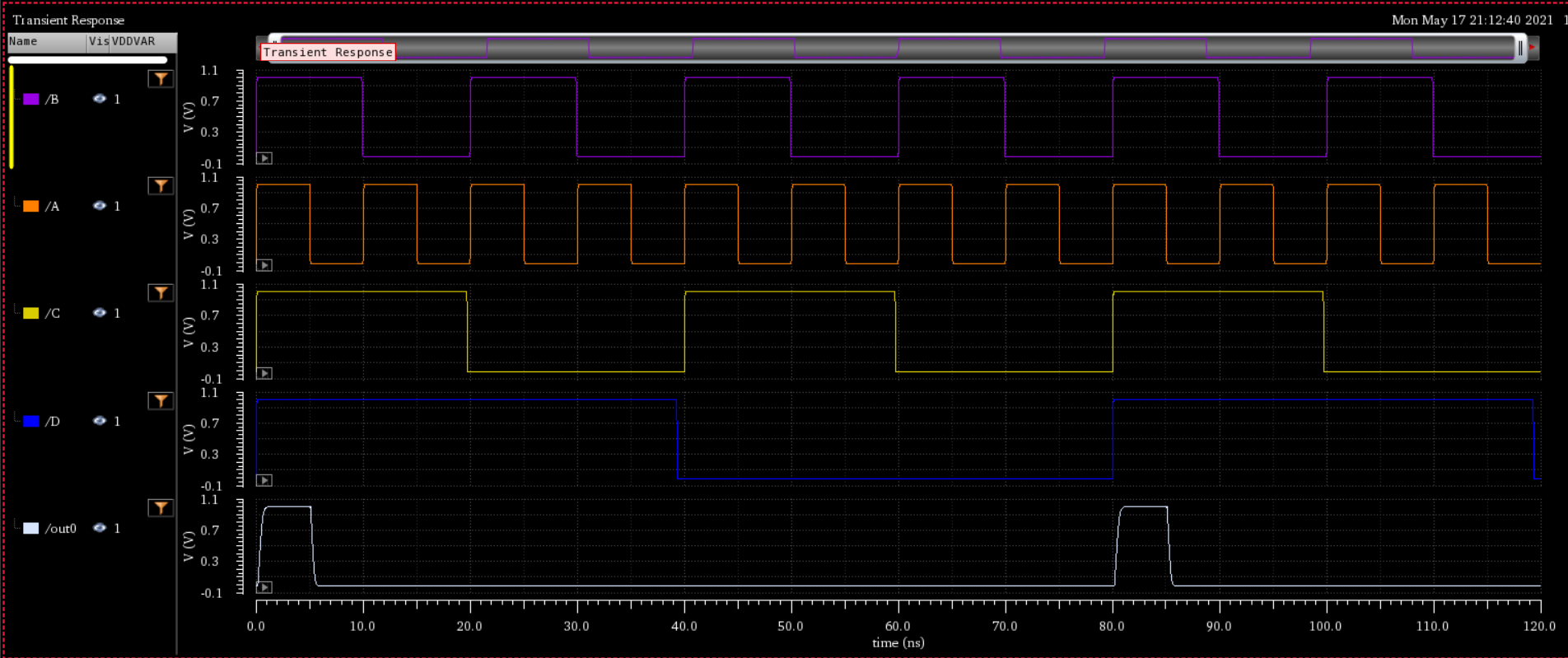
Отже, загальний час затримки

**AND 4:**

Схема для моделювання:

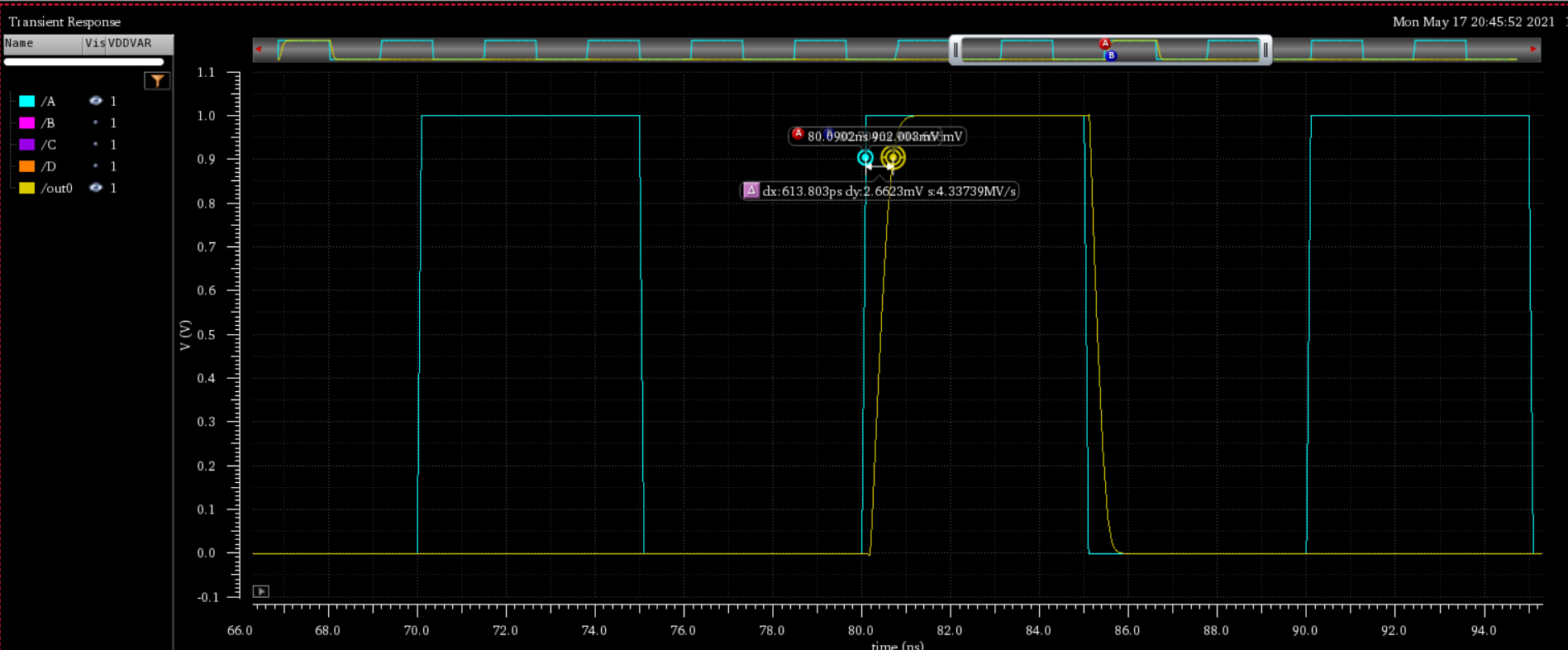


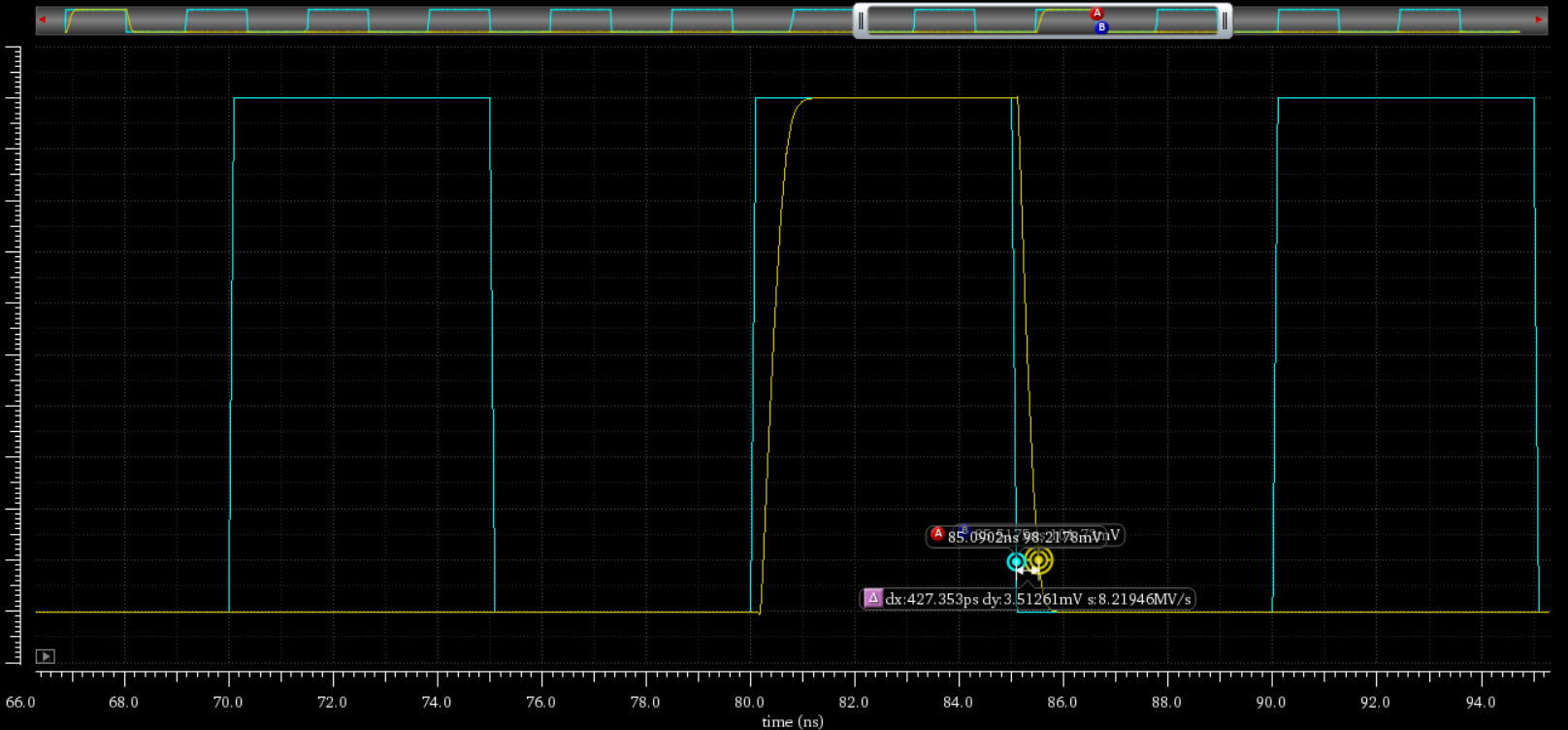
Результати transient аналізу схеми:



Як бачимо, логічний елемент працює відповідно до своєї таблиці істиності.

Виміряємо часові параметри затримки:

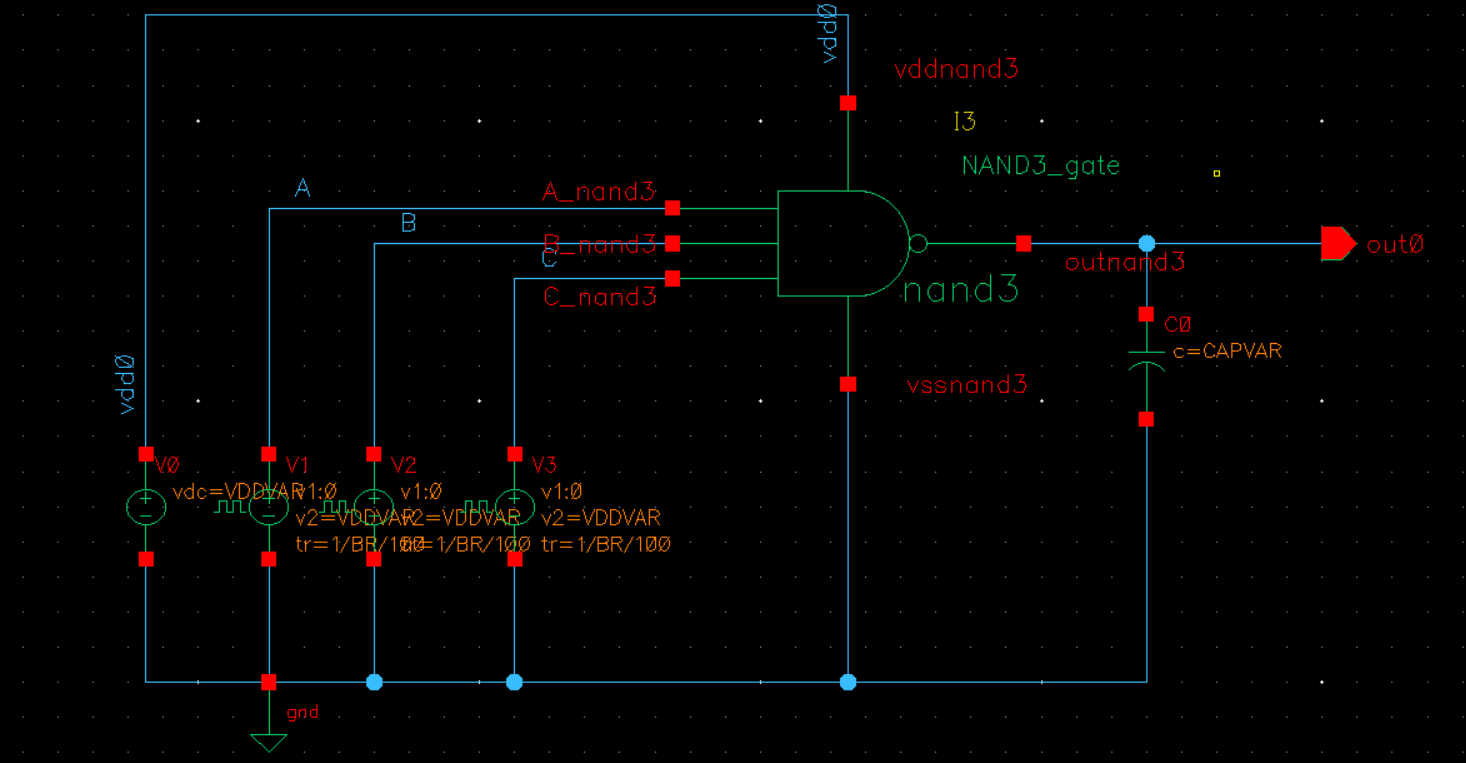




Отже, загальний час затримки

**NAND 3:**

Схема для моделювання:

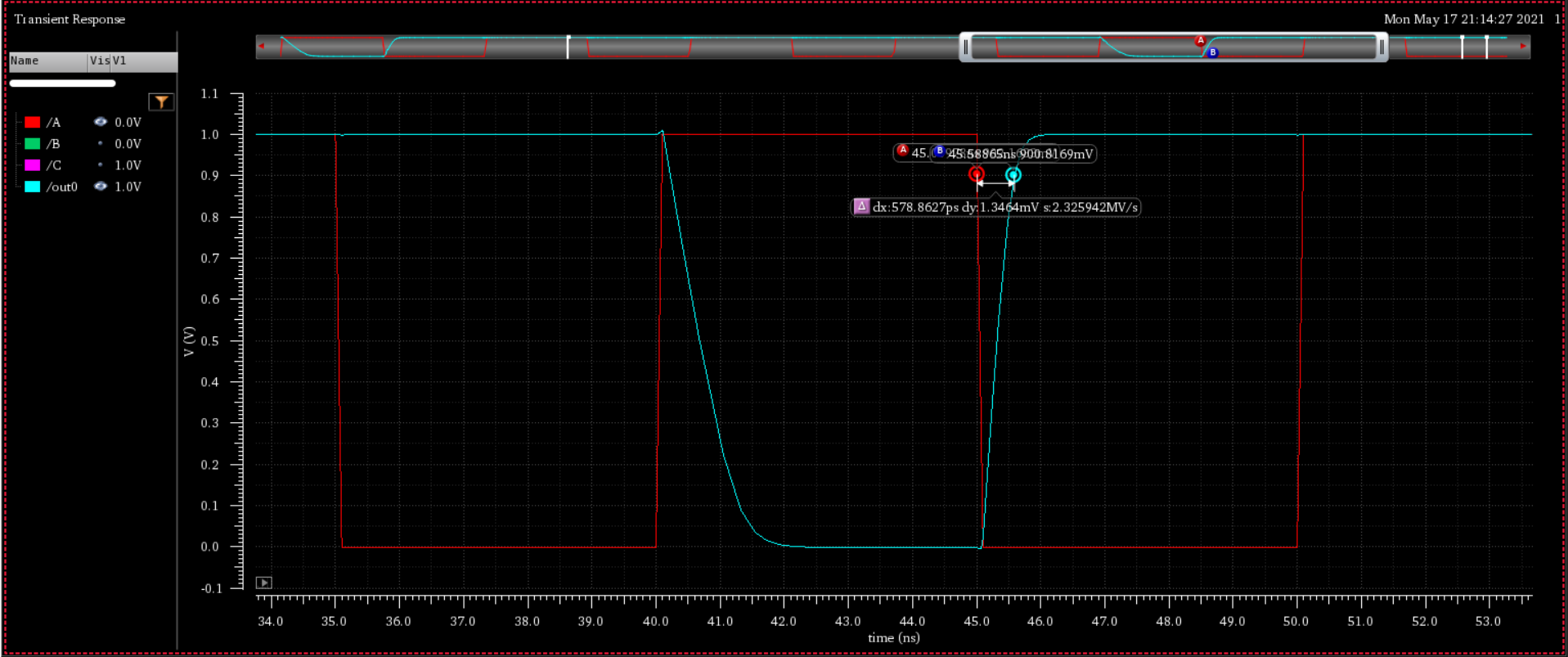


Результати transient аналізу схеми:

Як бачимо, логічний елемент працює відповідно до своєї таблиці істиності.

Виміряємо часові параметри затримки:

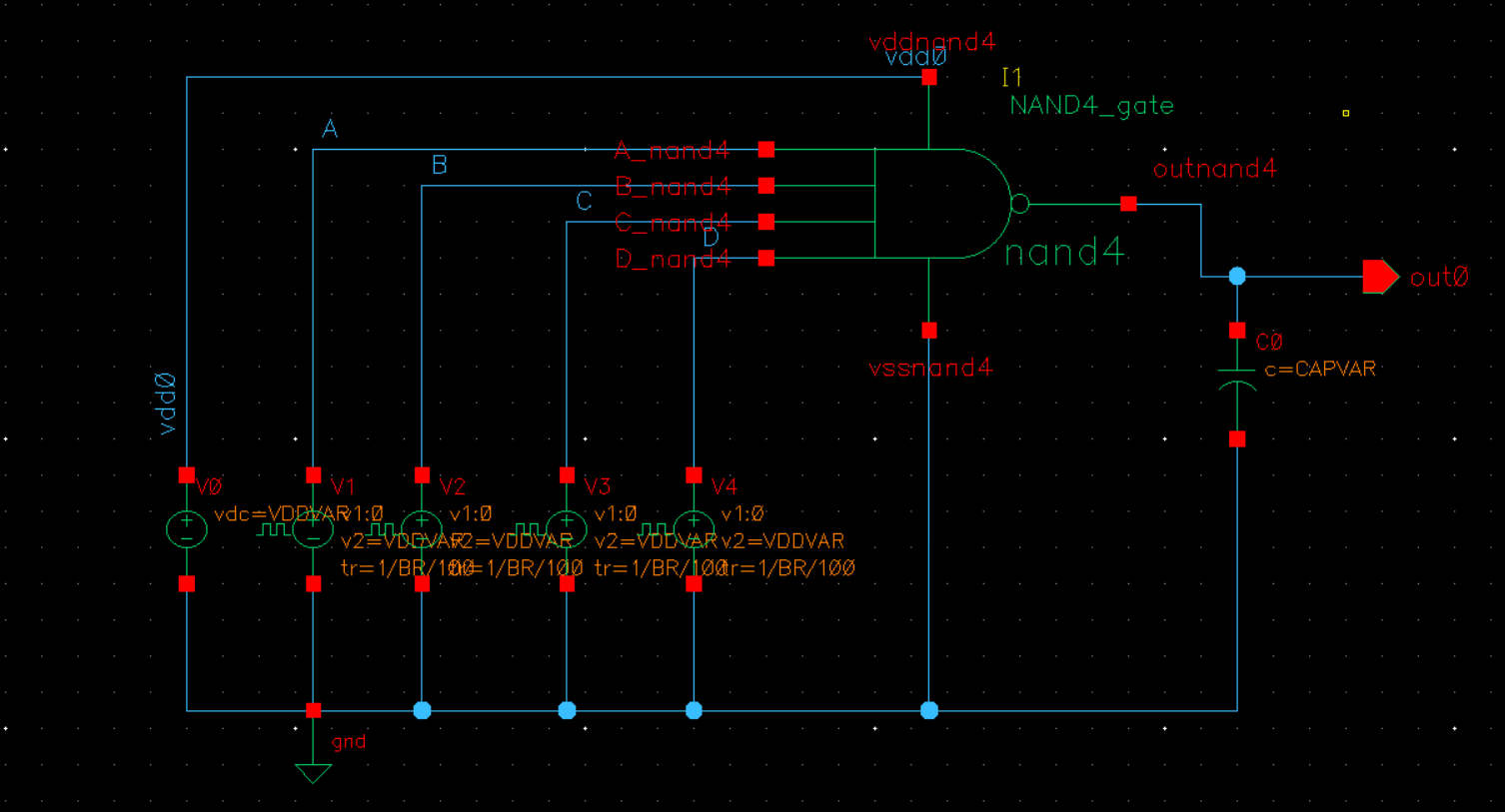




Отже, загальний час затримки

**NAND 4:**

Схема для моделювання:

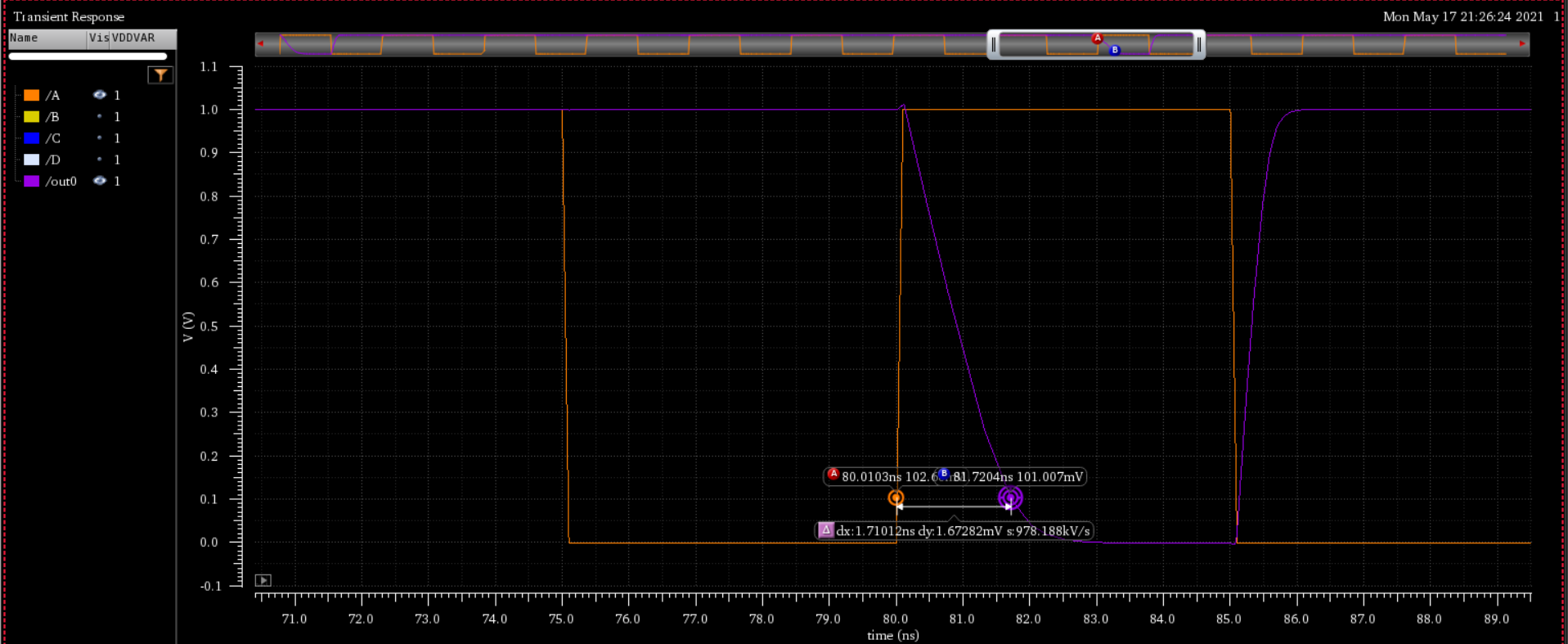


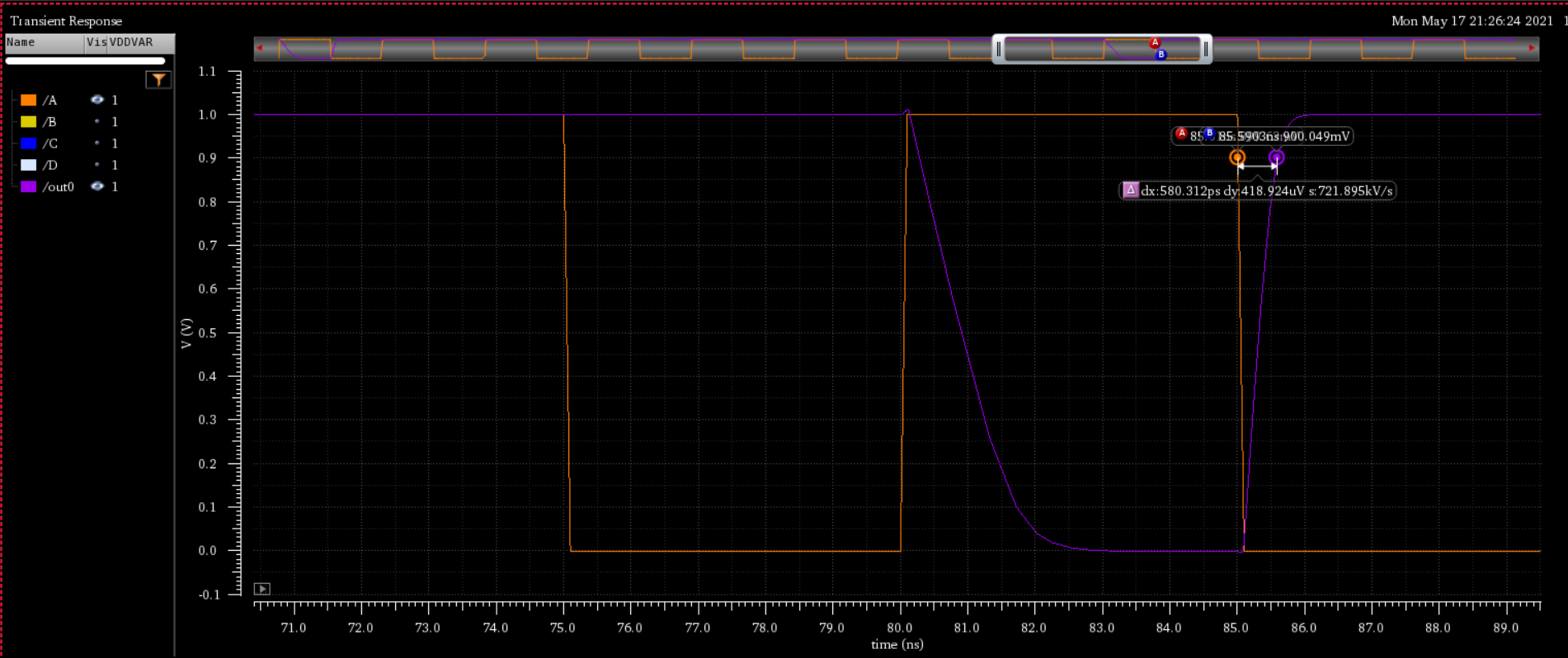
Результати transient аналізу схеми:



Як бачимо, логічний елемент працює відповідно до своєї таблиці істиності.

Виміряємо часові параметри затримки:

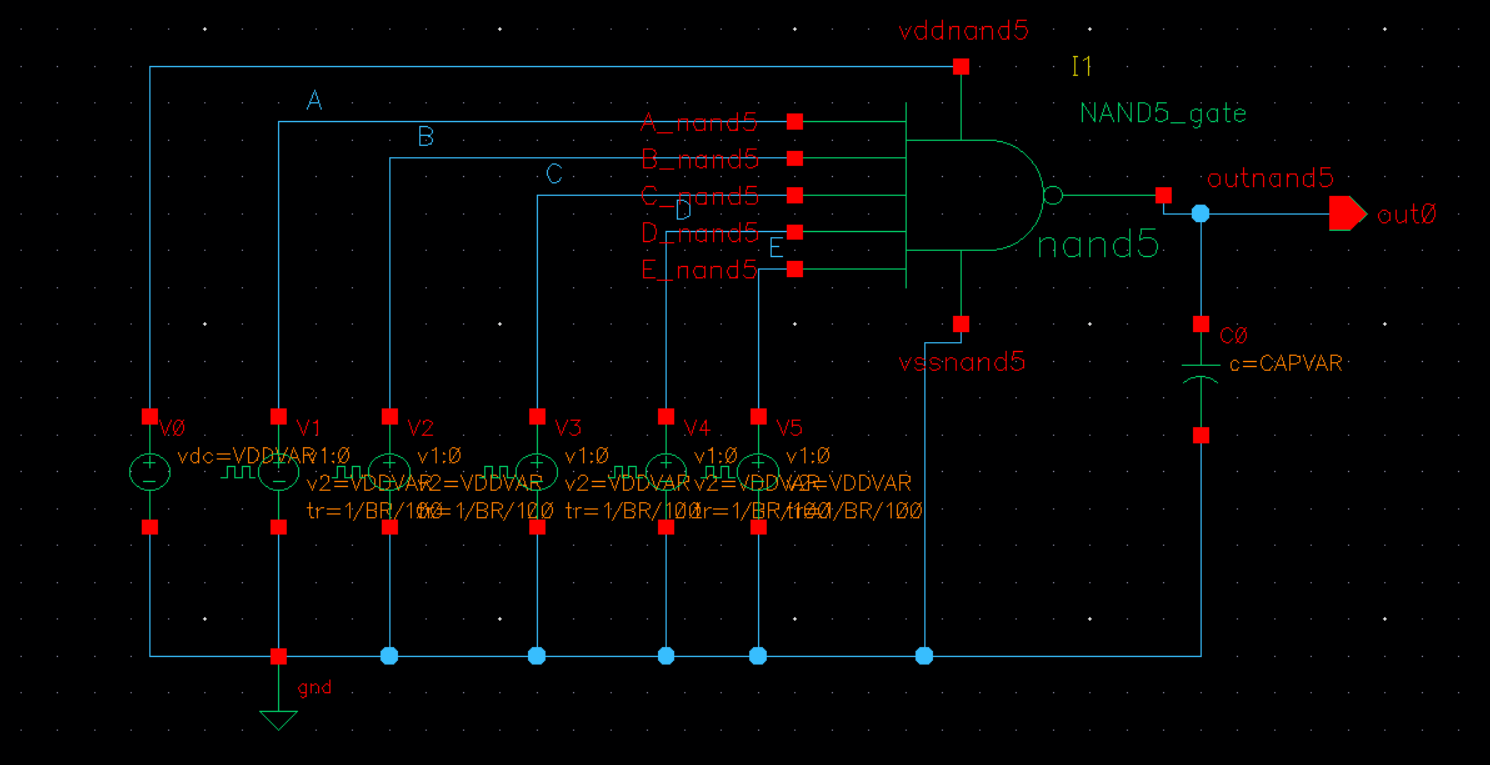




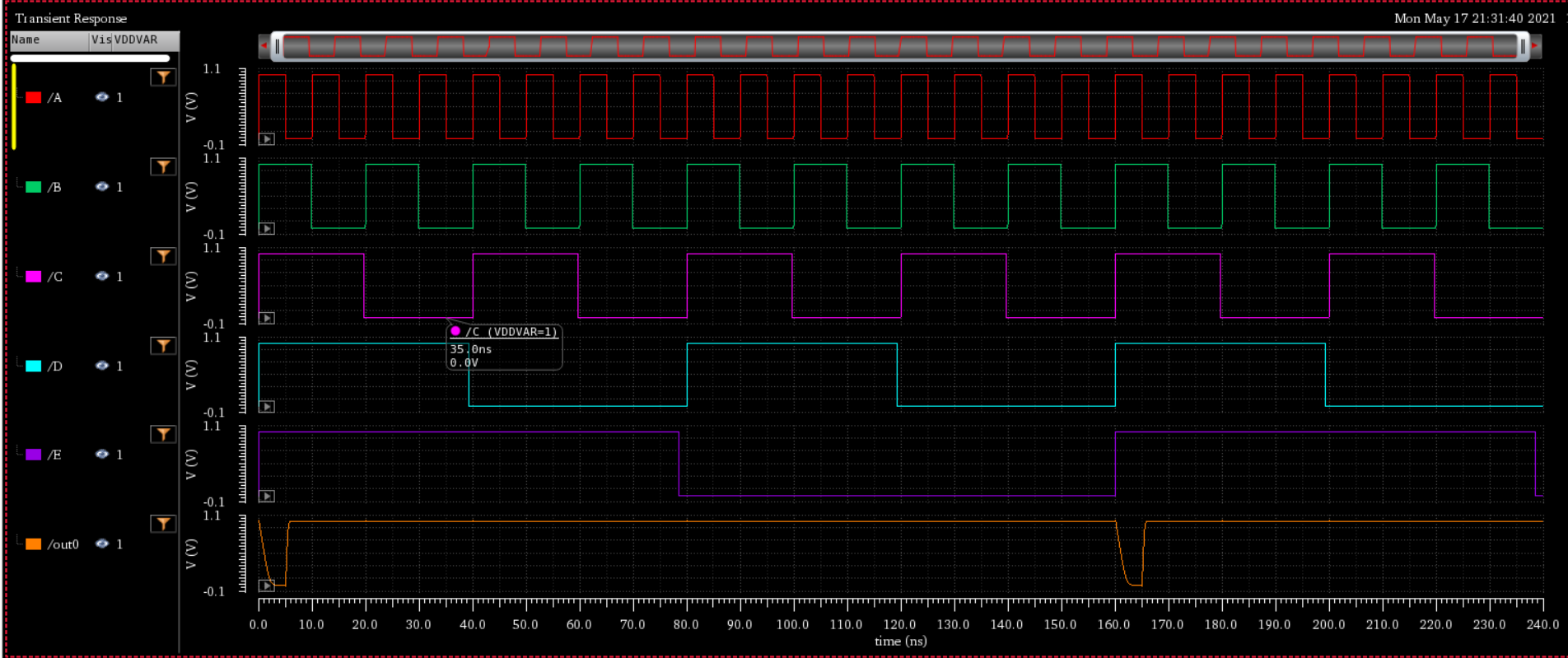
Отже, загальний час затримки

**NAND 5:**

Схема для моделювання:

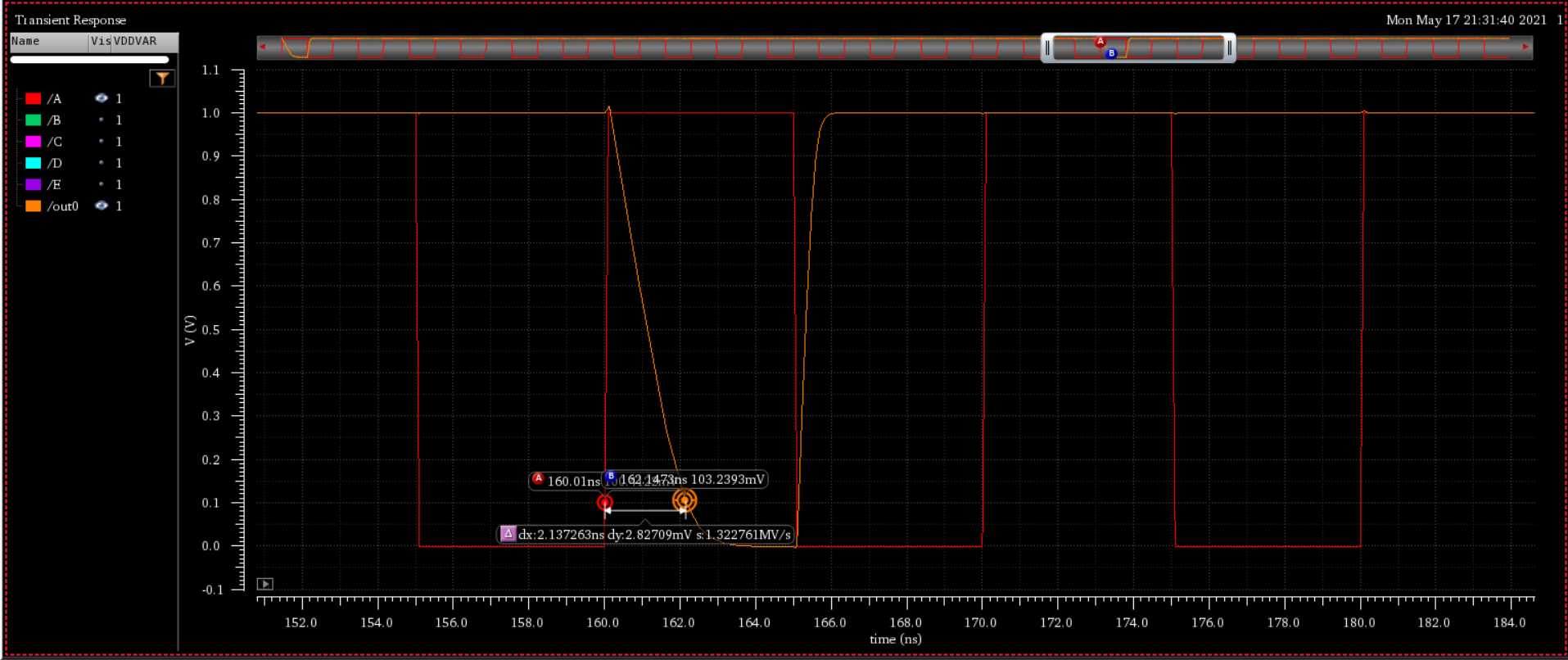


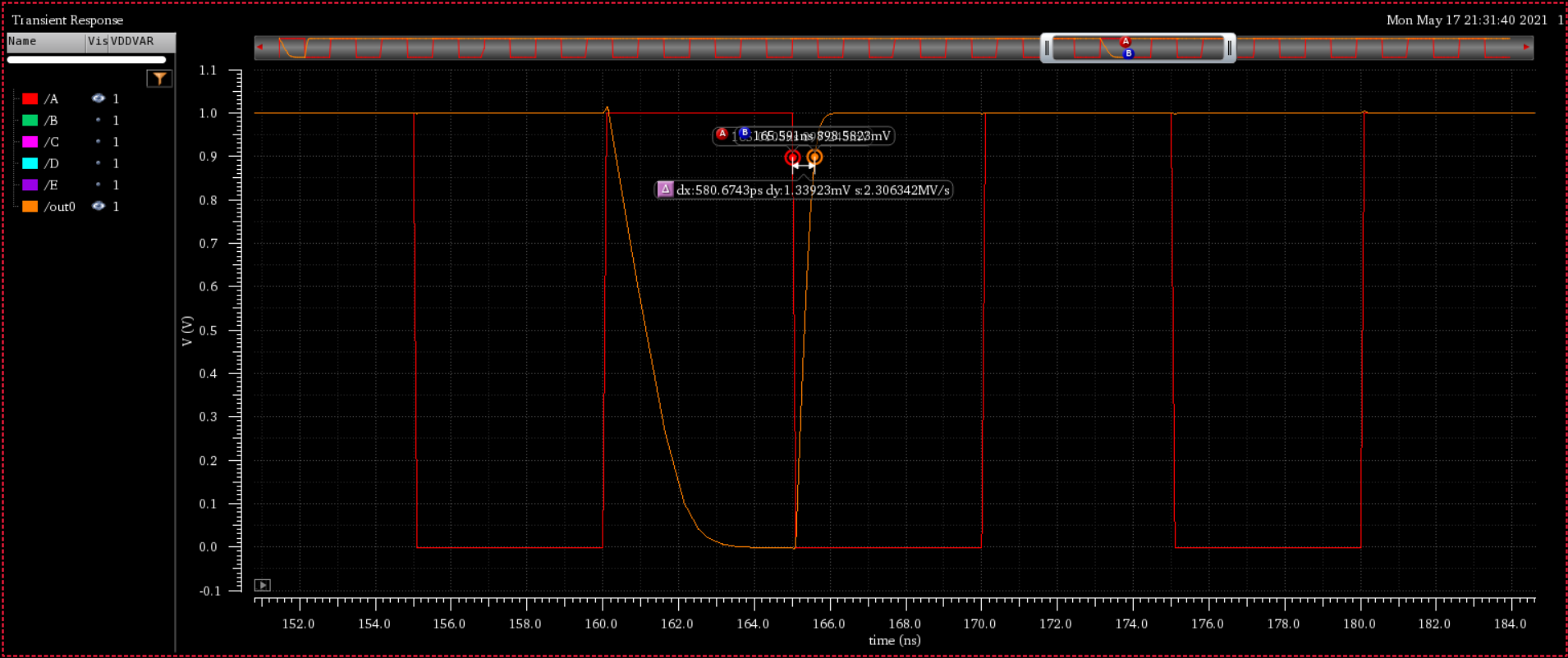
Результати transient аналізу схеми:



Як бачимо, логічний елемент працює відповідно до своєї таблиці істиності.

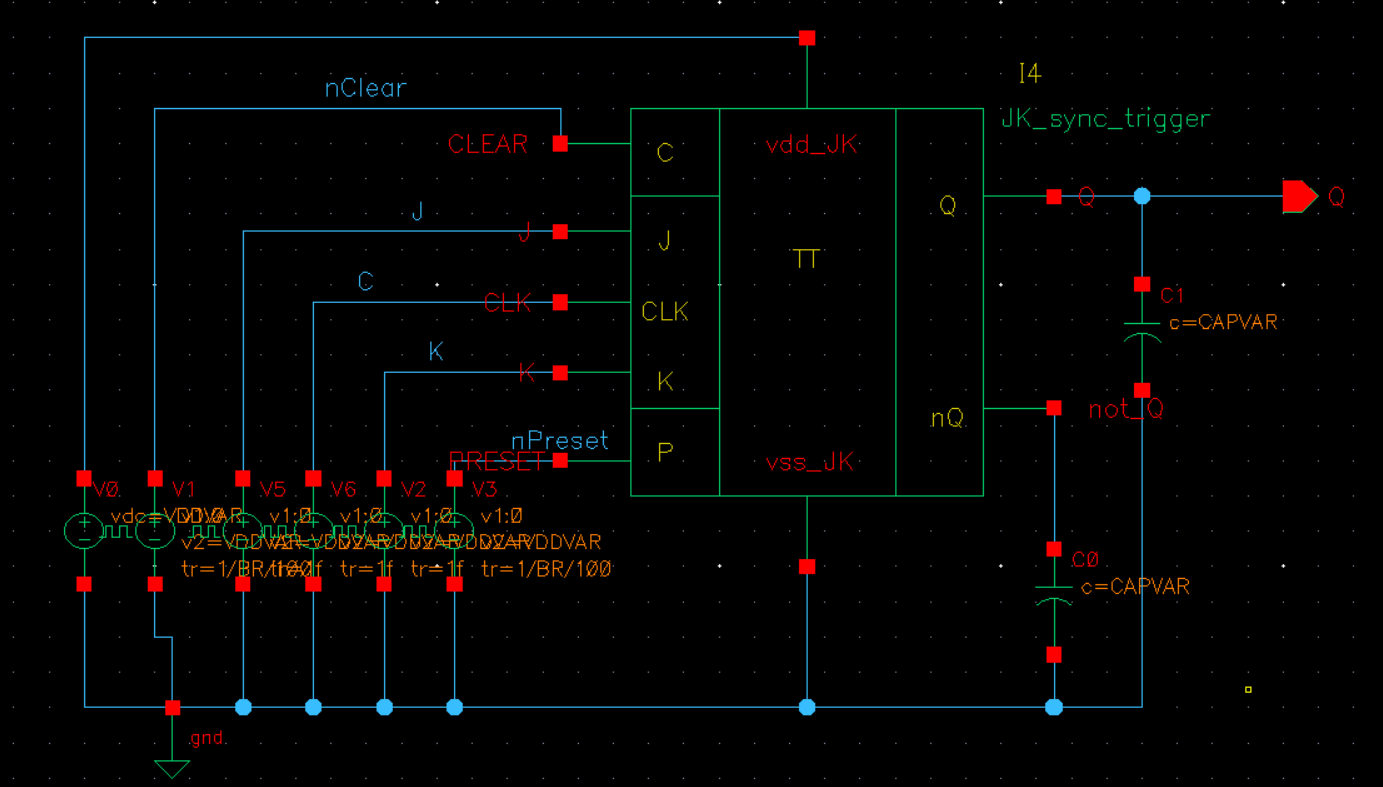
Виміряємо часові параметри затримки:



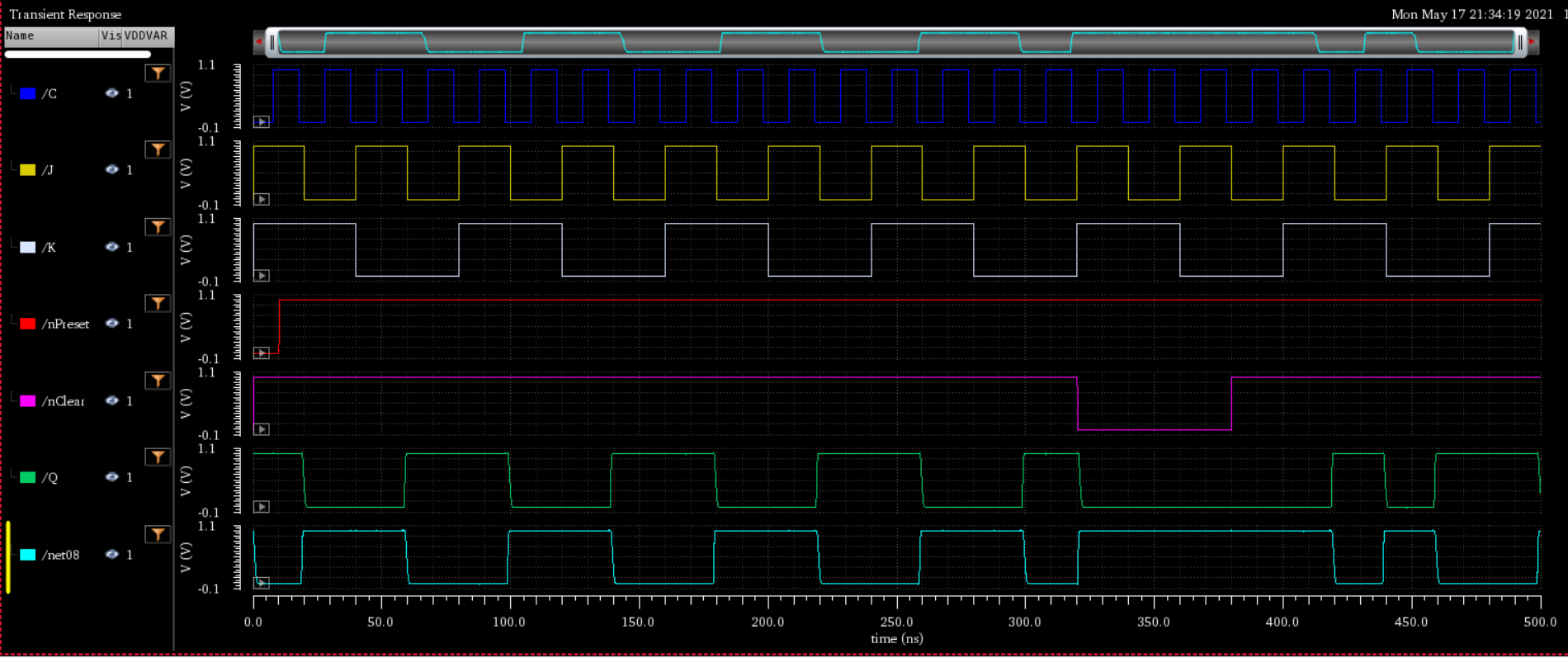


Отже, загальний час затримки

**JK тригер:**

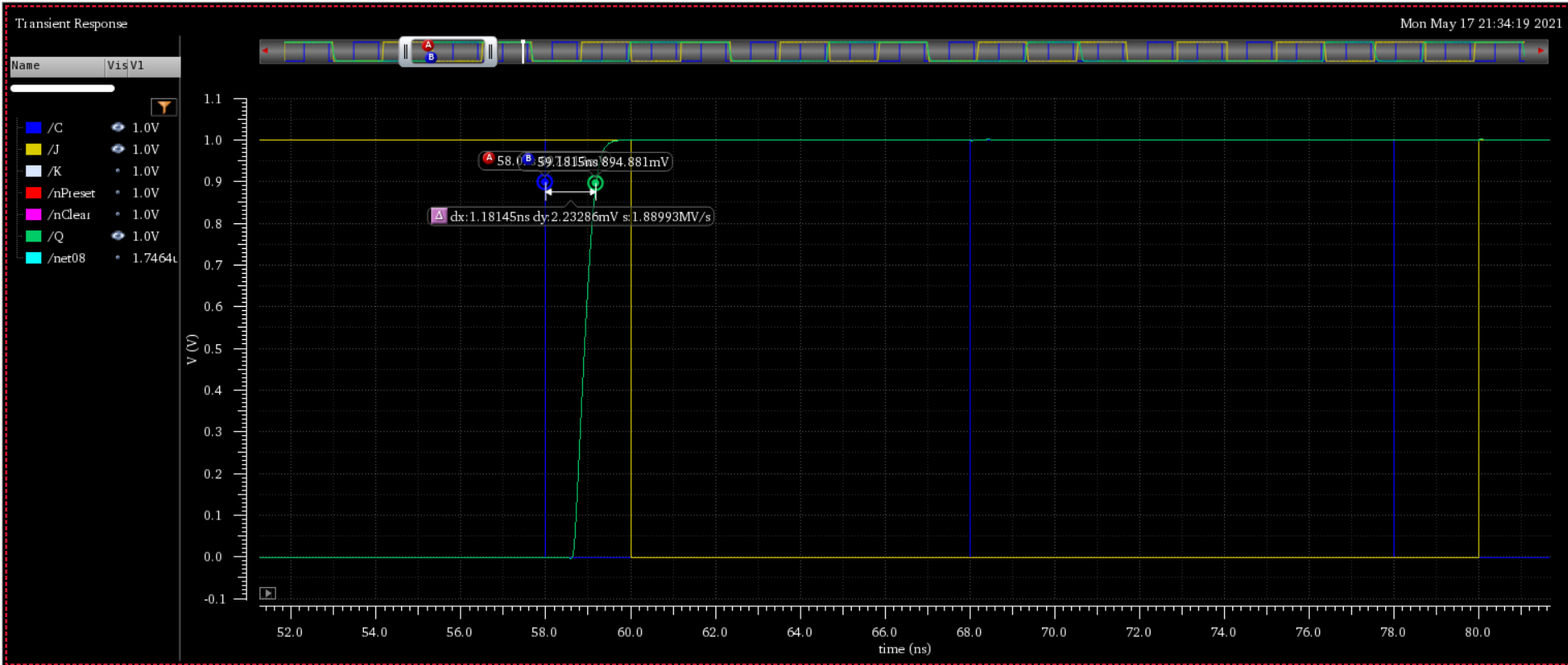
Схема для моделювання:  


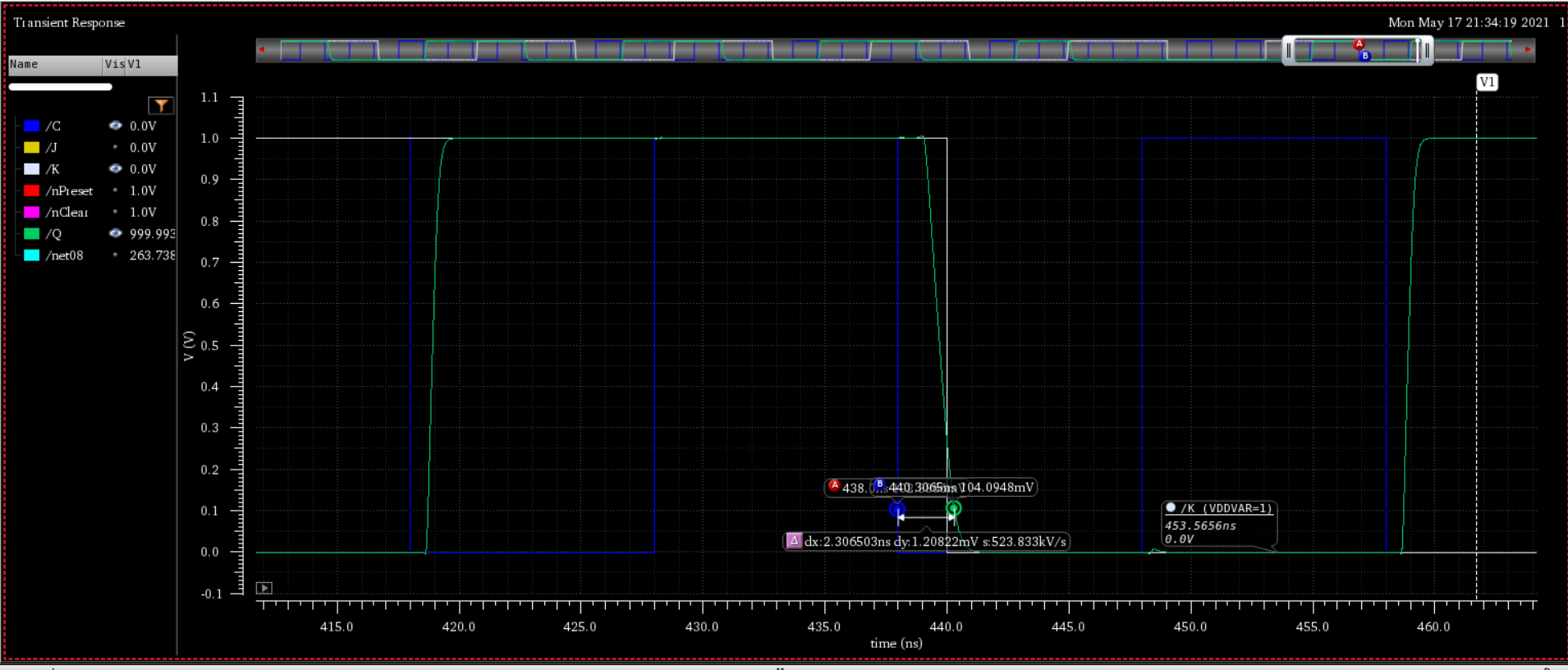
Результати transient аналізу схеми:



Як бачимо, тригер працює по задньому фронту. Якщо проаналізувати схему, то можна побачити, що тригер працює правильно, відповідно до своєї таблиці переходів. При поданні на керуючі входи J, K сигналів 0, 1 або 1, 0 через певну затримку маємо на виході 0 або 1 відповідно. При поданні на входи J K сигналів 1,1 тригер працює у підрахунковому(до двох) режимі (у режимі Т-тригера). Також, з діаграми видно, що входи PRESET і CLEAR при поданні на них рівня логічного 0, без синхронізації переводять вихід у стан 1 або 0 відповідно.

Виміряємо часові параметри затримки синхронного встановлення одиниці, та нуля:

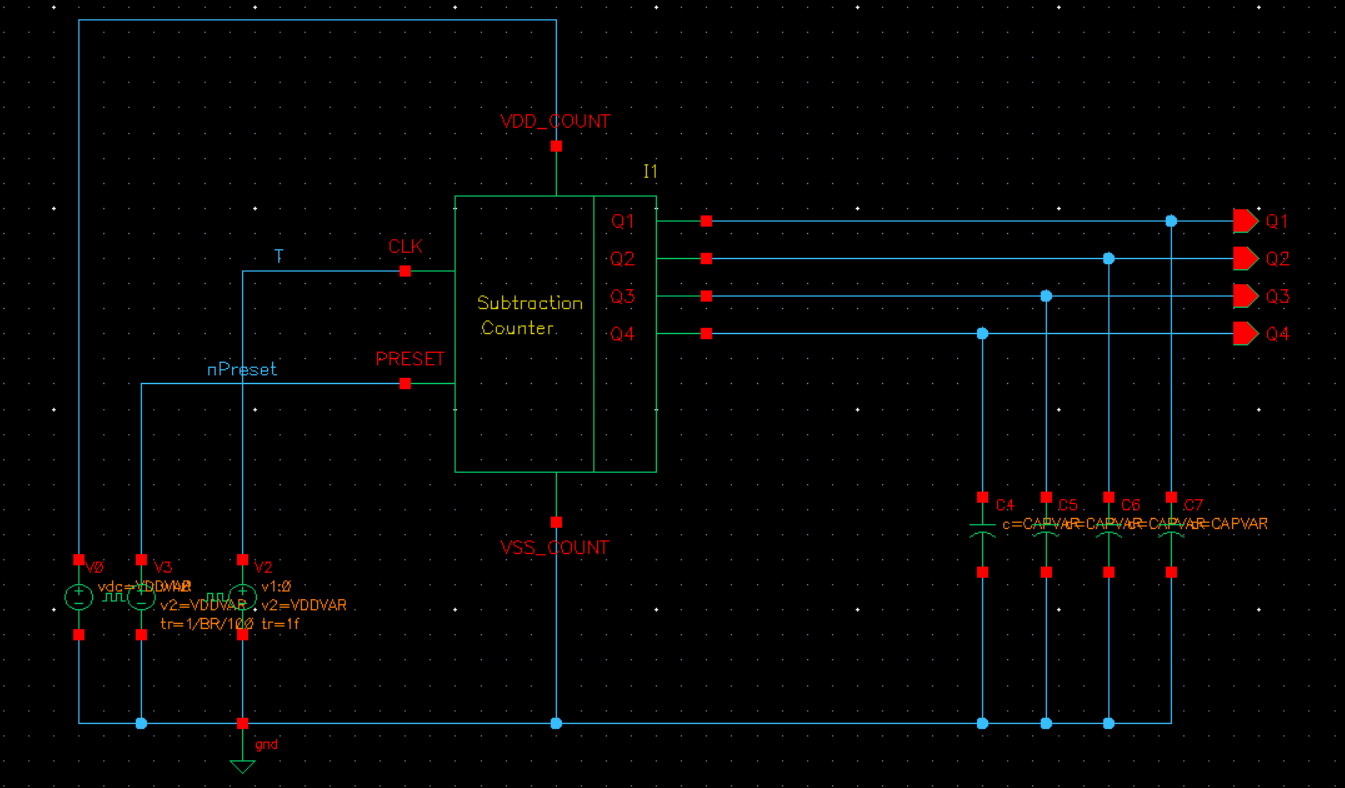




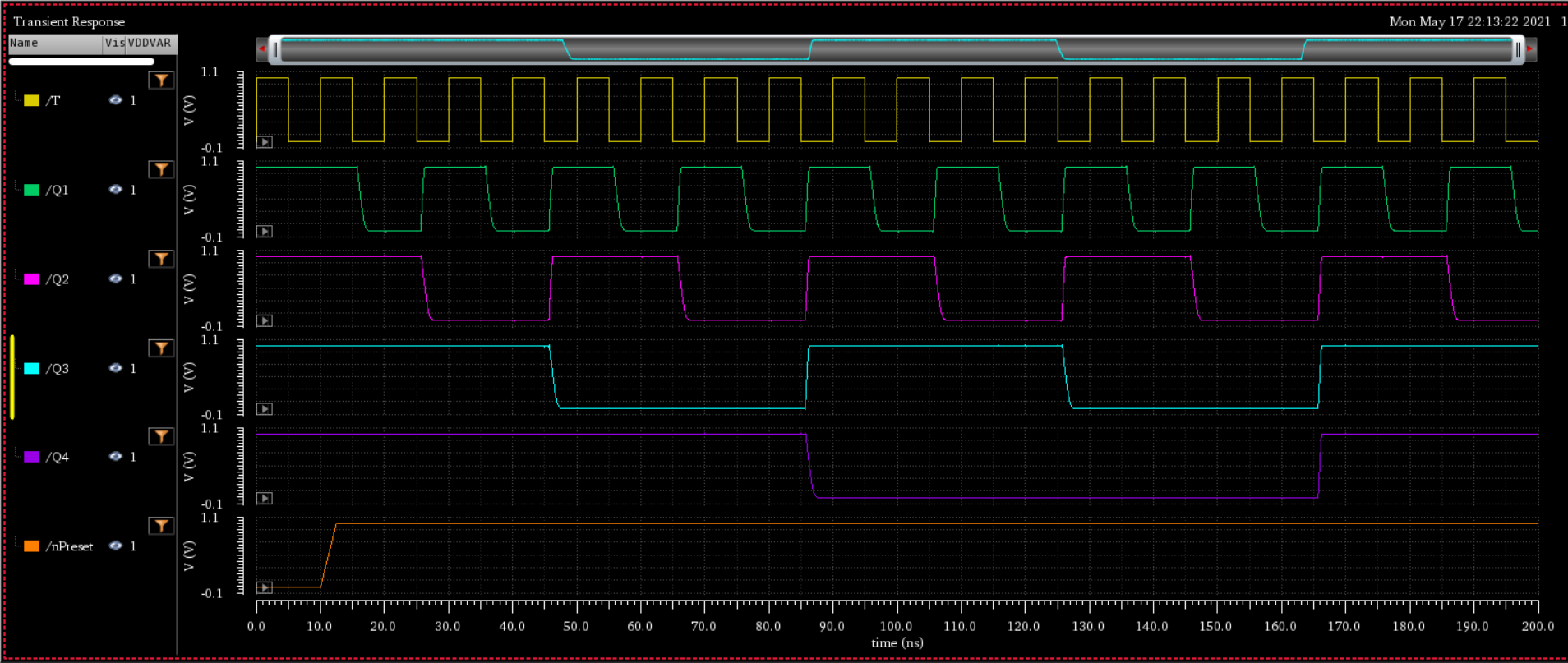
Отже, загальний час затримки

Нарешті, розглянемо роботу **лічильника**:

Схема для моделювання:



Результати transient аналізу схеми:

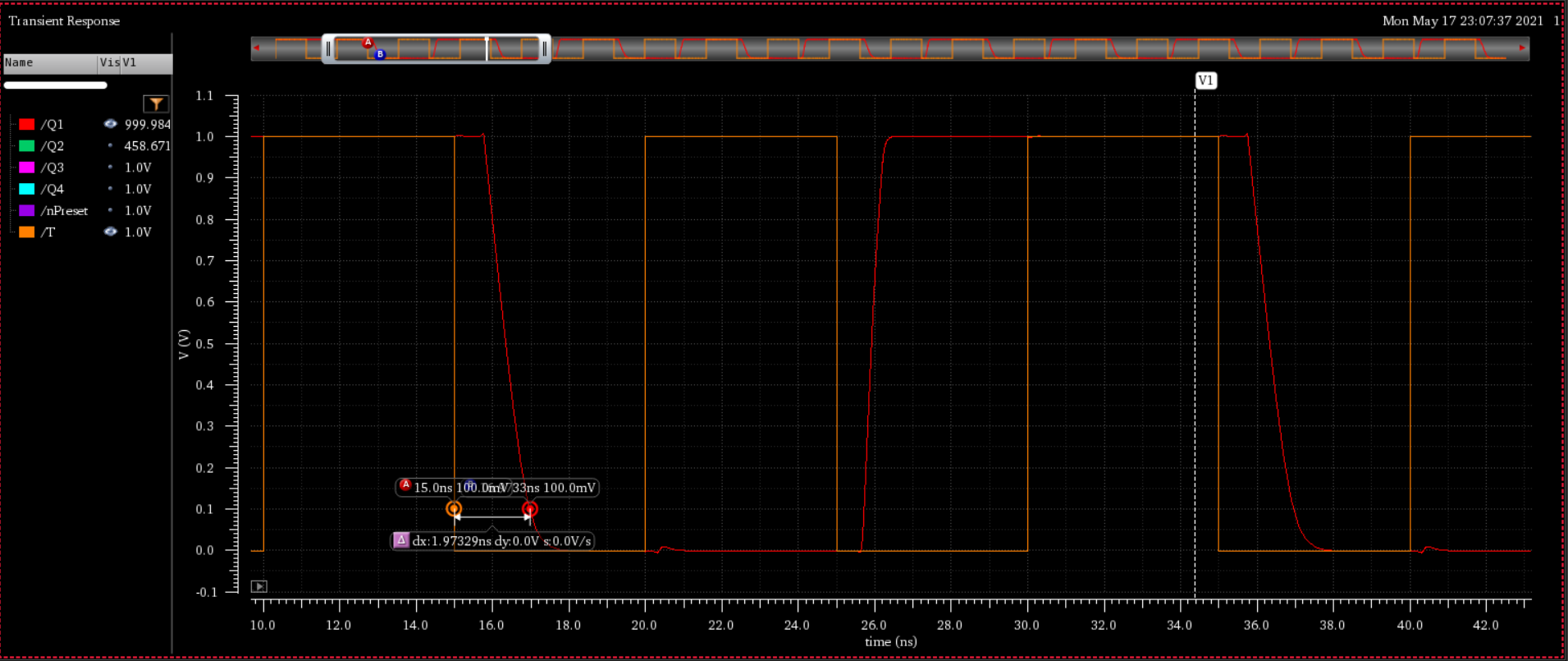


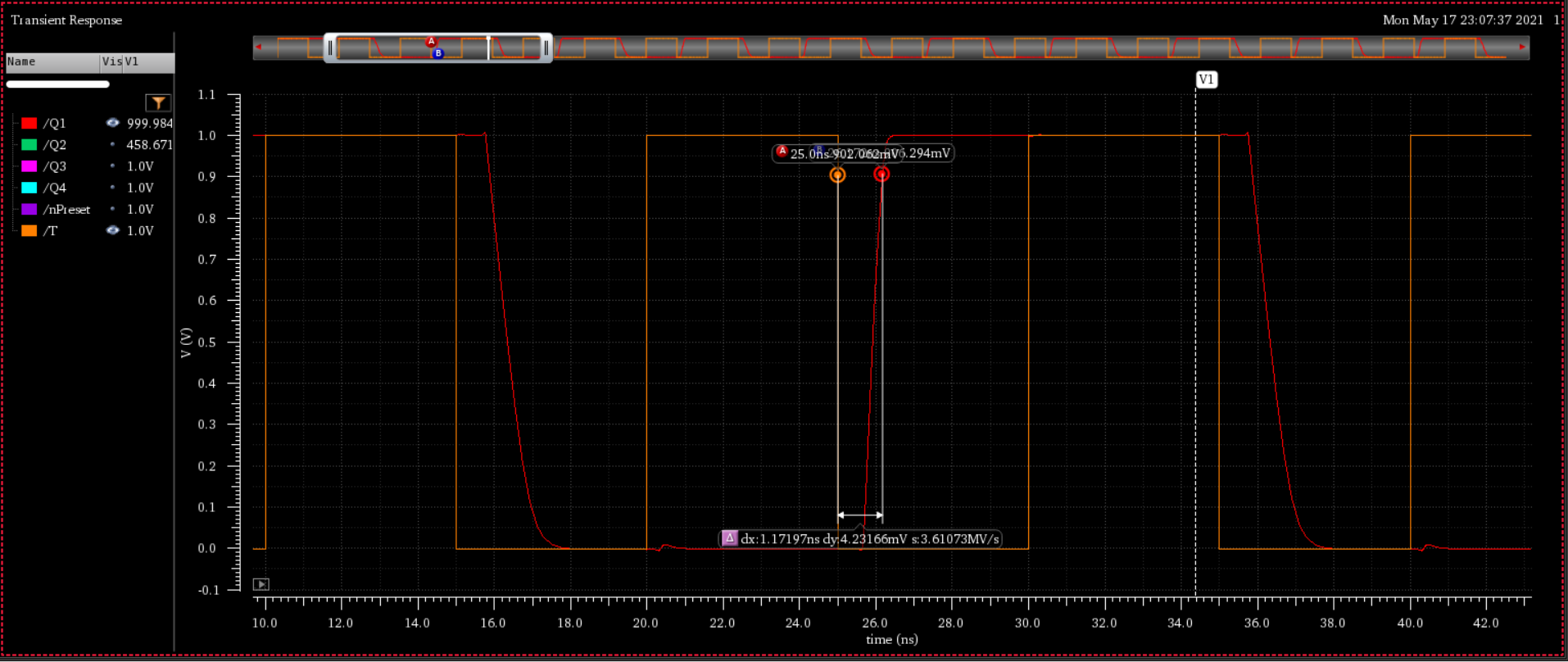
Як бачимо спочатку сигналом nPreset лічильник було встановлено у початковий стан (1111b або 15).

Далі, по кожному задньому фронту імпульсу на вході T, число, що зберігається у лічильнику і позначає кількість імпульсів, що надійшли, змінюється (стає на 1 менше) поки не дійде до 0. Далі, процес починається спочатку.

Виміряємо затримки перемикання лічильника:

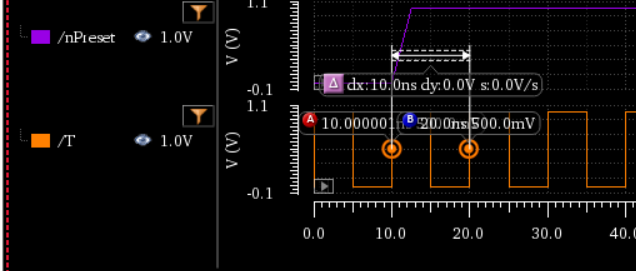
Згідно з конструкцією лічильника, затримки при перемиканні повинні бути не більшими ніж затримки тригерів, з яких він складається.





Як бачимо, так і є, затримки при переключенні незначні.

Лічильник повинен працювати на частоті 100 МГц. Розрахуємо значення періоду вхідного сигналу:



Як бачимо, схема була протестована саме на цій частості й працює без перебоїв.

1. **ВИСНОВКИ**

У ході виконання курсової роботи було побудовано синхронний лічильник на JK-тригерах без декодування коефіцієнта з паралельним переносом для віднімання. Усі його компоненти, як і сам лічильник були протестовані на частоті 100 Мгц. Як видно з результатів моделювання, пристрої та елементи на заданій частоті працюють нормально. Затримки зміни станів лічилькика приблизно дорівнюють 2 наносекундам, чого більш ніж достатньо для експлуатації пристроя на заданій частоті.

1. **СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ**

1. Справочник по цифровой схемотехнике. В. И. Зубчук, В. П. Сигорский, А. Н. Шкуро. — К.: Техника, 1990.

2. Гіоргізова–Гай В. Ш. Конспект лекцій «Схемотехника ЭВМ».

3. Микросхемы и их применение. В. Н. Вениаминов, О. Н. Лебедев, А. И. Мирошниченко — М.: «Радио и связь», 1989.

4. Угрюмов Е. П. Цифровая схемотехника. — Петербург: — СПб: БХВ, 2001 р. — 528с.