

積體電路設計實驗 期末報告

遞迴最小平方誤差適應演算法有限脈衝響應等化器

Recursive Least Squares Adaptive Equalizer

B 組：

羅翊誠 B05901102

歐瀚墨 B05901092

鄧宇凡 B05901183

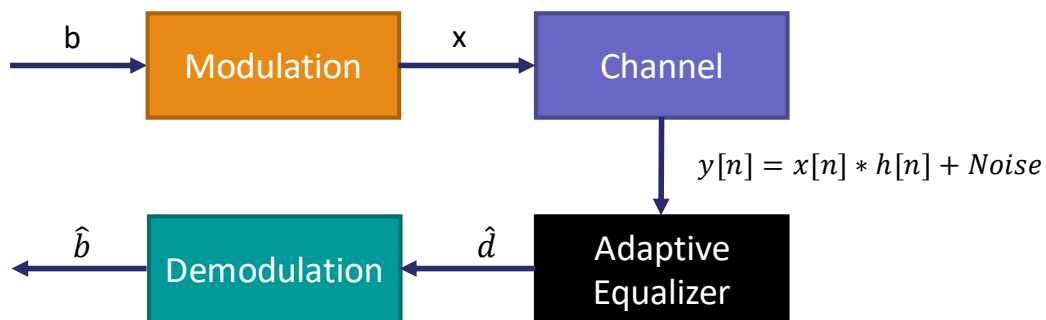
指導教授： 闕志達 教授

一、全新設計或改版說明

此案件為設計者全新設計

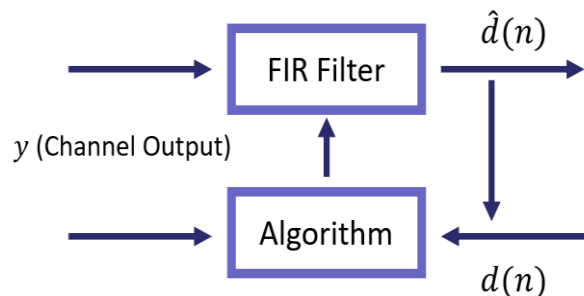
二、原理及架構說明

設計目標是要完成一個適應性的濾波器以作為通信等化器的使用，消除通道非理想效應的干擾。本晶片的設計條件是於 BPSK 調變下，只根據每個符號（symbol）對應的分量進行等化，意即，我們設計的等化器只考慮解調（同步或非同步）時的分量，希望可以消除符號間干擾（inter-symbol interference, ISI）和其他非理想性的影響。下圖是一個簡易的通信系統，其中我們不考慮任何的編碼（source coding 或 channel coding）問題，只模擬於位元傳輸的環境中。



BPSK 的調變方法為以 ± 1 作為分量分別代表 1、0 的位元進行傳輸，但是因為符號間干擾和白噪音（AWGN）的影響，接收到的訊號會跟發出的不同，因此需要等化器來消除使得接收到的訊息正確率提高。

下圖是一個自適應濾波器的結構圖，信號 y 輸入到濾波器後，有限脈衝響應（FIR）線性濾波器會計算輸出值 $\hat{d} = w * y$ ，同時根據同步的演算法調整 FIR 濾波器參數儘量將 \hat{d} 接近理論值 d 。由於在測試時接收端不會知道正確的 d 到底是多少，我們使用該符號的硬解調值來進行預測，並以預測的符號來做為正確值修正。如果 $\hat{d} > 0$ 就以 $d = 1$ 去更新參數，反之則以 -1 當作 d 的值。



在我們的設計中濾波器響應的更新演算法是使用遞迴最小平方演算法（Recursive Least Squares），該演算法欲最小化的量為 $C(w_n) = \sum_{i=0}^n \lambda^{n-i} e^2(i)$ ，其中 $e(i)$ 為第 i 個值與理想值的差距， λ 是遞迴時

的衰減係數。其更新參數 \mathbf{w} 的演算法如下：

Initialize: $\mathbf{P} = \delta \mathbf{I}$

For $n = 1, 2, \dots$.

$$\mathbf{y} = [y[n], y[n-1] \dots \dots]$$

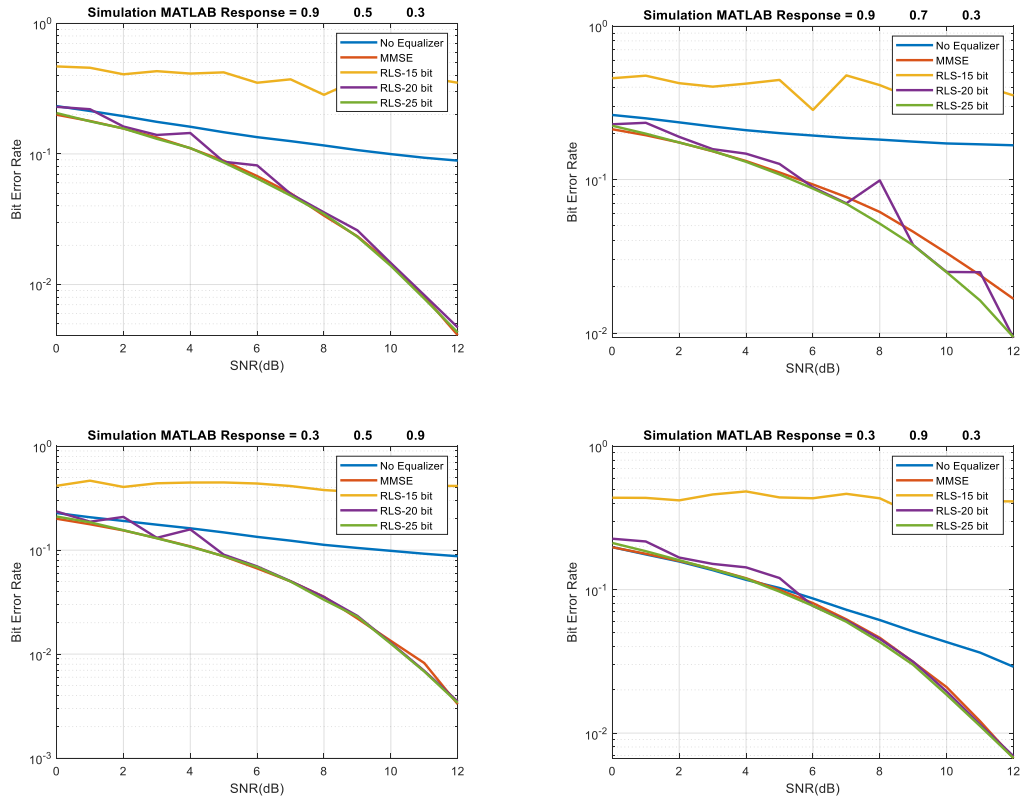
$$\alpha = d(n) - \mathbf{y}\mathbf{w}$$

$$\mathbf{g} = \frac{\mathbf{P}\mathbf{y}^T}{\lambda + \mathbf{y}\mathbf{P}\mathbf{y}^T}$$

$$\mathbf{P}' = \frac{1}{\lambda}(\mathbf{P} - \mathbf{g}\mathbf{y}\mathbf{P})$$

$$\mathbf{w}' = \mathbf{w} + \alpha \mathbf{g}$$

我們的濾波器響應長度為 5，也就是說，響應 \mathbf{w} 只於-2 到 2 間有非 0 的值，此設定是考量到晶片的大小和演算的難度。對於決定設計時的參數，我們使用 MATLAB 在不同的干擾下進行模擬，以決定各元件的位元數、 δ 與 λ 的值等。以下是我們的模擬結果：



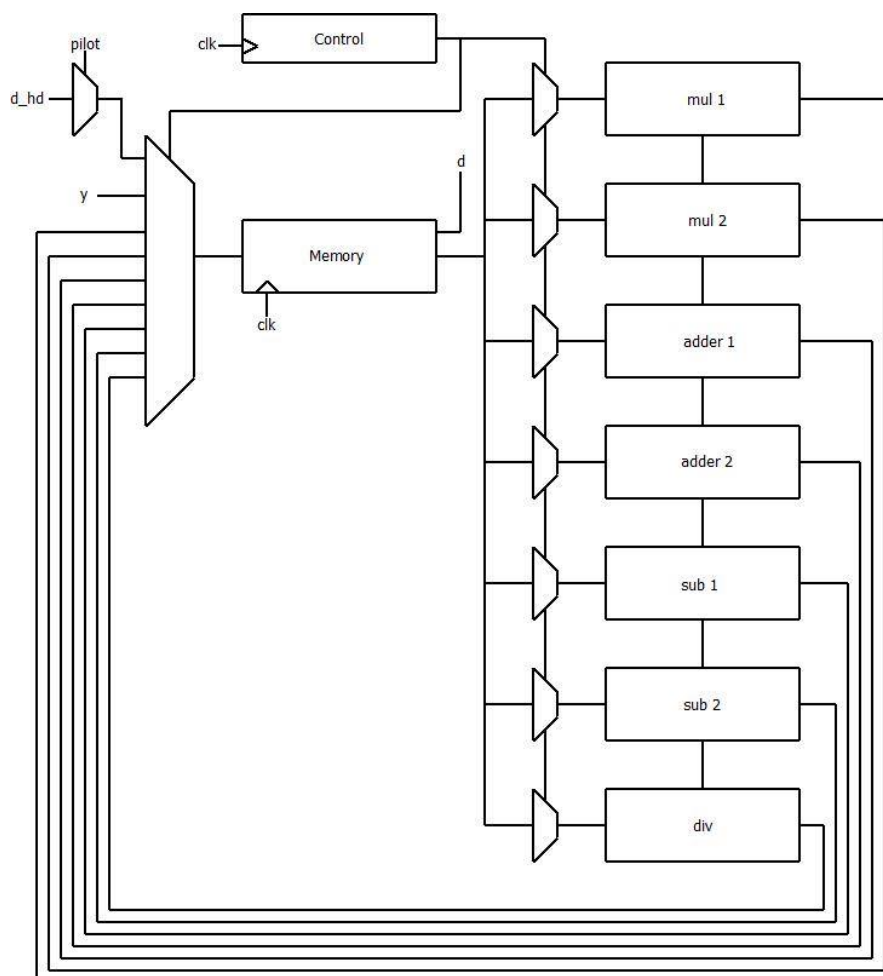
由上圖我們知道設計時的參數於小數點下需要 20 位元才能得到夠穩定的結果，並同時決定 $\delta = 0.125$ 、 $\lambda = 1$ 。為了使得更新的過程更為穩定，我們也於設計中增加 pilot 的輸入，可以於使用時以已知的符號校正。我們也設計 enable 的控制，允許使用時不更新參數，但同時還是可以進行等化。

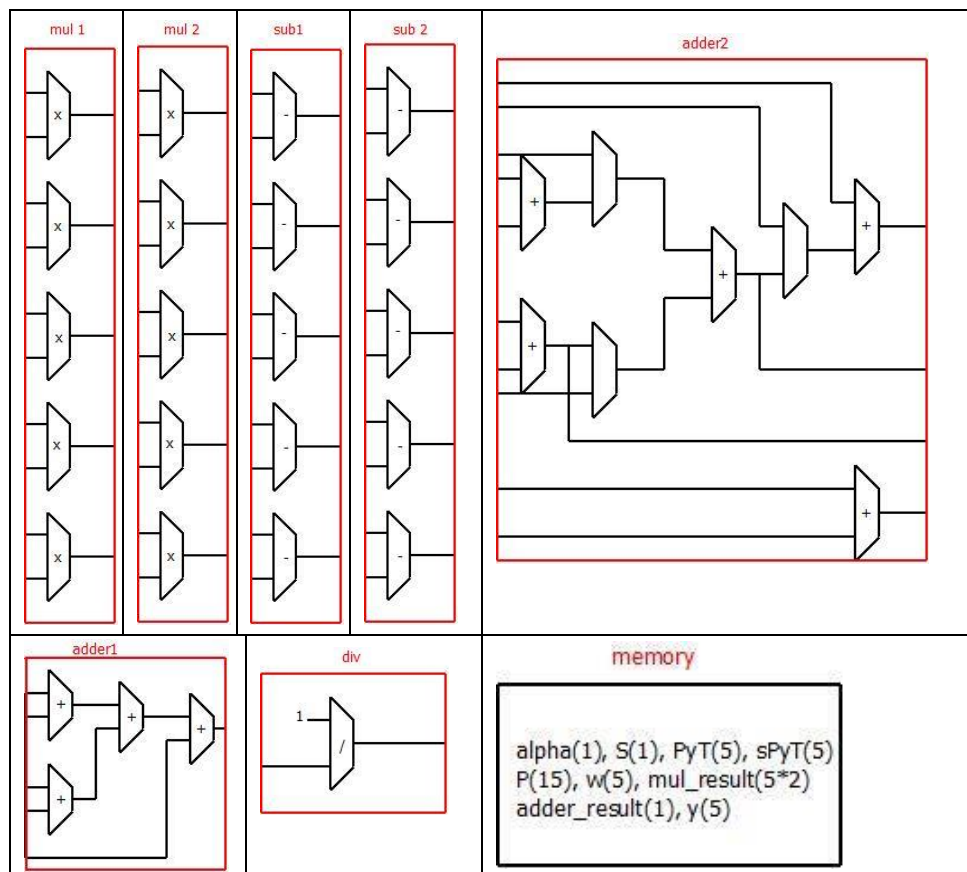
由於 RLS 演算法的計算量繁複，我們於設計時採用以下表格中的計算順序，其中 $s = \frac{1}{\lambda + \mathbf{y}\mathbf{P}\mathbf{y}^T}$ ，設計原則是盡量共用面積大和時間長的元件。5X5

矩陣 \mathbf{P} 因為是對稱的，所以只有 15 個值需要計算和儲存。紅色方框處為 \mathbf{P} 的更新，因為在計算時我們不會立即需要 \mathbf{P} 的所有值，所以可以留到下一個週期再算，節省時間。

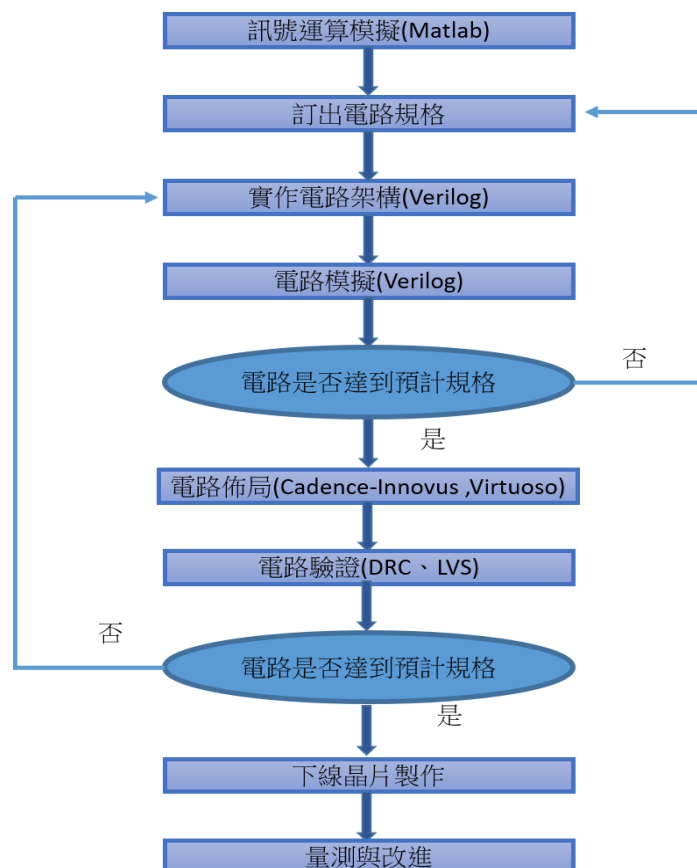
Cycle	Mul 1	Add 1	Mul 2	Add 2	Subtract	Divider
1	$y^T w$		$P_1 y^T$		$P' P'$	
2	$P_2 y^T$		$P_3 y^T$		α	
3	$P_4 y^T$		$P_5 y^T$			
4	$y(P y^T)$			$\lambda + y P y^T$		
5						s
6			$s(P y^T)$			
7	$s P y^T y P$		αg	w'		
8	$s P y^T y P$		$s P y^T y P$		P'	

下圖是我們設計的電路圖，中間有一個記憶區用來儲存待使用的數值，右邊是各式共用的運算元件，包含加法、減法、乘法、除法等。各元件為了能達到最佳的共用效果，我們進行了不同的設計，各運算器的結構如下表，其中 adder2 是一個可以在控制訊號的調配下有多功能的加法器：





三、設計流程



我們於合成時的週期為 30ns 也就是約 33.3MHz，但是於模擬時我們發現可以以 8ns 的週期去使用，且如果只觀察位元錯誤率，不會造成更多的解調錯誤。我們的推測是因為除法器的運算時間太長，但是事實上在應用上沒有使用如此精度除法的需求，用小於 30 奈秒的週期操作時會有錯誤，但是我們可以在合理的錯誤率下，去操作於更高的時脈。此外，等化器在通信上不需要很大的精度，因為通常情形下會有可以協助錯誤更正的通道

編碼來輔助，所以我們預計以 100MHz 作為正常使用的頻率。

六、量測考量

預計使用器材：

- i. 電源供應器：提供電源。
- ii. 訊號產生器：輸入clk信號。
- iii. 開關：提供enable、pilot等訊號。
- iv. Logic Analyzer
- v. Program Generator

量測過程：

- i. 供應器接上晶片的電源腳位。
- ii. 將開關連接至enable及pilot腳位。
- iii. 將訊號產生器設定為方波，設定頻率為30MHz。
- iv. 用Program generator根據使用的ISI響應和信噪比產生測試波形。
- v. 以Logic Analyzer觀測波形，並驗證與設計階段的結果是否相同。
- vi. 以更高的頻率100Hz測試，比較其錯誤率與設計階段的結果。

七、佈局驗證結果錯誤說明

(A) DRC 驗證結果：

DRC.rep:

RULECHECK RECOMMEND_4.14L	TOTAL Result Count = 34 (2374)
RULECHECK 4.29NOTICE	TOTAL Result Count = 1 (1)
RULECHECK 4.14Z.NO_IND_PO1	TOTAL Result Count = 1 (1)
RULECHECK 4.20G	TOTAL Result Count = 1 (1)
RULECHECK 4.22F.NO_IND_M2	TOTAL Result Count = 1 (1)
RULECHECK 4.22G	TOTAL Result Count = 1 (1)
RULECHECK 4.24G	TOTAL Result Count = 1 (1)
RULECHECK 4.26G	TOTAL Result Count = 1 (1)
RULECHECK 4.28G	TOTAL Result Count = 1 (1)
RULECHECK 4.31F	TOTAL Result Count = 1 (1)

ESD.rep:

RULECHECK sanity_1	TOTAL Result Count = 16 (416)
RULECHECK I05.1.W2	TOTAL Result Count = 2 (52)
RULECHECK I05.1.R1	TOTAL Result Count = 32 (832)
RULECHECK I05.2.2.L1.a ...	TOTAL Result Count = 16 (416)
RULECHECK I05.2.2.L1.c ...	TOTAL Result Count = 16 (416)

LATCH_UP.rep:

RULECHECK Latch.4.1	TOTAL Result Count = 18	(276)
RULECHECK Latch.4.2	TOTAL Result Count = 34	(308)
RULECHECK Latch.4.4.pick	TOTAL Result Count = 5	(65)
RULECHECK Latch.4.5.pick	TOTAL Result Count = 27	(563)
RULECHECK Latch.4.6.guard	TOTAL Result Count = 21	(496)
RULECHECK Latch.4.7	TOTAL Result Count = 53	(547)
RULECHECK Latch.4.7.guard	TOTAL Result Count = 5	(65)
RULECHECK Latch.4.8_Latch.4.9_Latch.5.2 ...	TOTAL Result Count = 1000	(89152)
RULECHECK Latch.4.10	TOTAL Result Count = 8	(36)
RULECHECK Latch.5.1	TOTAL Result Count = 4	(44)
RULECHECK Latch.5.5	TOTAL Result Count = 121	(745)
RULECHECK Latch.5.6	TOTAL Result Count = 92	(1092)

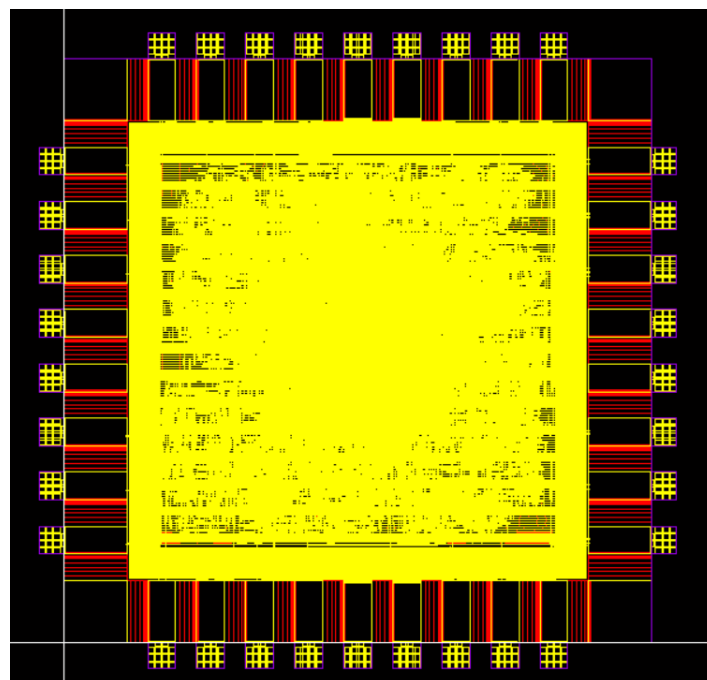
以上 DRC 錯誤皆可忽略

(B) LVS 驗證結果：

LVS-OK

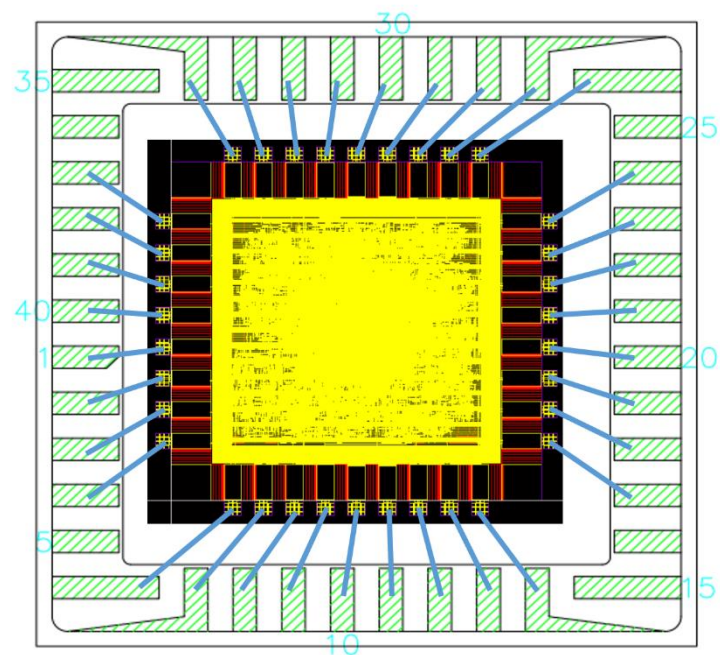
八、佈局平面圖

Chip Size	: 1445 x 1445 μm^2
Transistor/Gate Count	: 70403
Power Dissipation	: 25.749mW
Max. Frequency	: 4.17MHz



LAYOUT 圖

九、打線圖



十、預計規格列表

Description	
Process	UMC 0.18um Mixed-Mode and RFCMOS 1.8V/3.3V
Power Supply	3.3V

Specification	Spec.	Pre-sim(tt)	Post-sim(tt)
Frequeuncy	33.3MHz	33.3MHz	
Chip size (μ m ²)	< 1500x1500	1445x1445	
Power	-	25.749mW	
PADs	38	38	

十一、 參考文獻

[1] Haykin. Communication Systems 4th Edition
[2] Gaensler. New Insights into the RLS Algorithm
[3] Patel et.al. Comparative Study of LMS & RLS Algorithms
for Adaptive Filter Design with FPGA