

2021 University/College IC Design Contest

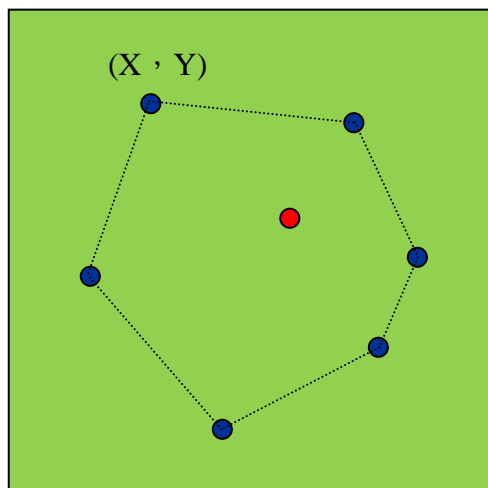
大學部標準元件數位電路設計

Geofence

1.問題描述

請完成一地理圍籬(geofence)系統，本系統使用 6 顆接收器在平面上建構出虛擬圍籬，地理圍籬系統依據接收器的座標及待測物體的座標來分析待測物體是在圍籬內或圍籬外。

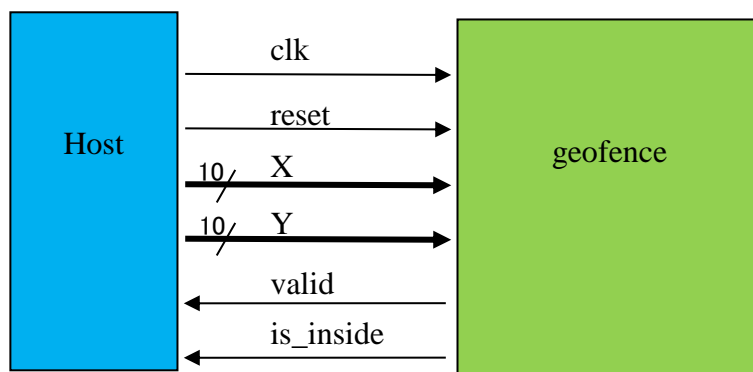
本次 IC 設計競賽比賽時間為上午 08:30 到下午 20:30。當 IC 設計競賽結束後，會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄五中所列的要求，附上評分所需要的檔案。



圖一、Geofence

2.設計規格

2.1 系統方塊圖



圖二、系統方塊圖

2.2 輸入/輸出介面

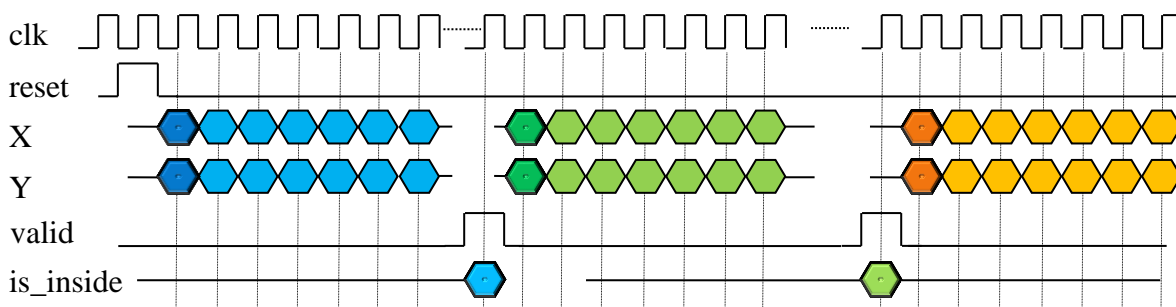
表 1 -輸入/輸出訊號

Signal Name	I/O	Width	Simple Description
clk	I	1	本系統為同步於時脈正緣之同步設計。
reset	I	1	高位準非同步(active high asynchronous)之系統重置信號。
X	I	10	接收器之 x 座標
Y	I	10	接收器之 y 座標
is_inside	O	1	當待測物體在圍籬內，回應 is_inside 為 high，反之為 low
valid	O	1	有效的輸出訊號。當 valid 為 High，表示目前輸出的 is_valid 為有效的輸出。

2.3 系統描述

2.3.1 資料輸入與結果輸出

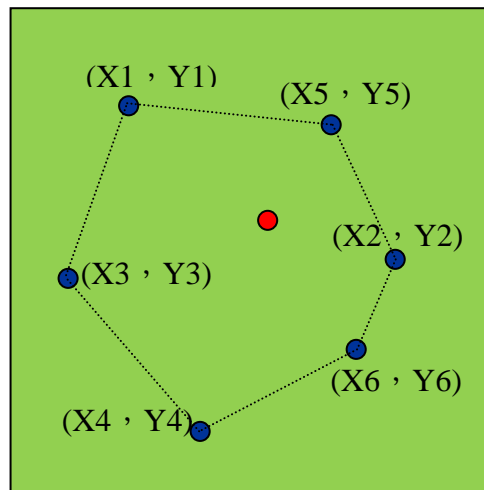
- 系統 reset 後第一個 cycle 會輸入待測物體的座標，接下來 6 個 cycle 依續輸入 6 顆接收器座標，所有的座標資料皆從 X 和 Y 兩 port 輸入。
- Host 輸入完最後一個接收器座標後即開始等待圍籬系統回應，當圍籬系統計算完成，須將 valid 訊號拉為 High，並在同一 cycle 從 is_inside 輸出計算結果，接著在下一 cycle 將 valid 拉回 low。
- valid 變成 low 後，Host 會從下一 cycle 開始輸入下一組內容，依續輸入待測物體及接收器座標，然後再度進入等待回應狀態。
- 前後兩組待測物體資料互不相關，不論是待測物體座標或是 6 顆接收器座標，應以全新場景看待。
- 為避免 Host 誤判輸出資料，系統 reset 時，圍籬系統應將 valid 設為 low，並且在每次輸出結果後，將 valid 再復歸為 low。



圖三、資料輸入與結果輸出

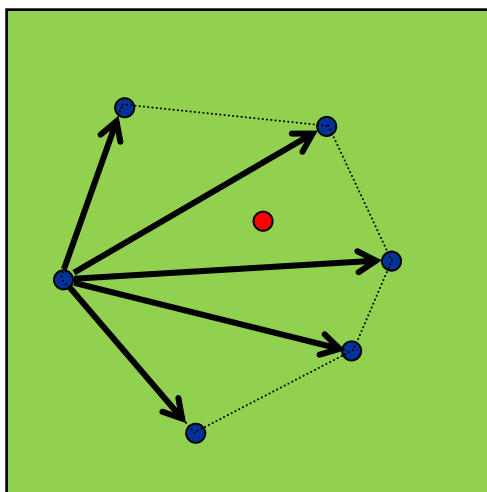
2.3.2 建立圍籬

此圍籬系統有 6 顆接收器，但接收器資料輸入的順序並沒有照著圍籬順序，為了達到系統功能，必須找到正確圍籬邊界，也就是說要找到圍籬上正確的接收器順序。

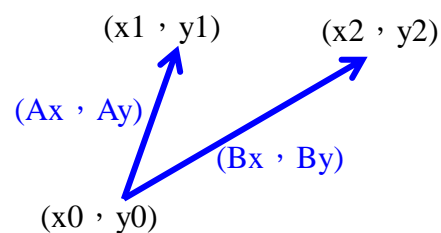


圖四、接收器輸入順序未依圍籬順序

要排序接收器順序，可將其中一接收器作為原點，和其它 5 接收器形成 5 向量(圖五)；利用計算向量外積判斷兩向量方向關係，進行排序讓前後向量固定維持順時針或逆時針關係，然後可得圍籬順序。



圖五、以向量排序圍籬



圖六、向量外積計算

向量外積計算(請見圖六)：

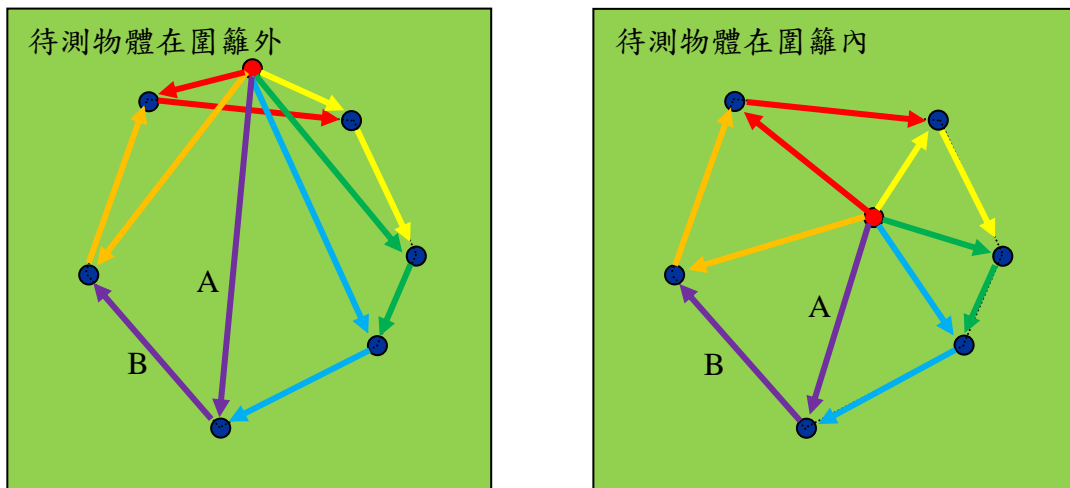
若有兩向量，向量 $A=(A_x, A_y)=(x_1-x_0, y_1-y_0)$ ，向量 $B=(B_x, B_y)=(x_2-x_0, y_2-y_0)$ ，

A 到 B 外積 = $A_x \cdot B_y - B_x \cdot A_y$ ，

若外積結果 < 0 ，表示 B 在 A 順時針方向(A 到 B 順時針夾角 $< 180^\circ$)，反之為逆時針方向。

2.3.3 判斷待測物體是否在圍籬內

要判斷待測物體是否在圍籬內，同樣可用向量外積判斷。當接收器已依順時針或逆時針排序好，將待測物體到某一接收器視為向量 A，該接收器到下一接收器視為向量 B，計算向量 A 到向量 B 的外積；若待測物體在圍籬內，則所得的外積結果會全部為正(逆時針)或全部為負(順時針)；若待測物體在圍籬外，則外積結果必定會有部分為正部分為負，也有可能會有零出現。



圖七、待測物體和圍籬邊界的向量圖

特別注意:

1. 本題 test pattern 的接收器座標只會形成凸六邊形的圍籬，不須考慮凹六邊形或是三接收器共線的狀況。
2. 考慮到運算誤差，test pattern 的待測物體距離圍籬邊界距離都超過 5 單位距離以上，減少因運算誤差造成的問題。
3. 題目內所提供建立圍籬和判斷待測物體在圍籬內外的方法，非唯一方法，只要能完成功能，不限定一定要使用題目的方法。
4. 設計必須確實完成題目功能，**嚴禁針對題目 test pattern 特定內容做設計**，比如設計中判斷 pattern 為某固定數值，或是判斷第 n 個 pattern 直接設定輸出結果等。如經發現一律不予錄取。
5. 本題目主要以面積做評分，請盡可能減少暫存器數量，以及共用運算單元，來達到最小面積的目標。

3. 評分標準

評分方式會依設計完成程度，分成 A、B、C、D 四種等級，排名順序為 A>B>C>D。本題設定 clock 週期時間為 30ns，參賽者不可調整 clock 週期時間。

✧ **等級 A：** 等級 A 條件：

- a、在 clock 週期為 30ns 環境下，Gate-Level 與 RTL 模擬完全正確。
- b、完成 Synthesis，且合成 cell area 小於 22000um²。

等級 A 之評分方法：

依繳交時間由早到晚排序。

✧ **等級 B：** 等級 B 條件：

- a、在 clock 週期為 30ns 環境下，Gate-Level 與 RTL 模擬完全正確。
- b、完成 Synthesis，但合成 cell area 大於 22000um²

等級 B 之評分方法：

依合成面積由小到大排序。

Design compile report area 範例: dc_shell> report_area

Combinational area:	10761.516110
Buf/Inv area:	621.248388
Noncombinational area:	5015.817076
Macro/Black Box area:	0.000000
Net Interconnect area:	120960.613464
Total cell area:	15777.333186
Total area:	136737.946650

✧ **等級 C：** 等級 C 條件：

- a、在 clock 週期為 30ns 的條件下，無法正確模擬，
- b、但在 clock 週期超過 30ns 時，Gate-Level 與 RTL 模擬正確。

等級 C 之評分方法：

依合成面積由小到大排序。

✧ **等級 D：** 等級 D 條件：

- a、RTL 模擬有部分錯誤。

等級 D 之評分方法：

依正確的物件數量排序。

```
-- Simulation finish, Pass = 34 , Fail = 16 --
```

就算沒有把全部功能完成，也請儘可能將最後結果上傳，有上傳就有晉級機會。

附錄

附錄一為設計檔案說明；附錄二為測試樣本圖形；附錄三為評分用檔案，亦即參賽者必須繳交的檔案資料；附錄四則為設計檔案壓縮整理步驟說明；

附錄一 設計檔案說明

1. 下表為主辦單位所提供各參賽者的設計檔

表 2、設計檔案說明

檔名	說明
geofence.v	參賽者所使用的設計檔，已包含系統輸/出入埠宣告。
tb.sv	Test Bench 檔案。
univ.data	Test Pattern 資料
.synopsys_dc.setup synopsys_dc.setup	使用 Design Compiler 做合成之初始化設定檔。參賽者請依 Library 實際擺放位置，自行修改 Search Path 的設定。注意：合成時請使用 worst case library。
geofence .sdc	Design Compiler 作合成之 Constraint 檔案。
report.000	report 檔格式，見附錄三。
dc_syn.tcl	dc 合成參考指令
ncvlog.f	ncverilog 模擬參考參數檔案。
vcs.cmd	vcs 模擬參考指令
pic*.png	模擬樣本的圖形

2. 請使用 **geofence.v** 行設計。其模組名稱、輸出/入埠宣告如下所示：

```
module geofence (clk, reset, X, Y, valid, is_inside);  
    input        clk;  
    input        reset;  
    input [9:0]   X;  
    input [9:0]   Y;  
    output        valid;  
    output        is_inside;  
endmodule
```

3. 本題所提供的 Test Bench 檔案，有多增加幾行特別用途的敘述如下：

```
`define End_CYCLE 1000000  
`define SDFFILE    "./geofence_syn.sdf"  
`ifdef SDF  
    initial $sdf_annotate(`SDFFILE, u_geofence);  
`endif
```

註：

1. Testbench(tb.sv)以 system verilog 格式撰寫，使用 ncverilog 模擬時請加入 **-sv** 參數；使用 vcs 模擬時請加入 **-sverilog** 參數。
2. End_CYCLE 預設 100 萬個 Cycles，其目的可以防止參賽者因電路有錯，模擬陷入無窮回圈之境，**參賽者可視需要請自行加大此 Cycle 數。**
3. SDF 檔案，請自行修改 SDF 實際檔名及路徑後再模擬。
4. 在 Test Bench 中，主辦單位提供 `ifdef SDF 的描述，其目的是讓本 Test Bench 可以作為 RTL 模擬與合成後模擬皆可使用。注意：當參賽者在合成後模擬，請務必多加一個參數**”+define+SDF”**，方可順利模擬。

例如：

當合成後，使用 NC-Verilog 模擬，在 UNIX terminal 下執行下面指令

```
➤ ncverilog -sv tb.sv geofence_syn.v \  
    +ncmaxdelays +define+SDF +access+r -v tsmc13_neg.v
```

當合成後，使用 VCS 模擬，在 UNIX terminal 下執行下面指令

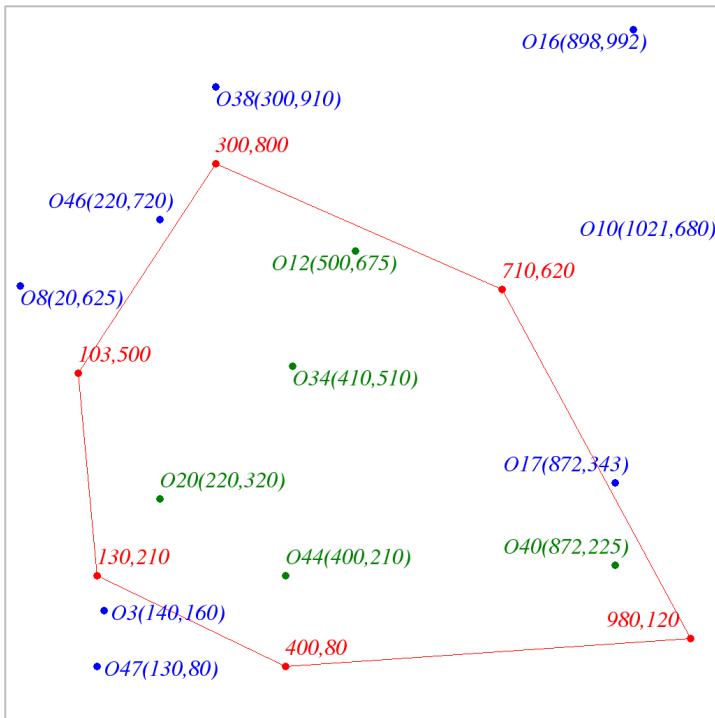
```
➤ vcs -R -full64 -sverilog tb.sv geofence_syn.v \  
    +maxdelays +define+SDF +access+r +vcs+fsdbon -v tsmc13_neg.v
```

5. **請盡可能直接在 linux 環境將設計檔解開**，避免在 window 環境解壓縮後才 ftp 傳至 linux 環境，以免因 ftp 在兩系統間置換換行符號不正確造成 testbench 無法模擬的問題。

附錄三 測試樣本

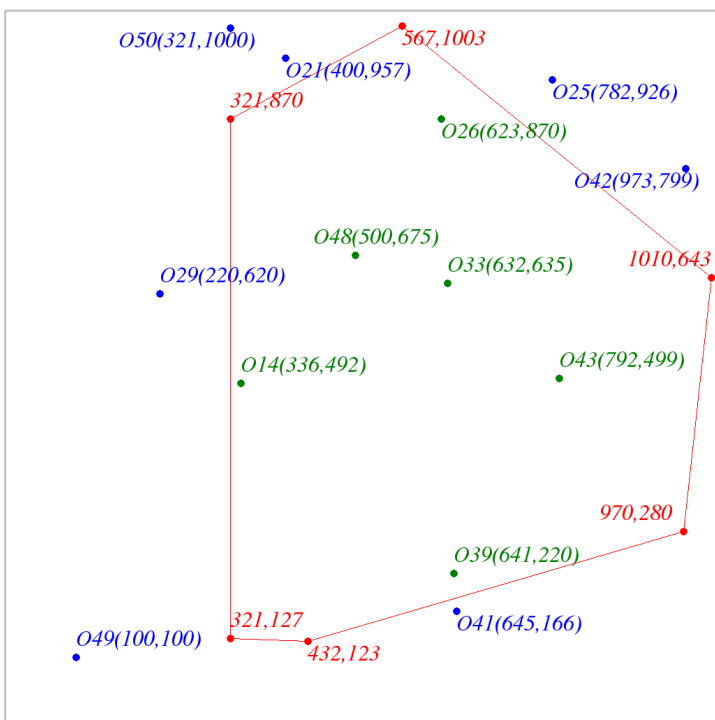
依模擬順序，待測物體編號由 1 編到 50 號，

物件 3 8 10 12 16 17 20 34 38 40 44 46 47 ，請參考測試樣本圖一



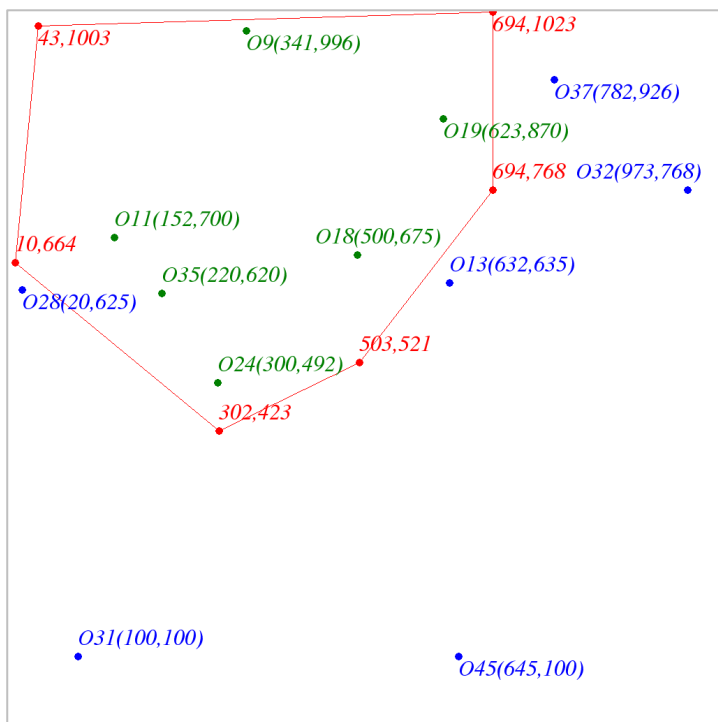
測試樣本圖一

物件 14 21 25 26 29 33 39 41 42 43 48 49 50，請參考測試樣本圖二



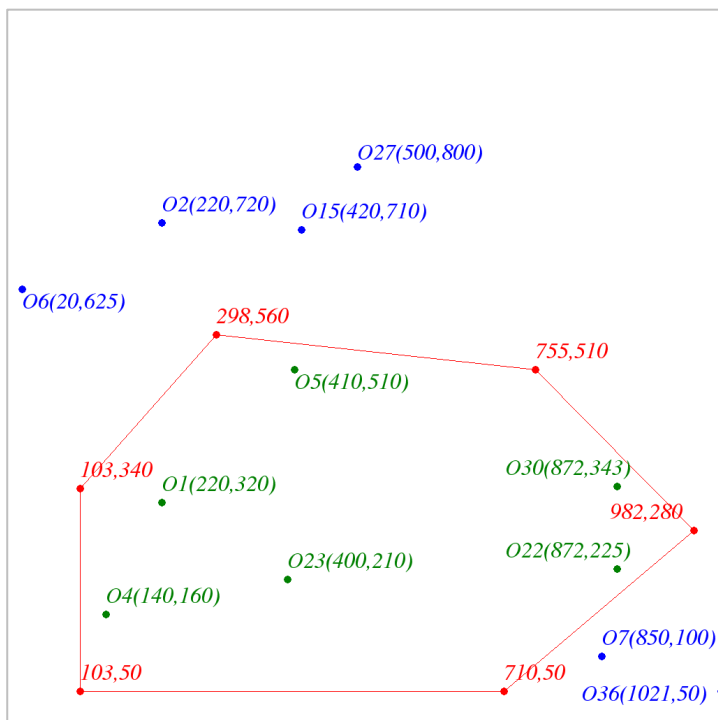
測試樣本圖二

物件 9 11 13 18 19 24 28 31 32 35 37 45，請參考測試樣本圖三



測試樣本圖三

物件 1 2 4 5 6 7 15 22 23 27 30 36，請參考測試樣本圖四



測試樣本圖四

附錄三 評分用檔案

評分所須檔案可以下幾個部份：

- (1) RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔放進來，以免評審進行評分時，無法進行模擬；
- (2) Gate-Level design，即由合成軟體所產生的 gate-level netlist，以及對應的 SDF 檔；
- (3) report file，參賽隊伍必須依照自己的設計內容，撰寫 report.000 檔，以方便主辦單位進行評分，report.000 的格式如下圖所示。(report 檔以後三碼序號表示版本，若繳交檔案更新版本，則新版的 report 檔的檔名為 report.001，依此類推)

表 3、繳交檔案

RTL category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
N/A	N/A	Design Report Form
RTL Simulation	*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
Gate-Level category		
<i>Design Stage</i>	<i>File</i>	<i>Description</i>
Pre-layout	*_syn.v	Verilog gate-level netlist
Gate-level Simulation	*_syn.sdf	Pre-layout gate-level sdf

report 檔

FTP account:	E21xxx, FTP 帳號
Level:	A/B/C/D 設計完成等級
Object pass number :	50, 模擬完後，計算正確的物件數量
Synthesis area :	20000，合成 report 的 cell area
--- RTL category---	
HDL simulator :	ncverilog/vcs, 使用之 HDL 模擬器名稱
RTL filename :	geofence.v, RTL 檔案名稱以及使用到的子模組檔案...
--- Pre-layout gate-level ---	
gate_level filename:	geofence_syn.v, gate-level 檔案名稱
gate-level sdf filename:	geofence_syn.sdf, sdf 檔案名稱

附錄四 檔案壓縮整理步驟

當所有的文件準備齊全如表 4 所列，均需要提交至 TSRI。請按照以下的步驟指令，提交相關設計檔案，將所有檔案複製至同一個資料夾下壓縮，步驟如下：

1. 建立一個 result_xxx 資料夾。其中“xxx”表示繳交版本。例如“000”表示為第一次上傳；“001”表示為第二度上傳；002 表示為第三度上傳，以此類推...。
 > **mkdir result_000**
2. 將附錄四要求的檔案複製到 result_xxx 這個目錄。例如：
 > **cp geofence.v result_000**
 > **cp geofence_syn.v result_000**
 > **cp report.000 result_000**

3. 執行 tar 指令將 result_xxx 資料夾包裝起來，tar 的指令範例如下：
 > **tar cvf result_000.tar result_000**
 執行完後應該會得到 result_000.tar 的檔案
4. 使用 ftp 將 result_xxx.tar 上傳至 TSRI 提供的 ftp server，評審將以最後上傳的設計檔編號進行評分作業。

上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21(port:21)。

ftp 的帳號和密碼在賽前已用 email 寄給各參賽者。若有任何問題，請聯絡 TSRI

FTP site1 (新竹半導體中心)：iccfpt.tsri.org.tw (140.126.24.18)

FTP site2 (南區半導體中心)：iccfpt2.tsri.org.tw(140.110.117.9)

EDA Cloud內請見開啟terminal時訊息

5. 若需要繳交更新版本，請重覆以上步驟，並記得修改 tar 檔的版本編號，因為您無法修改或刪除或覆蓋之前上傳的資料。