

计算机组成原理

补充作业 #2

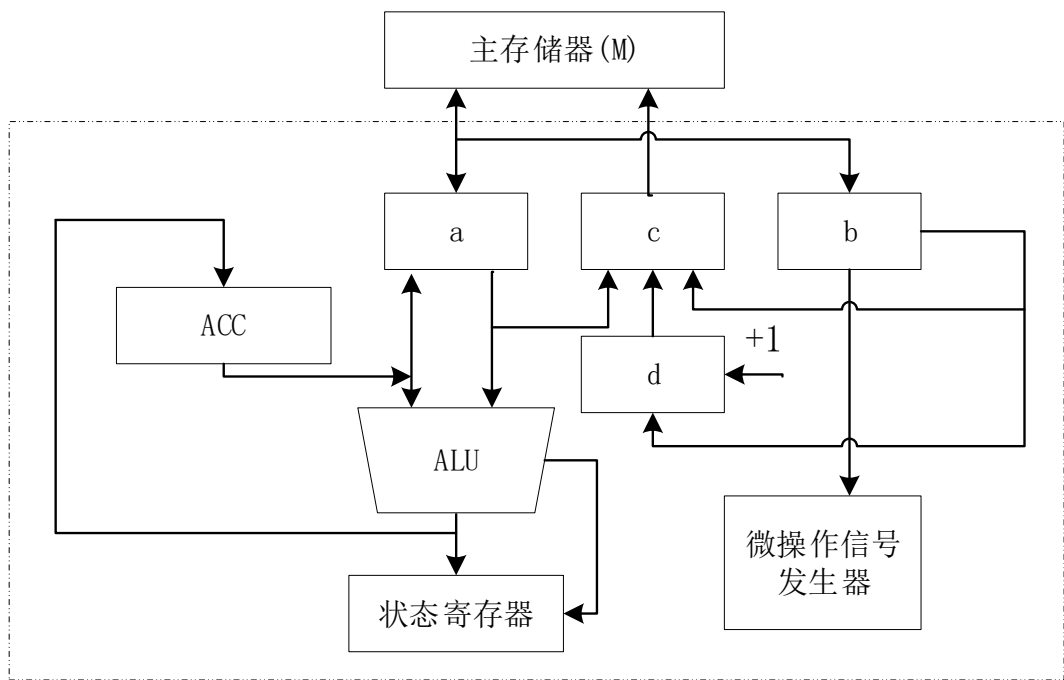
注意:在作业中学生必须做到如下几点:

- 在作业封面标注你的姓名与学号;
- 请将答案**单独写到一张白纸上或者作业本上**, 不接受在原题上涂鸦式的答案提交
- 尽可能请给出详细的解题步骤与思路, 而不是最终答案;
- 请勿抄袭他人作业或者网上的答案, 可与同学或老师讨论, 但解答过程独立完成。

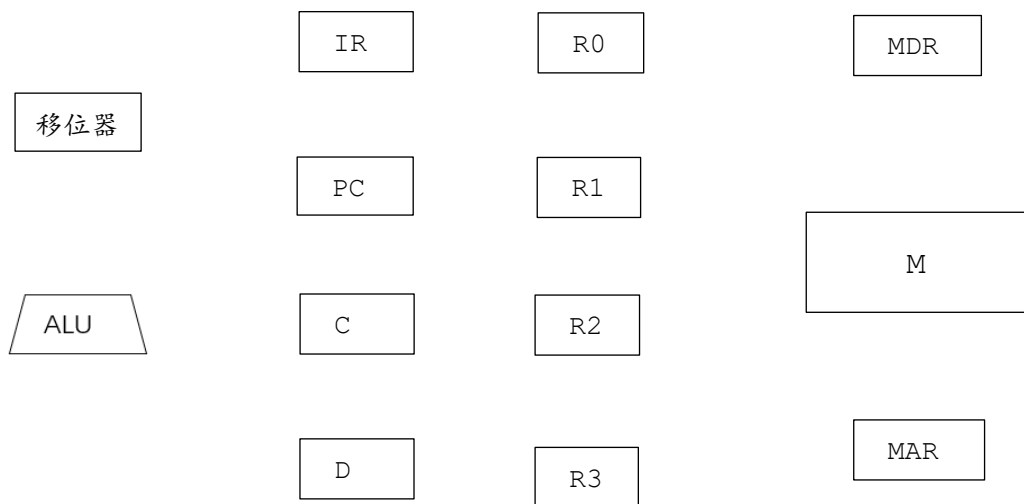
1) 下图是一个简化的 CPU 与主存连接结构示意图 (图中省略了所有的多路选择器)。其中有一个累加寄存器 (ACC)、一个状态数据寄存器和其他 4 个寄存器: 主存地址寄存器 (MAR)、主存数据寄存器 (MDR)、程序寄存器 (PC) 和指令寄存器 (IR), 各部件及其之间的连线表示数据通路, 箭头表示信息传递方向。

解题要求:

1. 请写出图中 a、b、c、d 四个寄存器的名称。
2. 简述图中取指令的数据通路。
3. 简述数据在运算器和主存之间进行存/取访问的数据通路。
4. 简述完成指令 LDA X 的数据通路 (X 为主存地址, LDA 的功能为 $(X) \rightarrow ACC$)。
5. 简述完成指令 ADD Y 的数据通路 (Y 为主存地址, ADD 的功能为 $(ACC) + (Y) \rightarrow ACC$)。
6. 简述完成指令 STA Z 的数据通路 (Z 为主存地址, STA 的功能为 $(ACC) \rightarrow Z$)。



- 2) 某机器主要功能部件如下图所示，其中 M 为主存，MDR 为主存数据寄存器，MAR 为主存地址寄存器，IR 为指令寄存器，PC 为程序计数器（并假设当前指令地址在 PC 中），R0-R3 为通用寄存器，C,D 为暂寄存器。



1. 请补充各部件之间的主要连接线（总线请自己画），并注明数据流动方向。

2. 画出“ADD (R1), (R2) +”指令周期流程图。该指令的含义是进行求和运算，源操作数地址在 R1 中，目标操作数寻址方式为自增型寄存器间接寻址方式（先取地址再加 1），并将相加结果写回 R2 寄存器。

3) 设 CPU 内部结构如下图所示，此外还设有 B、C、D、E、H、L 六个寄存器（图中未画出），它们各自的输入端和输出端都与内部总线相通，并分别受控制信号控制（如 Bin 受寄存器 B 的输入控制；Bout 受寄存器 B 的输出控制），假设 ALU 的结果直接送入 Z 寄存器。要求从取指令开始，写出完成下列指令的微操作序列及所需的控制信号。

$$\text{ADD } B, C \qquad (B) + (C) \quad \text{---}\rightarrow B$$

SUB ACC, H (ACC) - (H) ----> ACC

