

1. CPU 执行一段程序时, Cache 完成存取的次数为 1900, 主存完成存取的次数为 100, 已知 Cache 的存取周期为 50ns, 主存存取周期为 250ns, 假设主存与 Cache 可以同时访问, 请问
 - a) Cache/主存的效率是多少?
 - b) 平均访问时间是多少

2. 在液晶显示适配器中, 用于存放显示信息的存储器成为刷新存储器, 他的重要性能指标是带宽。而显示适配器的多个功能部分要争用刷新存储器的带宽。假设带宽 50%用于刷新屏幕, 另外 50%用于其他非刷新功能, 且采用分辨率为 1024x768 像素, 颜色色度为 24bit, 刷新频率为 72Hz 的工作方式
 - a) 计算刷新存储器的总带宽
 - b) 为了达到这样高的刷新存储器带宽, 应采用何种技术措施

3. 主存储器的地址寄存器和数据寄存器各自的作用是什么? 设计一个 1MB 容量的存储器, 字长为 32 位, 请问
 - a) 按照字节编址, 地址寄存器和数据寄存器各几位? 编址范围为多大?
 - b) 按照字编址, 地址寄存器和数据寄存器各几位? 编址范围为多大?

4. 某机器采用四体低位交叉存储器，分别执行下述操作：（1）读取 6 个连续地址单元中存放的存储字，重复 80 次，（2）读取 8 个连续地址单元中存放的存储字，重复 60 次，请计算（1）和（2）所花费的时间的比值为多少？
5. 假设某计算机按字编址，Cache 有 4 行，Cache 和主存之间交换的块大小为 1 个字，若 Cache 的内容初始为空，采用 2 路组相连映射方式和 LRU 替换策略，则访问主存地址依次为 0，4，8，2，0，6，8，6，4，8 时，命中 Cache 的次数是多少？（2012 年真题）
6. 存储器的层次结构主要体现在什么地方，为什么要分这些层次，计算机如何管理这些层次？
7. 什么是存储器的带宽？若存储器的数据总线宽度为 32 位，存取周期为 200us，则存储器的带宽是多少？
8. 请比较静态 RAM 和动态 RAM
9. 什么叫动态 RAM 的刷新？为什么要刷新？说明刷新有几种方法？
10. 设主存容量为 256K 字，Cache 容量为 2K 字，块长为 4，请完成一下问题：

- (1) 设计 Cache 地址格式, Cache 中可以装入多少块数据?
 - (2) 在直接映射方式下, 设计主存地址格式。
 - (3) 在四路组相联映射方式下, 设计主存地址格式
 - (4) 在全相联映射方式下, 设计主存地址格式
 - (5) 若存储字长为 32 位, 存储器按字节寻址, 写出上述三种映射方式下主存的地址格式
11. 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次, 访问主存 200 次, 已知 Cache 的存取周期是 30ns, 主存的存取周期是 150ns, 求 Cache 的命中率及 Cache-主存系统给的平均访问时间和效率, 试问该系统的效率提高了多少?
12. 设主存容量为 4MB, Cache 容量为 16KB, 每字块有 8 个字, 每字 32 位, 试问主存地址为 ABCDEH 的存储单元在 Cache 中的什么位置?
13. 设某机主存容量为 4MB, Cache 容量为 16KB, 每字块有 8 个字, 每字 32 位, 设计一个四路组相联映射 (即 Cache 每组内共有 4 个字块) 的 Cache 组织
- (1) 划出主存地址字段中各段的位数

(2) 设 Cache 的初态为空, CPU 一次从主存第 0, 1, 2……89 号单元读出 90 个字 (主存一次读出一个字), 并重复按此次序读 8 次, 问命中率是多少?

(3) 若 Cache 的速度是主存的 6 倍, 试问有 Cache 和无 Cache 相比, 速度约提高多少倍?

14. 假定主存地址为 32 位, 按字节编址, 指令 Cache 和数据 Cache 与主存之间均采用 8 路组相联映射方式, 直写 (Write Through) 策略和 LRU 替换算法, 主存块大小为 64B, 数据区容量各为 32KB。开始时 Cache 为空, 请回答以下问题: (2020 年真题)

a) Cache 中每一行中标记 (Tag), LRU 位各占几位? 是否有修改位

b) 如果执行以下 C 语言程序段:

```
for(k=0; k<1024; k++)
```

```
    s[k] = 2*s[k];
```

若数组 s 及其变量 k 均为 int 型, int 型数据占 4B, 变量 k 分配在寄存器中, 数组 s 在主存中的起始地址位 0080 00C0H, 则在该程序段执行过程中, 访问数组 s 的数据 Cache 缺失的次数为多少?

c) 若 CPU 最先开始的访问操作是读取主存单元 0001 003H 中的指令, 请简要说明从 Cache 中访问该指令的过程, 包括 Cache 缺失处理的过程

15. 一条双字长的取数指令(LDA)存于存储器的 200 和 201 单元，其中第一个字位操作码和寻址特征 M，第二个字位形式地址 A。假设 PC 的当前值位 200，变址寄存器 IX 的内容位 100，基址寄存器的内容位 200，存储器相关单元的内容如下表所示：

地址	201	300	400	401	500	501	502	700
内容	300	400	700	501	6000	7000	900	401

下表的各列分别位寻址方式，该寻址方式下的有效地址及取数指令执行结束后累加器 AC 的内容，试补全下表：

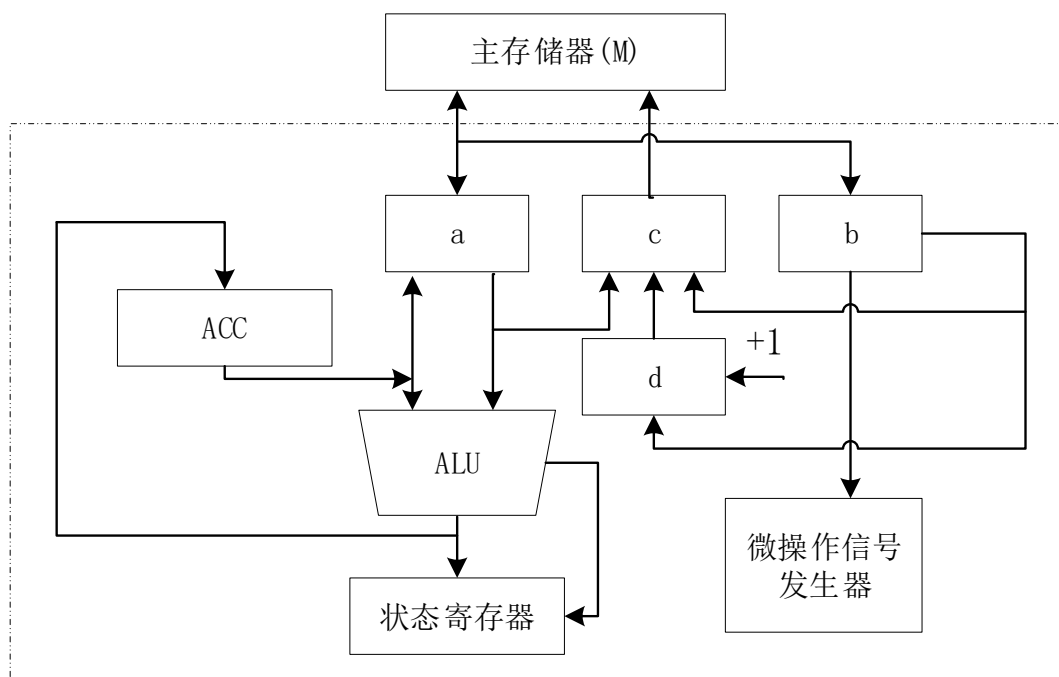
寻址方式	有效地址（EA）	累加器（AC）的内容
立即寻址		
直接寻址		
间接寻址		
相对寻址		
变址寻址		
基址寻址		
先变址后间接寻址		
先间接后变址寻址		

16. 下图是一个简化的 CPU 与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器（ACC）、一个状态数据寄存器和其他 4 个寄存器：主存地址寄存器（MAR）、主存数据寄

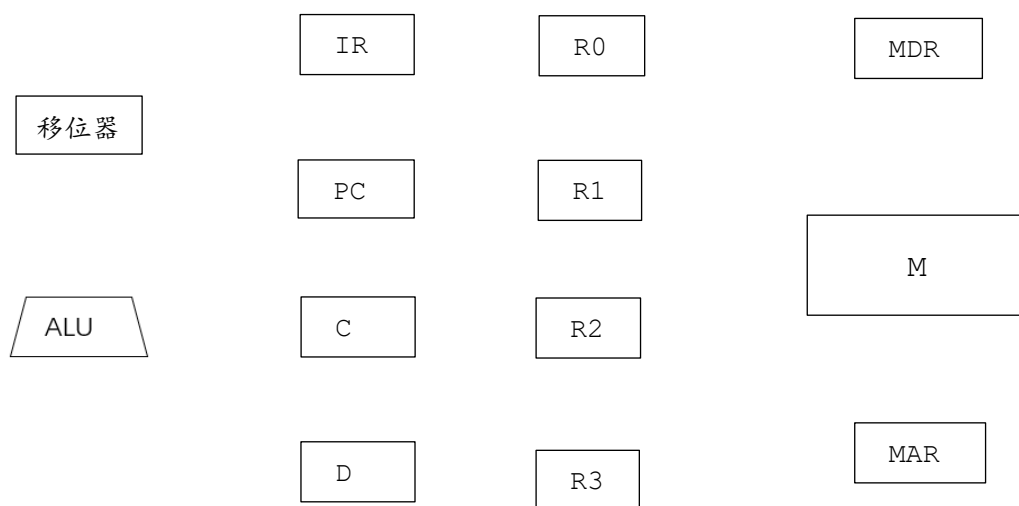
寄存器（MDR）、程序寄存器（PC）和指令寄存器（IR），各部件及其之间的连线表示数据通路，箭头表示信息传递方向。

解题要求：

- 请写出图中 a、b、c、d 四个寄存器的名称。
- 简述图中取指令的数据通路。
- 简述数据在运算器和主存之间进行存/取访问的数据通路。
- 简述完成指令 LDA X 的数据通路（X 为主存地址，LDA 的功能为 $(X) \rightarrow \text{ACC}$ ）。
- 简述完成指令 ADD Y 的数据通路（Y 为主存地址，ADD 的功能为 $(\text{ACC}) + (Y) \rightarrow \text{ACC}$ ）。
- 简述完成指令 STA Z 的数据通路（Z 为主存地址，STA 的功能为 $(\text{ACC}) \rightarrow Z$ ）。



17. 某机器主要功能部件如下图所示，其中 M 为主存，MDR 为主存数据寄存器，MAR 为主存地址寄存器，IR 为指令寄存器，PC 为程序计数器（并假设当前指令地址在 PC 中），R0-R3 为通用寄存器，C,D 为暂存器，且该机器只存在一条总线。。

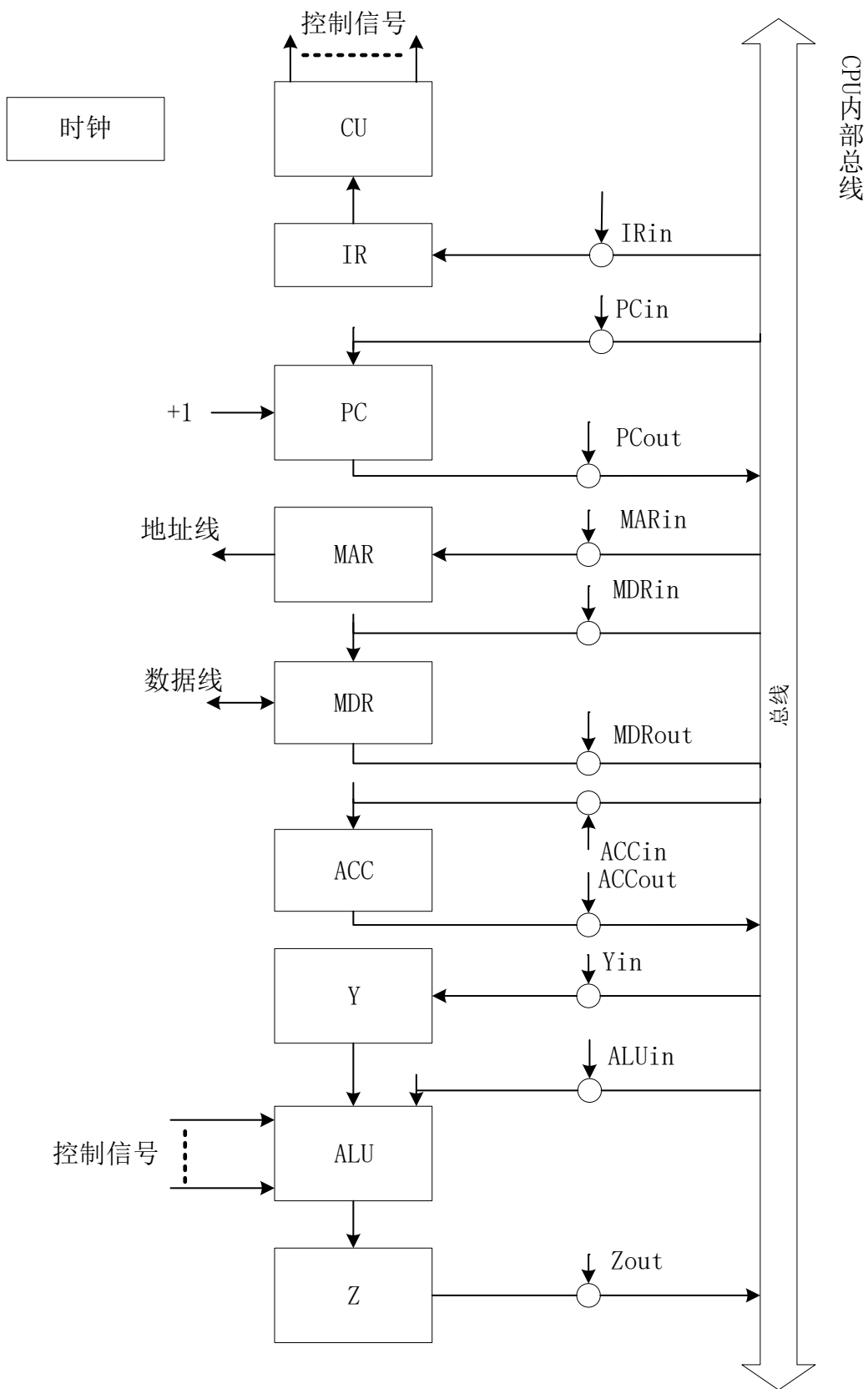


1. 请补充各部件之间的主要连接线（总线请自己画），并注明数据流动方向。
 2. 画出“ADD (R1), (R2) +”指令周期流程图。该指令的含义是进行求和运算，源操作数地址在 R1 中，目标操作数寻址方式为自增型寄存器间接寻址方式（先取地址再加 1），并将相加结果写回 R2 寄存器。
18. 设 CPU 内部结构如下图所示，此外还设有 B、C、D、E、H、L 六个寄存器（图中未画出），它们各自的输入端和输出端都与内部总线相通，并分别受控制信号控制（如 Bin 受寄存器 B 的输入控

制；Bout 受寄存器 B 的输出控制)，假设 ALU 的结果直接送入 Z 寄存器。要求从取指令开始，写出完成下列指令的微操作序列及所需的控制信号。

ADD B, C $(B) + (C) \longrightarrow B$

SUB ACC, H $(ACC) - (H) \longrightarrow ACC$



19. 设 CPU 的存储器容量为 64Kx32 位，请算出主机中各个寄存器的位数

ACC	ALU	X	IR	MDR	PC	MAR

假设该 CPU 采用微程序控制完成指令 STA X, 其中 X 为主存地址，那么该指令发出的全部微操作命令是什么

20. 某 16 位 CPU 中，有符号整数用补码表示，数据 Cache 和指令 Cache 分离，下表给出了指令系统中的部分指令格式，其中 Rs 和 Rd 表示寄存器，mem 表示存储单元地址，(x) 表示寄存器 x 或存储单元 x 的内容

名称	指令	功能
加法指令	ADD Rs, Rd	$(Rs) + (Rd) \rightarrow Rd$
算数/逻辑左移	SHL Rd	$2(Rd) \rightarrow Rd$
算术右移	SHR Rd	$(Rd) / 2 \rightarrow Rd$
取数指令	LOAD Rd, mem	$(mem) \rightarrow Rd$
存数指令	STORE Rs, mem	$Rs \rightarrow (mem)$

该计算机采用 5 段流水方式执行指令，各流水段分别是取指 (IF)、译码/读寄存器 (ID)、执行/计算有效地址 (EX)、访问存储器 (M)、和结果写回寄存器 (WB)，流水线按照“按序发射，按序完成”的方式，未采用转发技术处理数据相关冲突，且同一个寄存器的读

和写操作不可以在同一个时钟周期内完成，请回答以下问题：

(1) 若 int 型变量 x 的值为 -513，存放在寄存器 R1 中，则执行

“SHR R1”以后，R1 中的内容是多少？请用十六进制表示

(2) 若在某个时间段中，有连续的 4 条指令进入流水线，在其执

行过程中未发生任何阻塞，则执行这 4 条指令所需的时钟周期为多少？

(3) 若高级语言程序中某赋值语句为 $x=a+b$ ，x、a 和 b 均为 int

型变量，他们的存储单元地址表示为 [x]，[a] 和 [b]。该语

句对应的指令序列及其在指令流中的执行过程如下所示：

I1 Load R1, [a]

I2 LOAD R2, [b]

I3 ADD R1, R2

I4 STORE R2, [x]

指令 \ 时钟	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I1	IF	ID	EX	M	WB									
I2		IF	ID	EX	M	WB								
I3			IF				ID	EX	M	WB				
I4							IF				ID	EX	M	WB

请解释这 4 条指令执行过程中 I3 的 ID 段和 I4 的 IF 段被阻塞的原因分别是什么？

(4) 若高级语言中某赋值语句为 $x=x*2+a$ ，x 和 a 均为 unsigned

int 类型的变量, 他们的存储单元地址分别表示为[x]、[a],
则执行这条语句至少需要多少个时钟周期? 要求模仿上图
画出这条语句对应的指令序列及其在流水线中的执行过程
示意图。