

计算机组成原理

补充作业 #1

注意:在作业中学生必须做到如下几点:

- 在作业封面标注你的姓名与学号;
- 请将答案**单独写到一张白纸上或者作业本上**, 不接受在原题上涂鸦式的答案提交
- 尽可能请给出详细的解题步骤与思路, 而不是最终答案;
- 请勿抄袭他人作业或者网上的答案, 可与同学或老师讨论, 但解答过程独立完成。

1) 存储器的层次结构主要体现在什么地方, 为什么要分这些层次,
计算机如何管理这些层次?

答:

1. 主要就是主存和 cache, 还有主存和辅存
2. 前一个是为了对 CPU 加速, 后者是为了引入虚拟内存的概念, 相当于能够用更快的速度访问更多的空间
3. 并且能够节省成本
4. 一个是硬件功能, 一个是主要通过虚拟存储技术来实现, 由此实现物理地址空间和虚拟地址空间之间的转化

2) 什么是存储器的带宽? 若存储器的数据总线宽度为 32 位, 存取周期为 200us, 则存储器的带宽是多少?

答:

单位时间从存储器进出的信息最大量

$$32/200\mu s = 5\text{g/s}$$

3) 请比较静态 RAM 和动态 RAM

答:

SRAM: 用触发器存储, 不刷新, 同时送达, 速度快。集成度高, 成本高, 功耗大, 可靠, 方便, 告诉小容量

DRAM: 电容存储, 刷新, 两次发送行列地址, 速度慢, 集成度高, 发热小, 成本低, 功耗低, 不可靠, 不方便, 大容量

4) 什么叫动态 RAM 的刷新? 为什么要刷新? 说明刷新有几种方法?

答:

1. 对 Dram 定期进行的全部重写过程

2. 因为电容会泄露，所以信息衰减要补充，所以要刷新
3. 集中式：集中安排一段时间刷新（在间隔时间之内安排）
4. 分散式：每个周期之后安排一个刷新周期
5. 异步式：二者兼备

5) 设主存容量为 256K 字，Cache 容量为 2K 字，块长为 4，请完成一下问题：

- (1) 设计 Cache 地址格式，Cache 中可以装入多少块数据？
- (2) 在直接映射方式下，设计主存地址格式。
- (3) 在四路组相联映射方式下，设计主存地址格式
- (4) 在全相联映射方式下，设计主存地址格式
- (5) 若存储字长为 32 位，存储器按字节寻址，写出上述三种映射方式下主存的地址格式

答：

- | | |
|-----------|-----------|
| (1) 512 | (1) 512 |
| (2) 7 9 2 | (2) 7 9 4 |
| (3) 9 7 2 | (3) 9 7 4 |
| (4) 16 2 | (4) 16 4 |

6) 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次，访问主存 200 次，已知 Cache 的存取周期是 30ns，主存的存取周期是 150ns，求 Cache 的命中率及 Cache-主存系统给的平均访问时间和效率，试问该系统的效率提高了多少？

答：

Cache 的命中率：96%
平均访问时间 34.8ns
效率 $30/33.8=0.86$
提高了 $150/34.8=3.3$

7) 设主存容量为 4MB, Cache 容量为 16KB, 每字块有 8 个字, 每字 32 位, 试问主存地址为 ABCDEH 的存储单元在 Cache 中的什么位置?

答

格式为 6 10 4

所以位置在 3CDE

8) 设某机主存容量为 4MB, Cache 容量为 16KB, 每字块有 8 个字, 每字 32 位, 设计一个四路组相联映射 (即 Cache 每组内共有 4 个字块) 的 Cache 组织

(1) 划出主存地址字段中各段的位数

(2) 设 Cache 的初态为空, CPU 一次从主存第 0, 1, 2……89 号单元读出 90 个字 (主存一次读出一个字), 并重复按此次序读 8 次, 问命中率是多少?

(3) 若 Cache 的速度是主存的 6 倍, 试问有 Cache 和无 Cache 相比, 速度约提高多少倍?

答:

(1)

主存: 22 位

cache: 14 位

字块: 5 位

四路: 2

cache 包含: 9 位

cache 组数: 7 组

所以: 主存标记: 10, 组地址: 7, 字块地址: 5

(2) 每字块 8 个字, 只读前 8 个, 然后 8 次一共 720 次。之后都不用访存, $90/8=12$, $(90-12) \div 720=98\%$

(3) 原本 720

后来只剩下 $12+708/6=130t$

所以是 5.54 也就是提高了 4.54 倍