**数电期末试题**

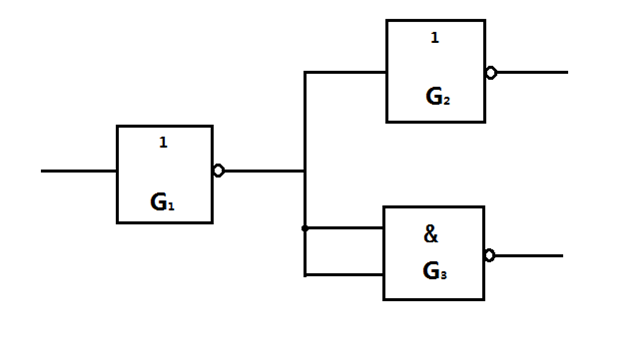
一、填空题

1．一个四输入与非门，使其输出为0的输入变量组合有 种。

2．在做实验时，对于TTL或非门的多余输入端可以采用 ， 处理方式。

3．一个五位的二进制加法计数器，由00000状态开始，经过65个输入脉冲后计数器的状态为 。

4．由TTL门电路组成的电路如图所示，已知它们的输入短路电流IIS为1.1mA，它们的高电平输入电流IIH为0.04mA。当图中A为“1”时，G1的 （拉，灌）电流负载为 mA。当A为“0“时，G1的 （拉，灌）电流负载为 mA。



5．已知某时钟脉冲频率为fcp，欲得到频率为0.1fcp的矩形波，可采用 来实现。

6．括号中 可实现“线与”的功能（与非门，或非门，集电极开路门，三态门）。

7．括号中 有约束条件，约束条件是 （基本RS触发器，同步D触发器，边沿JK触发器，边沿T触发器）。边沿T触发器有 ， 的功能。

8．由555定时器构成的括号中的 不需外加除电压源之外的输入电压 即可正常工作（单稳态触发器，多谐振荡器，斯密特触发器）。

9．单稳态触发器的输出有 个稳定状态，该稳定状态是 （0,1）。它的主要应用有 ， ， 。

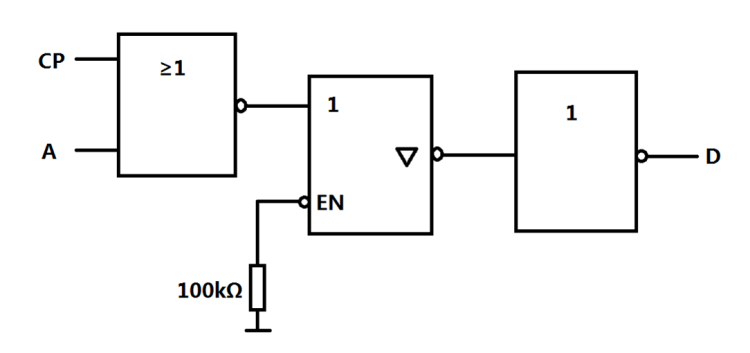
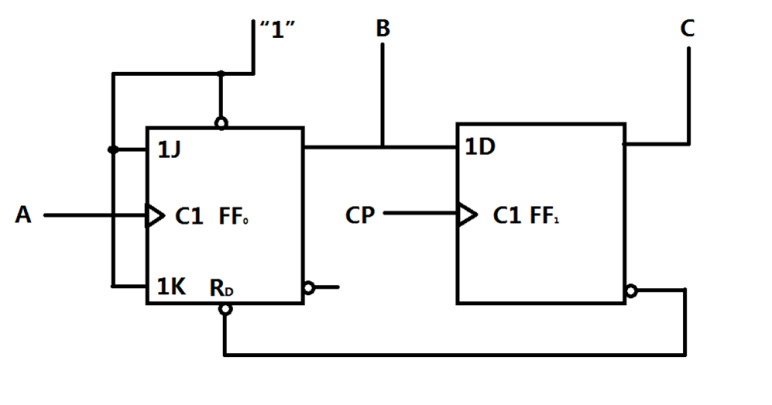
二、将下列逻辑函数化简为最简与或式。

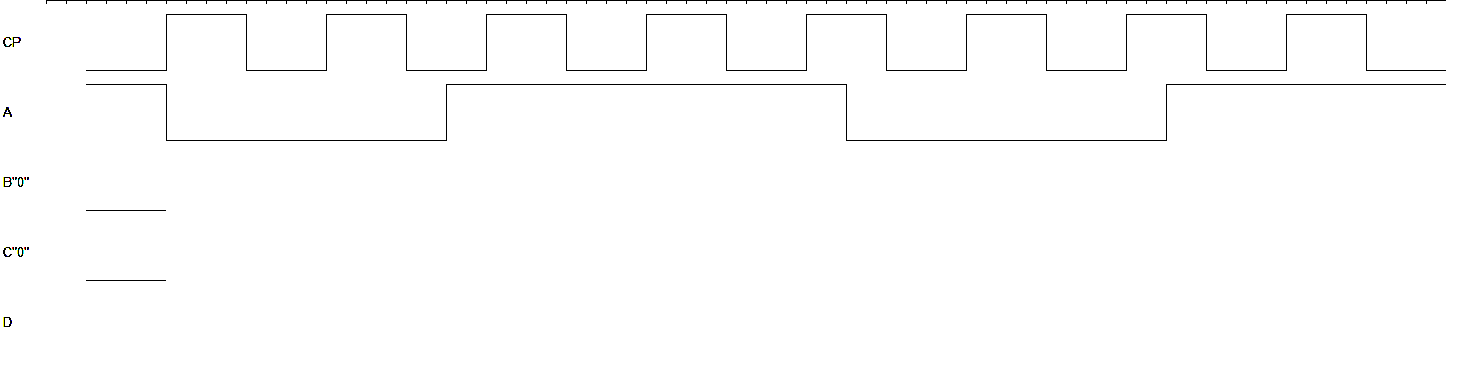
(1)用公式法化简F1=++BC；

(2)用卡诺图化简F2(A,B,C,D)=+;

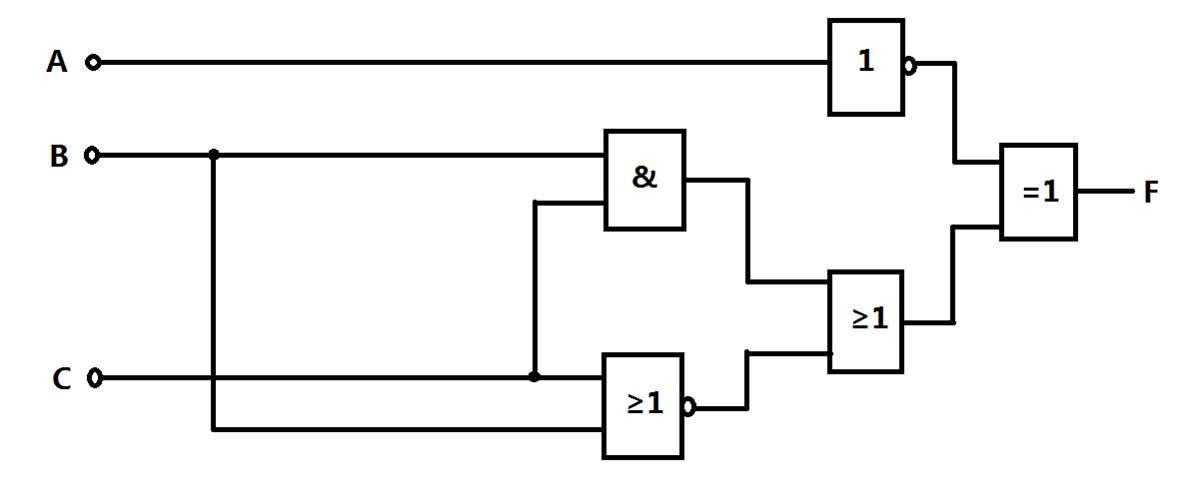
(3)用卡诺图化简F3(A,B,C,D)=0,1,2,3,4,5,6,7,8,9)，约束条件为AB+AC=0。

三、已知下图所示两电路的输入波形，试分别完整画出其输出波形（图中逻辑门电路均为TTL类型，B,C端初态均为0，SD为异步置1端，RD为异步清零端）。





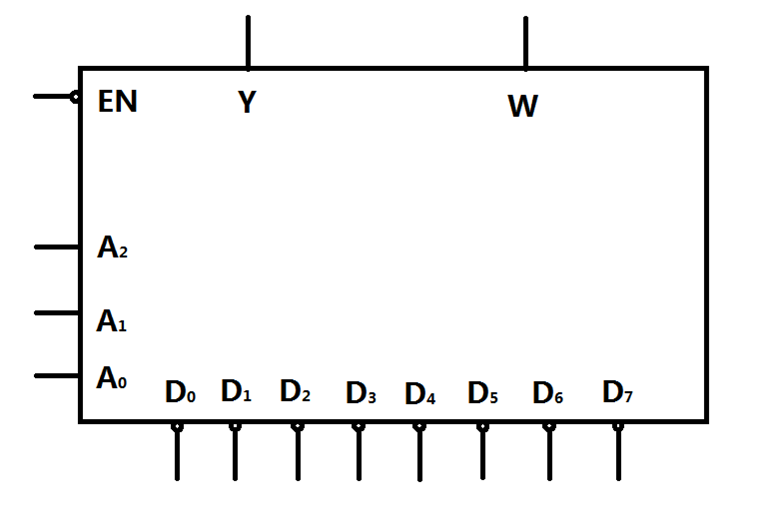
四、已知电路如下图所示，试分析该电路逻辑功能，并用译码器实现该电路（要求给出分析过程及电路图）。



五、设计一裁判表决电路，设有A,B,C,D四位裁判，A为主裁判持有两张票，B,C,D为副裁判各持有一张票，多数票同意则事件通过。试：

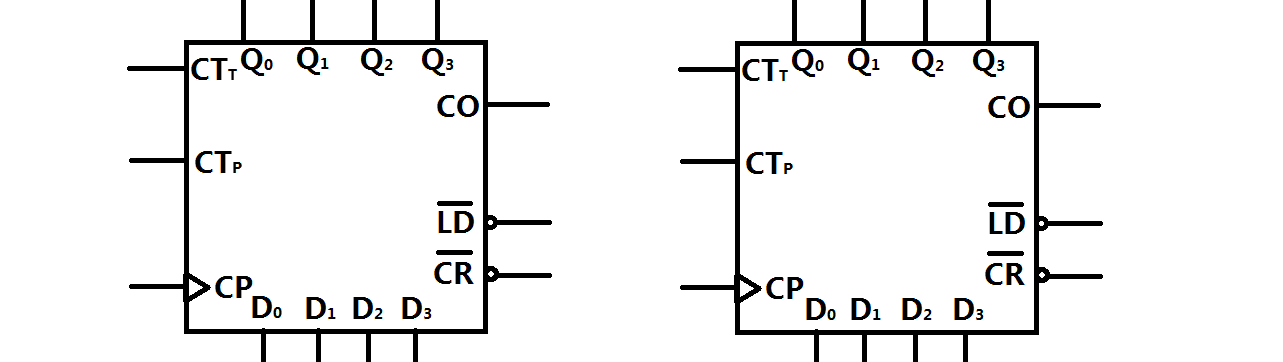
(1)用与非门实现该电路（要求给出卡诺图化简过程，最简与或表达式，与非—与非表达式和逻辑电路图）。

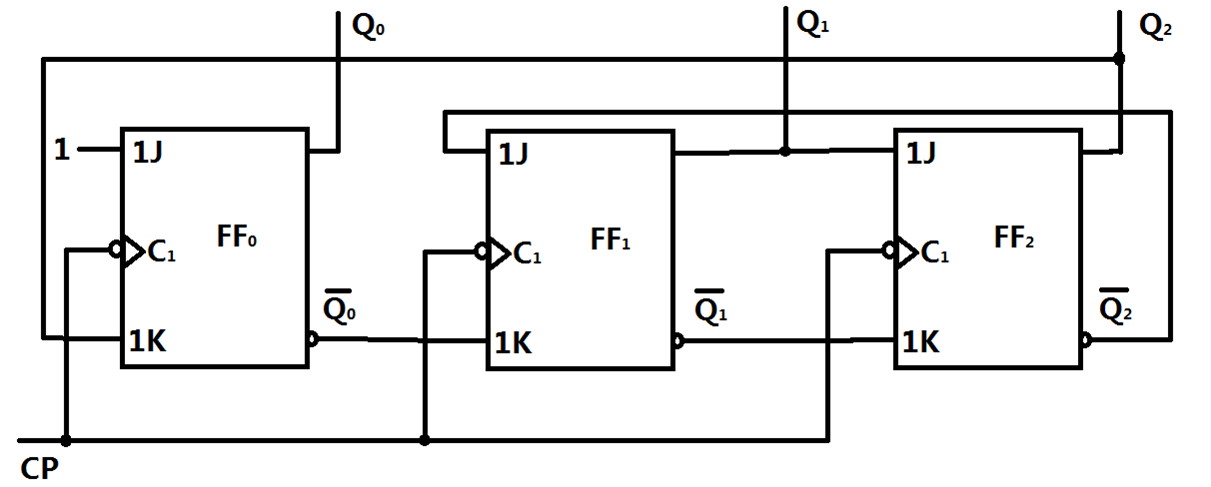
(2)用八选一数据选择器74151和适当逻辑门实现该电路（要求使用74151的Y端作为该裁判表决电路的输出，给出实现过程及画出逻辑电路图）。



六、74161芯片为四位二进制计数器，其功能如下表所示。试用两片74161构成64进制计数器。

|  |  |  |  |
| --- | --- | --- | --- |
| **输入** |  | | 备注 |
| CTP CTT CP P0 P1 P2 P3 |  | CO |
| 0 X X X X X X X X | 0 0 0 0 | 0 | 清零 |
| 1 0 X X d0 d1 d2 d3 | d0 d1 d2 d3 |  | 置数CO=CTT |
| 1 1 1 1 X X X X | 计数 |  | CO= |
| 1 1 0 X X X X X X | 保持 |  | CO=CTT |
| 1 1 X 0 X X X X X | 保持 | 0 |  |



七、试分析下图所示的逻辑电路写出该电路的驱动方程、状态方程，画出状态转换图，说明该电路的逻辑功能。

八、已知由三个边沿JK触发器组成的某计数器输出波形图如下，试分析：

(1)说明该计数器计数长度为多少，能否自启动？

(2)若该计数器的触发器之间为异步连接方式，试在下图给出的部分电路基础上分别对FF2和FF1的CP端进行适当连线，完成以上电路。

