

# Relatório

Heloisa Benedet Mendes

GRR: 20221248

Bacharelado em Ciência da Computação

Universidade Federal do Paraná - UFPR

Curitiba, Brasil

[heloisamendes@ufpr.br](mailto:heloisamendes@ufpr.br)

**Resumo** – Este relatório detalha o processo de montagem de um circuito multiplicador de 5 bits, a partir de portas NOR, tendo como objetivo obter 10 bits.

**Index Terms** – portas, portas lógicas, circuito, circuito integrado, subcircuito, bit, bits

## I. INTRODUÇÃO

Este trabalho requisiava a criação de um circuito multiplicador de dois valores A e B, ambos com k bits, que tivesse como resultado 2k bits, usando apenas um tipo de porta lógica. O circuito apresentado lidará com valores de 5 bits e irá gerar uma resposta de 10 bits, de acordo com as especificações, utilizando-se exclusivamente de portas NOR. Criado a partir da ferramenta Digital, o projeto possui circuitos integrados que facilitam o processo de criação e visualização.

## II. ENTENDIMENTO

Primeiramente, deve-se entender como realizar uma multiplicação de números binários. Essa é uma operação bastante simples composta inicialmente pela multiplicação padrão de cada bit, seguida pela soma estruturada dos resultados. Essa é, em resumo, a função do circuito multiplicador.

Depois, é preciso descobrir qual porta lógica pode ser utilizada em cada passo desse processo, para então construir cada uma delas com a porta NOR.

## III. CONSTRUÇÃO

O primeiro circuito integrado [1] utilizado – nomeado como mult5 - é composto inteiramente de portas ANDs, os exemplos da aula 11 [2] foram utilizados para a sua montagem, e tratam da multiplicação dos bits: cada um deles recebe um bit de A e o multiplica por todos os 5 bits de B. O esquema apresentado na tabela a seguir exemplifica o processo:

		B4	B3	B2	B1	B0
	x	A4	A3	A2	A1	A0
		0.4	0.3	0.2	0.1	0.0
	1.4	1.3	1.2	1.1	1.0	+
	24	23	22	21	20	+
	34	33	32	31	30	+
44	43	42	41	40	+	+

É importante perceber, antes de realizar a soma dos resultados, que a multiplicação de A0 por B0 não necessita de soma alguma. Esta é, portanto, a primeira saída obtida, nomeada a0, uma vez que é o bit de menor significância do número final.

Outro subcircuito utilizado – fullhalf45 – realiza a soma das duas primeiras linhas de resultados. Constituído de HALFADDERs e FULLADDERs, formados usando como base a aula 12 [3], tendo modificadas apenas as portas utilizadas, seu funcionamento está esquematizado na tabela a seguir

				04	03	02	01	00
			14	13	12	11	10	a0
		cout	s3	s2	s1	s0	a1	+
		24	23	22	21	20	+	+
	34	33	32	31	30	+	+	+
44	43	42	41	40	+	+	+	+

De forma análoga, o circuito integrado fullhalf55 realiza a soma do resultado obtido (s4, s3, s2, s1, s0) e da próxima linha, gerando, assim, um novo resultado que, por sua vez, é somado à próxima linha. O processo é repetido, no exemplo, 3 vezes, ou seja, até que todas as linhas sejam somadas.

É também de interesse que somas desnecessárias sejam evitadas, por isso, utilizando-se do mesmo raciocínio anterior, é possível encontrar a1 como o resultado s0 do fullhalf45, assim como a2 e a3 são gerado de forma direta após o primeiro e segundo uso, respectivamente, do fullhalf55. Consequentemente, quando todas as linhas são

somadas (após a terceira repetição do fullhalf55), obtém-se os bits restantes: a4, a5, a6, a7, a8 e a9. São gerados, portanto, 10 bits através do circuito apresentado, cumprindo os requisitos do trabalho.

#### IV. MONTAGENS

Tendo uma única porta lógica sido utilizada, suas respectivas criações serão especificadas nesta seção, valendo-se das propriedades de simplificação de expressões [4].

- AND: requiere 3 portas NOR e usa como base 2 variáveis fornecidas (A e B, no exemplo), o circuito irá realizar a seguinte operação

$$\sim((\sim A + \sim B) + (\sim B + \sim A))$$

$$\sim((\sim A \cdot \sim B) + (\sim B \cdot \sim A)) \quad \text{De Morgan}$$

$$\sim(\sim A + \sim B) \quad \text{idempotência}$$

$$\sim(\sim A) \cdot \sim(\sim B) \quad \text{De Morgan}$$

$$A \cdot B \quad \text{involução}$$

- OR: exige 2 NORs, e segue a operação abaixo a partir de 2 variáveis

$$\sim(\sim(X+Y) + \sim(X+Y))$$

$$\sim(\sim X \cdot \sim Y + \sim X \cdot \sim Y) \quad \text{De Morgan}$$

$$(X+Y) \cdot (X+Y) \quad \text{De Morgan}$$

$$X+Y \quad \text{idempotência}$$

- XOR: utiliza 1 AND e 2 NORs, também usando 2 variáveis, e realiza a operação a seguir

$$\sim(X \cdot Y + \sim(X+Y))$$

$$\sim(X \cdot Y + \sim X \cdot \sim Y) \quad \text{De Morgan}$$

$$(\sim X + \sim Y) \cdot (X + Y) \quad \text{De Morgan}$$

$$\sim X \cdot X + \sim X \cdot Y + \sim Y \cdot X + \sim Y \cdot Y \quad \text{distributividade}$$

$$0 + \sim X \cdot Y + X \cdot \sim Y + 0 \quad \text{complemento}$$

$$\sim X \cdot Y + X \cdot \sim Y \quad \text{elemento neutro}$$

- HALFADDER: realiza a soma de 2 variáveis (A e B) e, por possuir 2 saídas (saída padrão e carry out), realiza 2 operações. A saída padrão é gerada através de um XOR, já o carry out, é calculado por um AND, ambos anteriormente detalhados.
- FULLADDER: opera a soma de 3 variáveis (Z, W e um possível carry in, normalmente gerado por um HALFADDER anterior) e também possui 2 saídas: saída padrão e carry out. A saída padrão é obtida por meio de 2 XORs, com a operação [5]

$$\sim Z \cdot \sim W \cdot \text{Cin} + \sim Z \cdot W \cdot \sim \text{Cin} + Z \cdot \sim W \cdot \sim \text{Cin} + Z \cdot W \cdot \text{Cin}$$

$$\text{distributividade}$$

$$Z(\sim W \cdot \sim \text{Cin} + W \cdot \text{Cin}) + \sim Z(\sim W \cdot \text{Cin} + W \cdot \sim \text{Cin})$$

$$\text{xor e xnor}$$

$$Z(\sim(W \cdot \text{Cin})) + \sim Z(W \cdot \text{Cin})$$

$$G = W \cdot \text{Cin}$$

$$\text{substituição}$$

$$Z \cdot \sim G + \sim Z \cdot G$$

$$\text{xor}$$

$$Z \cdot G$$

$$\text{substituição}$$

$$Z \cdot W \cdot \text{Cin}$$

O carry out é gerado por 3 ANDs e 2 Ors, com a operação

$$\sim Z \cdot W \cdot \text{Cin} + Z \cdot \sim W \cdot \text{Cin} + Z \cdot W \cdot \sim \text{Cin} + Z \cdot W \cdot \text{Cin}$$

$$\sim Z \cdot W \cdot \text{Cin} + Z \cdot \sim W \cdot \text{Cin} + Z \cdot W \cdot \sim \text{Cin} + Z \cdot W \cdot \text{Cin} +$$

$$Z \cdot W \cdot \text{Cin} \quad \text{idempotência}$$

$$W \cdot \text{Cin}(Z + \sim Z) + Z \cdot \text{Cin}(W + \sim W) + Z \cdot W(\text{Cin} + \sim \text{Cin})$$

$$\text{distributividade}$$

$$W \cdot \text{Cin} \cdot 1 + Z \cdot \text{Cin} \cdot 1 + Z \cdot W \cdot 1 \quad \text{complemento}$$

$$W \cdot \text{Cin} + Z \cdot \text{Cin} + Z \cdot W \quad \text{elemento neutro}$$

#### V. CONCLUSÃO

Este é um dos projetos possíveis para a criação de um circuito multiplicador de bits, o relatório apresenta todo o processo de concepção deste trabalho. O projeto realiza a multiplicação de duas variáveis de 5 bits A e B, bit por bit (A0B0, A0B1, ..., A4B3, A4B4), e soma os resultados obtidos, gerando, por fim, um valor de 10 bits (a9, a8, ..., a1, a0), através de diversas portas lógicas construídas a partir de um único tipo, NOR, utilizando-se de circuitos integrados montados com o fim de facilitação do processo.

#### VI. REFERÊNCIAS

- [1] entendimento de como criar circuitos integrados pelo manual de utilização do Digital, disponível em: <https://github.com/hneemann/Digital/releases/tag/v0.29>
- [2] aula 11 – Portas Lógicas, disponível em: [https://ufprvirtual.ufpr.br/pluginfile.php/1650228/mod\\_resource/content/0/Aula%2011%20-%20Portas%20L%C3%B3gicas.pdf](https://ufprvirtual.ufpr.br/pluginfile.php/1650228/mod_resource/content/0/Aula%2011%20-%20Portas%20L%C3%B3gicas.pdf)
- [3] [5] maiores detalhes da operação do FullAdder são encontradas na aula 12- Adders, disponível em: [https://ufprvirtual.ufpr.br/pluginfile.php/1654177/mod\\_resource/content/0/Aula%2012%20-%20Adders.pdf](https://ufprvirtual.ufpr.br/pluginfile.php/1654177/mod_resource/content/0/Aula%2012%20-%20Adders.pdf)
- [4] aulas 8a – Derivando Expressões, 8b – IntroSimplificações, e 9 – Simplificando Expressões pt2, disponíveis em: [https://ufprvirtual.ufpr.br/pluginfile.php/1646093/mod\\_resource/content/0/Aula%208a%20-%20Derivando%20Express%C3%B5es.pdf](https://ufprvirtual.ufpr.br/pluginfile.php/1646093/mod_resource/content/0/Aula%208a%20-%20Derivando%20Express%C3%B5es.pdf)  
[https://ufprvirtual.ufpr.br/pluginfile.php/1644096/mod\\_resource/content/0/Aula%208b%20-%20IntroSimplifica%C3%A7%C3%B5es.pdf](https://ufprvirtual.ufpr.br/pluginfile.php/1644096/mod_resource/content/0/Aula%208b%20-%20IntroSimplifica%C3%A7%C3%B5es.pdf)  
[https://ufprvirtual.ufpr.br/pluginfile.php/1646418/mod\\_resource/content/0/Aula%209%20-%20Simplificando%20Parte%202.pdf](https://ufprvirtual.ufpr.br/pluginfile.php/1646418/mod_resource/content/0/Aula%209%20-%20Simplificando%20Parte%202.pdf)