# Electricidad y Electrónica



Lógica DTL



# 1.1 Familia de Circuitos Integrados Digitales DTL

El vocablo *DTL* está constituido por las iniciales de las palabras inglesas *Diodo Transistor Logic*, que traducido al español significa Lógica de Diodo a Transistor, lo que quiere decir que esta familia se constituye de diodos y transistores, sin olvidar las resistencias.

#### Nota:

Los diodos se encargan de realizar la parte lógica y el transistor actúa como amplificador inversor.

http://usuarios.iponet.es/agusbo/uned/propios/apuntes/flog1.PDF

Con este tipo de familia se construyen, principalmente, compuertas NAND que, como ya se estudió, son una combinación entre una compuerta AND y una NOT.

# 1.1 Características de la familia Lógica DTL

Se caracterizan por las entradas con diodos (realizando una compuerta AND) seguidos por un inversor con transistores. Esta interconexión lleva a formar compuertas AND-NOT (Circuito Base).

Su tiempo de conmutación y disipación de potencia por compuerta son de 20 ns y 8.5 mW respectivamente.

## 1.1.1 Ventajas de la familia DTL

✓ Económicos, con buena protección contra el ruido, fácil de usar e interconectar.

### 1.1.2 Desventajas de la familia DTL

✓ Relativa baja velocidad, baja densidad de componentes.



## Universidad Industrial de Santander

#### Electricidad y Electrónica

Lógica DTL



Debido a su buena protección contra el ruido existe una lógica llamada *HLDTL*, que por sus siglas en inglés significa: *Higth Level Diodo Transistor Logic*, lo que traduce, Lógica de Diodo a Transistor de alto nivel (DTL de alto nivel).

Se usa donde hay maquinaria que causa grandes transitorios (fluctuaciones) en las líneas de conducción y ruido electromagnético.

#### 1.2 Protección contra el ruido

La Lógica de Diodo a Transistor ha sido diseñada para funcionar con una fuente regulada de 5 V. Utiliza los siguientes rangos de voltaje para los niveles lógicos. Ver tabla1 y 2.

Tabla 1. Niveles de tensión para la salida de una compuerta de lógica DTL

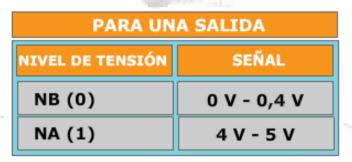


Tabla 2. Niveles de tensión para la entrada de una compuerta de lógica DTL



De las tablas 1 y 2 podemos concluir:

- Que el valor mínimo para un NA de salida es 4 V, pero que bastan 3,6 V para que una entrada lo tome como NA.
- Que el valor máximo para un NB de salida es de 0,4 V, pero que hasta 0,8
  V será tomado como un NB por una entrada.





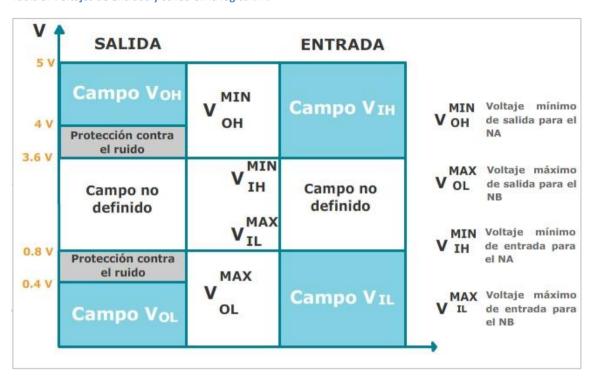
#### Electricidad y Electrónica

Lógica DTL



Estas diferencias son conocidas como la protección contra el ruido, este último producto de los fenómenos electromagnéticos que se dan tanto en los cables de conducción de alta potencia, como en el medio ambiente. Ver tabla 3.

Tabla 3. Voltajes de entrada y salida en la lógica DTL



#### 1.3 Circuito inversor

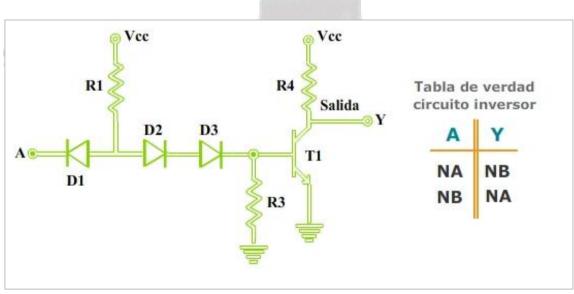


Figura 1. Circuito inversor de lógica DTL



# iversidad sustrial de antander



Lógica DTL

En la figura 1 se muestra el circuito inversor DTL compuesto por resistencias, diodos y transistores.

Para entender su funcionamiento debemos de conectar su entrada A a un NB, y después a un NA, revisando en cada caso el voltaje de salida.

**Si en la entrada A hay un NA:** valor por ejemplo de 3.6V (menor valor posible de NA de entrada), entonces de acuerdo con el circuito podemos observar 2 posibles trayectorias para la corriente:

- La corriente toma desde V<sub>CC</sub> por R1 y hacia le entrada A polarizando directamente al diodo D1. Entonces en el nodo entre los diodos de D1 y D2 aparece un voltaje de 4.3V (debido a la caída de 0.7V en D1).
- 2. La corriente toma desde V<sub>CC</sub> por R1, D2, D3, base-emisor T2 a menos de la fuente (polarizando directamente los diodos D2 y D3, y saturando el transistor T1). Entonces en el nodo entre los diodos D1 y D2 aparece un voltaje de 2,1V (caídas de 0.7V en D2, D3 y base-emisor T2).

En el primer caso entre D1 y D2 habrá 4.3V y en el segundo 2.1V. Puesto que son imposible dos voltajes en un mismo nodo, concluimos que la corriente toma solo por una de las dos trayectorias posibles. Para definir cuál es, es necesario recordar que la corriente siempre buscará el camino de menor impedancia (menos ohmios) al menos de la fuente, este camino es el que genera menos voltios en el nodo localizado entre D1 y D2. Por lo anterior, deducimos que la corriente tomará realmente hacia el transistor (segundo caso), por ser esta la trayectoria de menor impedancia (genera 2.1V). T1 se satura estableciendo un NB en la salida. D1 queda PI ya que entre sus terminales habrá 3.6V en A y 2.1V en el extremo contrario.

Si en A tenemos un NB: valor por ejemplo de 0.8V (máximo valor posible de voltaje de entrada de NB), entonces nuevamente tendremos las mismas trayectorias posibles para la corriente vistas en el caso anterior. Pero debido a que la entrada A tiene un voltaje diferente ahora, para el primer caso el voltaje en el nodo entre los diodos D1 y D2 será de 1.5V (producto del NB de 0.8 y la caída en el diodo D1 en PD).

Puesto que para la segunda trayectoria no hay cambios, entonces tendremos dos posibles valores entre los diodos D1 y D2: para el caso uno 1.5V y para el caso dos 2.1V. De esto deducimos que D1 se PD y que la corriente circulará de  $V_{\rm cc}$  a través de R1, D1 y hacia fuera del circuito.







Lógica DTL



Debido a que no circula corriente hacia la base de T1 aparecerá un potencial cercano a tierra, fijado a través de R3, que mantendrá a T2 en corte y colocando, de esta forma, un NA en la salida.

# 1.4 Circuito base DTL: Compuerta NAND

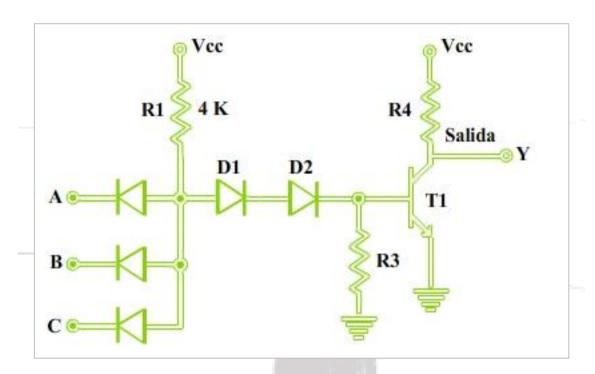


Figura 2. Circuito compuerta base NAND

En la figura 2 se muestra una compuerta base DTL de 3 entradas, se diferencia del inversor en que tiene adicionalmente 2 ramas compuestas por un diodo para voltajes de entrada.

Si alguna(s) de las entradas A, B o C está(n) en NB, entonces el diodo conectado a ella(s) se polariza directamente PD, permitiendo así el paso de la corriente a través de él (ellos). En la base de T2 aparece un voltaje cercano a tierra y hará que este se bloquee (pase a corte) ya que  $I_b = 0$ , teniendo un NA de salida.

Si, y solo si todas las entradas A, B Y C están en NA, entonces los diodos conectados a ellas se polarizan inversamente, y circulará una corriente de  $V_{c\,c}$  a través de R1, D1, D2, unión base emisor a tierra. Esto hará que T2 se





# Electricidad y Electrónica

Lógica DTL



sature y tendremos un NB en la salida. El circuito realiza una compuerta NAND de 3 entradas para la lógica positiva. Ver figura 3.

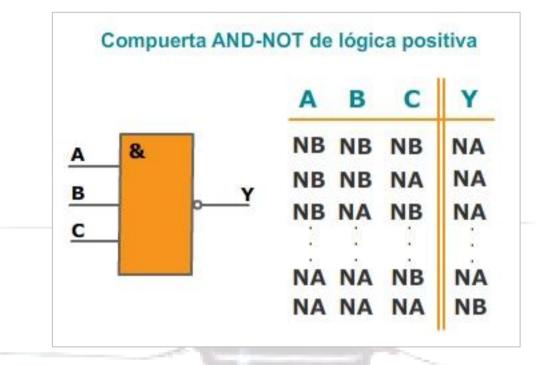


Figura 3. Compuerta y tabla de verdad de la compuerta NAND de lógica positiva

# **Bibliografía**

- GONZALEZ, Luis Ignacio. Introducción a los sistemas digitales. Páginas 47-51.
- http://www.unicrom.com/Dig\_logicaDiodo.asp

