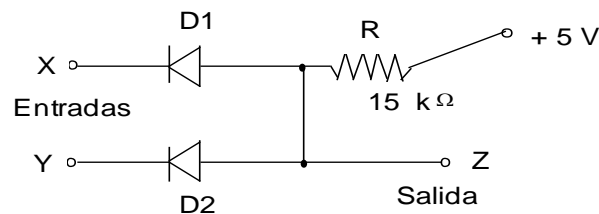


### 3.2. COMPUERTA AND CON DIODOS []

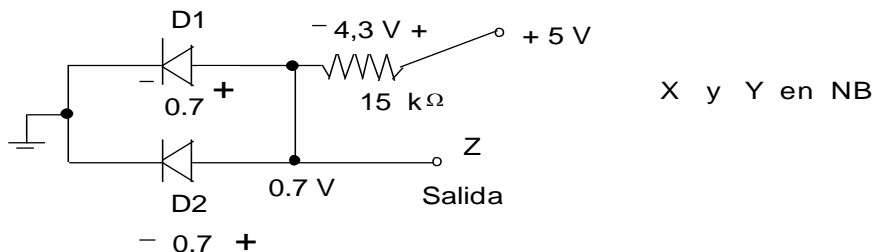
La LD utiliza dos niveles de voltaje para codificar los estados lógicos: 3 V y 0 V.

CASOS	X	Y	Z
1.	NB	NB	NB
2.	NB	NA	NB
3.	NA	NB	NB
4.	NA	NA	NA



Analicemos cada caso:

1. En este caso D1 y D2 estarán en PD y la salida se mantendrá en NB por medio de D1 y D2. La caída de voltaje en PD del diodo de silicio es realmente de 0,7 V, según lo visto en el tema anterior, esto indica que la caída de voltaje entre los terminales de la resistencia de 4,3 V y la salida entonces estará a 0,7 V.



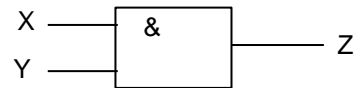
2. D1 estará PD y mantendrá la salida a 0,7 V, o sea, NB. Obsérvese que el voltaje de 0,7 V impuesto por la PD de D1 fuerza a D2 a pasar a PI. Para el análisis debemos suponer un momento inicial (instante en el cual se energiza el circuito) cuando aun no circulan corrientes a través de los diodos. La salida se encontrará a +5V, ya que la caída de potencial en R será igual a cero ( $I = 0$ ). Entre los terminales de D1 habrá 5V y de D2 2V en este instante. Juntos diodos empiezan a conducir por estar PD. El potencial en Z comienza a decaer ( $I \neq 0$ ), y al cabo de unos instantes estará, por ejemplo, en 3V. En este momento en D2 no habrá diferencia de potencial y por esto ya no podrá circular corriente a través de él. En D1 habrá aun 3V indicando que D1 puede continuar el proceso de PD. Cuando D1 se PD totalmente (en realidad este proceso tarda nanosegundos), Z se encontrará a 0.7V, y entonces en D2 aparecerá un voltaje de 2.3V en PI.

3. En este caso sucede lo contrario D2 estará en PD y forzará a D1 a pasar a PI. La salida es NB.

4. D1 y D2 estarán en PD. Debido a la caída de potencial en los diodos PD, la salida estará a 3,7 V, o sea, NA.

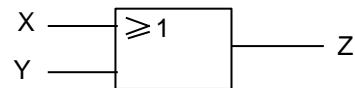
Compuerta AND para la lógica positiva.

X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1



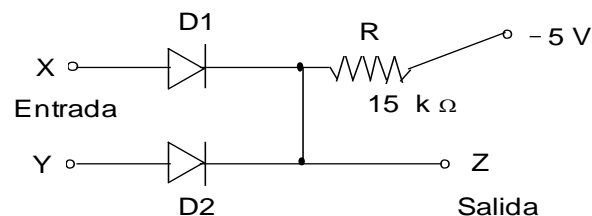
Compuerta OR para la lógica negativa.

X	Y	Z
1	1	1
1	0	1
0	1	1
0	0	0



### 3.3. COMPUERTA OR CON DIODOS

CASOS	X	Y	Z
1.	NB	NB	NB
2.	NB	NA	NA
3.	NA	NB	NA
4.	NA	NA	NA



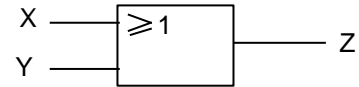
Analizamos cada caso:

1. En este caso D1 y D2 estarán PD y la salida se mantendrá en NB. La caída de voltaje entre los terminales de los diodos es de 0,7 V, entonces la salida estará a -0,7 V.

2. D2 está en PD y mantendrá la salida en NA. Obsérvese que el voltaje impuesto por la entrada Y ( 3 V ) forza a D1 a pasar a PI. La salida estará entonces a 2,3 V.
3. D1 estará en PD y D2 en PI. La salida estará nuevamente en NA es decir 2,3 V.
4. En este caso D1 y D2 están en PD. La salida estará a 2,3 V.

Compuerta OR para la lógica positiva.

X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1



Compuerta AND para la lógica negativa.

X	Y	Z
1	1	1
1	0	0
0	1	0
0	0	0

