

6. **LOGICA DE TRANSISTOR A TRANSISTOR**

6.1. **SERIES Y SUBFAMILIAS**

Se caracterizan por tener en las entradas un transistor de emisor múltiple formando una compuerta AND, seguido de transistores conectados en cascada, que realizan un inversor.

La mayor parte de los circuitos SSI y MSI se realizan utilizando esta tecnología. En la actualidad son fabricados por: Texas Instruments, National Semiconductor, NEC, Signetics, Siemens, etc.

TTL esta disponible en dos versiones:

1. Serie 54: Para aplicaciones militares. Tienen rangos de operación entre -55 hasta 125 °C.
2. Serie 74: De propósito general. Rango de operación entre 0 y 70 °C.

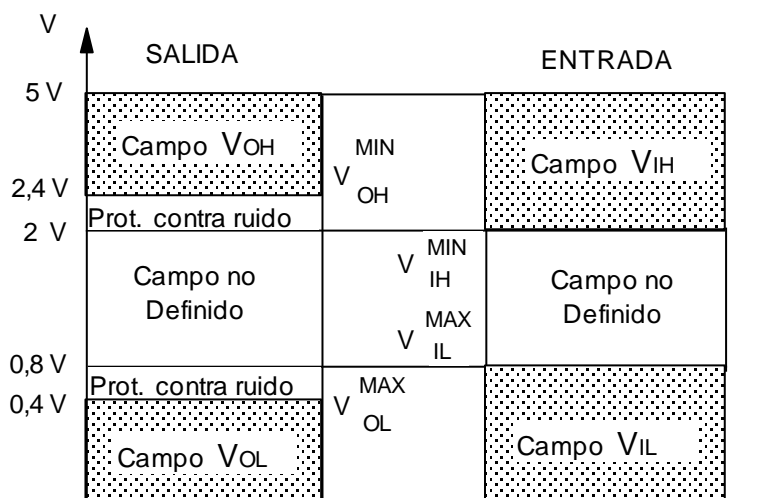
TTL se subdivide en las siguientes subfamilias lógicas

1. **TTL estándar:** Comprende principalmente los dispositivos que se designan como 74xx, 74xxx, 8xxx y 96xx. Los 74xx y 74xxx son los más utilizados en los circuitos modernos. Ejemplos: 7402, 7486, 74138, 74157, 8370, 8552, 9601, 9615, etc.
2. **TTL de baja potencia:** Comprende los dispositivos designados como 74Lxx y 74Lxxx. Por ejemplo 74L08, 74L83, etc. Consumen diez veces menos potencia que los dispositivos TTL estándares correspondientes, pero son cuatro veces más lentos.
3. **TTL de alta velocidad:** Comprende los dispositivos designados como 74Hxx y 74Hxxx. Por ejemplo 74H05, 74H123, etc. Consumen 2,5 veces más potencia que los TTL estándares correspondientes pero son dos veces más rápidos.
4. **TTL Shottky:** Comprende los dispositivos designados como 74Sxx y 74Sxxx. Por ejemplo 74S181, 74S11, etc. Consumen 1,8 veces más potencia que los TTL estándares correspondientes pero son 4 veces más rápidos.
5. **TTL Shottky de baja potencia:** Comprende los dispositivos designados como 74LSxx y 74LSxxx. Por ejemplo 74LS83, 74LS221, etc. Consumen 5 veces menos potencia y son igual de rápidos a los TTL estándares correspondientes. Esta es la subfamilia más empleada entre los TTL.

6. **TTL Shottky avanzada:** Comprende los dispositivos designados como 74ASxx y 74ASxxx. Por ejemplo 74AS00, 74AS73, etc. Tiene los tiempos de conmutación más cortos de todas las subfamilias TTL y su consumo de potencia es intermedio entre TTL estándar y LS.
7. **TTL Shottky avanzada de baja velocidad:** Comprende los dispositivos designados como 74ALSxx y 74ALSxxx. Por ejemplo 74ALS00, 74ALS73, etc. Consumen la mitad de la potencia requerida por los LS correspondientes y son el doble de rápidas.

6.2. NIVELES LOGICOS Y PROTECCION CONTRA RUIDO TTL ESTANDAR

Para TTL estándar los rangos de voltaje para el NA y el NB son los siguientes:



- V_{OH}^{MIN} → Voltaje mínimo de salida para el NA.
- V_{OL}^{MAX} → Voltaje máximo de salida para el NB.
- V_{IH}^{MIN} → Voltaje mínimo de entrada para el NA.
- V_{IL}^{MAX} → Voltaje máximo de entrada para el NB.

Es decir, existe un rango de 0,4 V de inmunidad al ruido tanto para el NA, como para el NB. []

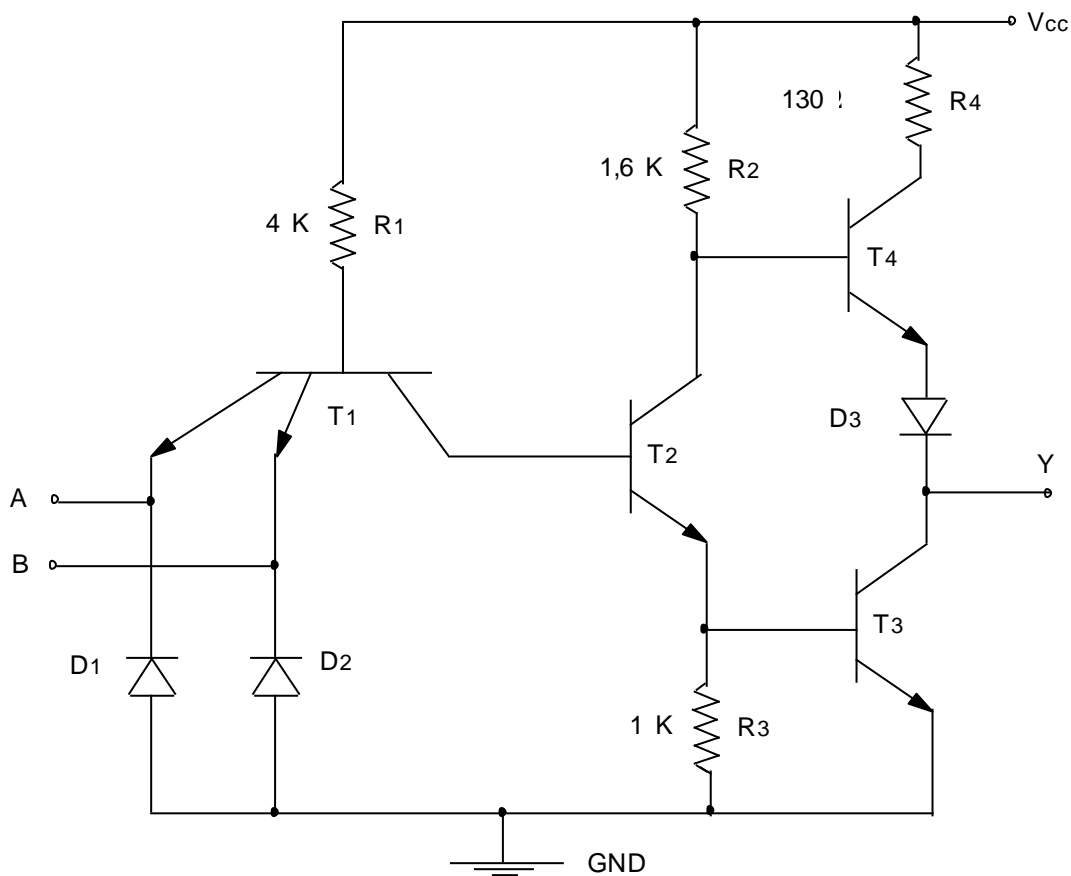
6.3. CIRCUITO BASE TTL ESTANDAR

En la figura siguiente se muestra el circuito base de los dispositivos TTL estándar.

Tiene dos entradas lógicas A y B y una salida lógica Y. El circuito puede subdividirse en tres etapas: de entrada, excitador y de salida. []

Para las tensiones normales de entradas (NA y NB), positivas, los diodos de fijación D1 y D2 tienen polarización inversa y presentan una impedancia muy elevada, por lo que puede considerarse como circuito abierto. Las conmutaciones de NB a NA o de NA a NB a altas frecuencias, pueden conducir a la aparición de voltajes negativos en las entradas que serían anuladas por la PD de los diodos de fijación D1 y D2.

Todas las compuertas TTL con más de una entrada lógica utilizan un transistor de emisor múltiple, como el de entrada en el circuito base. Este transistor con dos emisores es equivalente a dos transistores con las bases y los colectores, respectivamente unidos y funcionan de la siguiente forma:



Si A está en NB, B en NA y la base a 5 V a través de una resistencia R (observar la siguiente figura), entonces la unión base-emisor de T12 está en PI (en este caso T12 estará en corte). La unión base-emisor de T11 está en PD, por lo que T11 se comporta como un interruptor cerrado. El colector del transistor con emisor múltiple estará más o menos a 0,1 V.

Los transistores multi-emisor tienen 2, 3, 4, 8 y 13 emisores.

Si T2 estuviera en saturación, entonces T3 también lo estaría y en la base de T2 aparecería una tensión:

$$V_{B2} = V_{BE3} + V_{BE2} = 0,7 + 0,7 = 1,4 \text{ V}$$

1,4 V es el voltaje mínimo que necesita en la base el transistor T2 para pasar a saturación. Pero la tensión en la base de T2 es la misma de colector T1. Estando T1 saturado esta tensión será igual:

$$V_{B2} = V_{C1} = v_{IL}^{MAX} + V_{CE1} = 0,8 + 0,1 = 0,9 \text{ V}$$

Como en la base de T2 solo hay 0,9 V, entonces T2 se encuentra en corte. Estando T2 en corte el flujo de corriente hacia T3 será prácticamente nula y a través de R3 se fijará en la base un potencial de tierra, que mantendrá a T3 en corte. R2 esta calculado de tal forma que cuando T2 este en corte, circule hacia T4 la corriente suficiente para saturarlo.

Con T3 en corte la salida quedará en circuito abierto con el potencial de tierra. T4 estará saturado y conectará la salida a la fuente de alimentación. La corriente fluirá de V_{CC} a R4, colector-emisor T4, D3 y hacia la(s) entrada(s) conectada(s). Esta corriente se denomina I_{OH} .

2. Suponiendo que A y B estén en NA, juntas uniones se encontrarán en PI (ya que para que se PD se requiere un potencial mínimo en la base T1 de 2.7V, mientras que para que la corriente circule hacia la base de T2 se necesitan solo de 2.1V. Circularán las corrientes inversas I_{IH} por cada emisor. La unión base-colector T1 esta en PD por lo que circula una corriente:

$$I_{R1} = \frac{(V_{CC} - V_{BC1} - V_{BE2} - V_{BE3})}{R1} = \frac{5 - 2.1}{4000}$$

$$I_{R1} = 0,72 \text{ mA}$$

Esta corriente pasa por R1, base-colector T1, base-emisor T2 que lo hace conducir y base-emisor T3 que lo forza también a conducir. La salida estará en NB:

$$V_{OL(TIP)} = V_{CE(sat)3} = 0,2 \text{ V}$$

Como T3 está conduciendo, su base se encontrará 0,7 V por encima del emisor. T2 también esta saturado por lo que su colector esta a 0,1 V con respecto al emisor. Según esto la tensión en la base de T4 será igual a:

$$V_{B4} > V_{B3} + V_{CE2} = 0,7 + 0,1 = 0,8 \text{ V}$$

La tensión en el emisor de T4 será:

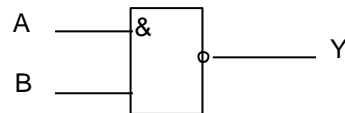
$$V_{E4} \geq V_{OLMIN} + V_{D3} = 0,2 + 0,7 = 0,9 \text{ V}$$

Debido a que el emisor se encuentra a mínimo 0,1 V por encima de la base en T4 este se encontrará en corte. D₃ permite asegurar el bloqueo de T4 produciendo una caída de 0,7 V.

Como T4 está en corte, entonces la salida quedará en circuito abierto con la fuente de alimentación. En este caso la(s) corriente(s) de carga fluirán de la(s) entrada(s) conectada(s) a través del colector-emisor T3 y a tierra. La máxima corriente admisible sin que la tensión de salida suba por encima de $V_{OL(MAX)} = 0,4 \text{ V}$ es $I_{OL} = 16 \text{ mA}$. Las corrientes superiores a este nivel pueden sacar a T3 de saturación y elevar a V_{OL} por encima de la máxima tensión baja.

La tabla de verdad así obtenida es la siguiente:

| A | B | Y |
|----|----|----|
| NB | NB | NA |
| NB | NA | NA |
| NA | NB | NA |
| NA | NA | NB |



Que corresponde a una compuerta AND-NOT para la lógica positiva.