

1. Determinación de FAN-OUT para Lógica DTL

Recordemos que el *fan-out* de una compuerta es la capacidad que tiene su salida para conectarse a entradas de otras compuertas del mismo tipo. Entre mayor sea el número de compuertas a las que se puede conectar, mayor es su fan-out. Como factor de comparación entre subfamilias de circuitos integrados digitales CID, es claro, que aquella de mayor fan out se considera mejor.

El *fan-out* de una compuerta realizada con lógica DTL está limitado por la corriente que su salida puede suplir a las entradas de las compuertas conectadas a ella.

1.1. Salida en NB de una compuerta DTL conectada a varias entradas DTL

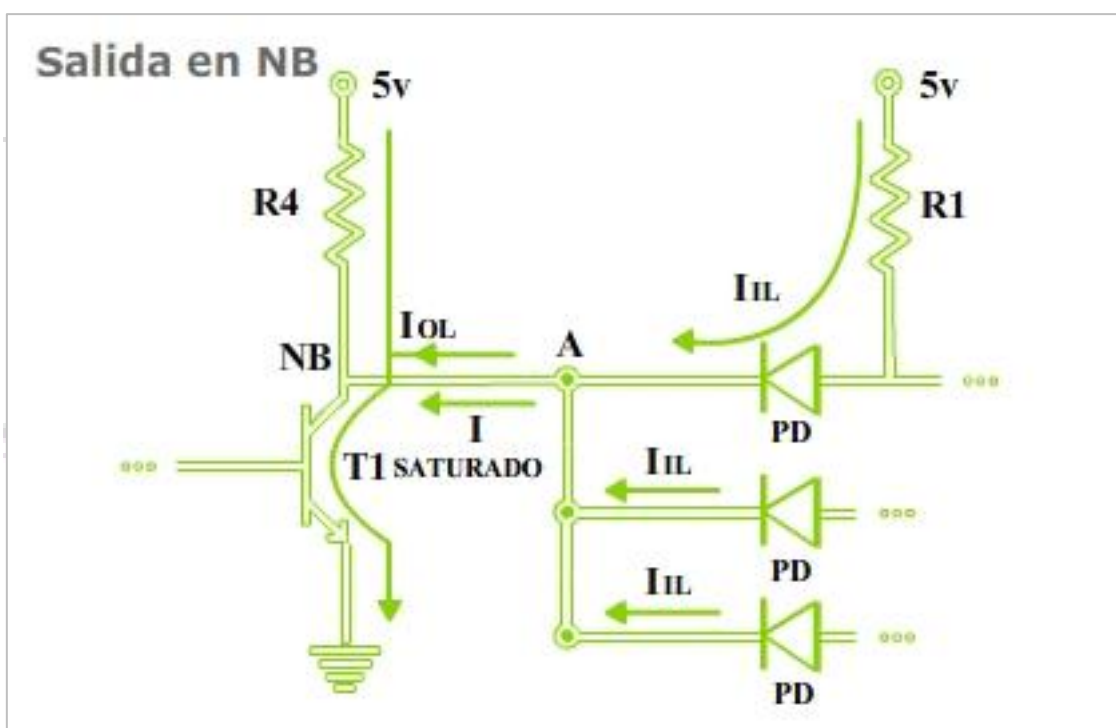


Figura 1. Salida en NB de una compuerta de lógica DTL conectada a las entradas de compuertas DTL

En la figura 1 se puede observar la salida de una compuerta DTL en NB (circuito, no completo, a la izquierda del nodo A) conectada a las entradas de compuertas DTL (circuitos a la derecha del nodo A, no se muestran completos).



El nodo A es el punto de conexión de la salida con las entradas.

Como se puede observar del gráfico anterior el transistor T1 se encuentra saturado (ya que debe de haber un NB) permitiendo el paso libre de la corriente de colector a emisor, y estableciendo un voltaje de 0V en el nodo A.

Fluirán entonces de colector a emisor las siguientes corrientes:

- Desde +5V a través de R4, unión colector emisor a menos de la fuente.
- Desde +5V a través de R1, diodo de entrada (estarían en PD), unión colector emisor a menos de la fuente en cada entrada de las compuertas conectadas.

Aunque teóricamente el voltaje en el nodo A debe ser de 0V, se debe tener en cuenta que la unión colector a emisor a pesar de encontrarse saturada presenta en realidad una impedancia diferente a cero. Este bajo valor de impedancia genera un voltaje en el nodo A superior a cero, y puede incrementarse en la medida en que la corriente de colector a emisor crezca. Podemos tomar un valor de 0.4V en la salida, lo que nos da un NB.

Observando el gráfico podemos ver que cada entrada conectada a la salida aporta una corriente llamada I_{IL} . La salida entonces recibirá una corriente I_{OL} igual a:

$$I_{OL} = \sum I_{IL} \text{ (Según Kirchhoff, ley de corrientes, para el nodo A)}$$

I_{OL} → Corriente en la salida NB.

I_{IL} → Corriente en la entrada NB.

Debido a que T1 no puede permitir el paso de una corriente infinita I_{ce} y, además, a que el voltaje de salida no puede superar los 0.8V, los fabricantes determinan un valor máximo I_{OL} por encima del cual la salida puede superar el valor de 0.8V (recordar que la unión colector emisor no presenta cero ohmios). Este $I_{OL\text{máximo}}$ a la vez sirve para proteger al transistor de daño por superación de la máxima disipación de potencia.

Según lo anterior, el fan out para el NB se determina así:



$$\sum I_{IL} \leq I_{OL \text{ máximo}}$$

Tanto $I_{OL\text{máximo}}$ como I_{IL} son especificados por los fabricantes en los manuales de CI.

1.2. Salida en NA de una compuerta DTL conectada a varias entradas DTL

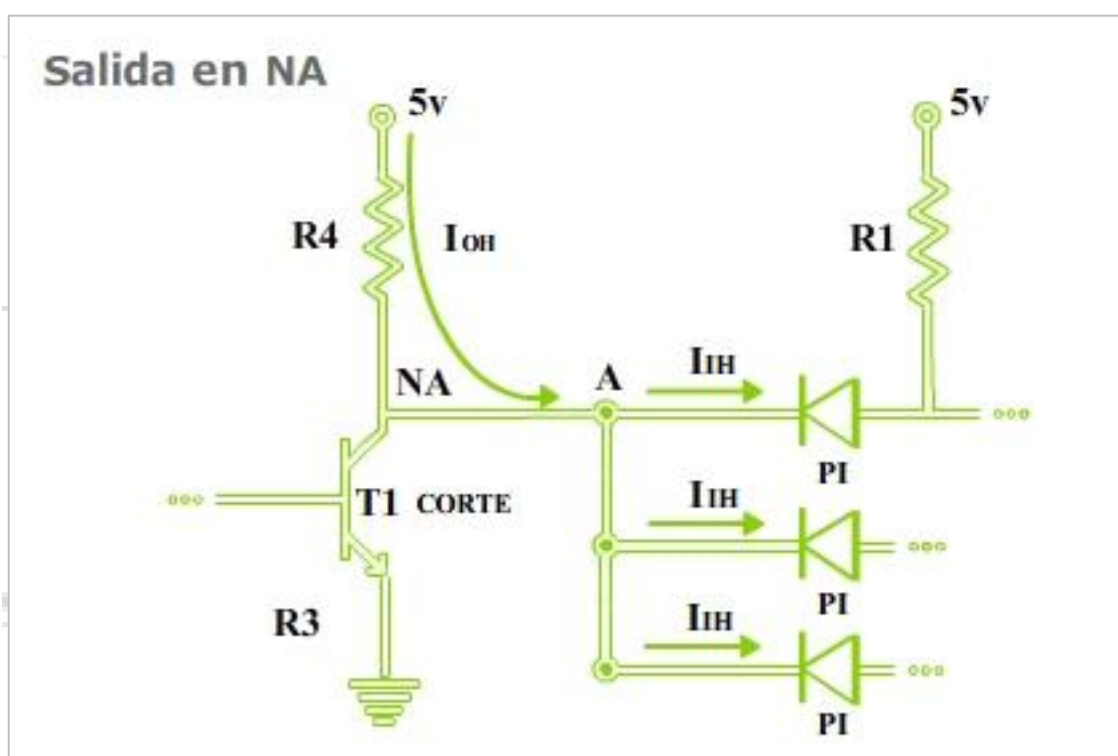


Figura 2. Salida en NA de una compuerta de lógica DTL conectada a las entradas de compuertas DTL

En la figura 2 se observa la conexión de una salida DTL en NA (circuito a la izquierda del nodo A) a varias entradas DTL (circuitos a la derecha del nodo A).

Como se puede observar de la figura 2 la corriente fluirá desde +5V a través de R4 y hacia afuera del circuito por el nodo A. No obstante, esta corriente se encontrará con los diodos en las entradas en oposición a su flujo (polarización inversa PI), teóricamente el resultado será de una corriente igual a cero, lo que



daría en el nodo A un voltaje igual a la fuente +5V (aplicando ley de ohm a la resistencia R4 y teniendo en cuenta que $I=0$ y que T1 se encuentra en corte).

En esta parte se debe tener en cuenta que, aunque un diodo en PI es casi ideal, en la realidad él deja pasar una corriente inversa que se encuentra en μA y que fluiría, como su nombre lo indica, en sentido inverso a través de él. En el circuito, estas corrientes inversas son denominadas como I_{IH} (corriente en la entrada de nivel alto), y ellas dan origen a la corriente I_{OH} (corriente en la salida de nivel alto) según Kirchhoff, ley de corrientes, para el nodo A.

Entonces:

$$I_{OH} = \sum I_{IH} \quad (\text{Según Kirchhoff para el nodo A})$$

$I_{OH} \rightarrow$ Corriente en la salida NA

$I_{IH} \rightarrow$ Corriente en la entrada NA

Aplicando ley de Ohm a la resistencia R4 tendremos:

$$5 - V_A = R_4 * I_{OH}$$

Donde, V_A es el voltaje en el nodo A que es el mismo de salida.

Despejando V_A tenemos:

$$V_A = 5 - R_4 * I_{OH}$$

Si conectamos más entradas a esta salida, cada entrada permitirá el paso de una corriente inversa I_{IH} , que incrementará a su vez el valor de I_{OH} , según lo visto anteriormente. Teniendo en cuenta, que el menor valor de salida de NA, según el fabricante, es de 4V no se puede permitir una conexión infinita de entradas, ya que en algún momento el voltaje de salida caerá por debajo de ese mínimo permitido. El fabricante, por tanto, define un valor máximo de $I_{OH\text{máximo}}$ que garantiza que la caída de potencial en R4 (observar ley de ohm para R4) no supere 1V.

El fan out para NA entonces estará definido por:

$$\sum I_{IH} \leq I_{OH \text{ máximo}}$$



Los valores de I_{OH} máximo y I_{IH} los especifican los fabricantes en los manuales de circuitos integrados.

El fan-out final será el menor de los definidos para el NB y el NA.

Bibliografía

- GONZALEZ, Luis Ignacio. Introducción a los sistemas digitales. Páginas 49-50.
- http://www.unicrom.com/Dig_logicaDiodo.asp

