

## **5. LOGICA DE DIODO A TRANSISTOR DTL**

### **5.1. CARACTERISTICAS**

Se caracterizan por las entradas con diodos ( realizando una compuerta AND ) seguidos por un inversor con transistores. Esta interconexión lleva a formar compuertas AND-NOT ( Circuito Base ). [ ]

Su tiempo de conmutación y disipación de potencia por compuerta son de 20 nS y 8.5 mW respectivamente.

**VENTAJAS:** Económicos, con buena protección contra el ruido, fácil de usar e interconectar.

**PROBLEMAS:** Relativa baja velocidad, baja densidad de componentes.

Debido a su buena protección contra el ruido existe una lógica llamada HLDTL ( DTL de alto nivel). [ ]

Se utiliza donde hay maquinaria que causa grandes transitorios ( fluctuaciones ) en las líneas de conducción y ruido electromagnético.

### **5.2. PROTECCION CONTRA EL RUIDO**

DTL ha sido diseñada para funcionar con una fuente regulada de 5 V. Utiliza los siguientes rangos de voltaje para los niveles lógicos.

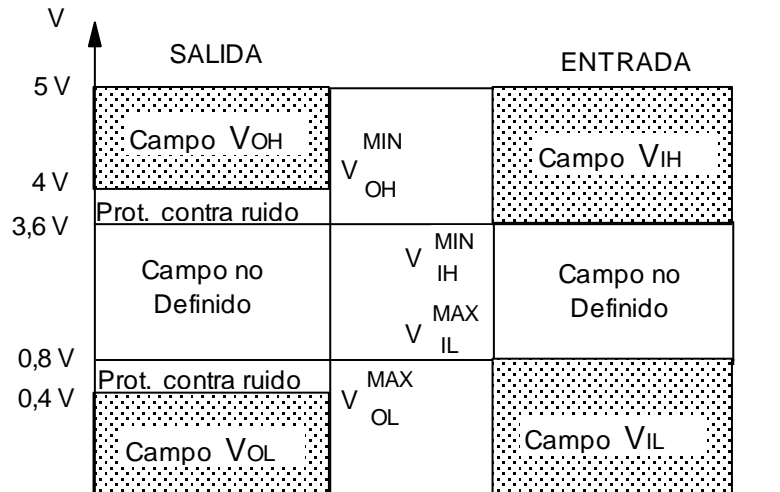
Para una salida NA entre: 4,0 y 5,0 V  
NB entre: 0 y 0,4 V

Para una entrada NA entre: 3,6 y 5,0 V  
NB entre: 0 y 0,8 V

Es decir:

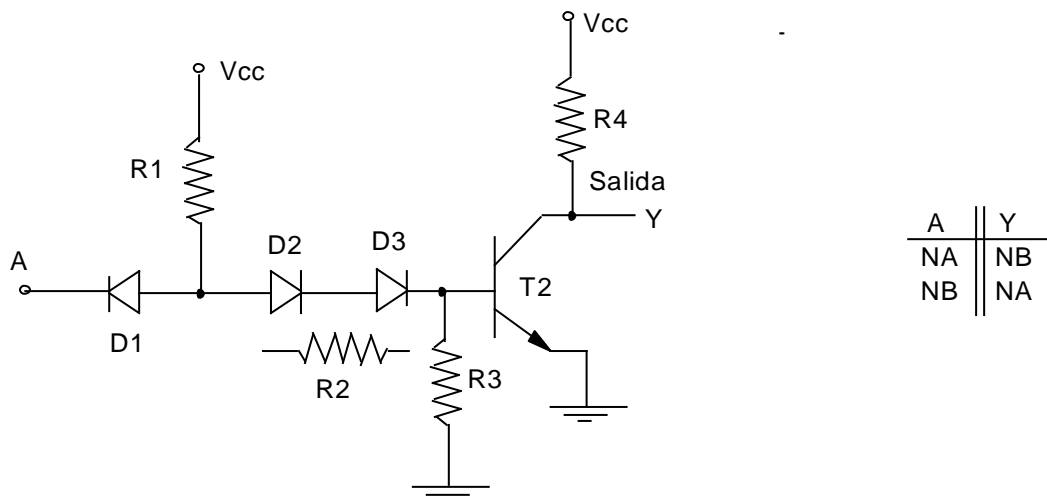
- Que el valor mínimo para un NA de salida es 4 V, pero que bastan 3,6 V para que una entrada lo tome como NA.
- Que el valor máximo para un NB de salida es de 0,4 V, pero que hasta 0,8 V será tomado como un NB por una entrada.

Estas diferencias son conocidas como la protección contra el ruido, producto de los fenómenos electromagnéticos en los cables de conducción de alta potencia.



- $V_{OH}^{MIN}$  → Voltaje mínimo de salida para el NA.  
 $V_{OL}^{MAX}$  → Voltaje máximo de salida para el NB.  
 $V_{IH}^{MIN}$  → Voltaje mínimo de entrada para el NA.  
 $V_{IL}^{MAX}$  → Voltaje máximo de entrada para el NB.

### 5.3. CIRCUITO INVERSOR



Si en la entrada A hay un NA (3.6V en el peor de los casos) y suponiendo que la corriente tome de  $V_{CC}$ , R1 y hacia A, entonces entre los diodos de D1 y D2 aparece un voltaje de 4.3V (debido a la caída de 0.7V en D1). Si la corriente toma de  $V_{CC}$ , R1, D2, D3, base-emisor T2 a tierra, entonces entre los diodos D1 y D2 aparece un voltaje de 2,1V (caídas de 0.7V en D2, D3 y base-emisor T2).

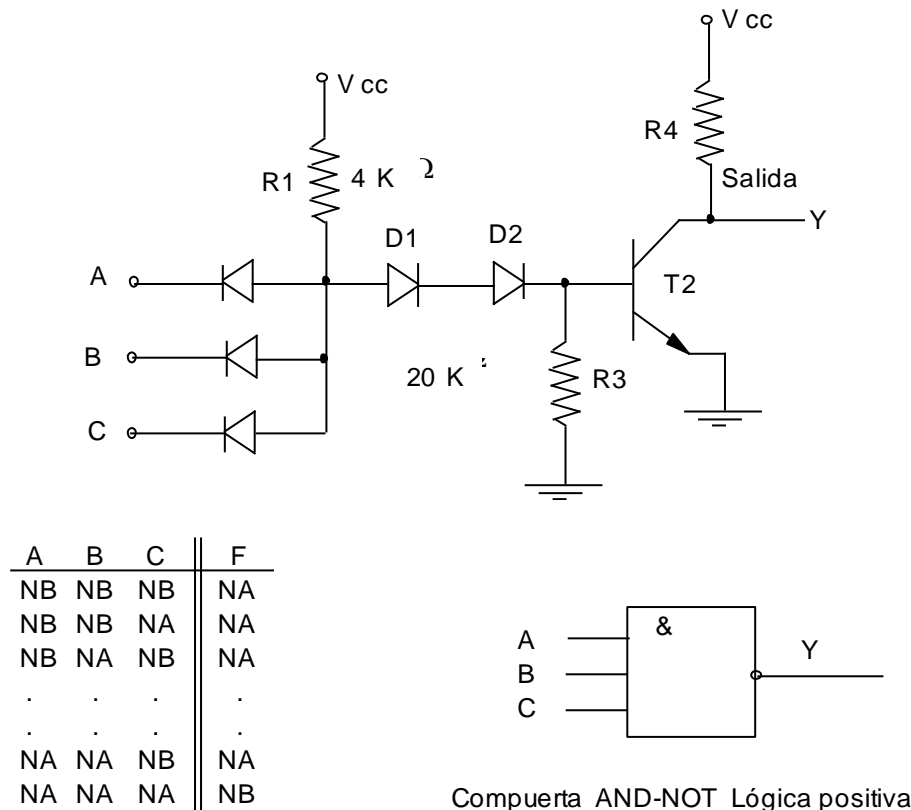
De aquí deducimos que la corriente realmente toma hacia el transistor (circuito de menor resistencia) y que T2 se satura colocando un NB en la salida. D1 queda PI ya que entre sus terminales habrá 3.6V en A y 2.1V en el extremo contrario.

Si en A hay un NB (0.8V en el peor de los casos) y si la corriente toma hacia A, entonces entre los diodos de D1 y D2 aparece un voltaje de 1.5V (debido a la caída de 0.7V en D1). Ahora, si toma hacia T2, entonces aparecen 2.1V como se explicó en el párrafo anterior. De esto deducimos que D1 se PD y que la corriente circulará de  $V_{cc}$  a través de R1, D1 y hacia fuera del circuito.

En la base de T2 aparecerá un potencial cercano a tierra fijado a través de R3 (ya que no circula ninguna corriente), que mantendrá a T2 en corte y colocando, de esta forma, un NA en la salida.

#### 5.4. CIRCUITO BASE DTL

Si alguna(s) de las entrada A, B o C está(n) en NB, entonces el diodo conectado a ella(s) se polariza directamente, permitiendo así el paso de la corriente a través de él (ellos). En la base de T2 aparece un voltaje cercano a tierra y hará que este se bloquee ( $I_b = 0$ ), teniendo un NA de salida.



Si todas las entradas A, B y C están en NA, entonces los diodos se polarizan inversamente y pasará una corriente de  $V_{cc}$  a través de R1, D1, D2, unión base

emisor a tierra. Esto hará que T2 se sature y tendremos un NB en la salida. El circuito realiza una compuerta NAND de 3 entradas para la lógica positiva.