



## 1. COMPUERTAS REALIZADAS CON LÓGICA RTL CONECTADAS A UNA O MÁS COMPUERTAS DEL MISMO TIPO

### 1.1. Determinación de FAN-OUT para RTL

El *fan-out* de una compuerta es la capacidad que tiene su salida para conectarse a entradas de otras compuertas. Entre mayor sea el número de compuertas a las que se puede conectar, mayor es su fan-out.

El *fan-out* de una compuerta realizada con lógica RTL es limitado por la corriente que su salida puede suplir a las entradas de las compuertas conectadas a ella.

### 1.2. Compuerta NOT de lógica RTL conectada a una sola compuerta del mismo tipo.

A continuación se analizará la salida  $V_2$ , de una compuerta NOT o inversora de lógica RTL, (compuerta 1), conectada a la entrada de una compuerta del mismo tipo (compuerta 2). Ver figura 1.

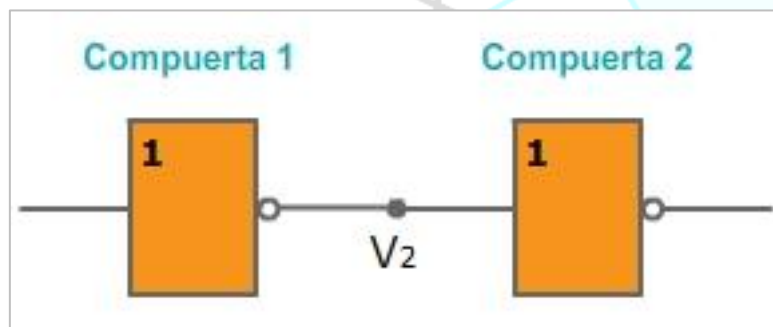
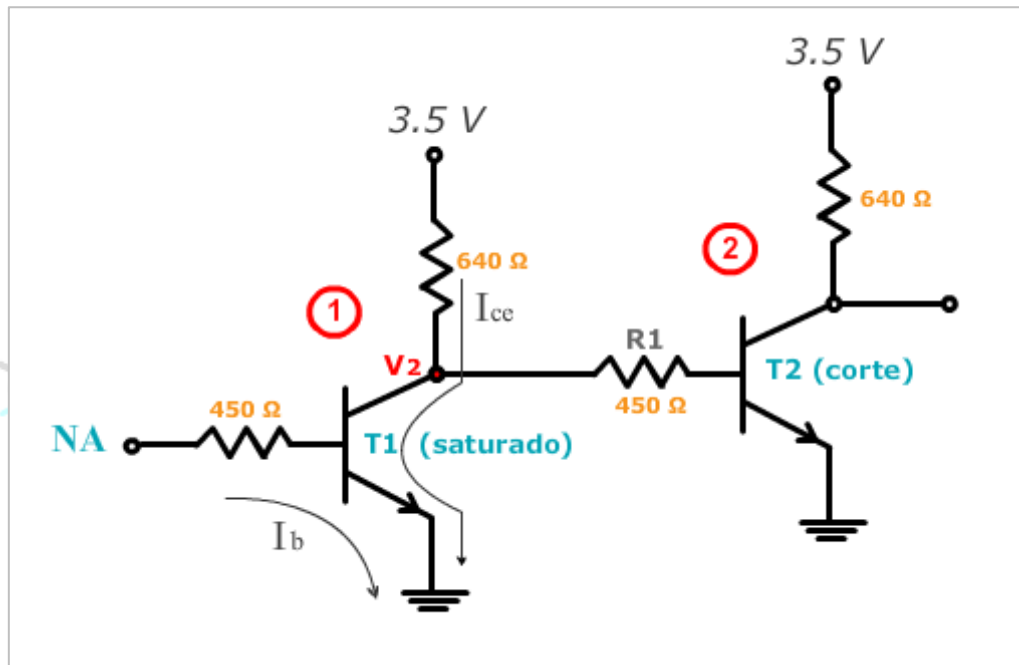


Figura 1. Salida de una compuerta NOT conectada a la entrada de una compuerta del mismo tipo.

En términos eléctricos, la anterior gráfica, se puede explicar en dos diferentes casos:

**CASO 1. Cuando en la salida ( $V_2$ ) se presenta un nivel bajo (NB):** Lo anterior implica que a la entrada de la compuerta 1 se le aplica un nivel alto (NA).

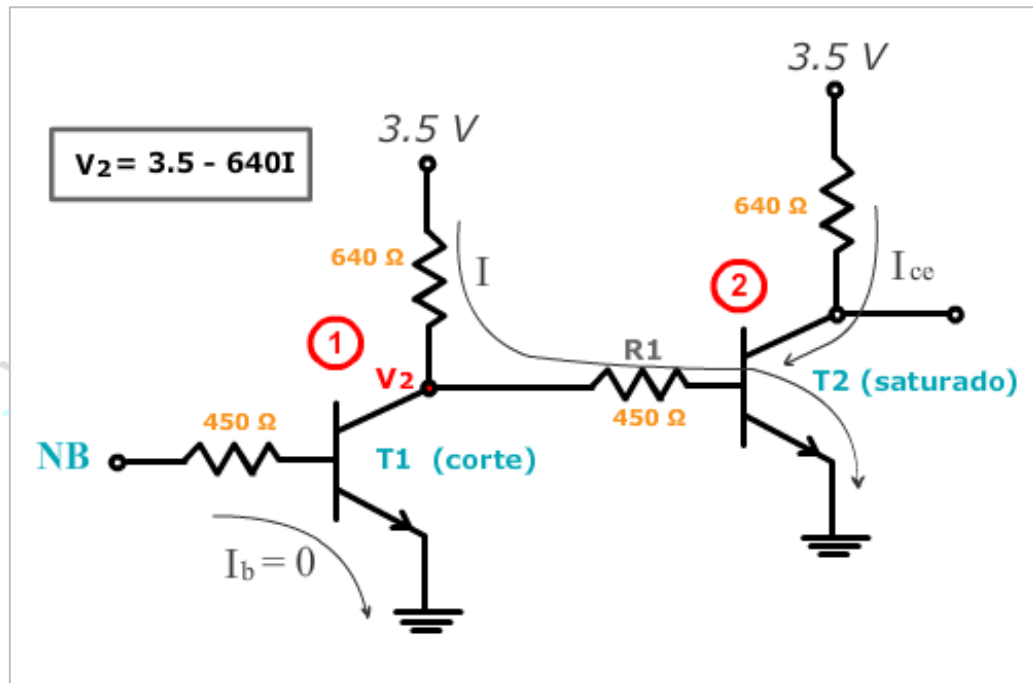


**Figura 2. Circuito de la unión de dos compuertas NOT de lógica RTL – CASO 1**

En la figura 2, el transistor T1 se encuentra en estado de saturación, debido a que el NA en la entrada de la compuerta 1 genera la corriente de base  $I_b$  suficiente para saturar el transistor. Toda la corriente de colector se irá hacia el emisor debido a la saturación del transistor y, adicionalmente, al valor de la resistencia R1 (450 Ohm). La impedancia  $Z_{ce}$  de T1 es aproximada a cero [Ohm] al menos de la fuente.  $V_2$  se encontrará con un valor cercano a 0 V.

**CASO 2. Cuando en la salida ( $V_2$ ) se presenta un nivel bajo (NA):** Lo anterior implica que a la entrada de la compuerta 1 se le aplica un nivel bajo (NB).

En este caso, la corriente de colector del transistor T1 se irá hacia la base del transistor T2, esto sucede debido a que el transistor T1 está en corte, impidiendo el paso de corriente hacia el emisor, como muestra la figura 3.



**Figura 3. Circuito de la unión de dos compuertas NOT de lógica RTL – CASO 2**

Planteamos la ecuación para conocer el valor de la corriente I:

$$3,5 - 640I - 450I - 0,7^* = 0$$

\*Caída de potencial aproximado en el diodo base-emisor de T2.

De donde se obtiene:

$$I = 0,002569 \text{ [A]}$$

**I = 2,569 [mA]**

Ahora, conociendo el valor de la corriente, planteamos la ecuación para conocer el valor de  $V_2$ .

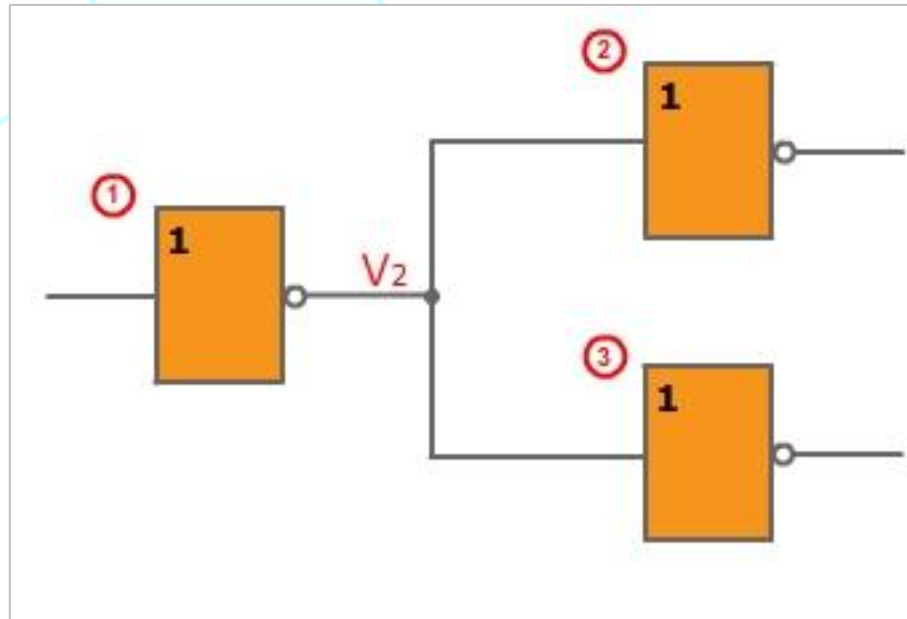
$$V_2 = 3,5 - 640I$$

De donde se obtiene:

$$V_2 = 1,856 \text{ [V]}$$

Lo que significa que la salida estará en un nivel alto (NA).

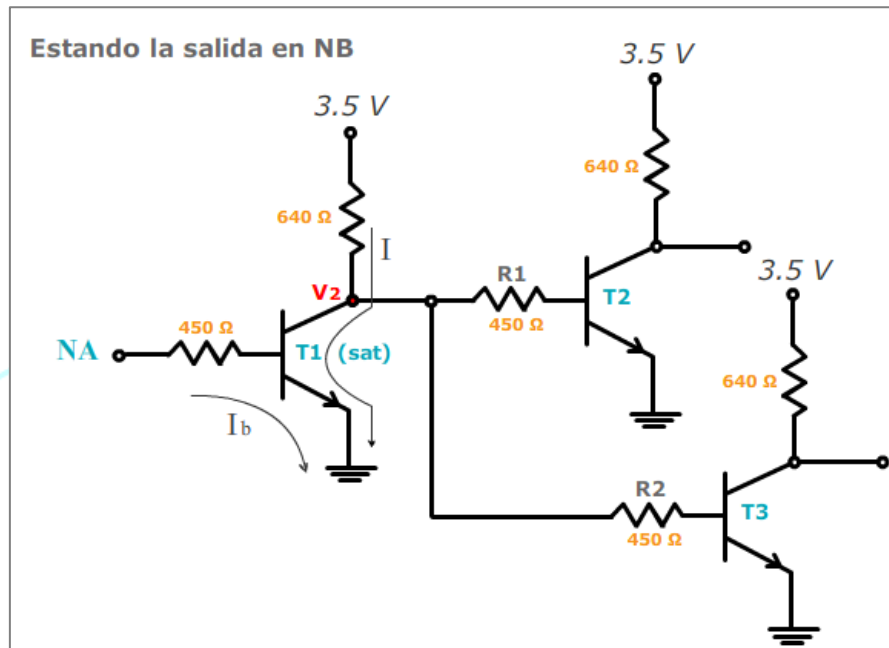
### 1.3. Compuerta NOT conectada a dos compuertas del mismo tipo.



**Figura 4. Salida de una compuerta NOT conectada a la entrada de dos compuertas del mismo tipo.**

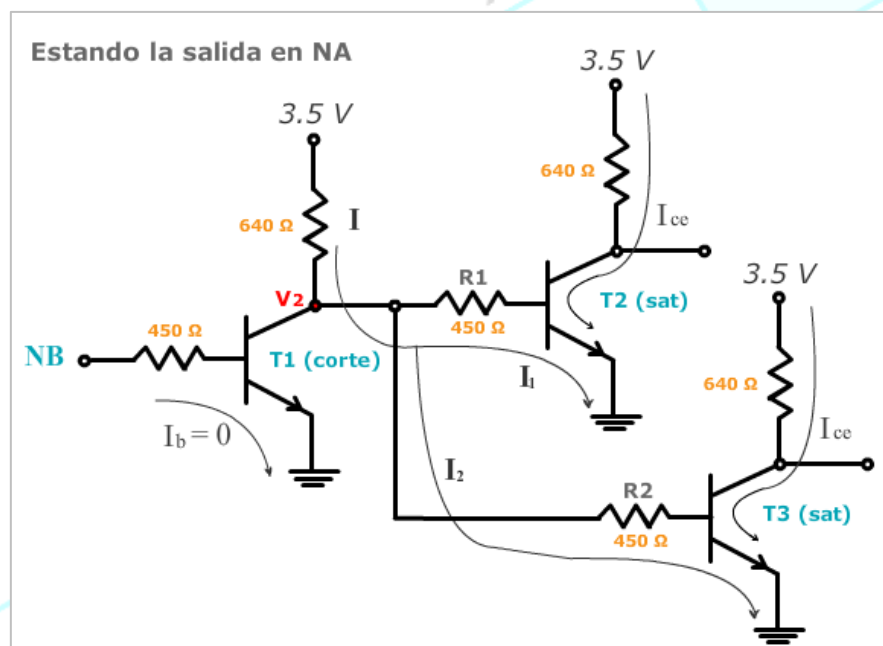
### 1.3.1. Salida de una compuerta NOT en NB conectada a la entrada de dos compuertas del mismo tipo realizadas con lógica RTL.

En la figura 5 se puede observar que, estando la salida de la compuerta en NB, el transistor T1 se encuentra en estado de saturación, lo que significa que la resistencia de colector a emisor es prácticamente igual a cero y que la corriente de colector de T1 fluirá sin oposición alguna hacia el emisor, haciendo que la salida este cercana a cero [V].



**Figura 5. Salida en NB de una compuerta NOT conectada a la entrada de dos compuertas del mismo tipo.**

### 1.3.2. Salida de una compuerta NOT en NA conectada a la entrada de dos compuertas del mismo tipo realizadas con lógica RTL.



**Figura 6. Salida en NA de una compuerta NOT conectada a la entrada de dos compuertas del mismo tipo.**



En la figura 6 se puede observar que, estando la salida de la compuerta en NA, el transistor T1 se encuentra en estado de corte, lo que significa que la impedancia de colector a emisor es prácticamente de infinitos ohmios, y que la corriente de colector de T1 fluirá hacia los transistores T2 y T3 haciendo que estos se saturen.

Las ecuaciones correspondientes al anterior circuito son:

$$3,5 - 640I - R1I_1 - 0,7 = 0 \quad (1)$$

$$3,5 - 640I - R2I_2 - 0,7 = 0 \quad (2)$$

$$I = I_1 + I_2 \quad (3)$$

$$R1 = R2 = 450\Omega \quad (4)$$

Reemplazando (3) y (4) en (1) y (2) obtenemos las siguientes ecuaciones:

$$3,5 - 640(I_1 + I_2) - 450I_1 - 0,7 = 0 \quad (1^*)$$

$$3,5 - 640(I_1 + I_2) - 450I_2 - 0,7 = 0 \quad (2^*)$$

Por cuanto las corrientes  $I_1$  e  $I_2$  fluyen por lazos de igual impedancia ( $450\Omega$  y diodo polarizado directamente en los transistores), entonces se concluye que:

$$I_1 = I_2 \quad (5)$$

Reemplazando (5) en (1\*) obtenemos:

$$3,5 - 640(I_2 + I_2) - 450I_2 - 0,7 = 0$$

$$3,5 - 640(2I_2) - 450I_2 - 0,7 = 0$$

$$3,5 - 1280I_2 - 450I_2 - 0,7 = 0$$

$$2,8 = 1730 I_2$$

$$I_2 = 0,001618$$

Por lo cual:  **$I_1 = I_2 = 0,001618 \text{ [A]}$**

Ahora, conociendo el valor de la corriente, planteamos la ecuación para conocer el valor de  $V_2$ .

$$V_2 = 3,5 - 640(I_1 + I_2)$$

$$V_2 = 3,5 - 640(2^* I_2)$$

$$V_2 = 3,5 - 1280(0,001618)$$

De donde se obtiene:

**$V_2 = 1,4283 \text{ [V]}$**  Es decir, un NA en la salida.

De las anteriores ecuaciones podemos deducir:

1. Que el voltaje de un circuito RTL en NB no se ve afectado por la conexión de esta a otras entradas.
2. Que a medida que conectamos entradas a la salida en NA de una compuerta de lógica RTL, este nivel será afectado e irá cambiando su valor de 3.5 a 1.856, 1.428, 1.232, 1.119, 1.045 [V], y así sucesivamente.

Es importante recordar que un NA en RTL está representado por valores entre 0.8 y 3.5 [V] (ver figura 7), por lo cual, no se puede permitir que en algún momento este nivel este por debajo de 0.8 [V], dado que este es el voltaje mínimo necesario para saturar el transistor de las entradas que a dicha salida se conecten. Si esto sucediera, entonces, los transistores (algunos de ellos) no se saturarán y se encontrarán en región activa, dando valores erróneos en sus salidas, es decir, no estarán dentro de los rangos establecidos para NA y NB. Ver figura 7.

NIVEL DE TENSIÓN	SEÑAL
NB (0)	0 V - 0,5 V
NA (1)	0,8 V - 3,5 V

### Figura 7. Niveles de Tensión



## Bibliografía

- [http://www.unicrom.com/Tut\\_compuerta\\_not.asp](http://www.unicrom.com/Tut_compuerta_not.asp)
- <http://www.siliconfareast.com/rtl.htm>
- <http://es.wikipedia.org/wiki/RTL>
- [http://www.unicrom.com/Dig\\_RTL.asp](http://www.unicrom.com/Dig_RTL.asp)
- GONZALEZ, Luis Ignacio. Introducción a los sistemas digitales. Páginas 42 - 46.