

6.4. CARACTERISTICAS DE LOS TTL ESTANDAR

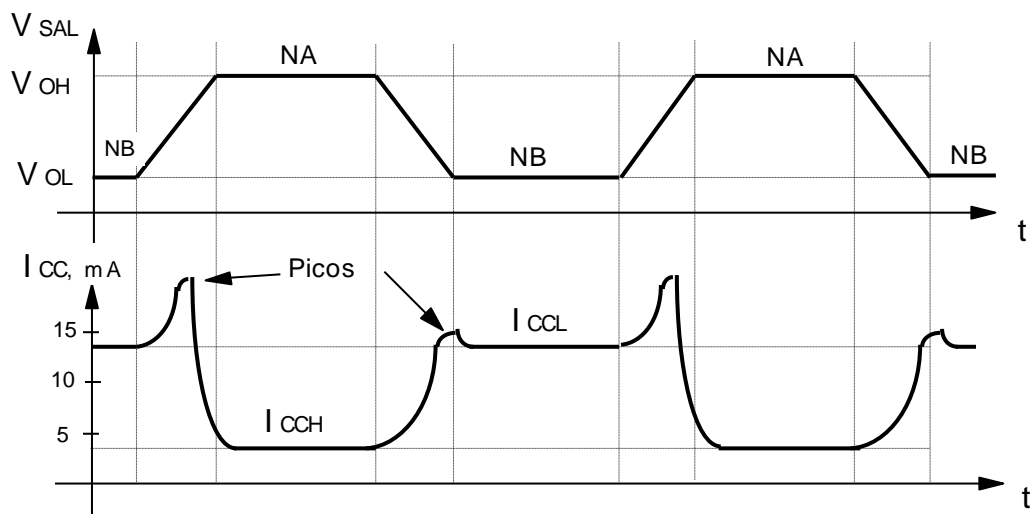
- A. **Corriente de corto circuito de salida:** Es la corriente I_{OS} que circula hacia afuera de una salida en NA, cuando esta última está conectada directamente a tierra. Este parámetro se utiliza para conocer la rapidez con que carga en NA los condensadores externos conectados a la salida. Para la compuerta 7400 $I_{OS} = 55 \text{ mA}$.

La conexión a tierra acarrearía el recalentamiento del integrado y su posterior, a corto plazo, daño total. Esto debido a la relativa alta disipación de potencia.

- B. **Fuente de alimentación y picos de corriente:** Los dispositivos TTL vienen diseñados para trabajar con una alimentación de 5 V con variaciones no superiores al 5 %, es decir entre 4,75 y 5,25 V.

Por esto es necesario emplear fuentes reguladas de voltaje de 5 V con capacidad de manejar corriente de acuerdo al número de integrados. El diseño de fuentes de alimentación se tratará en el capítulo final de esta conferencia.

Los circuitos TTL presentan problemas al conmutar, ya que generan grandes picos de corriente debido a la organización en cascada de sus salidas, como se puede ver en la siguiente gráfica:



Cuando la salida está en NA el integrado consume una corriente de alimentación constante I_{CCH} . Similarmente, cuando está en NB fluye una corriente constante I_{CCL} . Para el 7400 estos valores son: $I_{CCH} = 4 \text{ mA}$ y $I_{CCL} = 12 \text{ mA}$ por circuito integrado.

Cuando la salida de la compuerta cambia de estado pasa por un instante en que ambos transistores T3 y T4 conducen simultáneamente, debido a que juntos pasan por la región activa antes de llegar a saturación o corte. Durante estos

pequeños intervalos de tiempo fluye una corriente relativamente alta, debido a la trayectoria de baja resistencia entre la tensión de alimentación y tierra.

El resultado es la presencia de picos de corriente en la línea de alimentación, como lo muestra la figura. El fenómeno es más perjudicial cuando la compuerta pasa de NB a NA, debido a que T4 no se satura normalmente y entra en conducción mucho antes de que T3 se bloquee. Además al pasar de NB a NA hay que cargar las capacidades externas lo que provoca corrientes de hasta I_{OS} por la salida.

Para evitar que estos picos se propaguen por la alimentación y la tierra, además del corto circuito a la fuente, se deben conectar condensadores con capacitancias entre 0,01 y 0,1 μF por cada 5 a 10 circuitos integrados. Ellos deben conectarse entre el positivo y la tierra. En la práctica por cada C.I. se conecta uno lo más cerca posible a los pines GND y V_{CC} .

- C. **Disipación de potencia:** La disipación de potencia se mide en régimen estático (no conmutaciones) y se obtiene del promedio para el NA y NB. La disipación estática es el producto del voltaje de alimentación V_{CC} y la corriente de alimentación estática I_{CC} .

$$P_D = V_{CC} \times I_{CC}$$

La corriente de alimentación no incluye aquellas que son drenadas por circuitos externos.

Si la salida de determinado elemento se encuentra en NB la mitad del tiempo y en NA durante la otra mitad de tiempo, entonces la corriente de alimentación será:

$$I_{PROM} = \frac{(I_{CCH} + I_{CCL})}{2}$$

Para el 7400, por ejemplo, la disipación de potencia promedio será:

$$P_{dprom(tip)} = 5 \text{ V} * \frac{(4 \text{ mA} + 12 \text{ mA})}{2}$$
$$P_{dprom(tip)} = 40 \text{ mW por integrado}$$

Para cada compuerta este valor será igual a 10 mW.

La disipación de potencia varía con la frecuencia de las conmutaciones en unos 0,3 mW / MHz. Es prácticamente constante para cargas capacitivas hasta de 20 pF con frecuencias inferiores a 1 MHz.

- D. **Impedancia:** La impedancia de salida de las compuertas TTL son bajas debido a la configuración en cascada de los transistores T2, T3 y T4. En NA el transistor T4 está saturado y prácticamente no ofrece ninguna resistencia al flujo de corriente. En NB T3 está en saturación y permite el flujo casi libre de electrones.

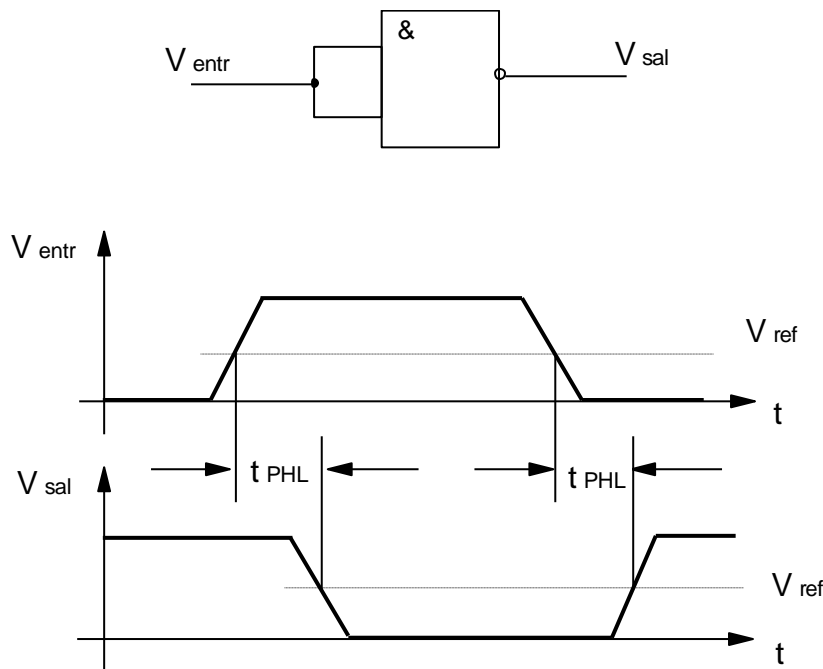
$$Z_{OL} = 10 \, \Omega \qquad Z_{OH} = 70 \, \Omega$$

Las impedancias aproximadas de entrada son:

$$Z_{IH} = 400 \, K\Omega \qquad Z_{IL} = 4 \, K\Omega$$

Una alta impedancia de entrada solicita menos corriente a la salida que controla, mientras que una baja impedancia de salida permite mayor velocidad de conmutación debido a la relativa alta magnitud de corriente, que hace menor el producto RC.

E. Retardos de propagación: Los retardos en las conmutaciones se miden para un voltaje de referencia, que para el caso de los TTL estándar es de 1,5 V. Considerando una vez más el 7400 tenemos:



Cuando las entradas pasan a NA la salida pasa a NB en un tiempo determinado llamado retardo de activación t_{PHL} , o también conocido como retarde de bajada.

Cuando las entradas pasan a NB la salida tardará un tiempo determinado llamado retardo de desactivación o de subida t_{PLH} .

Para los 7400 estos valores son:

$$t_{PHL} = 7 \, nS \qquad t_{PLH} = 11 \, nS$$

La diferencia se debe a que el transistor T4 no se satura completamente y su tiempo de recuperación inverso es inferior al T3, que si se satura completamente. El retardo promedio es de 9 nS, sin embargo para los TTL estándar se ha tomado de 10 nS.

La frecuencia máxima a la cual puede conmutar una compuerta TTL estándar será:

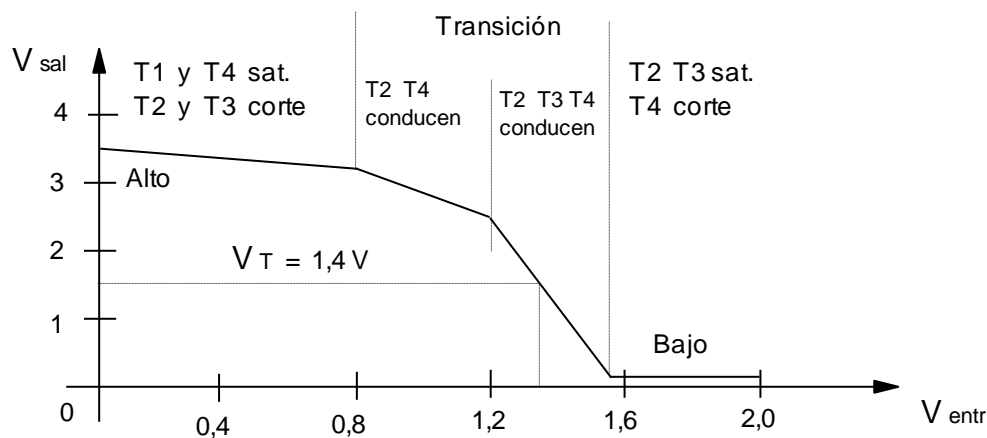
$$f_{\max} = \frac{1}{t_{PLH} + t_{PHL}}$$

Los dispositivos TTL Estandar pueden operar a 55 MHz.

6.5. CURVAS DE TRANSFERENCIAS

La curva de transferencia es un gráfico que muestra la forma que varía la tensión de salida con respecto a la de entrada. Su ventaja consiste en que muestra simultáneamente V_{OH} y V_{OL} y la región de transición cuando el dispositivo conmuta.

Uniendo las entradas de una compuerta AND-NOT de un 7400, como se muestra en la figura anterior, entonces la curva de transferencia para este dispositivo será:



V_T se conoce como la tensión promedio de umbral de un determinado dispositivo y es aquella para la cual la tensión de entrada es igual a la de salida. Para el 7400 este valor es más o menos de 1,4 V. Sin embargo en la práctica V_T varía considerablemente de elemento a elemento e incluso con la temperatura y la fuente de alimentación.

6.6. COMPUERTAS Y ENTRADAS NO UTILIZADAS

En el diseño de algún proyecto puede sucederse que la cantidad de entradas de alguna compuerta supere el número de ellas requerido, o bien, que sobren algunas compuertas de algún circuito integrado.

En el primer caso, y aunque una "entrada flotando" se comporta como un NA, es necesario conectar la(s) entrada(s) a algún nivel lógico ya que bastan algunos

milivoltios negativos de ruido en el medio ambiente para hacer que la entrada pase a NB. [] []

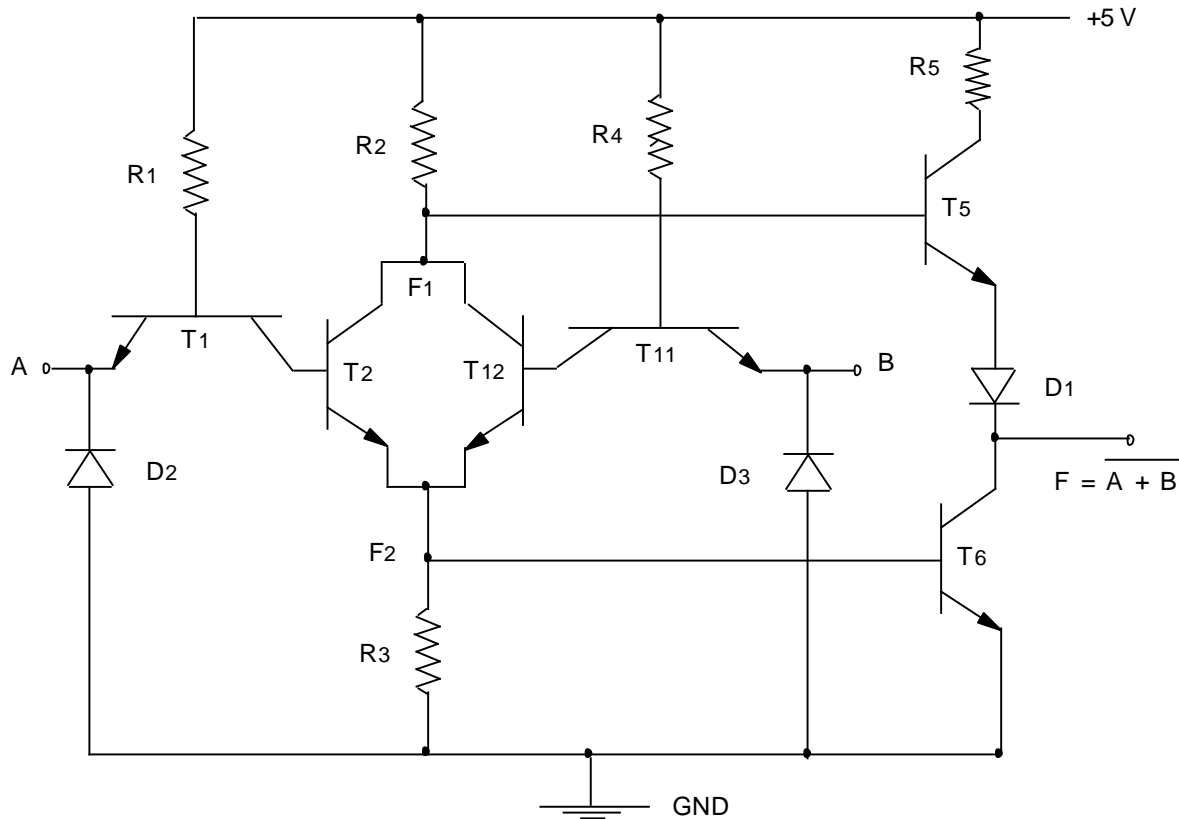
Para las compuertas AND y AND-NOT las entradas libres deben conectarse al resto de las entradas, siempre y cuando no se exceda la capacidad de manejo máximo de la(s) entrada(s). Si esto no se puede, entonces se debe conectar bien a la salida de una compuerta no utilizada y que este constantemente en NA, o bien al positivo de la fuente de alimentación a través de una resistencia de $1\text{ K}\Omega$.



Las entradas no utilizadas de las compuertas OR y OR-NOT deben ser conectadas al resto de las entradas si esto no recarga las salidas, en caso contrario deben ser conectadas a tierra (GND).

Las salidas de las compuertas no utilizadas deben ser forzadas a NA mediante la adecuada conexión de sus entradas, con el fin de reducir la disipación de potencia ya que I_{CCH} es menor que I_{CCL} .

6.7. CIRCUITOS OR-NOT Y AND-OR-NOT



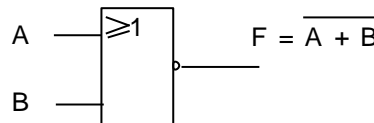
Si en A hay un NB, entonces el diodo base-emisor T1 se PD y aparecerá un NB en la base de T2, lo cual hará que T2 quede en corte. Sin embargo los valores de los voltajes tanto en F1 como en F2 no se pueden definir debido a que también dependen de T12. Si además en la entrada B también hay un NB, entonces T12 tampoco conducirá y de esta forma la corriente circulará a través de R2 a la base de T5 saturándolo. []

Debido a que T2 y T12 están en corte en la base de T6 aparece el potencial de tierra, que hará que T6 se encuentre en corte. Con T5 saturado y T6 en corte la salida se encontrará en NA.

Si por lo menos una de las entradas está en NA bien T2 o T12 o ambos se saturan y la corriente fluirá de R2 a través de la unión colector-emisor de T2 o T12 o de ambos y a la base de T6 saturándolo. En F1 aparecerá un voltaje bajo no suficiente para llevar a región activa a T5 y este se encontrará en corte. Con T6 saturado y T5 en corte la salida estará en NB.

La tabla de verdad así obtenida será como sigue:

A	B	F
NB	NB	NA
NB	NA	NB
NA	NB	NB
NA	NA	NB



Para la lógica positiva es una compuerta OR-NOT.

Si a el anterior circuito en lugar de un transistor convencional de entrada colocamos uno de emisor múltiple, entonces para la lógica positiva obtendremos una compuerta AND-OR-NOT.