

1 Grundgleichungen

$$V_{Ov} = \begin{cases} V_{GS} - V_{Th} & \text{NMOS} \\ |V_{GS}| - |V_{Th}| & \text{PMOS} \end{cases}$$

Triodenbereich ($|V_{DS}| < |V_O V|$):

$$I_D = \begin{cases} \mu_n C_{ox} \frac{W}{L} (V_{OV} V_{DS} - \frac{1}{2} V_{DS}^2) & \text{NMOS} \\ \mu_p C_{ox} \frac{W}{L} (|V_{OV}| |V_{DS}| - \frac{1}{2} V_{DS}^2) & \text{PMOS} \end{cases}$$

Sättigungsbereich ($|V_{DS}| \geq |V_O V|$):

$$I_D = \begin{cases} \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{OV}^2 & \text{NMOS} \\ \frac{1}{2} \mu_p C_{ox} \frac{W}{L} |V_{OV}|^2 & \text{PMOS} \end{cases}$$

Transkonduktanz (g_m):

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=\text{const.}} = \mu \cdot C_{ox} \frac{W}{L} V_{Ov} = \sqrt{2 \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot I_D}$$

Ausgangswiderstand (r_o)

$$r_o = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1} \approx \frac{1}{\lambda \cdot I_D}$$

Einschaltwiderstand

$$R_{on} \approx \frac{\partial I_D}{\partial V_{GS}} \approx \frac{1}{\mu \cdot C_{ox} \frac{W}{L} V_{Ov}} = \frac{1}{g_m}$$

Thresholdspannung (V_{Th}):

$$V_{Th0} = V_{FB} + 2 \underbrace{\frac{kT}{q_e} \cdot \ln \left(\frac{N_A}{n_i} \right)}_{= \Phi_F} + \underbrace{\frac{\sqrt{4q_e \cdot \epsilon_r \cdot |\Phi_F| \cdot N_A}}{C_{ox}}}_{Q_{dep}}$$

$$V_{Th} = V_{Th0} + \gamma (\sqrt{2\Phi_F + V_{BS}} - \sqrt{2\Phi_F})$$

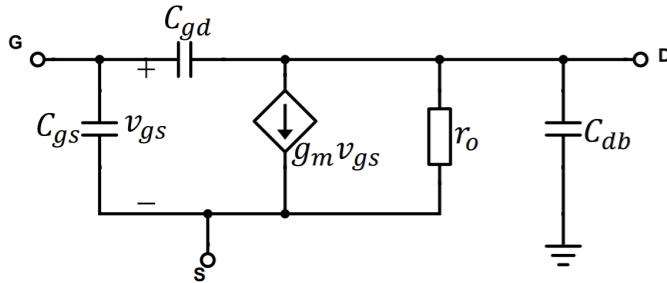
Body Effect

$$\gamma = \frac{\sqrt{2q_e \epsilon_r N_{sub}}}{C_{ox}}$$

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} = \mu_n \cdot C_{ox} \frac{W}{L} (V_{GS} - V_{Th}) \left(-\frac{\partial V_{Th}}{\partial V_{BS}} \right) = \eta \cdot g_m$$

Parasitäre Kapazitäten

Name	Wert in Sättigung	Wert im Triodenbereich
C_{gs}	$\frac{2}{3} WLC_{ox} + WL_{ov}C_{ox}$	$\frac{1}{2} WLC_{ox} + WL_{ov}C_{ox}$
C_{gd}	$WL_{ov}C_{ox}$	$\frac{1}{2} WLC_{ox} + WL_{ov}C_{ox}$
C_{db}	$\frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{\phi_0}}}$	$\frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{\phi_0}}}$



2 Single-Stage Amplifiers

Diode-Connected MOSFET

$$r_x = \frac{v_x}{i_x} = \frac{1}{g_m + \frac{1}{r_o} + g_{mb}} = \frac{1}{g_m} \parallel r_o \parallel \frac{1}{g_{mb}}$$

Unter der Annahme $r_o \gg \frac{1}{g_m}$

$$r_x \approx \frac{1}{g_m + g_{mb}}$$

Verstärkergrundschaltungen

Amp	$ A_v $	$R_{out,tr}$	$R_{out,ges}$
CS	$g_m(r_o \parallel R_D)$	r_o	$r_o \parallel R_D$
CD	$\frac{g_m R_S}{1 + (g_m + g_{mb}) R_S} \approx 1$	$\frac{1}{g_m + g_{mb}} \parallel r_o$	$R_{out,tr} \parallel R_S$
CG	$(g_m + g_{mb})(R_{out,tr} \parallel R_D)$	$r_o(1 + (g_m + g_{mb})R_S) + R_S$	$R_{out,tr} \parallel R_D$
Cascode	$g_{m1}(R_{out,tr} \parallel R_D)$	$(g_{m2} r_{o2} r_{o1})$	$R_{out,tr} \parallel R_D$

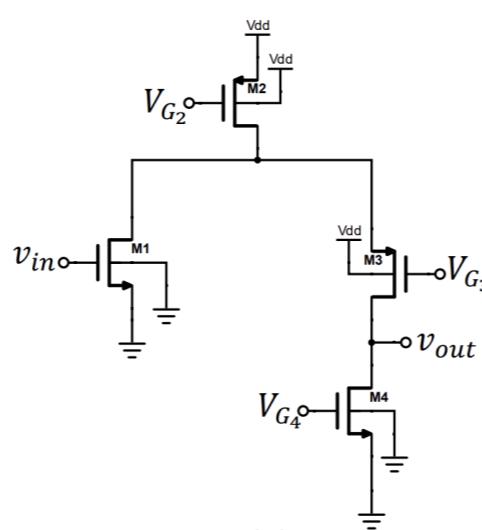
$R_{in,CG} = \frac{1}{g_m + g_{mb}}$. Allgemein bei Kaskoden Schaltungen: $R_{out} = R_{up} \parallel R_{down}$

CS-Stufe mit Gegenkopplung

Amp	$ A_v $	$R_{out,tr}$	$R_{out,ges}$
CS + St. (R_S)	$\frac{g_m (R_{out,tr} \parallel R_D)}{1 + (g_m + g_{mb}) R_S}$	$r_o [1 + (g_m + g_{mb}) R_S] + R_S$	$R_{out,tr} \parallel R_D$
CS + Sp. (R_F)	$g_m (r_o \parallel R_D \parallel R_F)$	r_o	$r_o \parallel R_D \parallel R_F$

Folded Cascode

- Immer jeweils ein PMOS und ein NMOS Transistor.
- Realisierbar mit PMOS-Input (Current Sink unten) oder NMOS-Input (Current Source oben).
- Mit R_D : $A_v \approx -g_{m1} \cdot (g_{m2} r_{o2} r_{o1} \parallel R_D)$
- Mit Aktiver Last: $A_v \approx -g_{m1} \cdot ([g_{m3} r_{o3} (r_{o1} \parallel r_{o2})] \parallel r_{o4})$



3 Noise

Leistungsdichtespektrum (PSD) = $S_v(f)$, SNR = $\frac{P_{signal}}{P_{noise}}$
Gesamtrauschleistung: $P_n = \int_0^\infty S_v(f) df$

Thermisches Rauschen Widerstand

$$\overline{i_n^2} = \frac{4kT}{R} \left[\frac{A^2}{Hz} \right]$$

$$\overline{v_n^2} = 4kTR \left[\frac{V^2}{Hz} \right]$$

Thermisches Rauschen MOSFET

$$\overline{i_n^2} = 4kT \gamma g_m \left[\frac{A^2}{Hz} \right]$$

$$\overline{v_{n,in}^2} = \frac{\overline{v_{n,out}^2}}{|A_v|^2}$$

$$\overline{v_{n,out}^2} = \overline{i_{n,out}^2} \cdot R_{out}^2$$

Rauschen in den Grundschatungen:

- Alle Rauschströme fließen undabhängig durch den Ausgangsknoten: $\overline{i_{n,out}^2} = \sum \text{Einzelrauschströme}$
- Rauschspannung berechnen: $\overline{v_{n,out}^2} = \overline{i_{n,out}^2} \cdot R_{out}^2$
- Eingangsrauschspannung berechne: $\overline{v_{n,in}^2} = \frac{\overline{v_{n,out}^2}}{|A_v|^2}$
- Ergebnis bei allen Grundschatungen: $\overline{v_{n,in}^2} = \frac{4kT\gamma}{g_m} + \frac{4kT}{g_m^2 \cdot R}$

Rauschen in einer Kaskode:

- M1 (Eingang):** Dominanter Beitrag. $\overline{v_{n,in,M1}^2} \approx \frac{4kT\gamma}{g_{m1}}$
- M2 (Kaskode): Vernachlässigbar**, da der Rauschstrom von M2 durch den hohen Ausgangswiderstand r_{o1} von M1 unterdrückt wird.
- Last:** Trägt signifikant bei.

$$\overline{i_{n,out,total}^2} = \overline{i_{n,in,M1}^2} + \overline{i_{n,in,Load}^2}$$

$$\overline{v_{n,out,total}^2} = \overline{i_{n,out,tot}^2} \cdot R_{out}^2$$

$$\overline{v_{n,in,Load}^2} = \frac{\overline{i_{n,out,tot}^2}}{g_{m1}^2}$$

Allgemein: Bei Kaskodenschaltungen ist der Rauschstrom des 2. Transistors durch den hohen Ausgangswiderstand des 1. Transistors unterdrückt. Deswegen kann man diesen vernachlässigen.

4 Differenzverstärker

Gegentakt: $V_{id} = V_{in1} - V_{in2}$
Gleichtakt: $V_{in,CM} = \frac{V_{in1} + V_{in2}}{2}$

$$V_{in1} = V_{in,CM} + \frac{V_{id}}{2}, V_{in2} = V_{in,CM} - \frac{V_{id}}{2}$$

Verstärkung

$$\text{Gegen: } |A_d| = \left| \frac{V_{out}}{V_{id}} \right| = g_m \cdot (R_D \parallel r_o)$$

bei aktiver Last: $r_{o1/2} \parallel r_{o3/4}$

$$\text{Gleich: } |A_{CM}| = \left| \frac{V_{out}}{V_{CM}} \right| \approx \frac{R_D}{2R_{SS}} \quad (V_{in1} = V_{in2} = V_{CM})$$

Eigenschaften

Gegentakt: Virtuelle Masse im Source Knoten

Gleichtakt: Halbschaltung mit $1 \times I, 2R_{SS}$

$$\text{CMRR} = \frac{|A_d|}{|A_{CM}|} \approx 2g_m R_{SS}$$

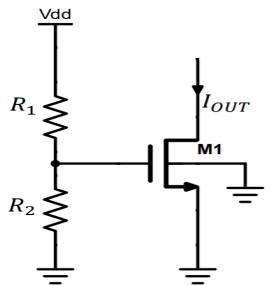
Cascode + Cascode Load

$$|A_d| = g_m [(g_{m3} r_{o3} r_{o1}) \parallel (g_{m5} r_{o5} r_{o7})]$$

5 Stromquellen

Einfachste Methode: Spannungsteil

$$I_{out} \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left(\frac{R_1}{R_1 + R_2} \cdot V_D D - V_{TH} \right)^2$$



Nachteile: Nicht PVT stabil, da V_{TH} und V_{DD} variieren können. **Stromspiegel**

$$I_{OUT} = I_{REF} \cdot \frac{(W/L)_{OUT}}{(W/L)_{REF}}$$

Fehlanpassungen in Stromspiegeln entstehen durch Prozessvariationen wie Maskenfehlausrichtung, Lithografieschwankungen und Diffusions-/Ätzeffekte, die zu Unterschieden in der effektiven Kanalweite und -länge der Transistoren führen. Lösung: COMMON CENTROID LAYOUT.

CLM in Stromspiegeln

$$\frac{I_{OUT}}{I_{REF}} = \frac{(W/L)_{OUT}}{(W/L)_{REF}} \cdot \underbrace{\frac{(1 + \lambda V_{DS,OUT})}{(1 + \lambda V_{DS,REF})}}_{\text{Mirror Error}}$$

Cascode Current Mirrors Wenn $V_{DS,OUT} \approx V_{DS,REF}$, dann ist die Mirror Error minimal und der Stromspiegel präziser.

$$V_B = V_{GS4} + V_X V_Y = V_B - V_{G_S4} \Rightarrow V_Y = V_X$$

I_{OUT} hängt nur wenig von V_{OUT} ab, da die Kaskode einen sehr hohen Ausgangswiderstand hat.

$$\Delta I_{OUT} = \Delta \frac{V_{OUT}}{R_{OUT}}$$

$$V_{OUT,\min} = 2 \cdot V_{OV}$$

Wenn der Bias-(V_B) durch einen weiteren Transistor M3 erzeugt wird:

$$V_{OUT_{min}} = V_{TH} + 2V_{OV}$$

6 Stromreferenzen

7 Frequenzgang

$$BW = f_H - f_L$$

$$GBW = |A_M| \cdot BW$$

$$H(s) = \frac{(1 + \frac{s}{\omega_1})(1 + \frac{s}{\omega_2}) \dots (1 + \frac{s}{\omega_n})}{(1 + \frac{s}{\omega_1})(1 + \frac{s}{\omega_2}) \dots (1 + \frac{s}{\omega_m})} \Big|_{s=j\omega}$$

- Polstellen:** Amplitude: -3-dB, -20dB / Dekade, Phase: -45° asymptotisch zu -90°
- Nullstellen:** Amplitude: +3-dB, +20dB / Dekade, Phase: +45° asymptotisch zu +90°
- Dominantenpolapproximation:** Die Frequenzen liegen weit genug auseinander, sodass die Pole unabhängig voneinander betrachtet werden können.

Miller Theorem

$$Z_1 = \frac{Z}{1-A}, \quad Z_2 = \frac{Z}{1-\frac{1}{A}}$$

Frequenzgang einer CS-Stage

Niedrige Frequenzen: $\begin{cases} f_L1 = \frac{1}{2\pi C_{C_1}(R_{Sig} + R_G)} \\ f_L2 = \frac{1}{2\pi C_{C_2}((r_0 \parallel R_D) + R_L)} \end{cases}$ Eingangskoppelkondensator
Ausgangskoppelkondensator

Hohe Frequenzen: $\begin{cases} f_H1 = \frac{1}{2\pi(R_{Sig} \parallel R_G)C_{in}} \\ f_H2 = \frac{1}{2\pi(r_0 \parallel R_D \parallel R_L)C_{out}} \end{cases}$ Eingangskapazität
Ausgangskapazität

mit $C_{in} = C_{gs} + (1 - A_0)C_{gd}$ und $C_{out} = (1 - \frac{1}{A_0})C_{gd} + C_{db}$

$$\text{Nullstelle: } f_Z = \frac{g_m}{2\pi C_{gd}}$$

$$\begin{aligned} R_{d1} &= r_{o1} \parallel R_{in2} \\ R_{in2} &= \frac{r_{o2} + R_L}{1 + g_{m2}r_{o2}} \\ R_o &= g_{m2}r_{o2}r_{o1} + r_{o1} + r_{o2} \\ \tau_1 &= R_{C_{gs1}} \cdot C_{gs1} = (R_{sig}) \cdot C_{gs1} \\ \tau_2 &= R_{C_{gd1}} \cdot C_{gd1} = \frac{v_x}{i_x} \cdot C_{gd1} = (g_{m1}R_{d1}R_{sig} + R_{sig} + R_{d1}) \\ R_{d1} &= r_{o1} \parallel R_{in2} = r_{o1} \parallel \frac{r_{o2} + R_L}{1 + g_{m2}r_{o2}} \quad \text{Vgl. CG: } R_{C_{gs}} \\ \tau_3 &= R_{C_{d1}} \cdot (C_{db1} + C_{gs2}) = (R_{d1}) \cdot (C_{db1} + C_{gs2}) \\ R_o &\approx g_{m2}r_{o2}r_{o1} \quad \text{Vgl. Kaskode Ausgangswiderstand} \\ \tau_4 &= R_{C_{out}} \cdot (C_L + C_{gd2} + C_{db2}) = (R_o \parallel R_L) \cdot (C_L + C_{gd2} + C_{db2}) \end{aligned}$$

$$\text{Übergangs frequenz: } f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

OCTC: CS-Stage

$$R'_{Sig} = R_{Sig} \parallel R_G$$

$$R'_L = R_L \parallel r_0 \parallel R_D$$

$$\tau_1 = R_{C_{gs}} \cdot C_{gs} = (R_{Sig} \parallel R_G) \cdot C_{gs}$$

$$\tau_2 = R_{C_{gd}} \cdot C_{gd} = \frac{v_x}{i_x} \cdot C_{gd} = (R'_{Sig}(1 + g_m R'_L) + R'_L) \cdot C_{gd}$$

$$\tau_3 = R_{C_{db}} \cdot C_{db} = (R'_L) \cdot C_{db}$$

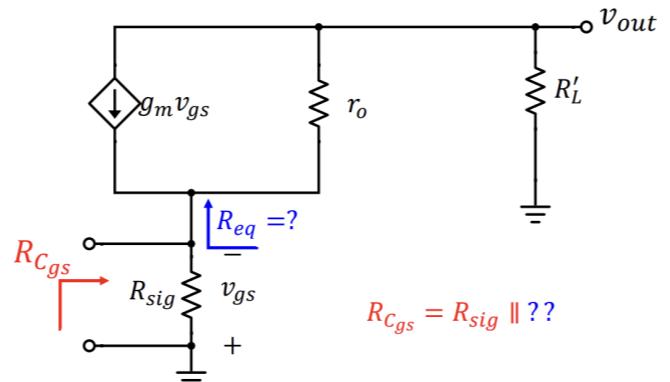
OCTC: CG-State

$$R'_L = R_D \parallel R_L$$

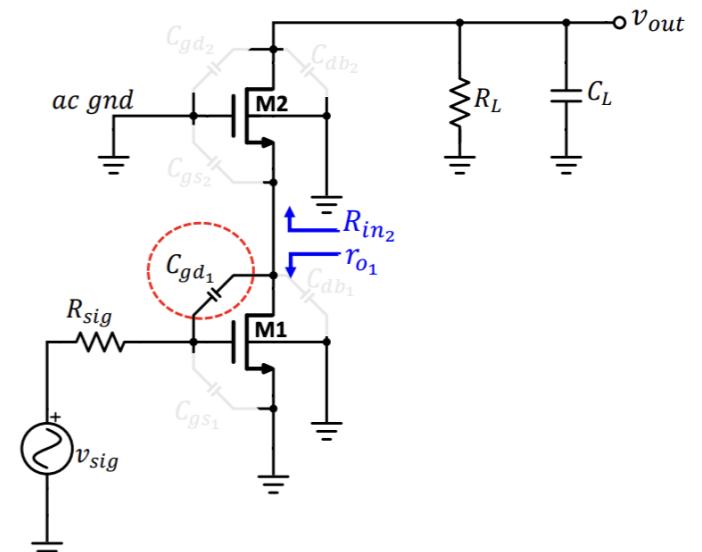
$$\tau_1 = R_{C_{gs}} \cdot C_{gs} = (R_{sig} \parallel R_{eq}) \cdot C_{gs} = \left(R_{sig} \parallel \frac{r_0 + R'_L}{1 + g_m r_0} \right) \cdot C_{gs}$$

$$C'_L = C_{gd} + C_{db}$$

$$\tau_2 = R_{C'_L} \cdot C'_L = \frac{v_x}{i_x} \cdot C'_L = (R'_L \parallel \underbrace{g_m R_{sig} r_0}_{\text{Wie bei Kaskode}}) \cdot (C'_L)$$



OCTC: Cascode



8 Feedback

$$H = \frac{A}{1 + AF} \quad T = AF(\text{Return Ratio})$$

$$H = H_\infty \cdot \frac{1}{1 + T} + H_0 \cdot \frac{1}{1 + T}$$

($g_m \rightarrow \infty$)

H_∞ berechnen: Verstärker durch idealen OPA ersetzen

$$H_\infty = \lim_{A_0 \rightarrow \infty} \frac{v_{out}}{v_{in}}$$

T berechnen:

- $v_{in} = 0$, Spannungsquellen=Kurzschluss, Stromquellen=Leerlauf
- i_{test} an die Stelle von $g_m \cdot v_{gs}$ setzen.
- v_{gs} in Abhängigkeit von i_{test} berechnen.
- $T = -\frac{i_{returned}}{i_{test}} = -\frac{v_{gs}(i_{test})}{i_{test}}$

9 Stabilität

$$\text{Polstellen: } s^2 + s \frac{\omega_0}{Q} + \omega_0^2 = 0 \quad \zeta = \frac{1}{2Q}$$

$$s^2 \tau_1 \tau_2 + s(\tau_1 + \tau_2 + 1)$$

Komplexe konjugierte Polstellen wenn: $(\tau_1 + \tau_2)^2 < 4\tau_1 \tau_2$

Durchlassspannungsverstärkung: $\lim_{s \rightarrow \infty} H(s)$

$$\text{Filter 2. Ordnung: } H(s) = \frac{A_0}{(1 + \frac{s}{\omega_{p2}})(1 + \frac{s}{\omega_{p1}})}$$

Barkhausen-Kriterium: Das System wird instabil, $|AF| = 1$ und $\arg\{AF\} = n \cdot \pi$

Transitfrequenz $f_T, f_{unity-gain}$ berechnen

$$f_T = 2\pi\omega_T$$

Allgemein gilt: $|H(\omega_T)| = 1$

1. Fall: Die Pole liegen weit genug auseinander (Dominantenpolapproximation):

$$\omega_T \approx \begin{cases} A_0 \cdot f_{p1} & \text{wenn zwischen den Polen} \\ \sqrt{A_0} \cdot \omega_{p1} & \text{wenn oberhalb der Pole} \end{cases}$$

2. Fall: Die Pole liegen ineinander (doppelter Pol):

$$\omega_T \approx \sqrt{A_0} \cdot \omega_{p1}$$

3. Fall: Pole liegen zu nah beieinander

$$\omega_T \approx \sqrt{A_0} \cdot \sqrt{\omega_{p1} \cdot \omega_{p2}} \quad \text{oberhalb der Pole}$$

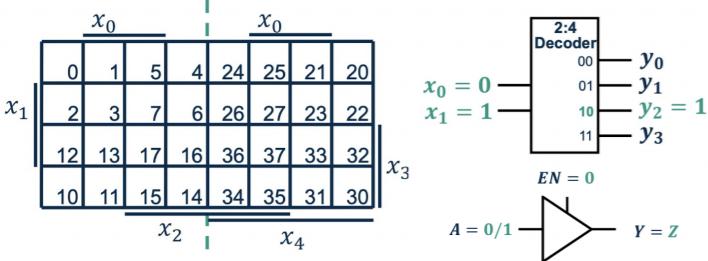
Phasenreserve Abstand der Phase zu -180° bei der Transitfrequenz ω_T .

$$PM = \pi + \arg\{H(\omega_T)\} = \pi - \arctan\left(\frac{\omega_T}{\omega_{p1}}\right) - \arctan\left(\frac{\omega_T}{\omega_{p2}}\right)$$

Miller Kondensator: ermöglicht eine platzsparende Stabilisierung von Verstärkern durch künstliche Kapazitätsvergrößerung, erkauft dies jedoch durch eine deutliche Verkürzung der Bandbreite bei hohen Frequenzen.

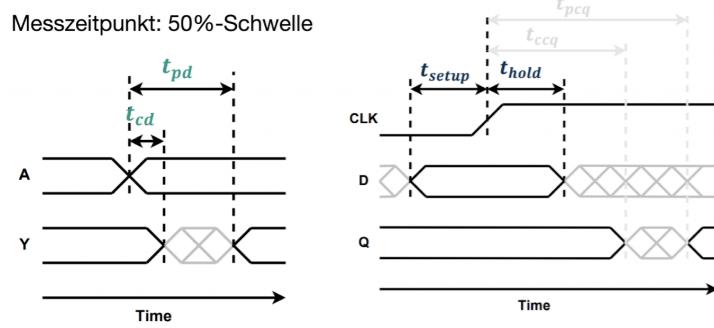
10 Digitaltechnik

$$f(x_4, x_3, x_2, x_1, x_0)$$



Sequentielle Schaltung vs. Kombinatorische Schaltung: Kombinatorische Schaltungen bestehen aus zyklusfreien Verbindungen rein kombinatorischer Schaltungselemente, bei denen jeder Knoten eindeutig als Input oder mit genau einem Output verbunden ist. Im Gegensatz dazu nutzen sequentielle Schaltungen diese Elemente als Basis, enthalten jedoch zyklische Pfade mit taktgesteuerten Registern zur Zustandsspeicherung.

10.1 Timing



1. **Contamination Delay:** Mindestzeit zur Inputänderung
2. **Propagation Delay:** Maximalzeit zur Inputänderung
3. **Kritischer Pfad:** Längster Pfad in Schaltung mit PD rechnen

4. **Kürzester Weg:** Mit CD rechnen
5. **Glitch:** Unterschiedliche Pfadlängen führen zu mehreren Outputänderungen
6. **Aperture Time:** Setup Time + Hold Time
7. **Dynamic Discipline:** Alle Inputs einer synchronen sequentiellen Schaltung müssen während der Setup- und Hold-Zeiten in Bezug auf die Flanken des Clocksignals stabil sein
8. **Metastabilität:** Wenn die Dynamic Discipline verletzt wird, ist der Output eines Flipflops undefiniert und kann eine Spannung zwischen 0 und V_{DD} annehmen. Lösung: ein Synchronizer.

$$T_C \geq t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$

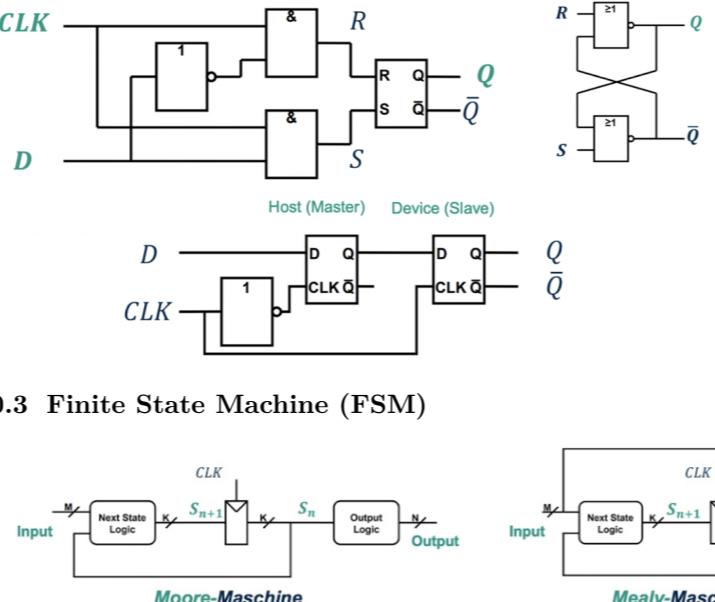
$$t_{ccq} + t_{cd} \geq t_{hold} + t_{skew}$$

$$P(\text{failure}) = P(t_{tes} > T_C - t_{setup}) = \frac{t_{setup} + t_{hold}}{T_C} \cdot e^{-\frac{T_C - t_{setup}}{\tau}}$$

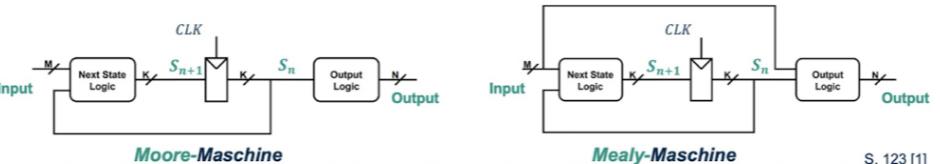
$$\text{MTBF} = \frac{T_C \cdot e^{\frac{T_C - t_{setup}}{\tau}}}{N(t_{setup} + t_{hold})}$$

10.2 FlipFlops

Latch vs. FlipFlop: FlipFlop: Taktgesteuert, reagiert nur auf Flanken, synchron. Latch: Transparent, reagiert auf Pegel, asynchron.



10.3 Finite State Machine (FSM)



10.3.1 Digital Building Blocks

10.3.2 Volladdierer

$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = (A \cdot B) + (B \cdot C_{in}) + (A \cdot C_{in})$$

$$t_{pd-N\text{-ripple-carry-adder}} = N \cdot t_{pd\text{-full-adder}}$$

10.4 Carry Look-Ahead Adder

- Generate: $G_i = A_i \cdot B_i$ (Wird ein Carry generiert, unabhängig von C_{in})
- Propagate: $P_i = A_i \oplus B_i$ (Wird ein Carry weitergeleitet, wenn C_{in} vorhanden ist)

$$\begin{aligned} C_{i+1} &= G_i + (P_i C_i) \\ C_1 &= G_0 + (P_0 C_{in}) \\ C_2 &= G_1 + (P_1 C_1) = G_1 + P_1 G_0 + P_1 P_0 C_{in} \\ C_3 &= G_2 + (P_2 C_2) = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_{in} \\ C_4 &= G_3 + (P_3 C_3) = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_{in} \end{aligned}$$

10.4.1 Komparatoren

- **Gleichheit** prüfen: $XNOR$ aller Bits, dann AND aller Ergebnisse
- **Größer-gleich, Kleiner-als** prüfen: Subtraktion durchführen, dann Vorzeichenbit prüfen: $(Y[N-1] = 0 \Rightarrow A \geq B, Y[N-1] = 1 \Rightarrow A < B)$

Overflow prüfen:

$$\begin{cases} (\text{sign}(A) = \text{sign}(B)) \wedge (\text{sign}(A+B) \neq \text{sign}(A)) & \text{Overflow bei Addition} \\ (\text{sign}(A) \neq \text{sign}(B)) \wedge (\text{sign}(A-B) \neq \text{sign}(A)) & \text{Overflow bei Subtraktion} \end{cases}$$

10.4.2 Multiplizierer & Dividierer

$$R' = 0$$

for $i = N-1$ to 0

$$R = \{R' << 1, A_i\}$$

$$D = R - B$$

if $D < 0$ then

$$Q_i = 0, R' = R$$

else

$$Q_i = 1, R' = D$$

$$R = R'$$

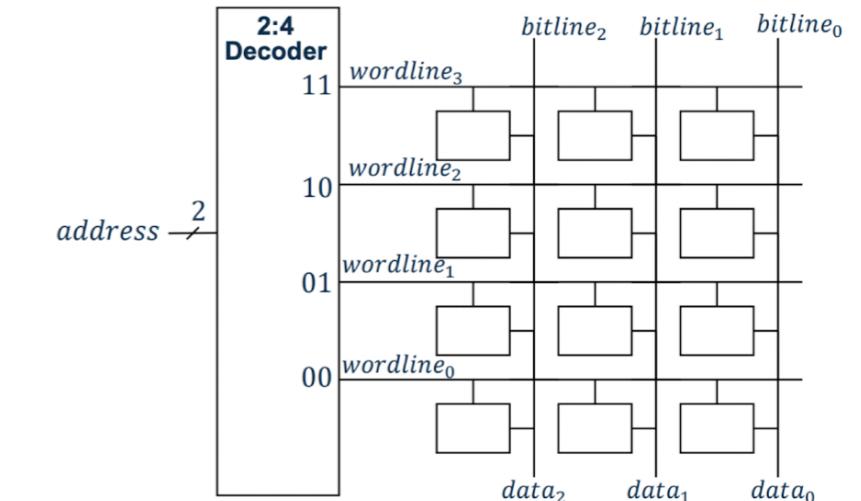
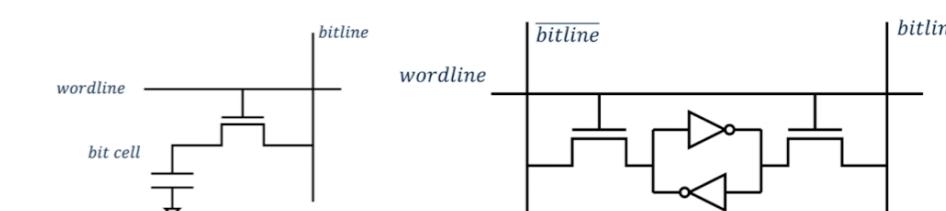
A_2	A_1	A_0
B_2	B_1	B_0
$A_2 B_0$	$A_1 B_0$	$A_0 B_0$
$A_2 B_1$	$A_1 B_1$	$A_0 B_1$
+	$A_2 B_2$	$A_1 B_2$
P_5	P_4	P_3
P_2	P_1	P_0

10.4.3 ALU

Flags: Z: Alle Bits 0, N: Vorzeichenbit, C: Carry, V: Overflow

10.5 RAM

Volatile vs. Nonvolatile: Volatile (RAM) verlieren Daten ohne Stromversorgung. Nonvolatile (ROM) behalten Daten (z.B.: ROM). **DRAM:** Speichert Bits als Ladung auf Kondensator. Benötigt regelmäßiges Refresh (ms-Bereich). **SRAM:** Speichert Bits mit kreuzgekoppelten Invertern. Statisch, kein Refresh nötig.



Speichertyp	Transistoren pro Bit-Zelle	Latenz
Flip-Flop	~20	schnell
SRAM	6	mittel
DRAM	1	langsam

10.6 Technology Mapping

Technology Mapping: Abbildung einer ungebundenen Logikschaltung auf vordefinierte gebundene (optimiere) Bibliothekselemente.

Trivial Binding: Jeder Knoten (Vertex) wird einzeln an eine passende Bibliothekszeile gebunden. Meist nicht optimal, da die ungebundene Logik ohne Berücksichtigung der Zellparameter (Fläche, Delay etc.) optimiert wurde.

Leaf-DAG: DAG mit nur einer Quelle (Root), bei dem Pfade nur an den Senken (Leaves) wieder zusammenlaufen können.

Subject Graph: Das zu mappende Subnetzwerk.

Pattern Graph: Der Graph, der mit einer Bibliothekszeile assoziiert ist.

Decomposition (Zerlegung): Wandelt boolesche Funktionen in Basisfunktionen um, die von der Bibliothek unterstützt werden. Ermöglicht ein Trivial Binding. Im CMOS typisch: NAND2/NOT oder NOR2/NOT.

Partitioning: Zerlegt Multiple-Input/Multiple-Output-Netzwerke in Multiple-Input/Single-Output-Netzwerke (Subject Graphs) zur Reduktion der Abdeckungskomplexität.

Boolean Match: Überprüft die funktionale Äquivalenz zweier boolescher Funktionen.

Structural Match: Überprüft strukturelle Isomorphie zwischen zwei Rooted DAGs. Strukturelles Matching impliziert Boolean Matching, aber nicht umgekehrt.

Unbounded Network: Ein Unbound Network ist eine allgemeine Logikschaltung. Sie kann auf verschiedenen Weise in Hardware abgebildet werden.

Bounded Network: Bei einem Bound Network handelt es sich um eine spezifische Zuordnung zu Zellen einer Bibliothek.

10.7 FPGA

- Besteht aus **Configurable logic blocks**.
- Jeder Block enthält Look-Up-Tables (LUTs) für die Implementierung von Logikfunktionen etc.
- LUT-Covering: Abdeckung eines Subject Graphs mit Pattern Graphs, die von den LUTs repräsentiert werden. Ziel: Minimierung der Anzahl benötigter LUTs.
- beschränkt durch die maximale Input Anzahl (da 2^n schnell explodiert) **Area Algorithm** Algorithmus von R. J. Francis zur optimalen LUT-Abdeckung.

Voraussetzungen:

- Subject Graphs (trees/leaf-DAGs) durch Partitioning
- Transformation mit DeMorgan & ANDOR-Assoziativität:
 - * Invertierte Edges nur an Leafs
 - * Keine aufeinanderfolgenden AND-Vertices
 - * Keine aufeinanderfolgenden OR-Vertices
 - * Ziele: Minimale Anzahl LUT's, Minimale LUT-Input-Anzahl

Decomposition Tree: Tree aus LUTs, der eine Decomposition des aktuellen Non-leaf Node und der Root-LUTs der aktuellen FanIn-Schaltungen darstellt

10.8 Physical Design

10.8.1 Partitioning

- Das System (die Netzliste) wird in handhabbare Blöcke aufgeteilt, um Komplexität zu reduzieren. Zum Beispiel minimale Schnittstellen (cuts) zwischen Blöcken.

Direct-Method:

- **Greedy-Ansatz:** Random Start Partitions, dann iterativ Knoten verschieben, um Kostenfunktion zu minimieren (z.B. Anzahl Schnittstellen).
- **Nachteile:** Kann in lokalen Minima stecken bleiben, abhängig von Startpartitionierung. Nicht garantiert, dass die globale optimale Partitionierung gefunden wird.

Simulated-Annealing-Methode

- Kann globales Optimum finden, da es erlaubt, temporär schlechtere Lösungen zu akzeptieren.
- **Metropolis-Kriterium:** Wird verwendet, um zu entscheiden, ob eine neue Lösung angenommen wird $\text{random}[0, 1] \leq \min\{1, e^{-\frac{\text{cost}(S_{\text{new}}) - \text{cost}(S)}{T}}\}$

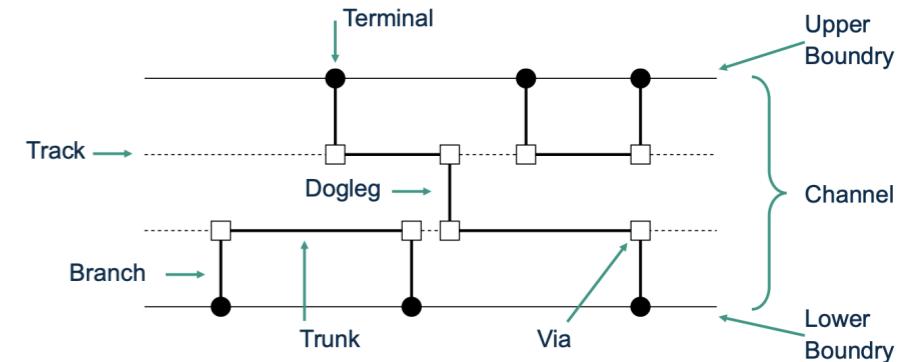
$S \leftarrow \text{initial_solution}$

Repeat{

```

Repeat {
  /* Find next Solution */
  S_new  $\leftarrow \text{rand\_move}(S)$ 
  if  $\text{random}[0, 1] \leq \min\{1, e^{-\frac{\text{cost}(S_{\text{new}}) - \text{cost}(S)}{T}}\}$  {
    S  $\leftarrow S_{\text{new}}$ 
  }
} until equilibrium at current T is reached
T  $\leftarrow \text{decrease}(T)$ 
} until ( $T \rightarrow 0$ )

```



- Je höher die Temperatur T , desto höher die Wahrscheinlichkeit, eine schlechtere Lösung zu akzeptieren
- $\lim_{T \rightarrow 0} (\lim_{n \rightarrow \infty} P(\text{globales Optimum})) = 1$.

Floorplanning: Beim Floorplanning werden die groben Positionen, Formen (Seitenverhältnisse, Fläche ist vorgegeben) und I/O-Anschlüsse der funktionalen Blöcke (die Partitions) so festgelegt, dass die Chipfläche und die Leitungslängen minimiert werden.

Placement: Das Placement weist jeder Standardzelle einer Partition eine exakte Koordinate in vordefinierten, horizontalen Reihen zu. Ziel ist es, die Gesamtleitungslänge (Netzlänge zwischen Komponenten) zu minimieren und eine überlappungsfreie Anordnung unter Einhaltung von Timing-Vorgaben zu finden.

	Konstruktiver Algorithmus	Iterativer Algorithmus
Anfangslösung	Keine Anfangslösung	Anfangslösung vorhanden
Machbarkeit	Nur letzte Platzierung machbar (kein vorzeitiges Beenden möglich)	In jeder Iteration ist die Lösung machbar (vorzeitige Beendigung möglich)
Leistung	Konstant	Hängt stark von der Ausgangsposition ab
Optimierung	Partielle Perspektive (bis zur letzten Iteration)	Globale Perspektive

Modell	Beschreibung / Charakteristik	Hauptvorteil
Bounding Box (HPWL)	Umfang des umschließenden Rechtecks (Half-Perimeter); berechnet als $(x_{\max} - x_{\min}) + (y_{\max} - y_{\min})$.	Extrem schnell; ideal für die Platzierungsphase.
Source-Sink Tree	Direkte Stern-Verbindung von einer Quelle (Source) zu allen Senken (Sinks/Drains).	Minimale Signalverzögerung (Delay) pro Pfad.
Min. Spanning Tree (MST)	Verbindet alle Terminals direkt miteinander, ohne zusätzliche Hilfsknoten zu erlauben.	Einfach zu berechnen; gute Annäherung an Drahtlänge.
Steiner Tree (RSMT)	Rectilinear Steiner Minimum Tree: Kürzeste Verbindung unter Verwendung zusätzlicher Hilfsknoten (Steiner-Punkte).	Präziseste Annäherung an die reale Drahtlänge.

Routing: Beim Routing werden die genauen Pfade für die Verbindungsleitungen zwischen den Komponenten festgelegt. Ziel ist es, die Anzahl der Leitungsumkreuzungen zu minimieren. **Routing Regions:** Position der für das Routing verwendeten Bereiche. **Channel:** Routing Region, die von zwei gegenüberliegenden Seiten begrenzt ist. **Switch Box:** Routing Region, die von vier Seiten begrenzt ist. **Global Routing:** Bestimmt die groben Pfade der Verbindungen zwischen den Komponenten, ohne genaue Leitungsführung zu spezifizieren. (Umsetzung mit Extended Channel Intersection Graphs, Maze-Routing Methode \Rightarrow Lee's Algorithmus) **Detailed Routing:** Legt die genauen Pfade der Verbindungen fest (geometrische Anordnung). **Two-layer Channel-Routing, Left-Edge-Algorithmus**