

→ O módulo Decide com arquitetura Behavioral é baseado numa máquina de estados finitos do tipo de Moore pois a saída depende apenas do estado atual.

Laboratórios de Sistemas Digitais ...

Exame de Recurso 16/17

PARTE I

exercício 1

→ Por cada 100 ns, o relógio está ativo 40 ns, logo o duty-cycle do relógio é 40%.

$$60 + 40 = 100 \text{ ns} = \text{Período}$$

$$\text{Frequência}_{\text{Hz}} = \frac{1}{\text{Período}_s} \quad (\Rightarrow) \quad f = \frac{1}{100 \times 10^{-9}} \quad (\Rightarrow)$$

$$(\Rightarrow) f = \frac{1 \times 10^9}{1 \times 10^{-2}} = 1 \times 10^7 = 10 \times 10^6 \text{ MHz} \quad \text{opção B}$$

exercício 2

→ VHDL é uma linguagem que permite a descrição de sistemas digitais, através de processos, instanciações e interligações de entidades, atribuições concorrentes (opção A)

exercício 3

→ Analysis & Synthesis → Fitter → Generate Programming Files

exercício 4

→ opção A

slides da Teórica nº 2 (página 5)

O "T" não pertence aos tipos de dados de VHDL

Exercício 5

→ 0

5 | 6 | 1

4 | 3 | 2

3 | 1 | 0

6 5 4 3 2 1 0

1 0 0 0 1 1 1

→ opção C

Exercício 6

→ Para efeitos de simulação, a lista de sensibilidade de um processo em VHDL contém os sinais e portos cujos eventos desencadeiam a execução do respetivo processo (opção D)

Exercício 7

→ case e when são palavras reservadas, opção b

Exercício 8

→ a é um input, logo não lhe pode ser atribuído nenhum valor.

ao multiplicar 2 bits por 2 bits, obtenho um resultado de 3 bits (logo B dá erro)

ao multiplicar 4 bits por 4 bits obtemos um vetor de 4 bits (logo C errada)

opção D

Exercício 9

→ opção B

Exercício 10

→ testbenches são descritas por entidades sem portas de entrada nem de saída. opção C

Exercício 11

→ use IEEE.std_logic_1164.ALL -- tipos std_logic e std_logic_vector

use IEEE.numeric_std.all -- unsigned e signed opção A

Exercício 12

→ $2^{8\text{bits}} = 256$ casas → [0, 255] opção C

exercício 13

→ enable ativo a 1 = alto

00 \Rightarrow 0001 (decoder 2:4) opção B

exercício 14

→ basta substituir por process(clock) opção A

exercício 15

→ $2^3 = 8$ $2^4 = 16$ $2^5 = 32$

Um contador só pode dividir a frequência por n^os que sejam potências de base 2 ($32 = 2^5$), opção C)

exercício 16

→ Barrel Shifter não tem clock (opção B)

PARTE II

exercício 17

→ A saída resulta do pulsos positivos do relógio logo, é um flip-flop edge triggered e não um latch
b é a entrada de dados que transparece na saída sempre que a (enable) está ativo
opção D

exercício 18

0	0	0	0	AND
0	0	1	0	
0	1	0	1	
0	1	1	0	
1	0	0	1	
1	0	1	1	
1	1	0	0	AND
1	1	1	1	
I2	I1	I0	Z	
b	a			

Exercício 19

$\rightarrow a = "1111" \rightarrow -2^3 + 2^2 + 2^1 + 2^0 = a = 8 + 4 + 2 + 1 = 15 \text{ unsigned}$
 $= -8 + 4 + 2 + 1 = -1 \text{ (signed a)}$

$b = "0001" = 1 \text{ (signed = unsigned)}$

signed $\rightarrow -1 < 1 \rightarrow a < b \rightarrow \text{gtSigned} = '0'$
unsigned $\rightarrow 15 > 1 \rightarrow a > b \rightarrow \text{gtUnsigned} = '1'$

Exercício 20

\rightarrow Deslocamento aritmético de 1 bit à direita, preserva o sinal, logo, opção D

Exercício 21

\rightarrow opção D (não vão sair 2 UT's no teste)

Exercício 22

$\rightarrow 100 \text{ MHz} \rightarrow 4 \text{ estados}$

1 estado $\rightarrow 25 \text{ MHz}$

em cada 4 estados $\rightarrow \text{clockOut} = "1"$ 2 vezes

opção C

Exercício 23

\rightarrow opção A e C

Exercício 24

\rightarrow

00	8 bit
01	8 bit
10	8 bit
11	8 bit

~~4 x 8 = 32 bits~~

$4 \times 8 = 32 \text{ bits}$

opção B

exercício 25

↳ leitura e escrita síncronas
opção A

exercício 26

↳ 02 4 6 8 → Pares

↳ 5 Flip Flops

opção C

9 - 5 = 4 not gates

exercício 27

↳ opção A

exercício 28

↳ O clock do registo tem de estar certo, para que a ALU proceda às operações de forma controlada, logo faria sentido ligar um debouncer ao clock do Registo SWC1
opção B (não sai)

exercício 29

↳ opção D

exercício 30

↳ opção ~~C~~ ~~A~~ ~~B~~

exercício 31

↳ opção ~~A~~ D

exercício 32

↳ opção A