

Roteiro do Projeto 1: Apresentação da Data de Nascimento

1. Introdução

O objetivo do projeto 1 do Laboratório de Sistemas Digitais é desenvolver um sistema digital combinacional que a partir do acionamento de três chaves apresenta a data de nascimento do aluno em um display hexadecimal.

Esse laboratório também objetiva exercitar a metodologia de desenvolvimento de projetos de engenharia apoiada em computador (CAE). Esse processo envolve a compreensão do problema, seu planejamento, desenvolvimento da solução lógica, integração dos subsistemas, implementação no ambiente computacional, simulação, testes, depuração do projeto, implementação física e registro dos resultados.

2. Planejamento do Projeto

O processo de elaboração do projeto consiste de três etapas básicas:

Projeto Lógico (preparatório ao laboratório - extra aula):

➤ Desenvolvimento do projeto lógico do sistema digital (tabelas verdade, mapas de Karnaugh e expressões lógicas simplificadas), considerando **duas formas de implementação**: com portas lógicas padrão e com multiplexadores comercialmente disponíveis (74151).

Aula 5 (CGI):

- Elaboração do diagrama esquemático da lógica principal do projeto (decodificador do aluno) utilizando os recursos de edição gráfica (*Block Diagram*) na ferramenta Quartus II;
- O projeto lógico deve ser elaborado utilizando duas formas de implementação: com portas lógicas e com multiplexadores;
- Apresentação individual do diagrama esquemático do projeto do decodificador ao professor (**1 ponto**);

Aula 6 (CGI):

- Simulação funcional do decodificador do aluno na ferramenta Quartus II;
- Apresentação individual da simulação funcional ao professor para comprovar o correto funcionamento do decodificador, utilizando as duas formas de implementação (**1 ponto**);
- Incorporação dos outros módulos que complementam o projeto lógico.

Aula 7 (CLE):

- Atribuição de pinos e preparação para configuração do dispositivo lógico programável (FPGA);
- Apresentação individual do projeto completo e teste projeto na placa **DE2-70** para avaliação da implementação pelo professor (**1 ponto**);
- Entrega do relatório do projeto (conforme instruções no final do roteiro) (**1 ponto**).

Nas aulas de apresentação o aluno deverá estar preparado para responder (entre outras) às seguintes questões:

- ✓ Demonstrar que a lógica de controle desenvolvida opera de acordo com a especificação;
- ✓ Descrever e exemplificar o funcionamento da lógica de controle (casos de teste considerados);
- ✓ Descrever a função dos componentes utilizados;
- ✓ Descrever as atividades de integração realizadas para a obtenção do projeto;
- ✓ Justificar comportamentos inesperados do circuito implementado;
- ✓ Modificar as formas de onda simuladas para representar situações específicas (casos de teste);

3. Descrição Funcional do Projeto

Deseja-se implementar um sistema que, a partir do acionamento de três chaves (S2, S1, S0), apresente a data de nascimento do aluno em dois displays hexadecimais conforme a **Tabela 1**.

Os displays hexadecimais são do tipo 7-Segmentos com ligação em anodo comum. Esse tipo de display pode ser acionado por um decodificador comercialmente disponível (**74247**). A tabela funcional do decodificador **74247** é fornecida no final deste roteiro.

Devem ser utilizadas **duas formas de implementação** da lógica do **Decodificador_do_Aluno**: para o Display **HEX0** devem ser utilizadas portas lógicas padrão (AND, OR, NOT); para o Display **HEX1** devem ser utilizados multiplexadores (**74151**). A tabela funcional de um multiplexador **7151** é fornecida no final deste roteiro.

Observe que a tabela funcional desejada para cada display será ligeiramente diferente. Para o Display **HEX0** a primeira e a última combinações de chaves **não serão utilizadas** (podendo ser apresentado qualquer valor no display). Para o Display **HEX1** deseja-se que na primeira e na última combinações das chaves o display fique apagado (condição 1111 nas entradas DCBA do decodificador **74247**).

Tabela 1: Valor numérico que cada display deve apresentar conforme a data de nascimento do aluno

| S2 | S1 | S0 | DISPLAY HEX1 | DISPLAY HEX0 |
|----|----|----|-----------------------|--------------------------|
| 0 | 0 | 0 | Apagado | Combinação não utilizada |
| 0 | 0 | 1 | D1 – 1º Dígito do dia | D1 – 1º Dígito do dia |
| 0 | 1 | 0 | D2 – 2º Dígito do dia | D2 – 2º Dígito do dia |
| 0 | 1 | 1 | M1 – 1º Dígito do mês | M1 – 1º Dígito do mês |
| 1 | 0 | 0 | M2 – 2º Dígito do mês | M2 – 2º Dígito do mês |
| 1 | 0 | 1 | A1 – 1º Dígito do ano | A1 – 1º Dígito do ano |
| 1 | 1 | 0 | A2 – 2º Dígito do ano | A2 – 2º Dígito do ano |
| 1 | 1 | 1 | Apagado | Combinação não utilizada |

Por exemplo: caso o aluno que tenha nascido em **12/05/95**, seu projeto deve ter a seguinte tabela verdade:

| S2 | S1 | S0 | DISPLAY HEX1 | DISPLAY HEX0 |
|----|----|----|--------------|--------------|
| 0 | 0 | 0 | ---- | X |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 2 | 2 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 5 | 5 |
| 1 | 0 | 1 | 9 | 9 |
| 1 | 1 | 0 | 5 | 5 |
| 1 | 1 | 1 | ---- | X |

A **Figura 1** mostra o diagrama de blocos do sistema digital para a indicação da data de nascimento do aluno.

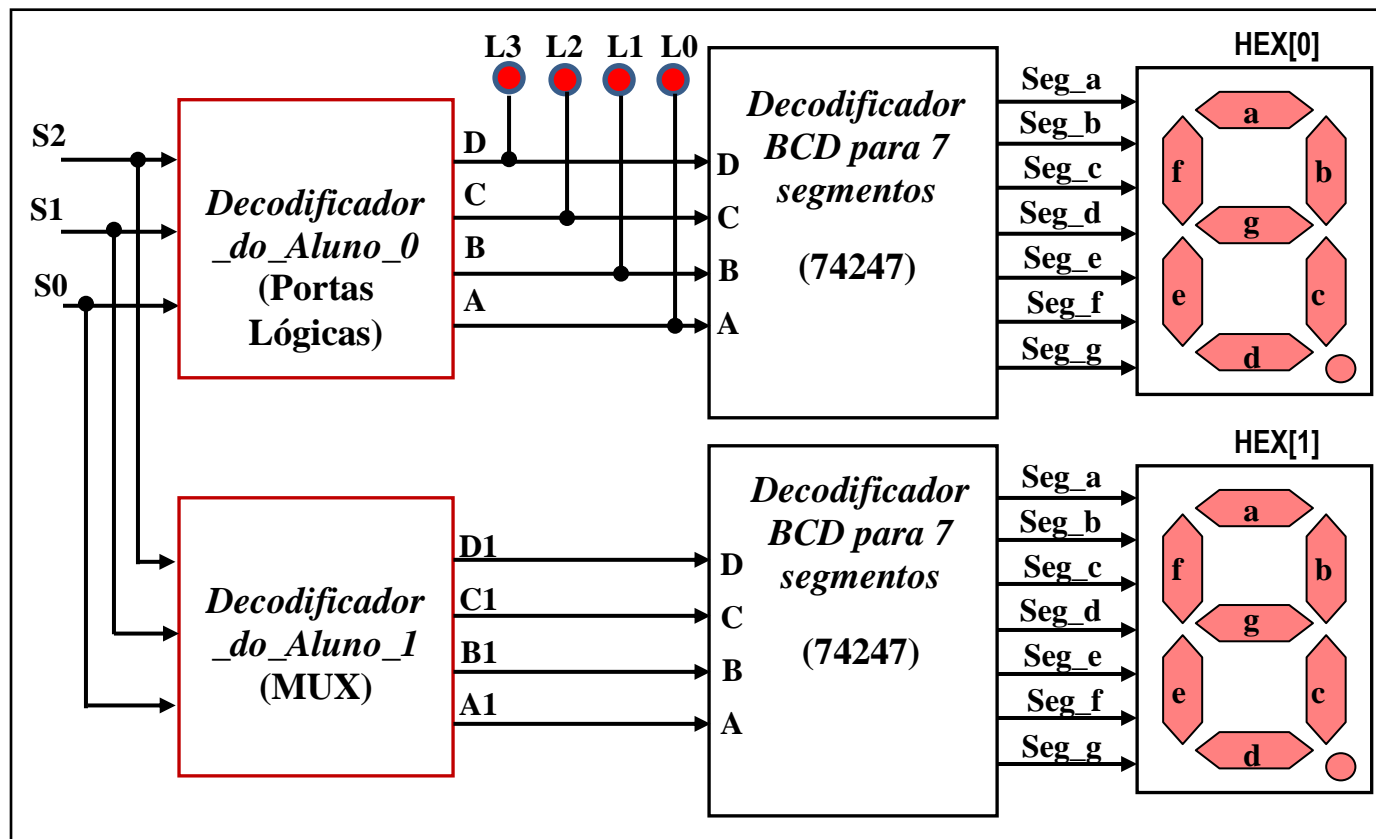


Figura 1: Diagrama de blocos global do sistema de apresentação da data de nascimento

4. Requisitos de Implementação de Projeto

O sistema de controle digital deve ser totalmente implementado utilizando a FPGA (**EP2C70F896C6**) existente na placa de desenvolvimento **DE2-70**.

Cada aluno deve desenvolver **individualmente o projeto lógico** para representar o sistema de controle de apresentação da sua data de nascimento.

Os requisitos específicos desse sistema digital são os seguintes:

- Conforme a **Figura 1** o projeto é constituído por quatro decodificadores: dois que devem ser projetados pelo aluno (**Decodificador do Aluno_0** e **Decodificador do Aluno_1**) e outros dois que serão utilizados componentes comerciais para executar a conversão BCD- 7 Segmentos (neste caso o **74247** é apropriado para o display da placa **DE2-70**).
- O **Decodificador do Aluno_0** deve ser projetado utilizando portas lógicas padrão (AND, OR, NOT);
- O **Decodificador do Aluno_1** deve ser projetado utilizando multiplexadores 8x1, neste caso o Quartus possui o modelo **74151**. A tabela funcional do multiplexador **7151** é fornecida no final deste roteiro.

- O **Decodificador_do_Aluno_0** deve fornecer como saída um código (**D C B A**) que deve ser apresentado nos LED's: **L3, L2, L1, L0** da placa **DE2-70**. Esse código deve ser tal que o display hexadecimal **HEX0** da placa **DE2-70** apresente o número desejado conforme a **Tabela 1**.
- O **Decodificador_do_Aluno_1** deve fornecer como saída um código (**D1 C1 B1 A1**) que deve apresentar no display hexadecimal **HEX1** da placa **DE2-70** os números desejados e permanecer apagado quando o código de entrada for inválido, conforme a **Tabela 1**.
- Os sinais de entrada (**S2, S1 e S0**) devem ser conectados às chaves deslizantes **SW2, SW1 e SW0** da placa **DE2-70**, como mostrado na **Figura 2**.

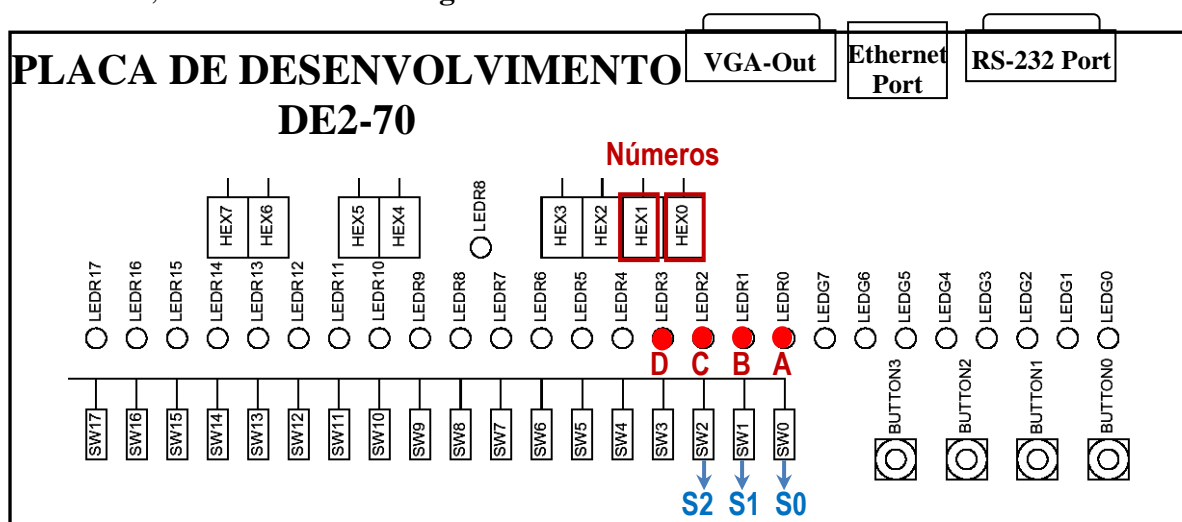


Figura 2: Interfaces do sistema de apresentação da data de nascimento na placa **DE2-70**

5. Apresentação do Projeto Lógico (Aula 5 no CGI)

Na **Aula 5** (no **CGI**) o aluno deve apresentar o projeto lógico do sistema, incluindo os decodificadores **Decodificador_do_Aluno_0** e **Decodificador_do_Aluno_1** implementados técnicas de projeto diferentes (portas lógicas padrão e multiplexadores). O circuito completo do sistema deve ser implementado no ambiente da ferramenta Quartus II, conforme os procedimentos do arquivo: **Aula_04_Tutorial_Projeto_Quartus**.

6. Apresentação da Simulação (Aula 6 no CGI)

A apresentação das formas de onda da simulação do Projeto 1 no QUARTUS II (**Aula 6 no CGI**) **pode restringir-se** à simulação funcional dos circuitos: **Decodificador_do_Aluno_0** e **Decodificador_doAluno_1** (**circuítos com contorno em vermelho** na **Figura 1**), portanto não precisam ser incluídos os outros elementos do projeto (os decodificadores **74247** e respectivos pinos).

A simulação da lógica do **Decodificador_do_Aluno_0** e **Decodificador_do_Aluno_1** deve ser realizada **no modo funcional**, utilizando o editor de vetor de formas de onda. Nessa simulação devem ser apresentadas todas as combinações dos sinais de entrada do sistema demonstrando sua correta operação.

7. Conclusão do Projeto (Aula 7 no CLE)

Na **Aula 7** (no **CLE**) o aluno deve incluir todos os componentes (decodificadores **74247** e respectivos pinos), assim como a atribuição da numeração dos pinos do FPGA para cada sinal de entrada e saída do projeto de apresentação da data de nascimento, conforme apresentado na **Tabela 2**.

Tabela 2: Numeração dos pinos para os sinais de entrada e saída (**EP2C70F896C6**)

| SINAL | PINO | DISPLAY HEX0 | PINO | DISPLAY HEX1 | PINO | LED | PINO |
|------------|------|-----------------|------|-----------------|------|-------------|------|
| SW[2] – S2 | AB25 | HEX0 – Seg_g | AD12 | HEX1 – Seg_g | AD17 | LEDR[3] – D | AJ4 |
| SW[1] – S1 | AB26 | HEX0 – Seg_f | AD11 | HEX1 – Seg_f | AF17 | LEDR[2] – C | AJ5 |
| SW[0] – S0 | AA23 | HEX0 – Seg_e | AF10 | HEX1 – Seg_e | AE17 | LEDR[1] – B | AK5 |
| | | HEX0 – Seg_d | AD10 | HEX1 – Seg_d | AG16 | LEDR[0] – A | AJ6 |
| | | HEX0 – Seg_c | AH9 | HEX1 – Seg_c | AF16 | | |
| | | HEX0 – Seg_b | AF9 | HEX1 – Seg_b | AE16 | | |
| | | HEX0 – Seg_a | AE8 | HEX1 – Seg_a | AG13 | | |

Os procedimentos para a execução da atribuição de pinos do **FPGA EP2C70F896C6** a um projeto estão apresentados no arquivo: **Aula_06_Tutorial_Pinagem_e_Configuração_Quartus**.

Os demais pinos disponíveis para chaves e LED's da placa DE2-70 estão disponíveis no arquivo: **Associação de Pinos do FPGA da Placa DE2-70** (disponível nas referências de laboratório no Moodle).

Atenção: Não deixe conectores de saída (OUTPUT) **sem atribuição de pino**. O QUARTUS associa automaticamente todos os conectores de saída a algum pino de I/O, **podendo ocorrer conflito** de um pino escolhido pela ferramenta com um sinal já utilizado na placa DE2-70.

O aluno pode utilizar a **Sala de Projetos (sala D3-07 ou D3-09)** para testar seu projeto antes da aula de apresentação (a chave da sala e a placa DE2-70 podem ser solicitadas no almoxarifado do **CLE**).

8. Critérios de elaboração do relatório e avaliação do projeto:

- O projeto deve ser desenvolvido **individualmente**. Projetos copiados, **total ou parcialmente**, não serão considerados válidos, sendo atribuído zero para todos os projetos copiados;
- As avaliações das **apresentações e os relatórios serão individuais**, sendo que cada aluno deve **demonstrar o perfeito conhecimento de todas** as etapas do projeto e teste;
- O relatório **deve ser entregue após a aula 6 (arquivo em PDF enviado pelo MOODLE)** e deve conter a documentação detalhada do projeto, **permitindo que o mesmo seja entendido e executado por um outro projetista**. O relatório deve apresentar, **no mínimo**, os seguintes itens:

1. **Capa** com o nome, número do aluno e turma;

2. Parte 1: Descrição do Problema:

A introdução deve apresentar um resumo dos objetivos do projeto com a especificação das características particulares da implementação realizada pelo aluno (tabela verdade preenchida com a data de nascimento).

3. Parte 2: Descrição da Realização do Projeto:

Devem ser descritos os vários elementos que compõem o projeto. Devem ser apresentados **em detalhe no mínimo** os seguintes elementos:

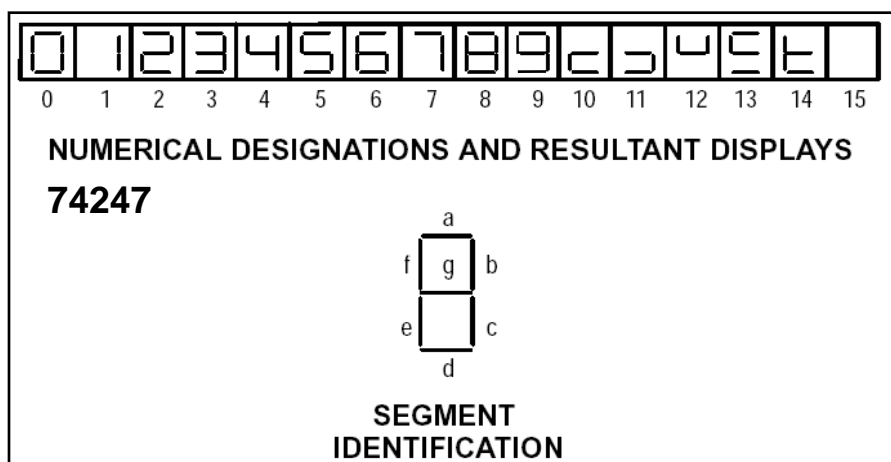
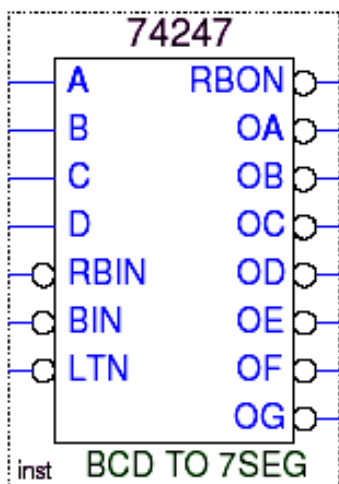
- **Tabela Verdade**: com as **condições das saídas D C B A e D1 C1 B1 A1** necessárias para a apresentação os números do aluno;
- **Mapas de Karnaugh**: com as **expressões resultantes da lógica de decodificação** para os números do aluno;
- **Diagrama Esquemático-Lógico** completo do projeto do sistema, mostrando a interligação entre todos os elementos do projeto (portas lógicas, multiplexadores) e os pinos dos sinais de entrada e saída (gerada com “Print Screen” do editor de blocos do Quartus II – arquivo.bdf);
- **Formas de onda da simulação funcional** apresentadas na Aula 6 de projeto (geradas com “Print Screen” do simulador do Quartus II – arquivo.vwf);
- **Formas de onda da simulação timing** apresentadas na Aula 6 de projeto (geradas com “Print Screen” do simulador do Quartus II – arquivo.vwf).

4. Conclusão:

Na conclusão do relatório podem ser comentados: os objetivos do Projeto 1; as dificuldades encontradas e como foram superadas; o que o aluno faria de diferente se tivesse que executar esse projeto novamente.

ATENÇÃO: O *upload* de arquivos no Moodle é de **inteira responsabilidade do aluno**, que **deve verificar** se os arquivos foram efetivamente postados após o *upload*. **Não serão aceitos** arquivos postados **fora do horário** especificado para *upload* da atividade.

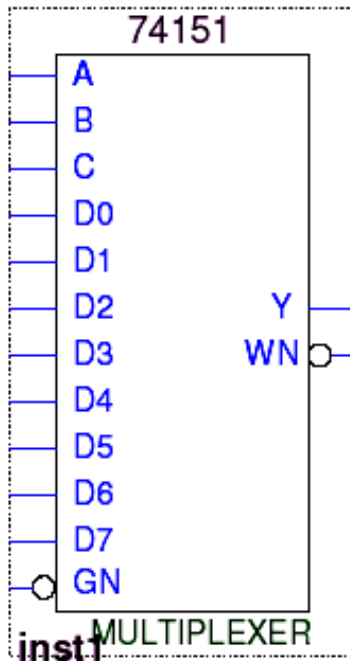
9. Especificação funcional do decodificador 74247:



FUNCTION TABLE

| DECIMAL OR FUNCTION | INPUTS | | | | | | BI/RBO [†] | OUTPUTS | | | | | | |
|---------------------------|--------|-----|---|---|---|---|---------------------|---------|-----|-----|-----|-----|-----|-----|
| | LT | RBI | D | C | B | A | | OA | OB | OC | OD | OE | OF | OG |
| 0 | H | H | L | L | L | L | H | ON | ON | ON | ON | ON | ON | OFF |
| 1 | H | X | L | L | L | H | H | OFF | ON | ON | OFF | OFF | OFF | OFF |
| 2 | H | X | L | L | H | L | H | ON | ON | OFF | ON | ON | OFF | ON |
| 3 | H | X | L | L | H | H | H | ON | ON | ON | ON | OFF | OFF | ON |
| 4 | H | X | L | H | L | L | H | OFF | ON | ON | OFF | OFF | ON | ON |
| 5 | H | X | L | H | L | H | H | ON | OFF | ON | ON | OFF | ON | ON |
| 6 | H | X | L | H | H | L | H | ON | OFF | ON | ON | ON | ON | ON |
| 7 | H | X | L | H | H | H | H | ON | ON | ON | OFF | OFF | OFF | OFF |
| 8 | H | X | H | L | L | L | H | ON | ON | ON | ON | ON | ON | ON |
| 9 | H | X | H | L | L | H | H | ON | ON | ON | ON | OFF | ON | ON |
| 10 | H | X | H | L | H | L | H | OFF | OFF | OFF | ON | ON | OFF | ON |
| 11 | H | X | H | L | H | H | H | OFF | OFF | ON | ON | OFF | OFF | ON |
| 12 | H | X | H | H | L | L | H | OFF | ON | OFF | OFF | OFF | ON | ON |
| 13 | H | X | H | H | L | H | H | ON | OFF | OFF | ON | OFF | ON | ON |
| 14 | H | X | H | H | H | L | H | OFF | OFF | OFF | ON | ON | ON | ON |
| 15 | H | X | H | H | H | H | H | OFF | OFF | OFF | OFF | OFF | OFF | OFF |
| BI | X | X | X | X | X | X | L | OFF | OFF | OFF | OFF | OFF | OFF | OFF |
| RBI | H | L | L | L | L | L | L | OFF | OFF | OFF | OFF | OFF | OFF | OFF |
| LT | L | X | X | X | X | X | H | ON | ON | ON | ON | ON | ON | ON |

10. Especificação funcional do multiplexador 74151:



FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|--------|---|---|--------------|---------|-----------------|
| SELECT | | | STROBE GN | Y | W |
| C | B | A | | | |
| X | X | X | H | L | H |
| L | L | L | L | D0 | D0 |
| L | L | H | L | D1 | $\overline{D1}$ |
| L | H | L | L | D2 | $\overline{D2}$ |
| L | H | H | L | D3 | $\overline{D3}$ |
| H | L | L | L | D4 | $\overline{D4}$ |
| H | L | H | L | D5 | $\overline{D5}$ |
| H | H | L | L | D6 | $\overline{D6}$ |
| H | H | H | L | D7 | $\overline{D7}$ |

H = high level, L = low level, X = irrelevant

D0, D1, . . . D7 = the level of the respective D input