



Khoa
CÔNG NGHỆ THÔNG TIN
ĐH Khoa học Tự nhiên TP HCM

Bài 10: Hệ thống lưu trữ

Phạm Tuấn Sơn

ptson@fit.hcmus.edu.vn

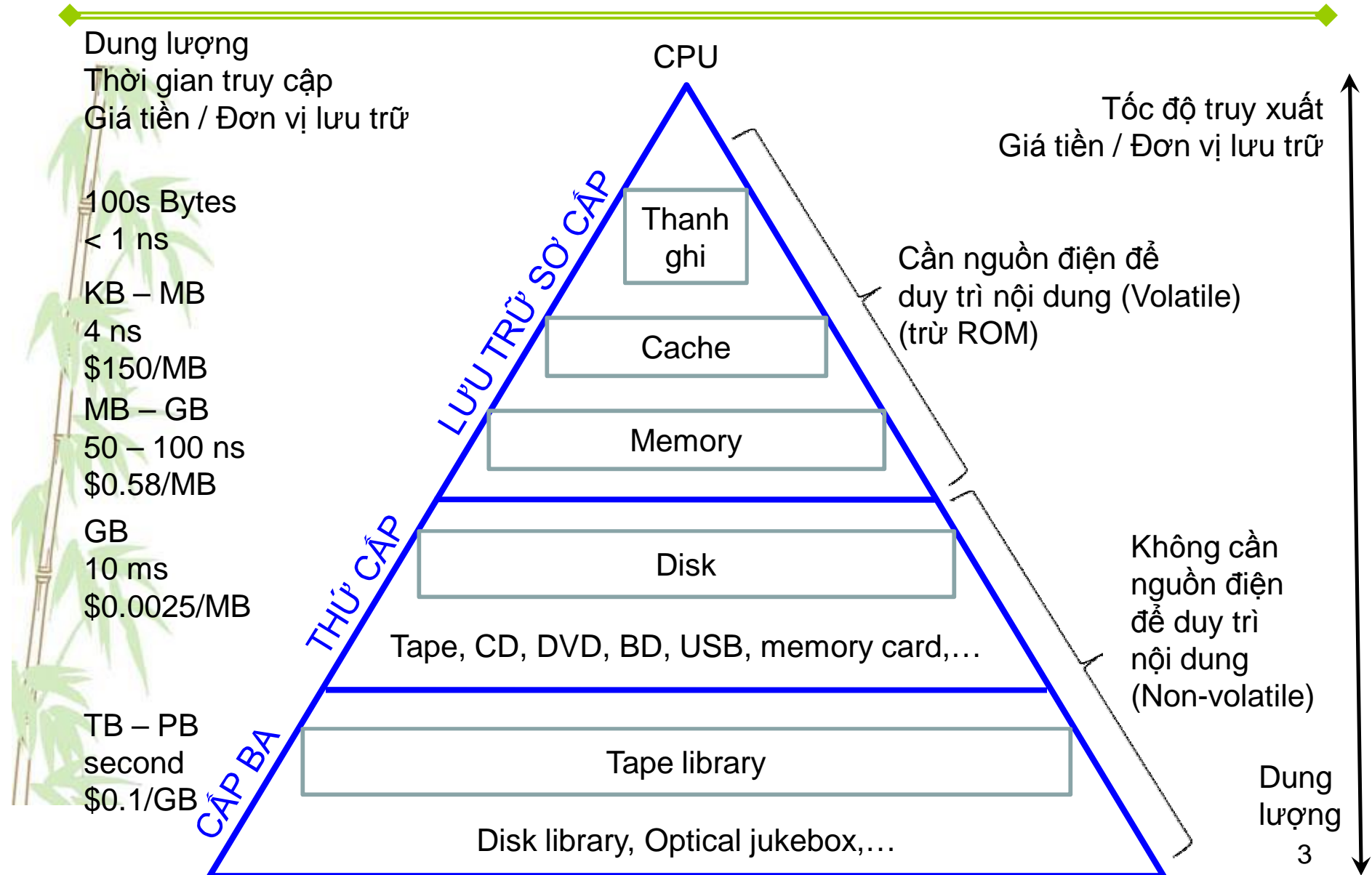


Phân loại

- Lưu trữ sơ cấp (primary storage / main memory / internal memory)
 - Thanh ghi, cache, ROM, RAM
- Lưu trữ thứ cấp (secondary storage / external memory)
 - Đĩa từ (đĩa cứng, đĩa mềm, băng từ), đĩa quang (CD, DVD, BD), flash memory (USB, memory card),...
- Lưu trữ cấp ba (tertiary storage / tertiary memory)
 - Tape library, disk library, optical jukebox,...

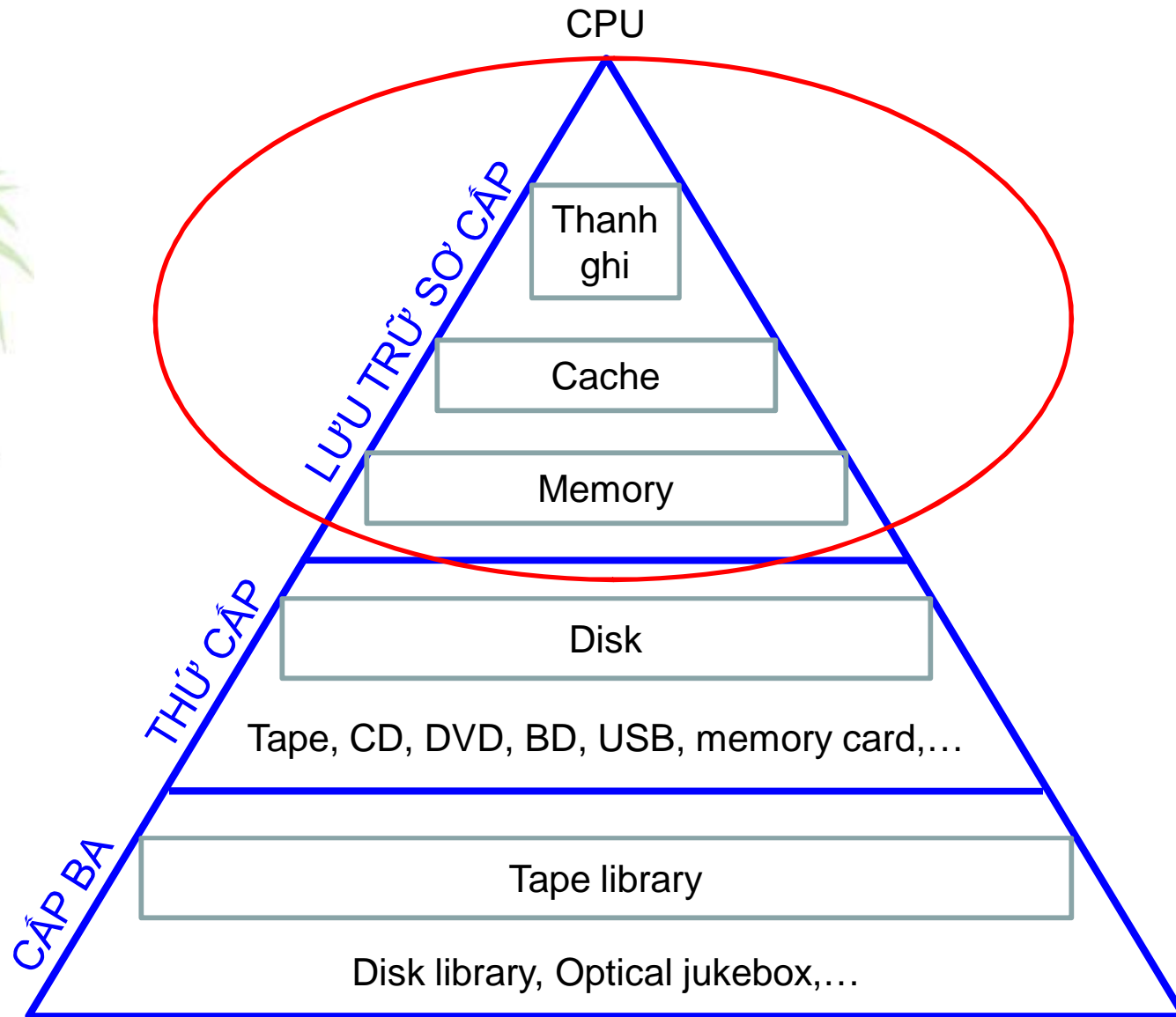


Phân cấp hệ thống lưu trữ





Lưu trữ sơ cấp





Thanh ghi

- Là thiết bị lưu trữ có dung lượng nhỏ nhất nhưng tốc độ truy xuất nhanh nhất được cấu tạo từ các mạch lật
- Được dùng trong các bộ xử lý
 - Lưu giữ lệnh và dữ liệu (toán hạng, kết quả tính toán, các bit trạng thái) để xử lý
- Có thể được làm bằng nhiều công nghệ khác nhau: trigger, core, thin film,...
- Thường được tổ chức thành tập thanh ghi (register file)

Read Only Memory

- ROM – Là loại bộ nhớ chỉ đọc, không thể ghi, không cần nguồn điện để duy trì nội dung
- PROM – Programable ROM, ghi được 1 lần duy nhất
- EPROM – Erasable PROM, có thể xóa bằng tia cực tím sau khi ghi
- EEPROM – Electrically EPROM, có thể xóa bằng điện, ghi, xóa từng byte
- FlashROM – Không thể xóa từng byte mà phải xóa từng khối, nhưng tốc độ ghi, xóa rất cao



EPROM



EEPROM



FlashROM

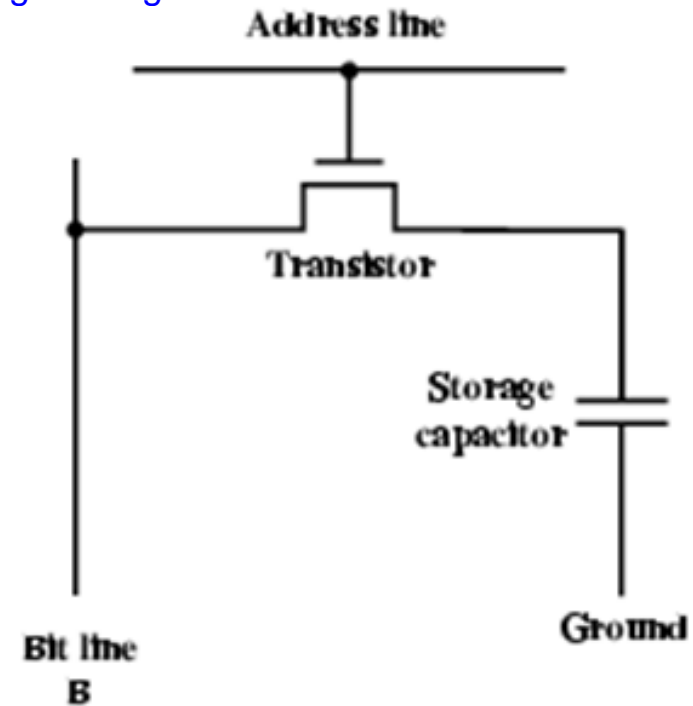
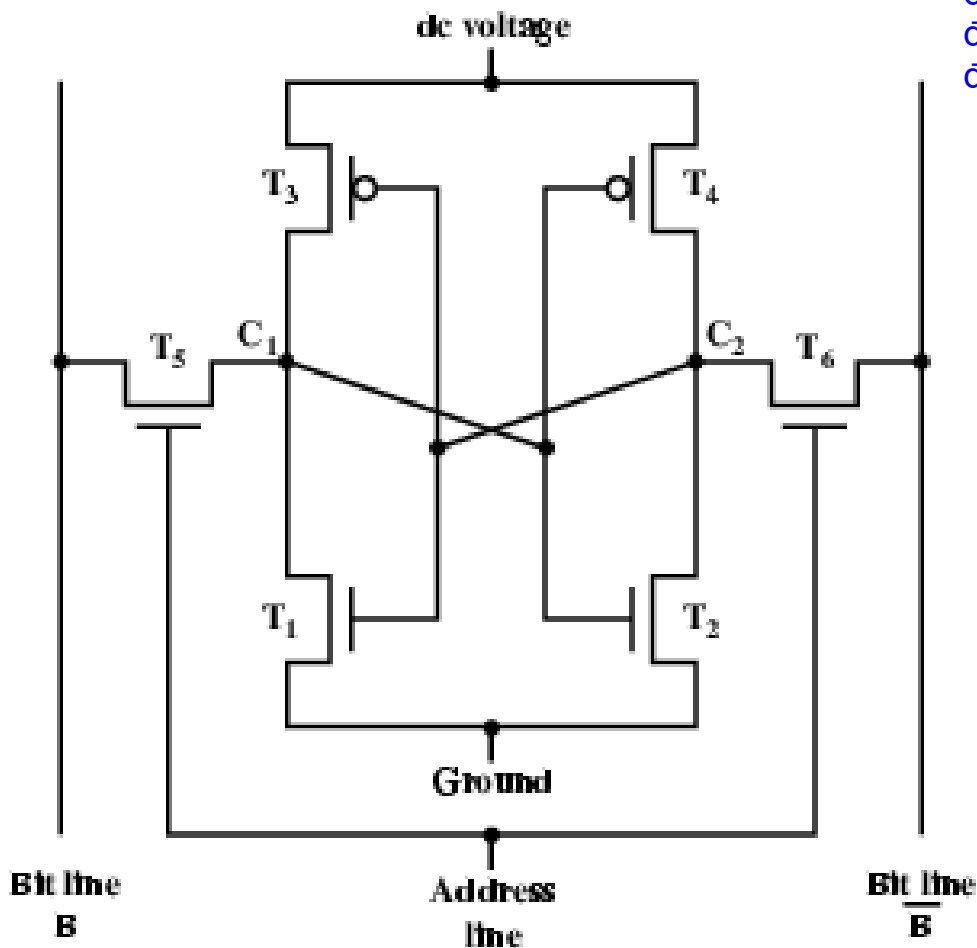
Random Access Memory

- 2 loại RAM

RAM tĩnh (Static RAM - SRAM)

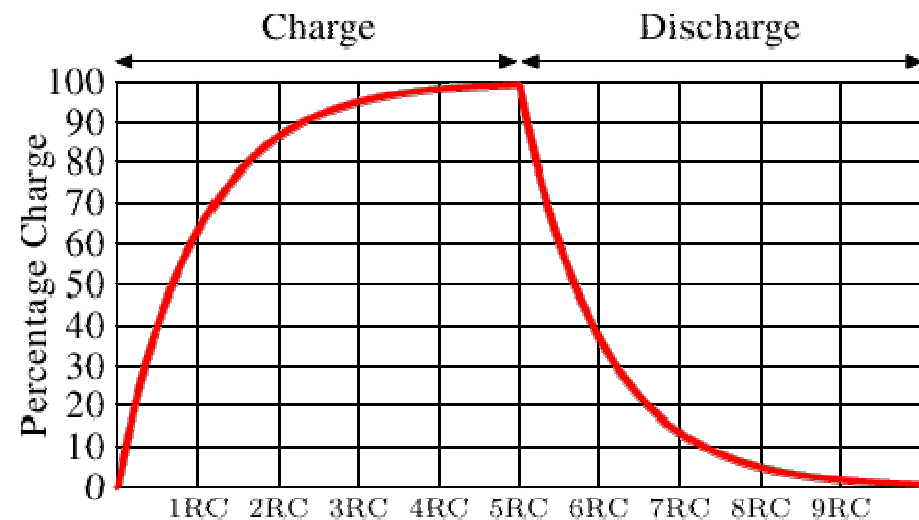
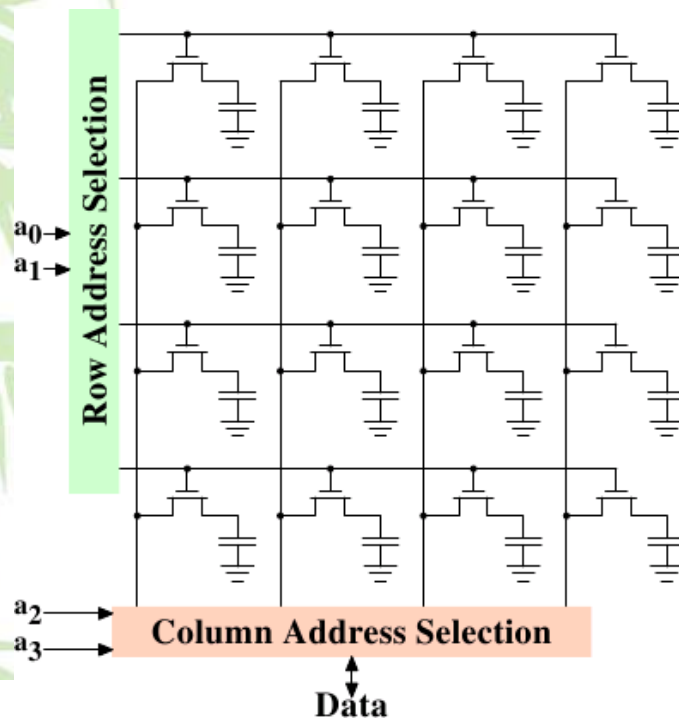
RAM động (Dynamic RAM – DRAM)

đơn vị lưu trữ là (điện tích trong tụ điện), không phải hiệu điện thế -> giá thành thấp nhưng tốc độ truy xuất chậm, tốc độ tăng khoảng 7%/năm



Bộ nhớ chính

- SDRAM (Synchronous RAM)
 - Việc truy xuất được đồng bộ bởi tín hiệu đồng hồ bên ngoài
- Bộ nhớ chính (main memory / “RAM”) được làm từ công nghệ SDRAM



SDR-SDRAM

- SDR-SDRAM (Single Data Rate SDRAM)
- DIMM 168-pin (Dual In-line Memory Module)
- Data bus: 64 bit



Standard name	Memory clock	Cycle time	I/O bus clock	Peak transfer rate
SDR-66	66 MHz	15 ns	66 MHz	528 MB/s
SDR-100	100 MHz	10 ns	100 MHz	800 MB/s
SDR-133	133 MHz	7.5 ns	133 MHz	1064 MB/s

DDR-SDRAM (1/2)

- **DDR-SDRAM**
(Double Data Rate)

- **DDRI-SDRAM**

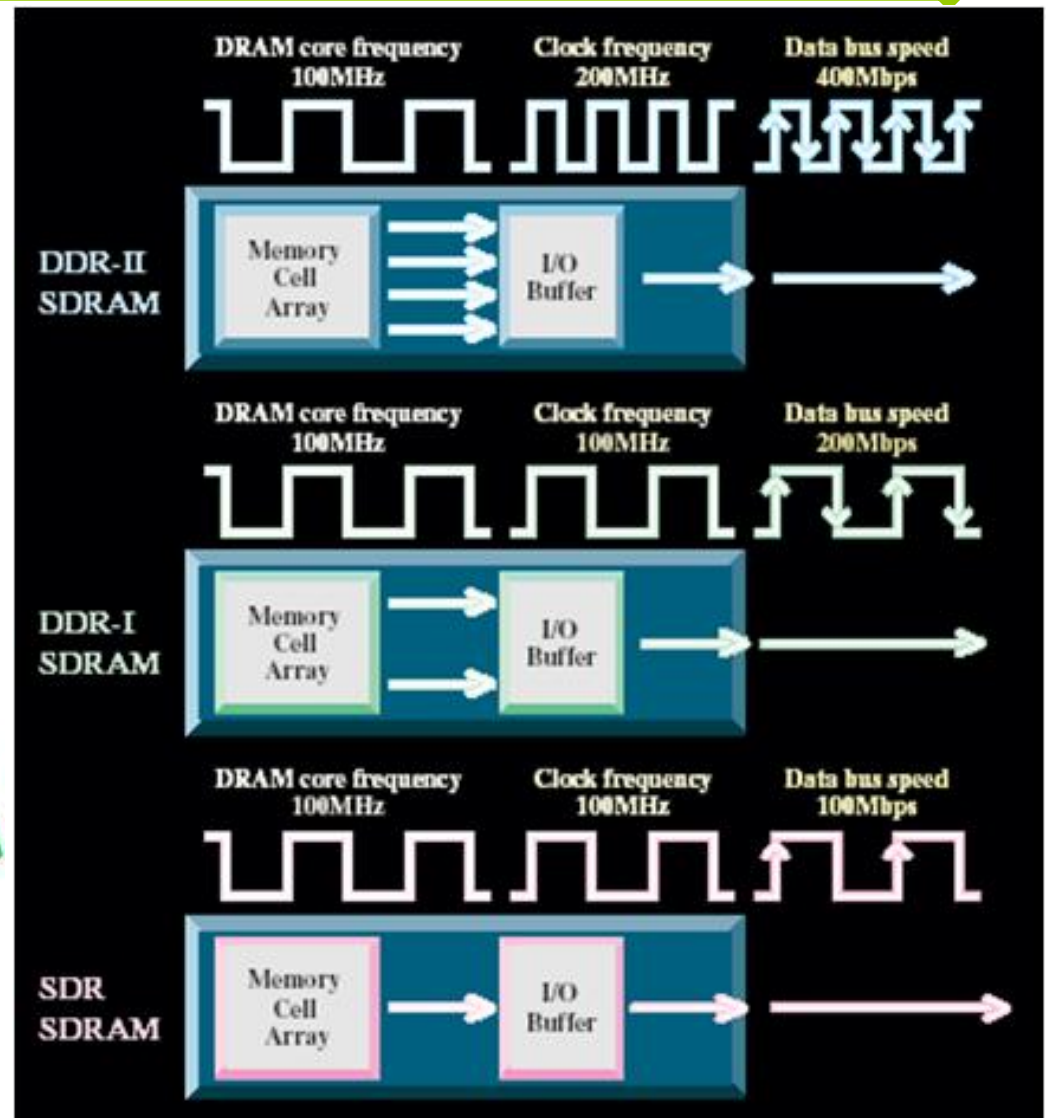
- (DIMM 184-pin)

- **DDRII-SDRAM**

- (DIMM 240-pin)



- **DDRIII-SDRAM**



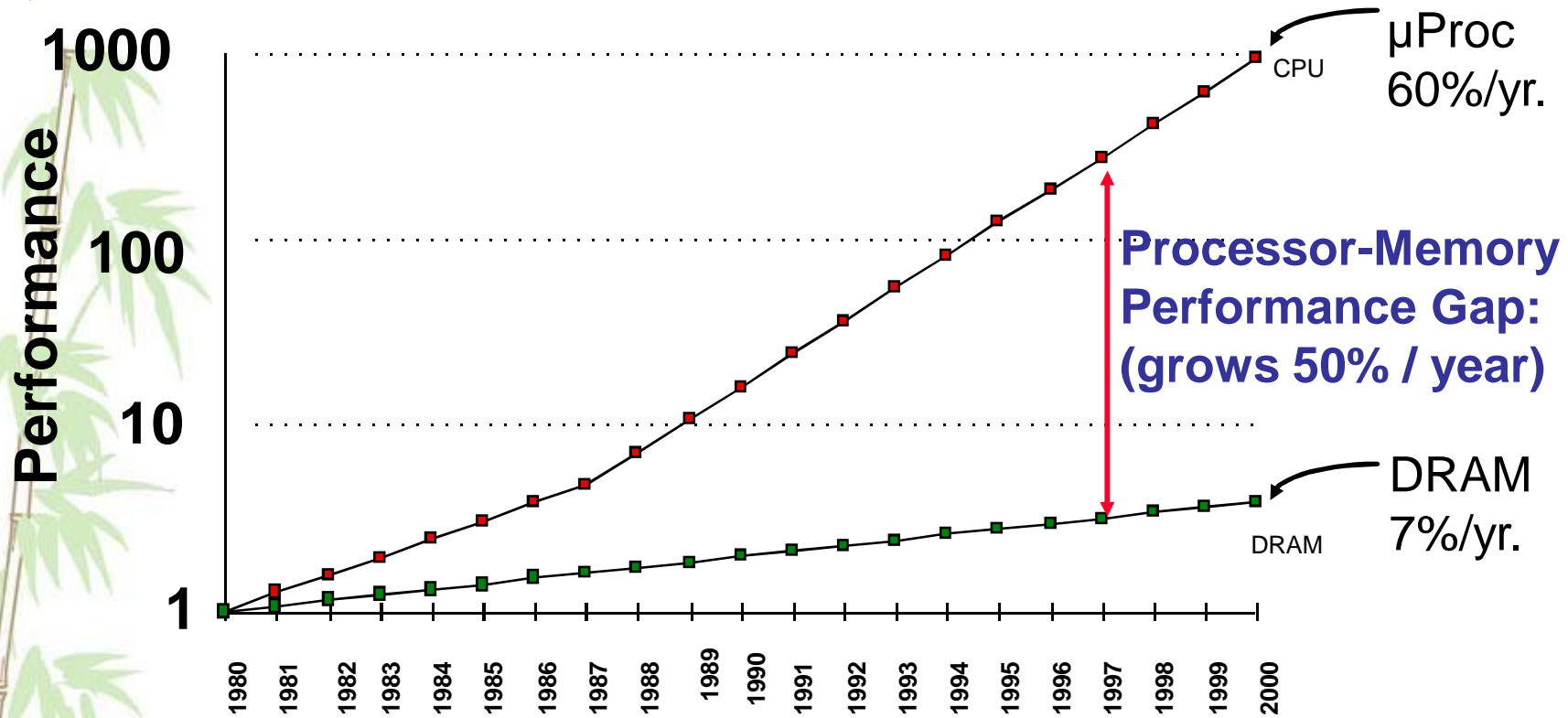


DDR-SDRAM (2/2)

- Data bus: 64 bit

Standard name	Memory clock	Cycle time	I/O Bus clock	Data transfers per second	Module name	Peak transfer rate
DDR-200	100 MHz	10 ns	100 MHz	200 Million	PC-1600	1600 MB/s
DDR-266	133 MHz	7.5 ns	133 MHz	266 Million	PC-2100	2133 MB/s
DDR-333	166 MHz	6 ns	166 MHz	333 Million	PC-2700	2700 MB/s
DDR-400	200 MHz	5 ns	200 MHz	400 Million	PC-3200	3200 MB/s
DDR2-400	100 MHz	10 ns	200 MHz	400 Million	PC2-3200	3200 MB/s
DDR2-533	133 MHz	7.5 ns	266 MHz	533 Million	PC2-4200 PC2-4300	4266 MB/s
DDR2-667	166 MHz	6 ns	333 MHz	667 Million	PC2-5300 PC2-5400	5333 MB/s
DDR2-800	200 MHz	5 ns	400 MHz	800 Million	PC2-6400	6400 MB/s
DDR2-1066	266 MHz	3.75 ns	533 MHz	1066 Million	PC2-8500 PC2-8600	8533 MB/s

Bộ nhớ cache



- Dùng công nghệ SRAM, có tốc độ cao hơn bộ nhớ chính (dùng công nghệ DRAM)
- Đóng vai trò làm bộ nhớ đệm truy xuất nhanh (trung gian giữa CPU và bộ nhớ chính)
- Lưu trữ tạm bản sao một phần nội dung của bộ nhớ chính nhằm giảm truy xuất vào bộ nhớ chính



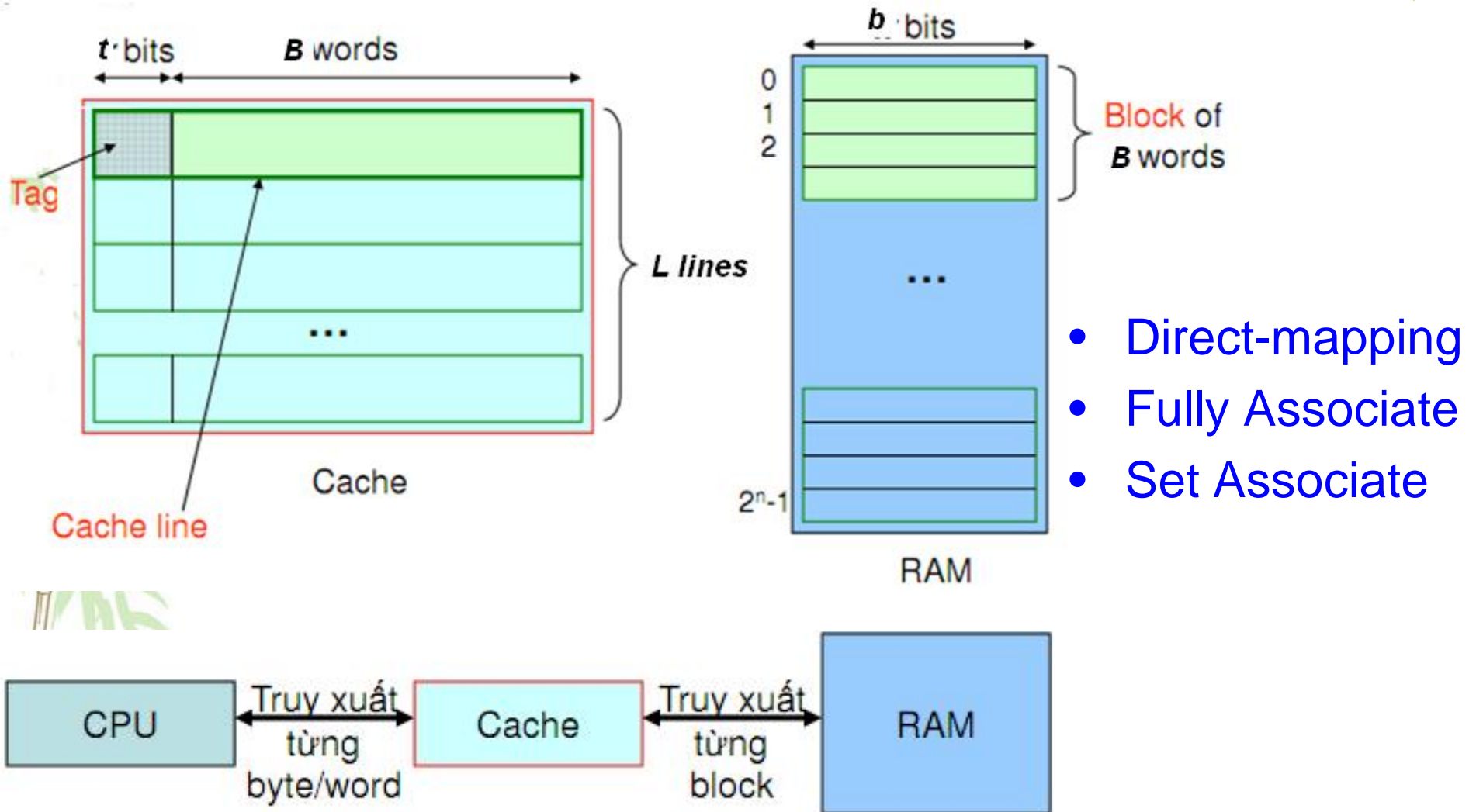
Nguyên lý hoạt động của cache

- Khi CPU / IO cần đọc 1 ô nhớ từ bộ nhớ chính
 - Kiểm tra xem có trong cache chưa ?
 - Nếu đã có (cache hit): đọc nội dung trong cache, không cần truy xuất bộ nhớ chính
 - Nếu chưa có (cache miss): chép khối nhớ chứa ô nhớ cần đọc từ bộ nhớ chính vào cache rồi vào CPU / IO. Thời gian để xử lý cache miss gọi là miss penalty
- 2 nguyên lý
 - Cục bộ về thời gian (Temporal locality)
 - Nếu một ô nhớ được dùng đến trong thời điểm hiện tại thì nó dễ có khả năng được dùng đến lần nữa trong tương lai gần
 - Cục bộ về không gian (Spatial locality)
 - Nếu một ô nhớ được dùng đến trong thời điểm hiện tại thì những ô lân cận có khả năng sắp được dùng đến

Thiết kế bộ nhớ cache

- Tổ chức bộ nhớ cache
 - Khi lưu tạm một nội dung nào đó từ bộ nhớ chính vào cache thì lưu thế nào ?
 - Làm sao để biết ô nhớ cần truy xuất đã nằm trong cache hay chưa ? Nằm ở đâu ?
- Chiến lược thay thế
 - Khi cache không còn chỗ trống mà lại cần chỗ để chứa một nội dung khác từ bộ nhớ chính thì nội dung này sẽ thay thế nội dung nào trong cache ?
- Đồng bộ hóa nội dung nằm trong cache và bộ nhớ chính
- Kích thước bộ nhớ cache
- Kích thước một phần tử của bộ nhớ cache
- Số lượng và loại cache

Tổ chức bộ nhớ cache



Direct-mapping (2/2)

- Mỗi khối (block) bộ nhớ chính B_j được ánh xạ vào duy nhất vào một phần tử cache (line) L_i theo nguyên tắc

$$L_i = B_j \bmod L$$

với L là số phần tử cache

Cache line	Main Memory blocks
0	0, L, 2L, 3L, ...
1	1, L+1, 2L+1, ...
...	...
L-1	L-1, Lm-1, Lm-1, ...

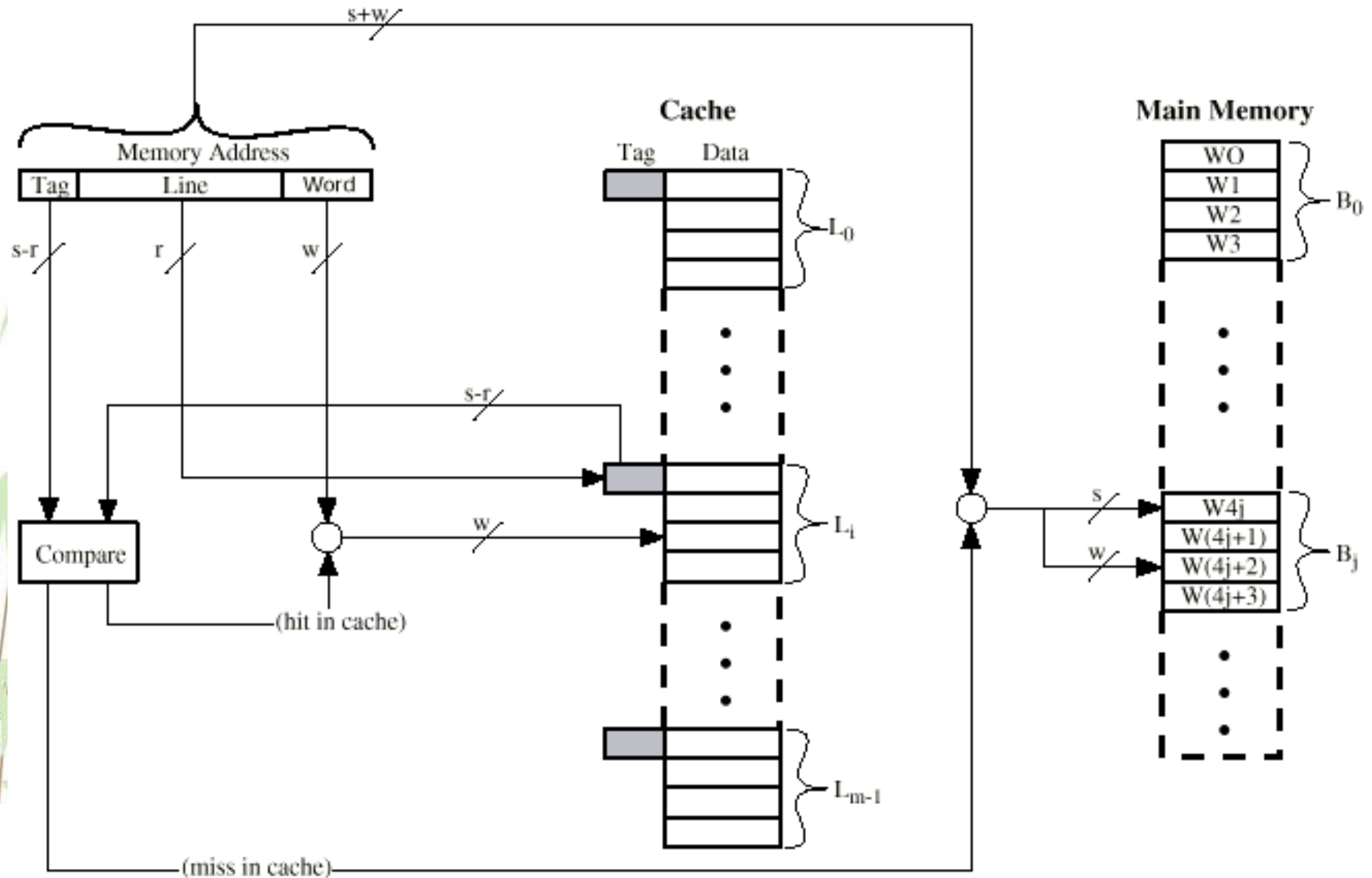
- Tín hiệu địa chỉ truy xuất bộ nhớ sẽ có cấu trúc như sau

Tag $s-r$	Cache line r	Word w
-----------	----------------	----------

- s - số bit xác định địa chỉ block
- w - số bit xác định địa chỉ từ nhớ trong một block
- r - số bit xác định địa chỉ phần tử cache
- $(s-r)$ - số bit đóng vai trò xác định block đang nằm trong phần tử cache nào

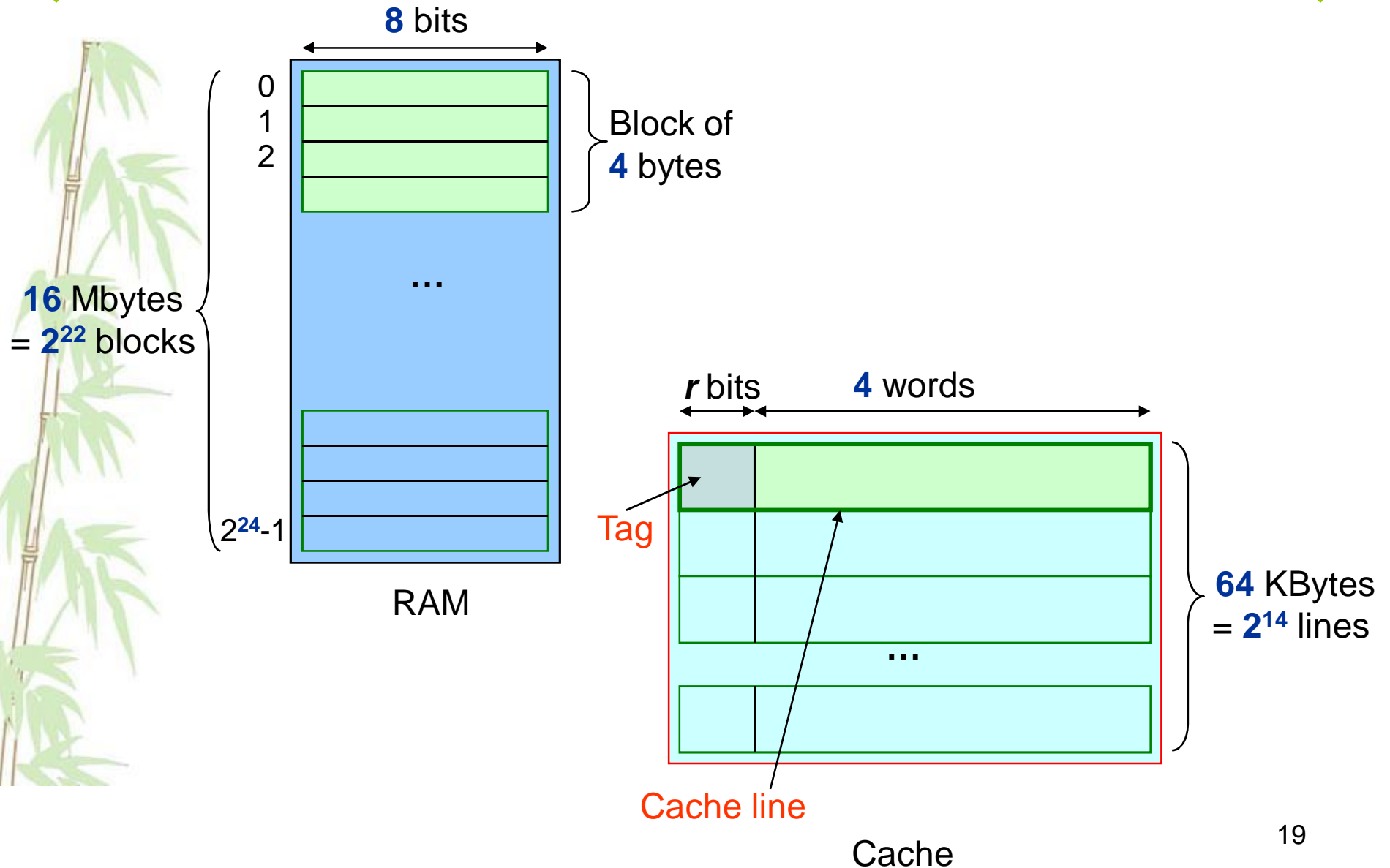


Quá trình truy xuất bộ nhớ theo tổ chức Direct-mapping



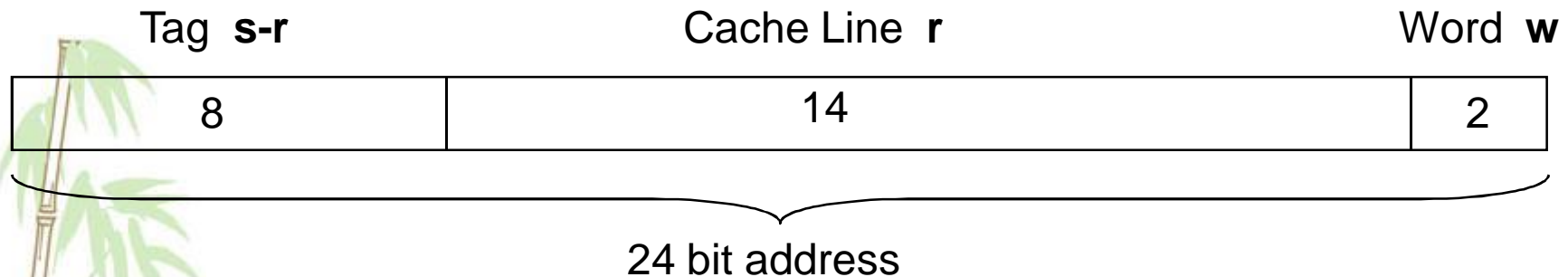


Ví dụ tổ chức Direct-mapping (1/3)





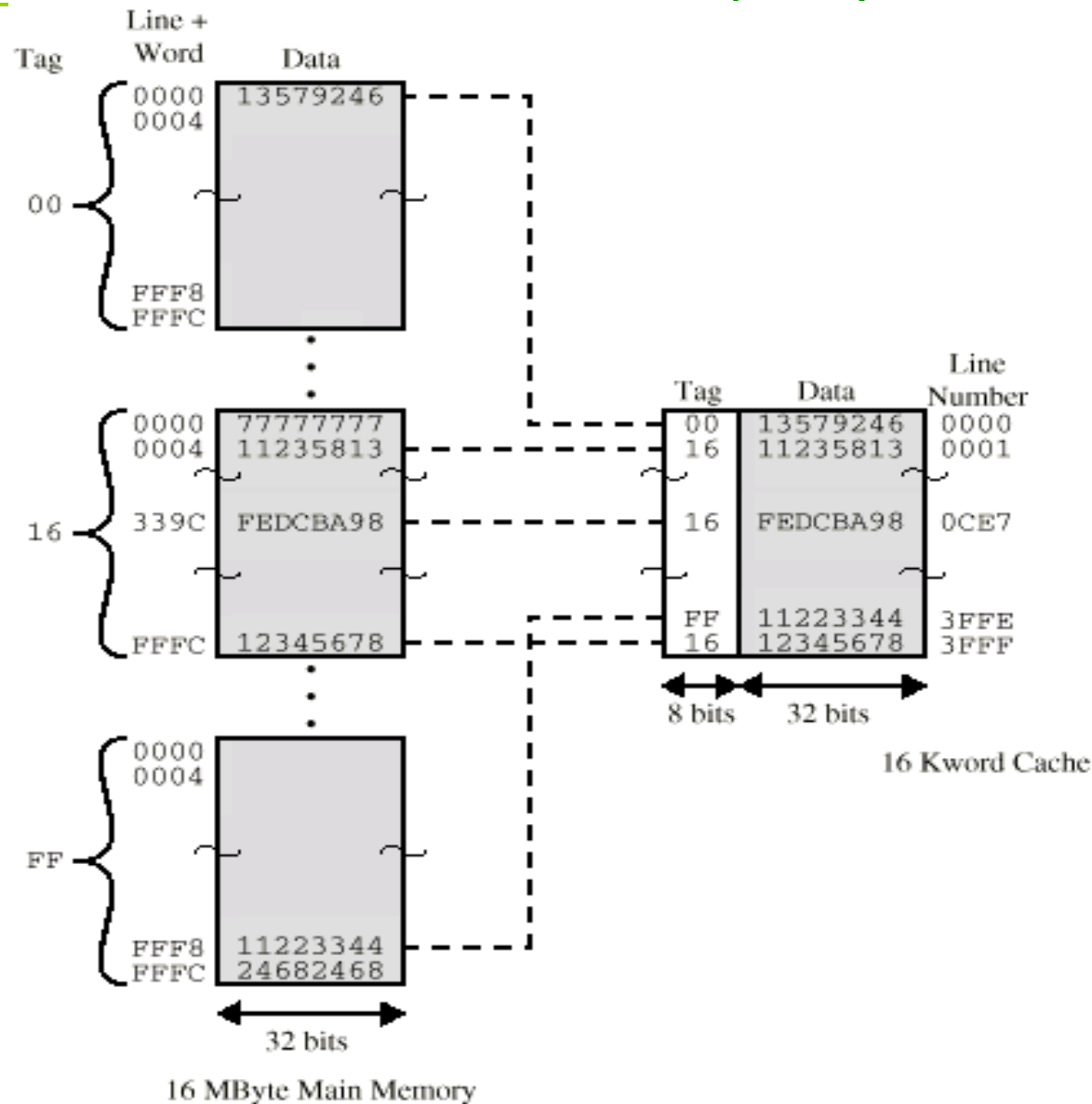
Ví dụ tổ chức Direct-mapping (2/3)



- Tín hiệu địa chỉ 24 bit
 - 2 bit định vị word (4 byte / block)
 - 22 bit định vị block
 - 14 bit định vị cache line
 - 8 bit tag (= 22-14)
- Không có 2 block nào cùng cache line có Tag giống nhau

Cache line	Starting memory address of block
0	000000, 010000, ..., FF0000
1	000004, 010004, ..., FF0004
...	...
$2^{14} - 1$	00FFFC, 01FFFC, ..., FFFFFC

Ví dụ tổ chức Direct-mapping (3/3)





Đánh giá Direct-mapping

(+) Đơn giản

(+) Chi phí tổ chức thấp

(-) Không uyển chuyển

- Mỗi block phải cố định tại một cache line
- Nếu 1 block (ví dụ block L) cần được nạp vào line (line 0) mà line này đang chứa một block khác (ví dụ block 2L) thì phải thay block 2L ra để giành chỗ cho block L, mặc dù có thể cache còn rất nhiều line trống
- Trường hợp một chương trình cần cả 2 block cùng 1 line (ví dụ L và 2L) tại một thời điểm thì sao ?

Fully Associate Mapping

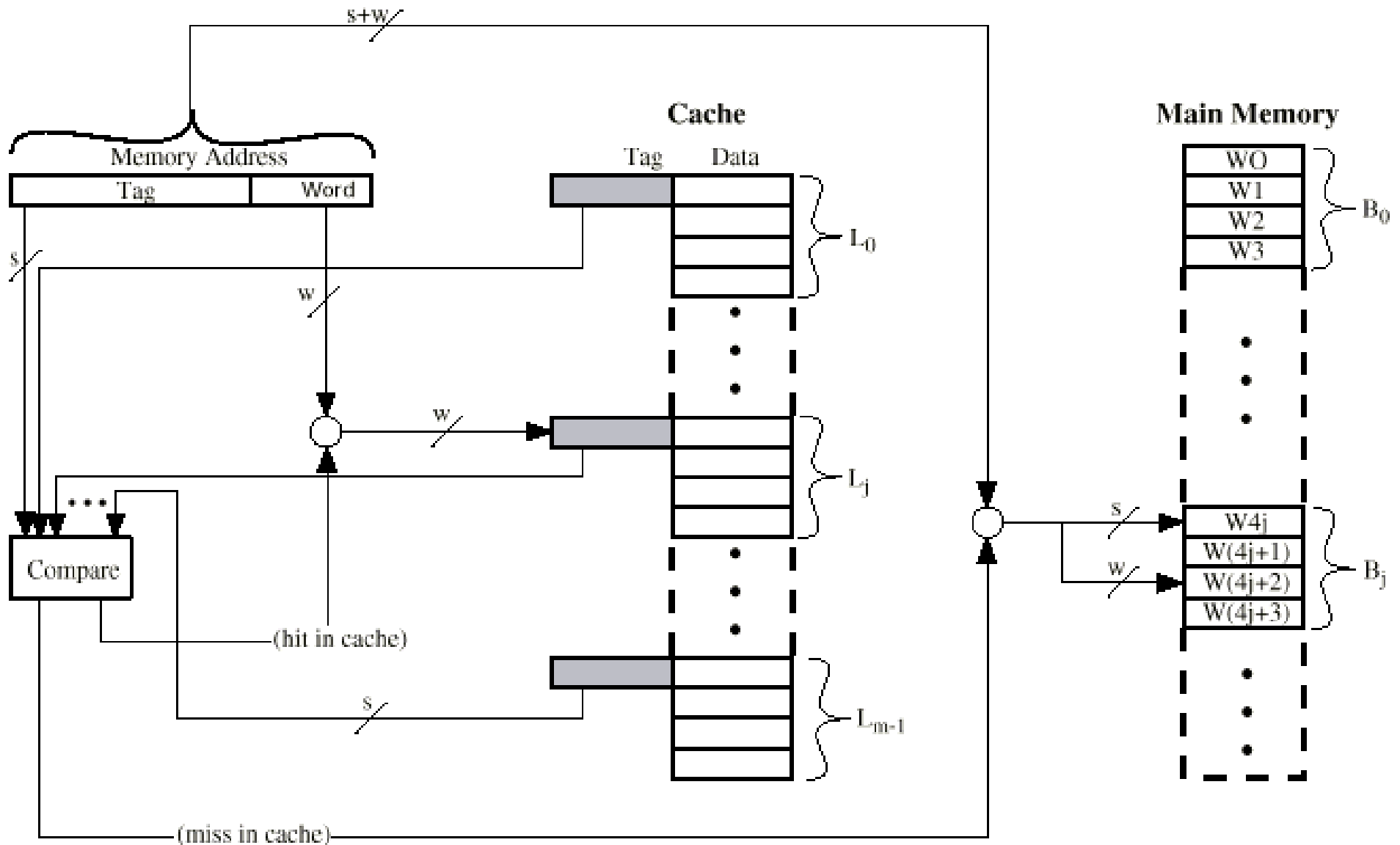
- Một block có thể được nạp vào bất kỳ line nào à khắc phục được hạn chế của direct-mapping
- Tín hiệu địa chỉ truy xuất bộ nhớ sẽ có cấu trúc như sau

Block, Tag s	Word w
----------------	----------

- s - số bit xác định địa chỉ block, được dùng để xác định block nào đang nằm trong phần tử cache
- w - số bit xác định địa chỉ từ nhớ trong một block
- Do 1 block có thể được nạp vào bất cứ line nào nên để xác định block đã nằm trong line hay chưa thì phải duyệt tất cả các line

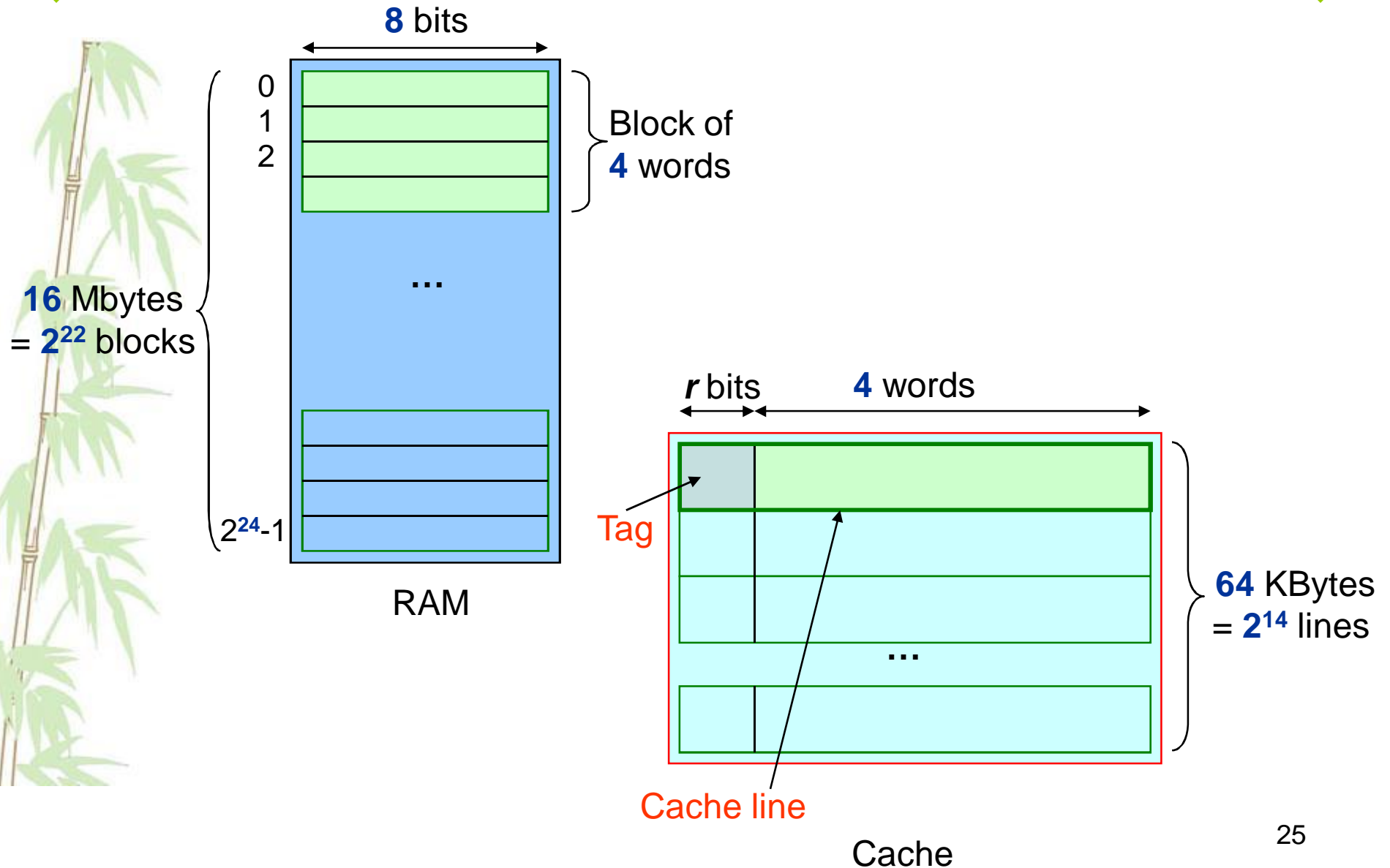


Quá trình truy xuất bộ nhớ theo tổ chức Fully Associate Mapping

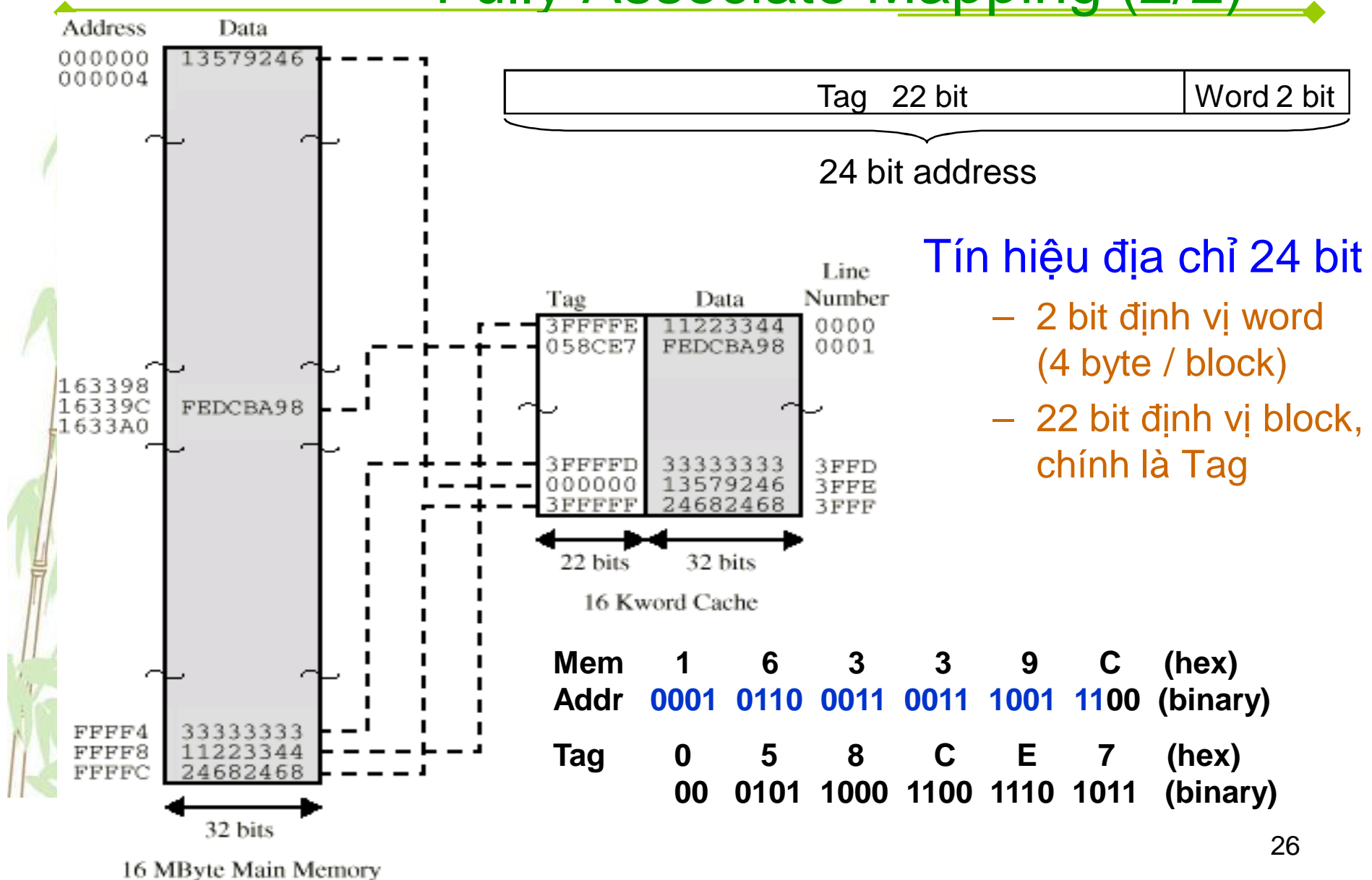




Ví dụ tổ chức Fully Associate Mapping (1/2)



Ví dụ tổ chức Fully Associate Mapping (2/2)

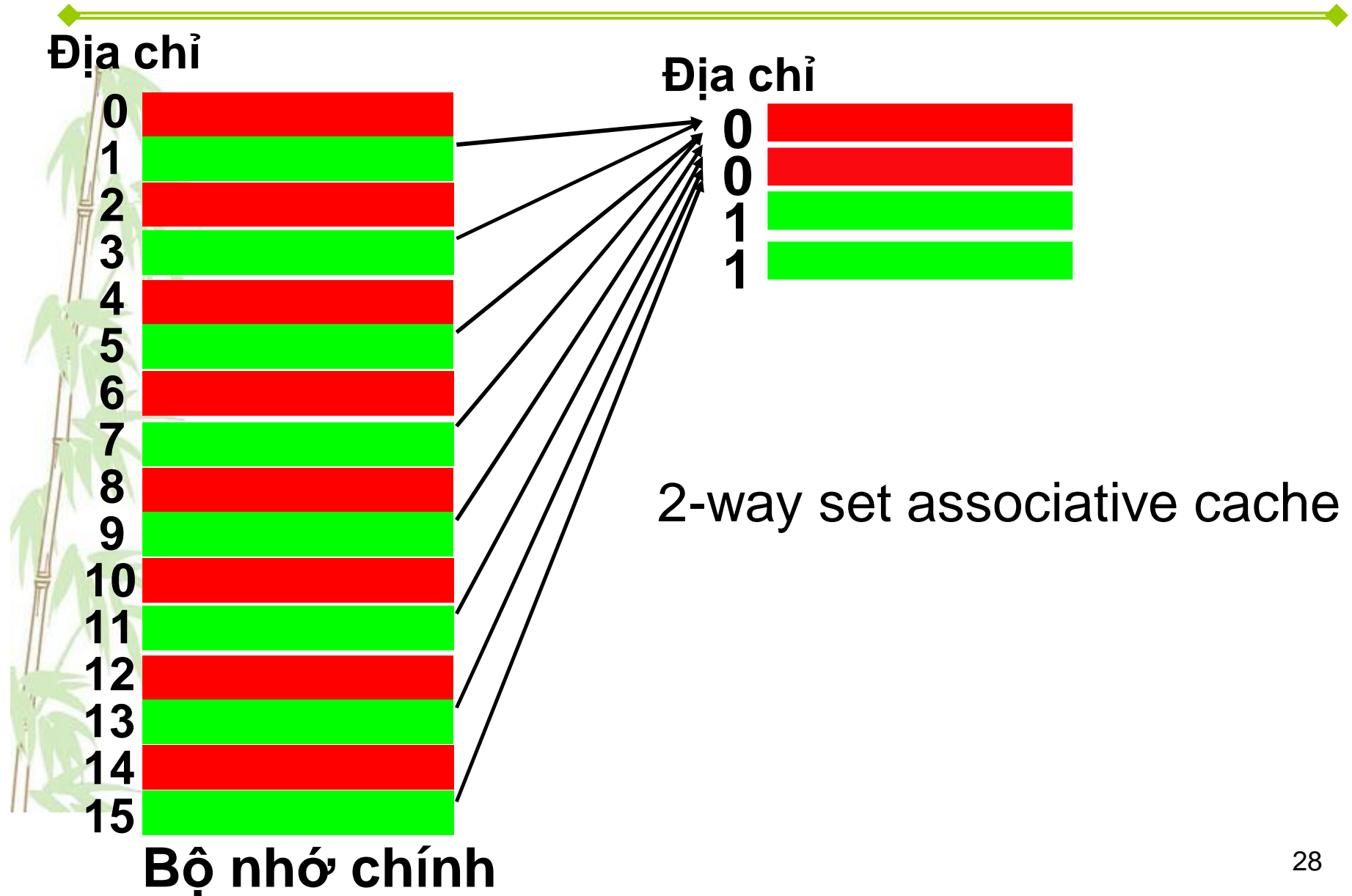




Đánh giá Fully Associate Mapping

- (–) Số bit làm Tag phải lưu trong cache nhiều hơn
- (–) Chi phí tìm kiếm cao
- (–) Nếu một block cần nạp vào cache mà không còn line nào trống ?

K-way Set Associate Mapping (1/2)



K-way Set Associate Mapping (2/2)

- Kết hợp ý tưởng giữa direct mapping và associate mapping

- Các phần tử cache được chia làm **S** tập hợp bằng nhau, mỗi tập hợp có **K** phần tử
- Mỗi block B_j được ánh xạ (*direct-mapping*) vào duy nhất một **tập line** S_i theo nguyên tắc

$$S_i = B_j \bmod S$$

- Các line trong một tập được quản lý theo kiểu *fully associate*

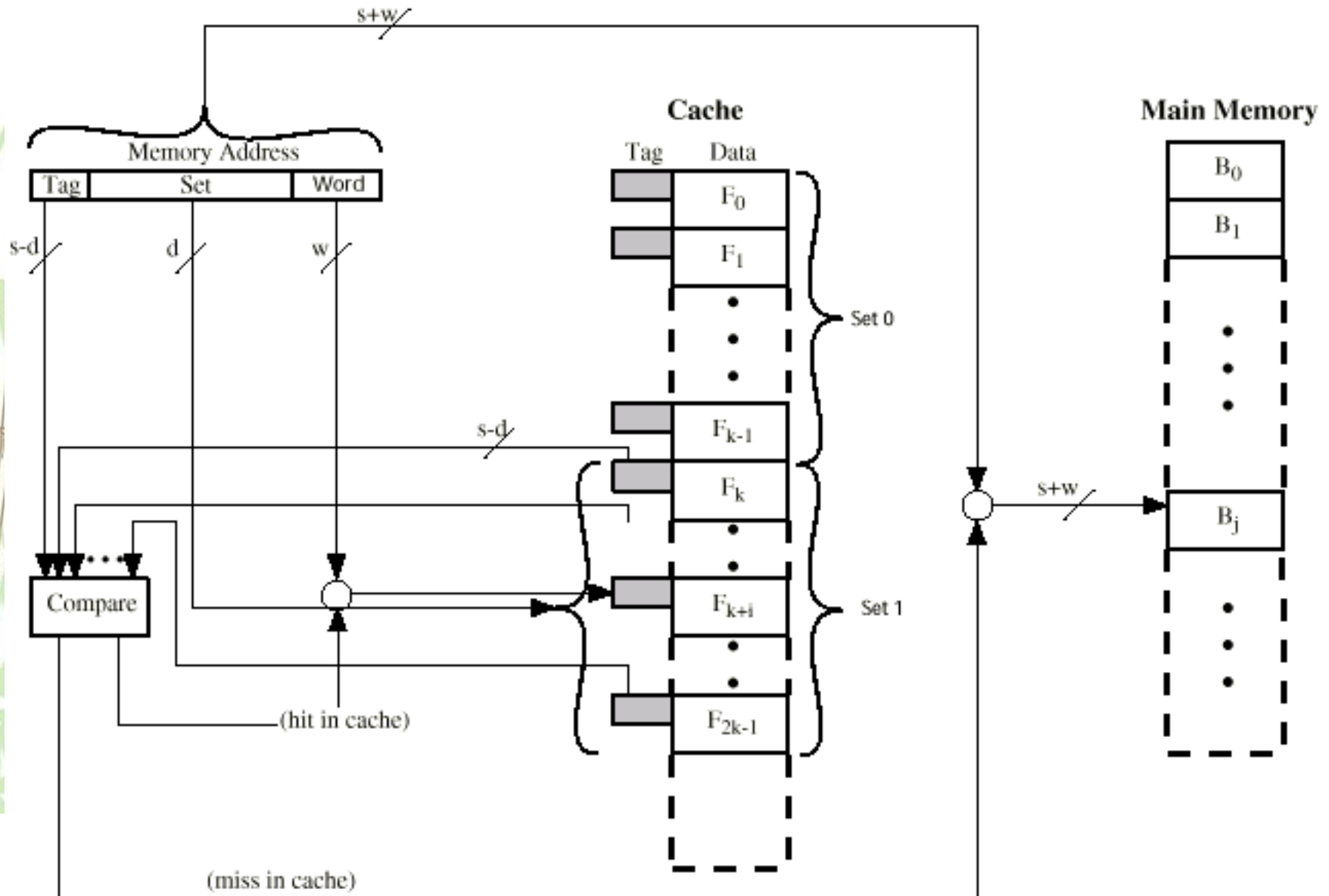
- Tín hiệu địa chỉ truy xuất bộ nhớ sẽ có cấu trúc như sau

Tag $s-d$	Cache set d	Word w
-----------	---------------	----------

- s - số bit xác định địa chỉ block
- w - số bit xác định địa chỉ từ nhớ trong một block
- d - số bit xác định địa chỉ tập phần tử cache
- $(s-d)$ - số bit đóng vai trò xác định block đang nằm trong tập phần tử cache nào

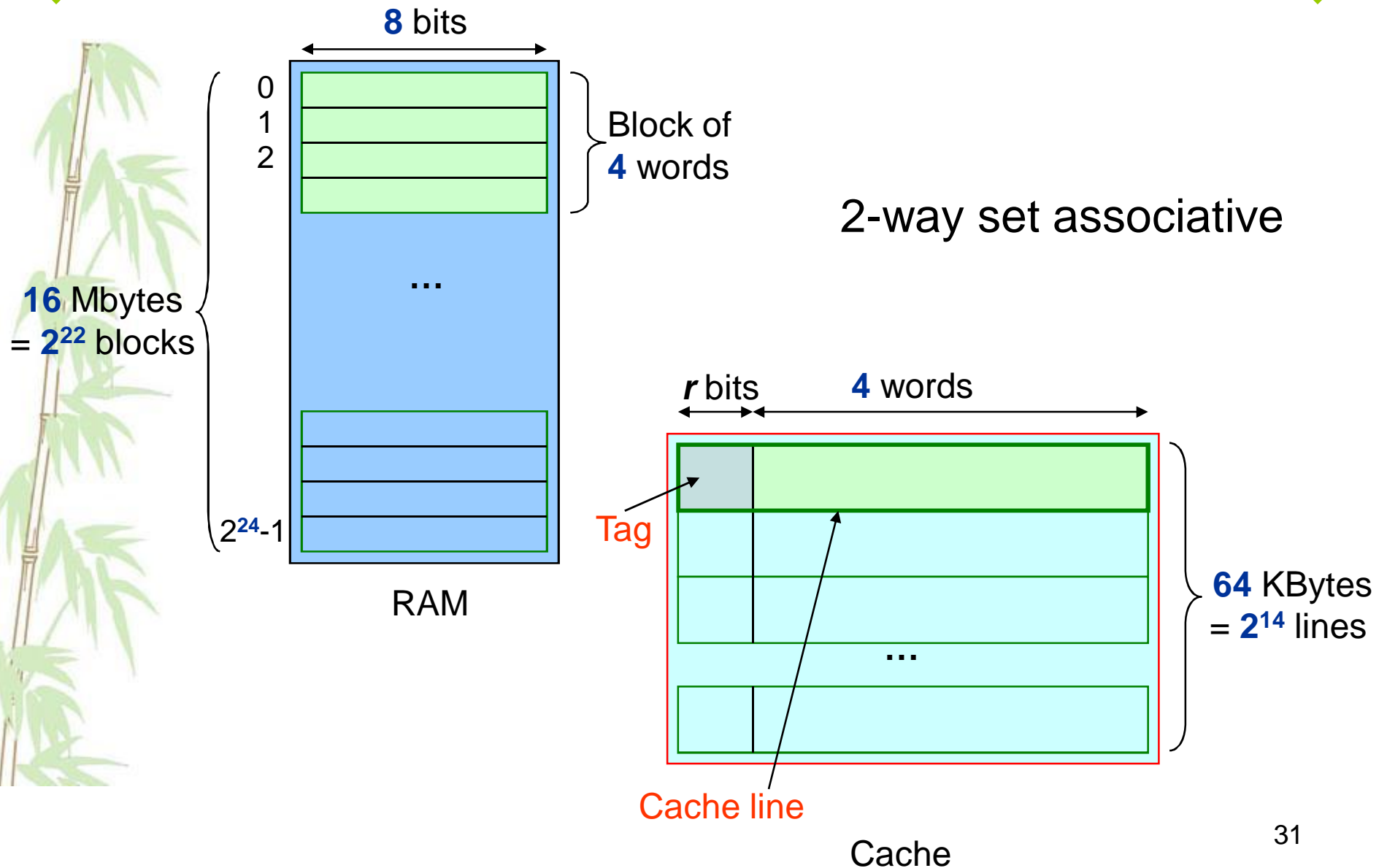


Quá trình truy xuất bộ nhớ theo tổ chức Set Associate Mapping



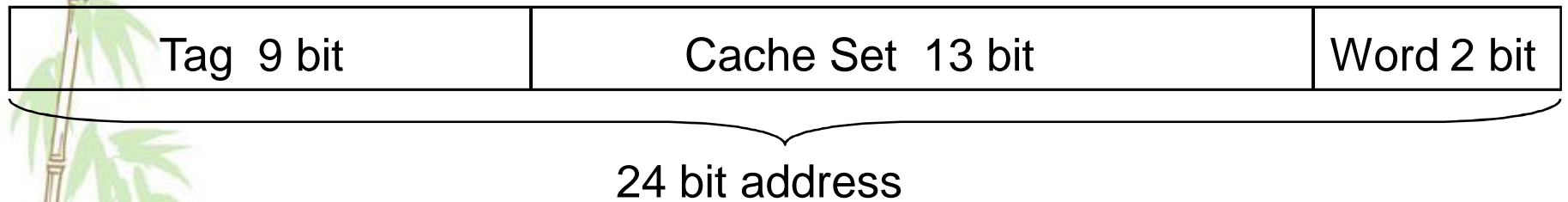


Ví dụ tổ chức Set Associate Mapping (1/3)





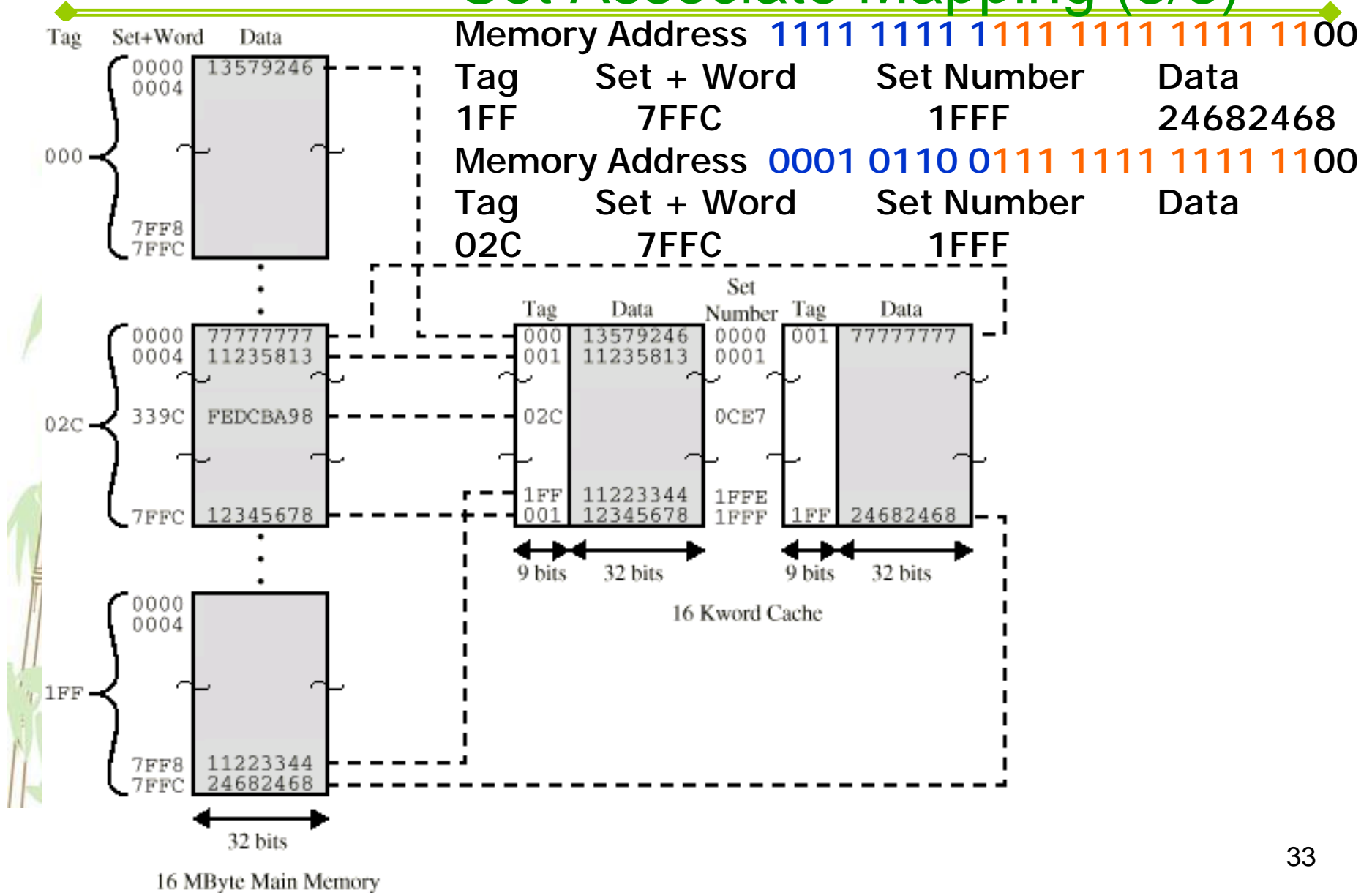
Ví dụ tổ chức Set Associate Mapping (2/3)



- Tín hiệu địa chỉ 24 bit
 - 2 bit định vị word (4 byte / block)
 - 22 bit định vị block
 - 13 bit định vị tập phần tử cache
 - Các block có địa chỉ 000000, 008000, ..., FF8000 được ánh xạ vào cùng tập 0
 - 9 bit tag (= 22-13)



Ví dụ tổ chức Set Associate Mapping (3/3)





Đánh giá tổ chức Set Associate Mapping

- $S=L, K=1$ à direct mapping
- $S=1, K=L$ à fully associative mapping
- (–) Nếu một block cần nạp vào một tập line mà không còn line nào trống ?



Chiến lược thay thế

- Vấn đề

- Khi cần chuyển một block mới vào trong cache mà không tìm được line trống theo yêu cầu của kiểu tổ chức cache thì phải thay line nào ra ?

- Direct Mapping

- Không có lựa chọn

- Fully Associate Mapping và Set Associate Mapping

- Random
- FIFO (First In First Out)
- LRU (Least Recently Used)
- LFU (Least Frequently Used)



Đồng bộ hóa cache và bộ nhớ chính

- Vấn đề

- CPU có thể thay đổi line. IO có thể truy xuất trực tiếp bộ nhớ chính
- Nếu nội dung line/block bị thay đổi trong cache/bộ nhớ chính, khi nào sẽ thực hiện cập nhật thay đổi này lên block/line tương ứng trong bộ nhớ chính/cache ?

- Write through

- Khi một line/block bị thay đổi trong cache/bộ nhớ chính bởi CPU/IO, block/line tương ứng trong bộ nhớ chính/cache sẽ lập tức được cập nhật
- Chậm

- Write back

- Khi một line bị thay đổi trong cache, sử dụng bit đánh dấu
- Khi phải thay thế line bị đánh dấu, thì cập nhật lại block tương ứng trong bộ nhớ chính
- IO phải truy xuất bộ nhớ chính thông qua cache



Kích thước block và cache

- Kích thước block

- Nhỏ quá: giảm tính lân cận về không gian (spatial locality)
- Lớn quá: thời gian chuyển block vào cache lâu (miss penalty)
- Kích thước block thường từ 8 tới 64 bytes

- Kích thước cache

- Kích thước cache tỉ lệ thuận với giá thành, có tỉ lệ thuận với tốc độ ?
- Nhỏ quá: số lượng block có thể lưu trong cache ít, dẫn đến tỉ lệ cache miss sẽ cao
- Lớn quá: nhiều nội dung không cần thiết lưu trong cache. Mất nhiều thời gian để kiểm tra block có nằm trong cache chưa



Số lượng và loại cache

- Thường sử dụng nhiều mức cache L1, L2, L3, ...
 - On-chip cache: nằm trên cùng IC với bộ xử lý, truy xuất nhanh
 - Off-chip cache: nằm trên IC riêng và được nối với bộ xử lý qua hệ thống bus (BSB – Back Side Bus), truy xuất chậm hơn
 - L1 cache
 - Kích thước 10s KB
 - Hit time: 1 chu kỳ
 - Miss rate: 1-5%
 - L2 cache
 - Kích thước 100s KB
 - Hit time: 1 chu kỳ
 - miss rates: 10-20%
- Thường sử dụng 2 loại cache
 - Unified cache: một cache cho cả lệnh và dữ liệu
 - Split cache: cache riêng cho lệnh (Instruction cache) và dữ liệu (data cache)

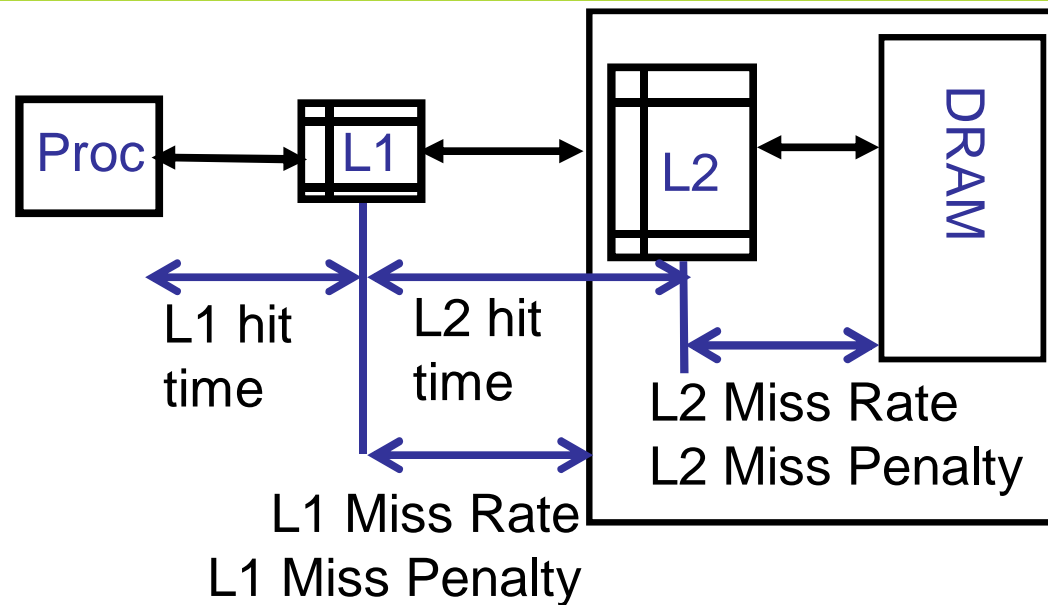


Cache của một số CPU

Bộ xử lý	Kiểu	Năm phát hành	L1 Cache ^a	L2 Cache	L3 Cache
IBM 360/85	Mainframe	1968	16 to 32 KB	-	-
PDP-11/70	Mini Computer	1975	1 KB	-	-
VAX 11/780	Mini Computer	1978	16 KB	-	-
IBM 3033	Mainframe	1978	64 KB	-	-
IBM 3090	Mainframe	1985	128 to 256 KB	-	-
Intel 80486	PC	1989	8 KB	-	-
Pentium	PC	1993	8 KB / 8 KB	256 to 512 KB	-
PowerPC 601	PC	1993	32 KB	-	-
PowerPC 620	PC	1996	32 KB / 32 KB	-	-
PowerPC G4	PC/Server	1999	32 KB / 32 KB	256KB to 1MB	2 MB
IBM S390/G4	Mainframe	1997	32 KB	256 KB	2 MB
IBM S390/G6	Mainframe	1999	256 KB	8 MB	-
Pentium 4	PC/Server	2000	8 KB / 8 KB	256 KB	-
IBM SP	High-End server/ Super Computer	2000	64 KB / 32 KB	8 MB	-
CRAY MTA ^b	Super Computer	2000	8 KB	2 MB	-
Itanium	PC/Server	2001	16 KB / 16 KB	96 KB	2 MB
SGI Origin 2001	High-End server	2001	32 KB / 32 KB	4 MB	-



Mô hình các mức cache



AMAT (Average Memory Access Time) =
L1 Hit Time + L1 Miss Rate * L1 Miss Penalty

L1 Miss Penalty =
L2 Hit Time + L2 Miss Rate * L2 Miss Penalty

AMAT = **L1 Hit Time + L1 Miss Rate***
(L2 Hit Time + L2 Miss Rate * L2 Miss Penalty)



Ví dụ

- Giả sử

- L1 Hit Time = 1 cycle
- L1 Miss rate = 5%
- L2 Hit Time = 5 cycles
- L2 Miss rate = 15%
- L1, L2 Miss Penalty = 200 cycles

- Không dùng cache L2

- $AMAT = 1 + 0.05 \times 200 = 11$ cycles

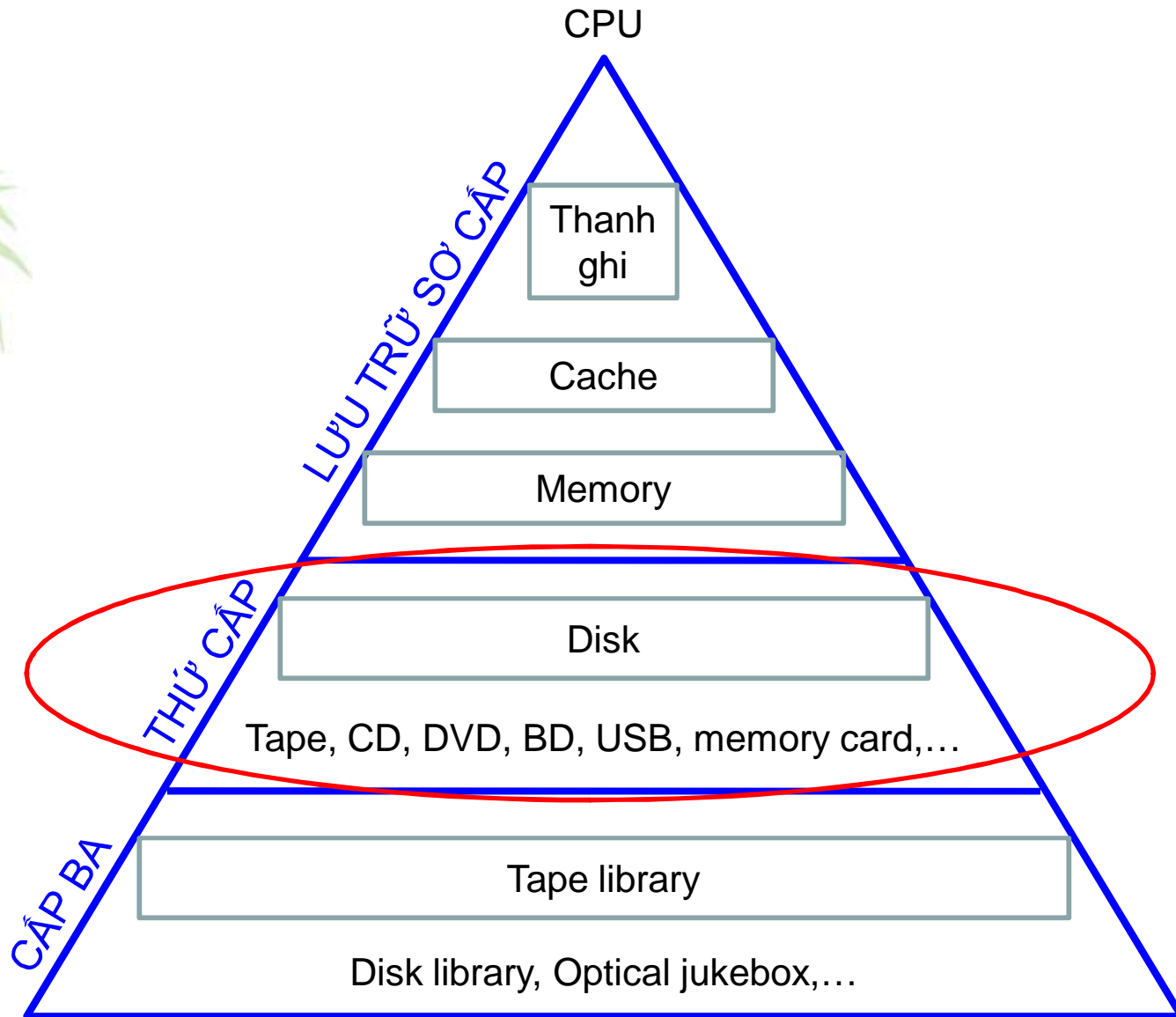
- Dùng cache L2

- L1 miss penalty = $5 + 0.15 \times 200 = 35$
- $AMAT = 1 + 0.05 \times 35 = 2.75$ cycles

- Dùng L2 nhanh hơn gấp 4 lần không dùng L2

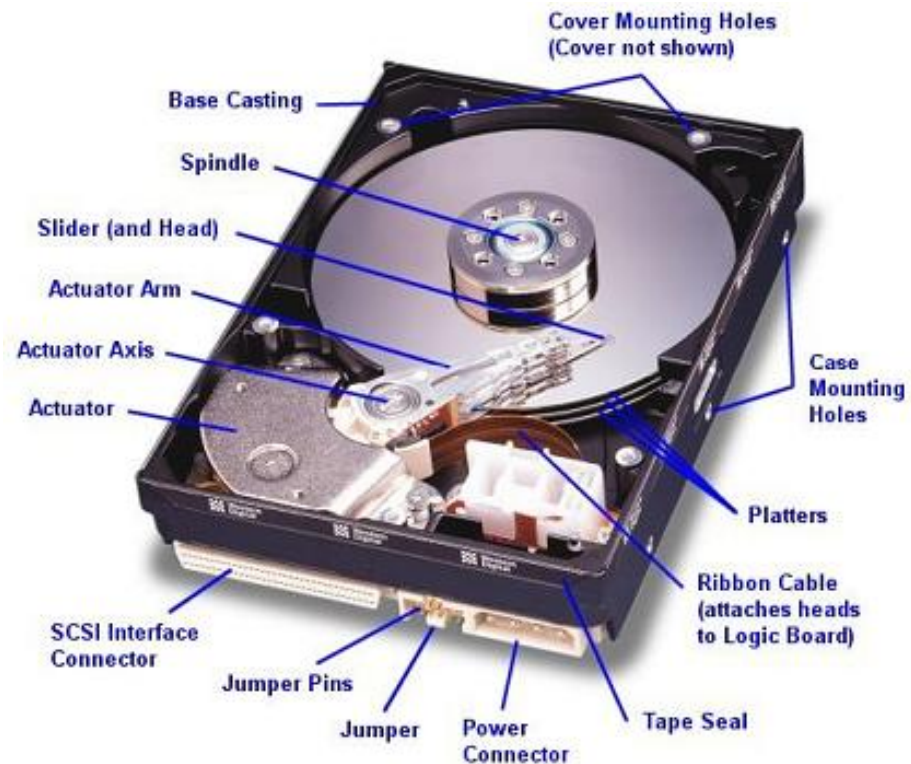


Lưu trữ thứ cấp

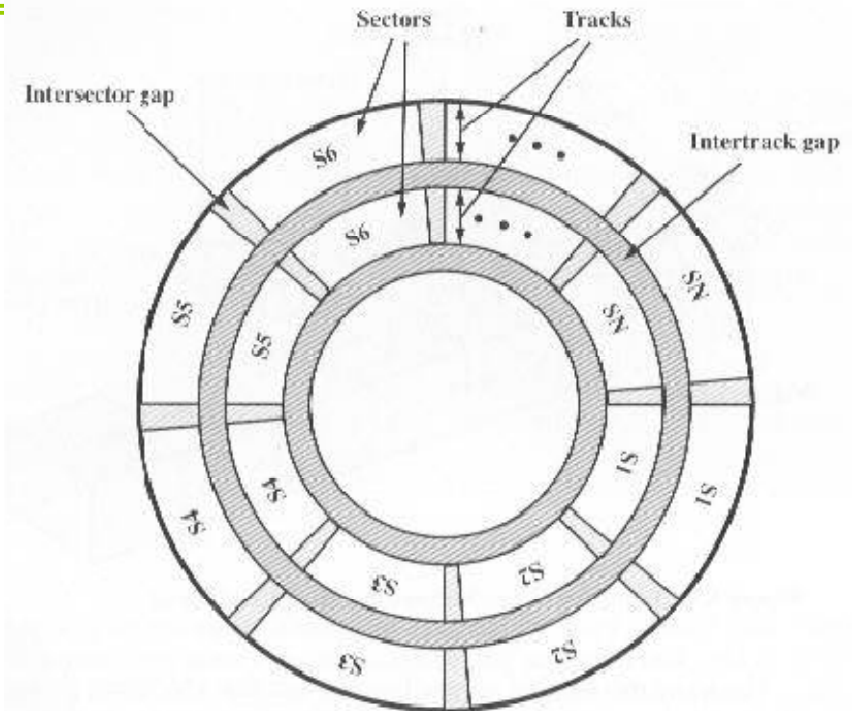
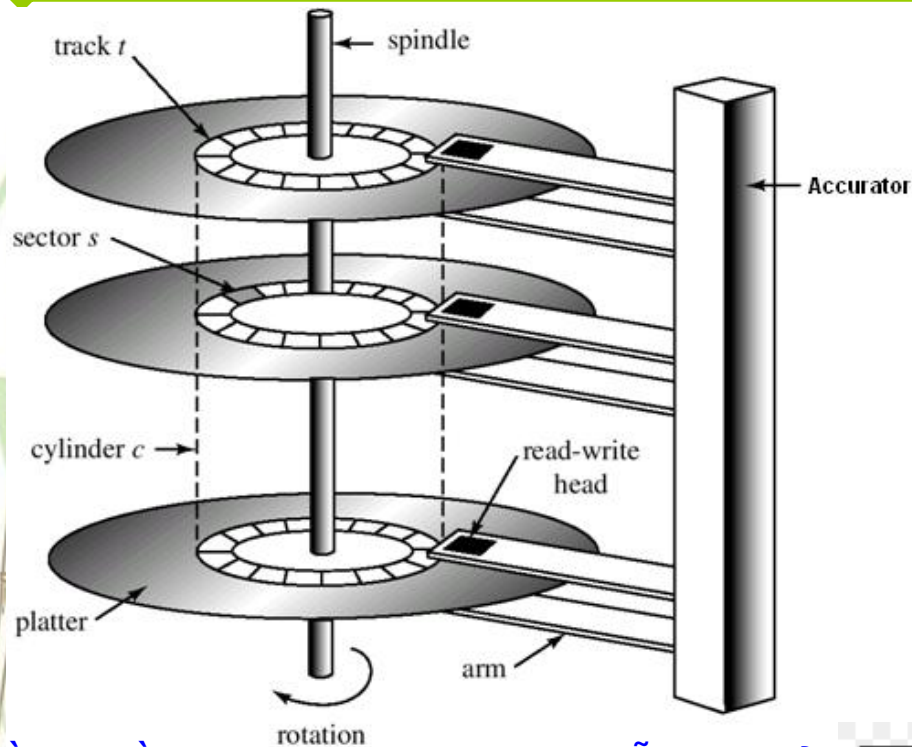


Đĩa từ

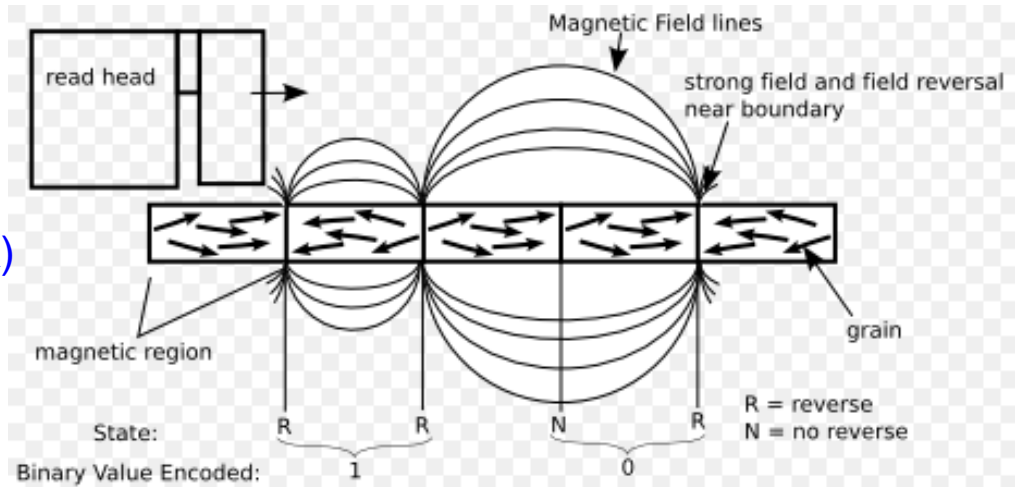
- Là thiết bị lưu trữ dữ liệu lâu dài phổ biến nhất, gồm một hay nhiều lớp đĩa phẳng được phủ từ để lưu dữ liệu
- 2 loại
 - Đĩa mềm (Floppy disks) – chậm, chỉ 1 lớp đĩa
 - Đĩa cứng (Hard Disk Drives - HDD) – nhanh hơn, nhiều lớp đĩa
- Đĩa cứng



Tổ chức đĩa cứng

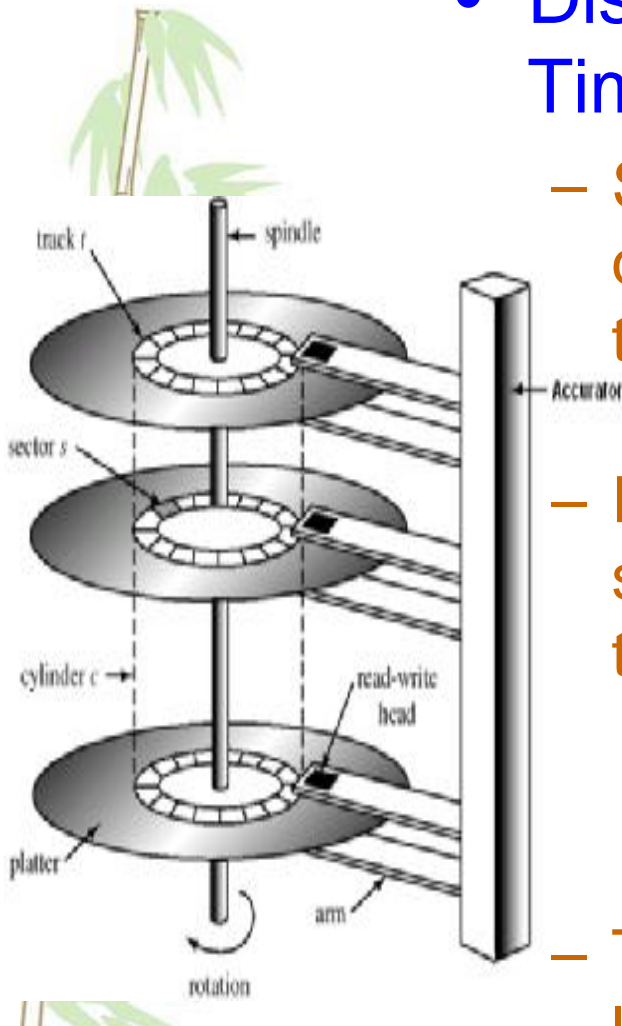


- Gồm nhiều lớp đĩa tròn (platter), mỗi lớp phủ từ 1 hoặc cả 2 mặt (side)
- Mỗi mặt có tương ứng 1 đầu đọc (head) để đọc hoặc ghi dữ liệu
- Mỗi mặt có nhiều đường tròn đồng tâm (track)
- Mỗi đường tròn được chia nhỏ thành các cung tròn (sector), thông thường mỗi cung chứa 4096 điểm từ (~ 4096 bit = 512 byte)
- Mỗi lần đọc/ghi ít nhất 1 sector (512 byte)



Cơ chế đọc dữ liệu của đĩa cứng

• Disk Latency = Seek Time + Rotation Time + Transfer Time



– Seek Time – Thời gian di chuyển đầu đọc tới đúng track cần đọc, phụ thuộc vào số track trên một mặt và tốc độ của actuator

- Trung bình < 10 ms

– Rotation Time – Thời gian quay đĩa sao cho sector muốn đọc nằm dưới đầu đọc, phụ thuộc vào tốc độ quay của đĩa

- 7200 rpm (Revolutions Per Minute) \Rightarrow 120 Rev/sec
- 1 revolution = $1/120$ sec \sim 8.33 milliseconds
- Trung bình (1/2 revolution) = 4.17 ms

– Transfer Time – Thời gian đọc và truyền dữ liệu, phụ thuộc vào mật độ phủ từ của sector và chuẩn giao tiếp (ATA, SATA, SCSI,...)



Kỹ thuật RAID

- **RAID : Redundant Array of Inexpensive Disks**
 - Kết hợp nhiều ổ đĩa (vật lý) thành một hệ thống đĩa (luận lý) duy nhất bằng phần cứng (RAID controller) hoặc phần mềm
- **Mục đích:**
 - Đảm bảo an toàn dữ liệu
 - Tăng tốc độ truy xuất của hệ thống
- **Hoạt động:**
 - Dữ liệu lưu trên đĩa sẽ được lưu đồng thời lên tất cả các đĩa
 - Hoạt động của hệ thống trong suốt với người dùng
- **Loại RAID: 0, 1, 0+1, 1+0, 2, 3, 4, 5, 5+0, 6...**

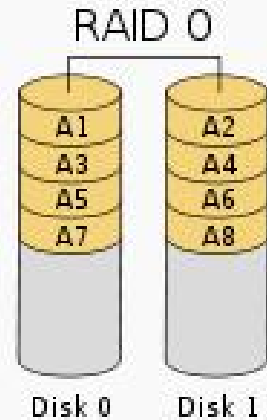




Cấu hình một số loại RAID

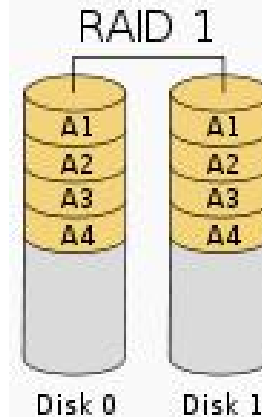
RAID 0

No redundancy, striping



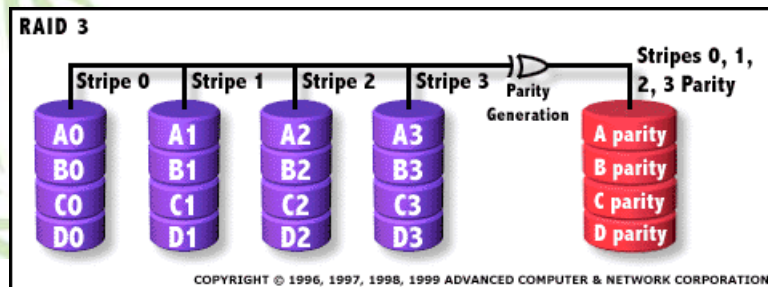
RAID 1

Mirror Data, most expensive solution



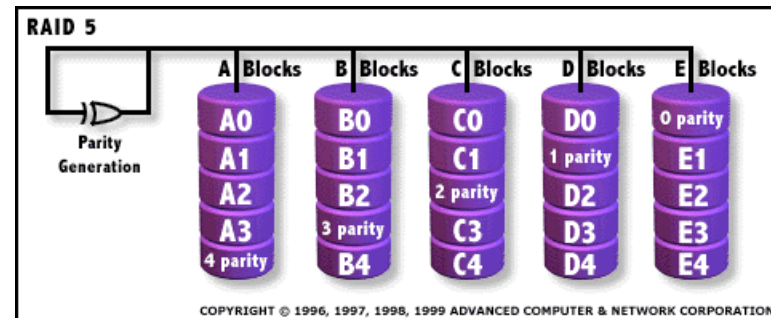
RAID 3

Parity drive protects against 1 failure



RAID 5

Rotated parity across all drives





Cơ chế kiểm tra lỗi và sửa lỗi

- Nguyên nhân gây ra lỗi: do các xung điện hoặc điện từ trường...
- Phương pháp sửa lỗi: sử dụng mã kiểm tra bằng cách thêm các bit vào để phát hiện lỗi (Ví dụ: Parity bit, CRC - cyclic redundancy check, ECC - error correction circuitry, Hamming Code,...)

- Parity bit

7 bits of data (number of 1s)	8 bits including parity	
	even	odd
0000000 (0)	00000000	10000000
1010001 (3)	11010001	01010001
1101001 (4)	01101001	11101001
1111111 (7)	11111111	01111111

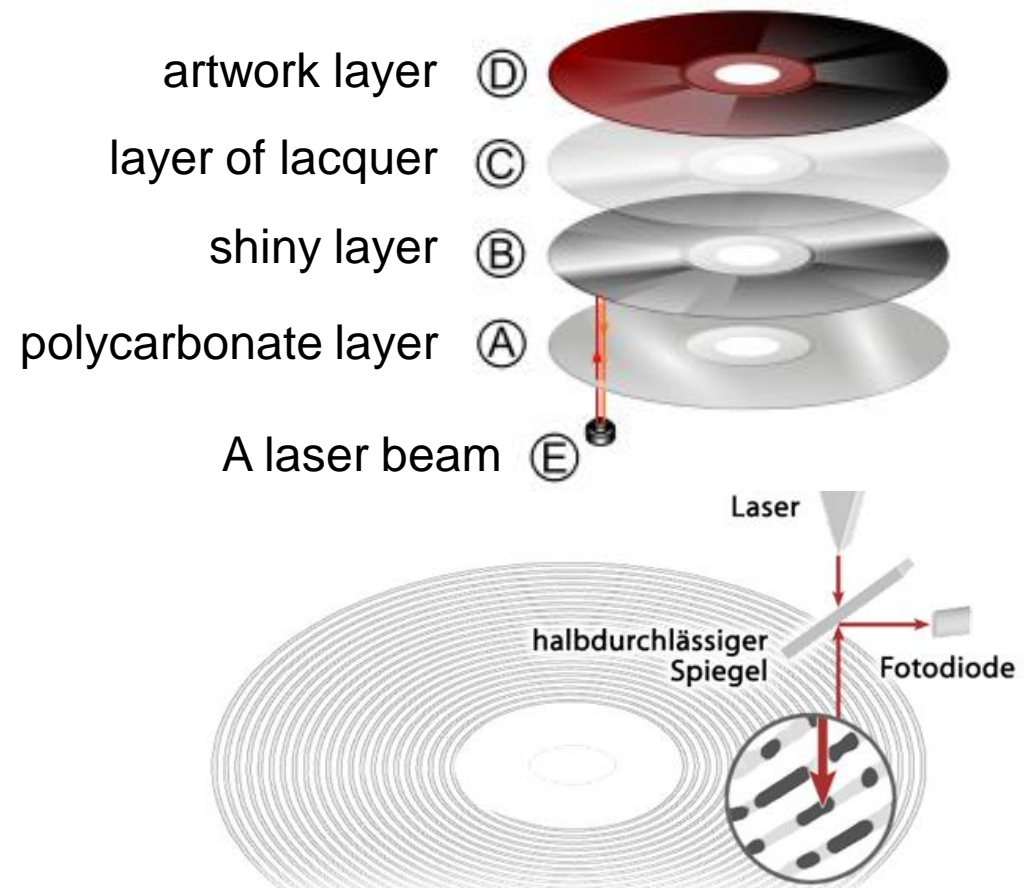
- Hamming code

Bit position		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Encoded data bits		p1	p2	d1	p4	d2	d3	d4	p8	d5	d6	d7	d8	d9	d10	d11	p16	d12	d13	d14	d15
Parity bit coverage	p1	X		X		X		X		X		X		X		X		X		X	
	p2		X	X			X	X			X	X			X	X			X	X	
	p4				X	X	X	X					X	X	X	X					X
	p8								X	X	X	X	X	X	X	X					
	p16																X	X	X	X	X

Đĩa quang (1/3)

• Compact Disc (CD)

52x / 32x / 52x : speed
for CD-R / CD-RW / CD

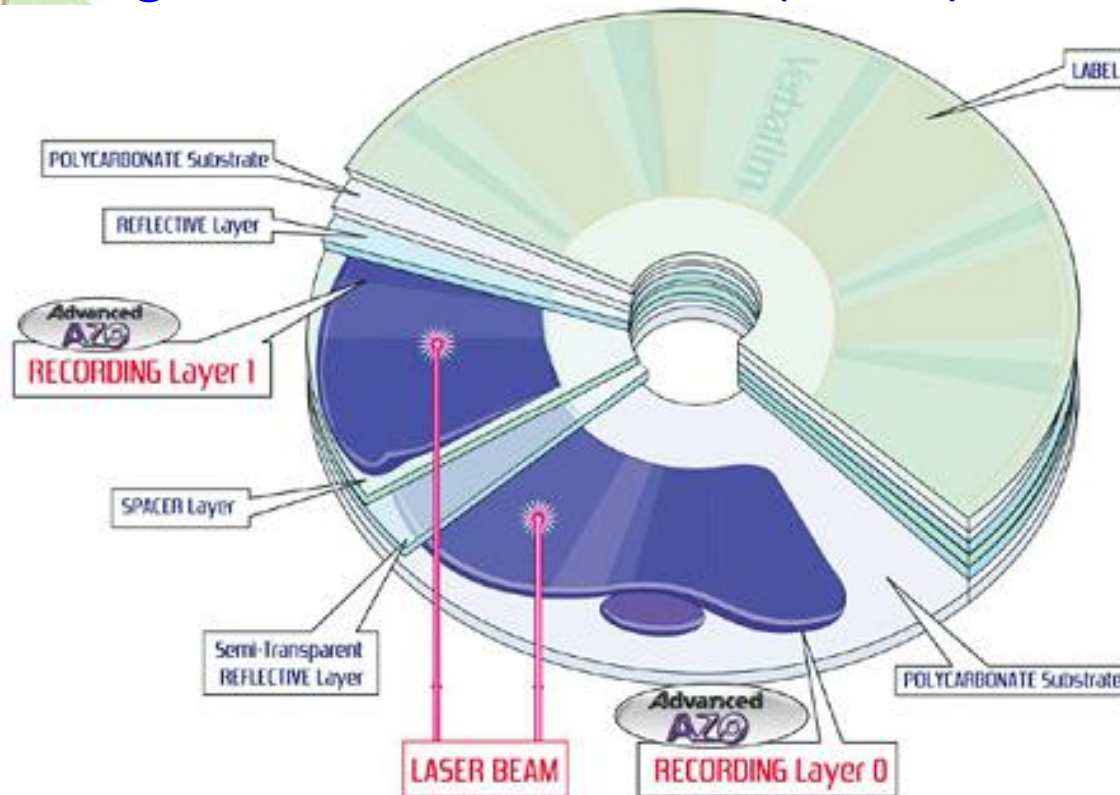


Transfer Speed	Megabytes/s	Megabits/s
1x	0.15	1.2
2x	0.3	2.4
4x	0.6	4.8
8x	1.2	9.6
10x	1.5	12
12x	1.8	14.4
20x	3	24
32x	4.8	38.4
36x	5.4	43.2
40x	6	48
48x	7.2	57.6
50x	7.5	60
52x	7.8	62.4

Type	Sectors	Data max size (MB)	Audio max size (MB)
8 cm	94,500	193.536	222.264
650 MB	333,000	681.984	783.216
700 MB	360,000	737.28	846.72
800 MB	405,000	829.44	952.56
900 MB	445,500	912.384	1,047.82

Đĩa quang (2/3)

Digital Versatile Disc (DVD)



	Single layer (GB)	Double layer (GB)
12 cm, single sided	4.7	8.5
12 cm, double sided	9.4	17.1
8 cm, single sided	1.4	2.6
8 cm, double sided	2.8	5.2

Drive speed	Data rate		
	(Mbit/s)	(MB/s)	(MiB/s)
1×	10.80	1.35	1.29
2×	21.60	2.70	2.57
2.4×	25.92	3.24	3.09
2.6×	28.08	3.51	3.35
4×	43.20	5.40	5.15
6×	64.80	8.10	7.72
8×	86.40	10.80	10.30
10×	108.00	13.50	12.87
12×	129.60	16.20	15.45
16×	172.80	21.60	20.60
18×	194.40	24.30	23.17
20×	216.00	27.00	25.75
22×	237.60	29.70	28.32
24×	259.20	32.40	30.90

Đĩa quang (3/3)

- HD DVD & Blue-ray Disc



HD DVD

	Single layer	Dual layer
12 cm, single sided	15 GB	30 GB
12 cm, double sided	30 GB	60 GB
8 cm, single sided	4.7 GB	9.4 GB
8 cm, double sided	9.4 GB	18.8 GB

BD

	Single layer	Dual layer
12 cm, single sided	25 GB	50 GB
8 cm, single sided	7.8 GB	15.6 GB



Flash memory (1/3)

- Một loại công nghệ lưu trữ được sử dụng phổ biến nhất hiện nay
 - USB, Memory card, ROM,...
- Không cần nguồn điện để duy trì dữ liệu (non-volatile)
 - Một bit dữ liệu được tạo từ NMOS transistor với một chất dẫn được thêm vào giữa G(gate) và S(source)/D(drain) để duy trì các electron. Có electron tương ứng với bit 1, không có electron tương ứng với bit 0
- Ưu điểm
 - Duy trì dữ liệu lâu dài
 - Ít tốn điện năng
- Nhược điểm
 - Số chu kỳ ghi/ xóa dữ liệu bị giới hạn (do sự hao mòn)
 - Hầu hết khoảng trên 100 ngàn, một số trên 1 triệu chu kỳ ghi/ xóa dữ liệu

Flash memory (2/3)

- USB (Universal Serial Bus)



Flash memory (3/3)

- Memory card

Name	Acronym	Form factor
PC Card	PCMCIA	85.6 × 54 × 3.3 mm
CompactFlash I	CF-I	43 × 36 × 3.3 mm
CompactFlash II	CF-II	43 × 36 × 5.5 mm
SmartMedia	SM / SMC	45 × 37 × 0.76 mm
Memory Stick	MS	50.0 × 21.5 × 2.8 mm
Memory Stick Duo	MSD	31.0 × 20.0 × 1.6 mm
Memory Stick Micro M2	M2	15.0 × 12.5 × 1.2 mm
Multimedia Card	MMC	32 × 24 × 1.5 mm
Reduced Size Multimedia Card	RS-MMC	16 × 24 × 1.5 mm
MMCmicro Card	MMCmicro	12 × 14 × 1.1 mm
Secure Digital Card	SD	32 × 24 × 2.1 mm
miniSD Card	miniSD	21.5 × 20 × 1.4 mm
microSD Card	microSD	11 × 15 × 1 mm
xD-Picture Card	xD	20 × 25 × 1.7 mm
Intelligent Stick	iStick	24 × 18 × 2.8 mm
μ card	μcard	32 × 24 × 1 mm



Card reader

CompactFlash,
Memory Stick,
Secure Digital,
and xD





Lưu trữ cấp ba

CPU

Thanh ghi

Cache

Memory

Disk

Tape, CD, DVD, BD, USB, memory card,...

Tape library

Disk library, Optical jukebox,...

LƯU TRỮ SƠ CẤP

THỦ CẤP

CẤP BA

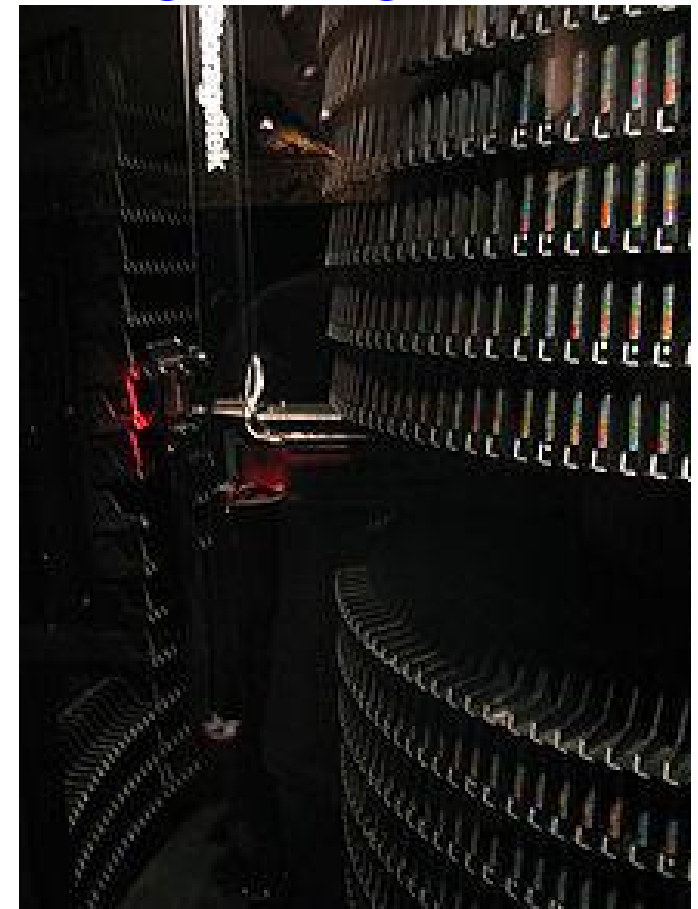
Tape library

- Thiết bị cho phép kết hợp hàng ngàn băng từ để tạo thành một thiết bị lưu trữ có dung lượng lên đến Terabyte, Petabyte



**HP StorageWorks
Ultrium 960**

Recording Technology	LTO Ultrium 3
Compressed Capacity *	800 GB
Sustained Transfer Rate (compressed) *	576 GB/hr
Buffer Size	128 MB
Interface	Ultra320 SCSI (LVDS)
Form Factor	5.25 inch half-height
WORM Capability	Yes



Disk library

- Thiết bị cho phép kết hợp hàng ngàn đĩa cứng để tạo thành một thiết bị lưu trữ có dung lượng lên đến Terabyte, Petabyte



Optical jukebox

- Thiết bị cho phép kết hợp hàng ngàn đĩa quang (CD, DVD, Blue-ray disk) để tạo thành một thiết bị lưu trữ có dung lượng lên đến Terabyte, Petabyte





Tham khảo

- Phần 7.1, 7.2, 8.1, 8.2. P&H

