

Trường Đại học Khoa học tự nhiên - ĐHQG HCM



fit@hcmus

Khoa Công nghệ thông tin

BÁO CÁO BÀI TẬP

TUẦN 5

Thiết kế led 7 đoạn

Ngày 29 tháng 04 năm 2025

CQ2023/1

23120262 - Tống Dương Thái Hoà

Giảng viên hướng dẫn

ThS. Lê Viết Long

Mục lục

1	Đánh giá	2
1.1	Tự đánh giá các yêu cầu	2
1.2	Đánh giá tổng thể	2
2	Thực hiện	3
2.1	Bảng chân trị	3
2.2	Hàm luận lý	4
2.3	Sơ đồ mạch Logic	7

1 Đánh giá

1.1 Tự đánh giá các yêu cầu

STT	Yêu cầu	Mức độ hoàn thành
1	Lập bảng chân trị	100%
2	Viết hàm luận lý sử dụng K-map	100%
1	Vẽ mạch logic	100%

Bảng 1: Bảng tự đánh giá các yêu cầu đã hoàn thành

1.2 Đánh giá tổng thể

- **Mức độ hoàn thành:** 100%
- **Nhận xét:**
 - Bài làm hoàn thành đầy đủ các yêu cầu, hiểu được từng bước thiết kế và thiết kế thành công LED 7 đoạn theo yêu cầu.

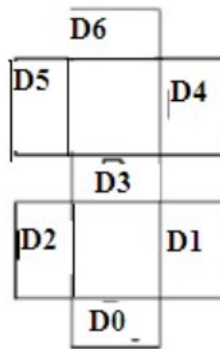
2 Thực hiện

2.1 Bảng chân trị

Bảng chân trị mô tả mối quan hệ giữa 4 bit đầu vào và 7 bit đầu ra để hiển thị các số từ 0 đến 9. Giá trị '1' ở đầu ra tương ứng với việc đoạn LED đó sáng. Các trường hợp đầu vào từ 10 (1010) đến 15 (1111) là các trạng thái không xác định, ký hiệu là 'X' trong quá trình tối thiểu hóa.

Inputs				Outputs						
I_3	I_2	I_1	I_0	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	1	1	1	0	1	1	1
0	0	0	1	0	0	1	0	0	1	0
0	0	1	0	1	0	1	1	1	0	1
0	0	1	1	1	0	1	1	0	1	1
0	1	0	0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	1	0	1	1
0	1	1	0	1	1	0	1	1	1	1
0	1	1	1	1	1	0	1	0	0	1
1	0	0	0	0	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

Bảng 2: Bảng chân trị BCD sang LED 7 đoạn.



Hình 1: Sơ đồ phân bố các đoạn D0 đến D6 trên LED 7 đoạn.

2.2 Hàm luận lý

D0:

				I1			
	1	0	1	1			
	0	1	3	2			
	0	1	0	1		I2	
	4	5	7	6			
I3	X	X	X	X			
	12	13	15	14			
	1	1	X	X			
	8	9	11	10			
					I0		

Hình 2: D0

$$D_0(I_0, I_1, I_2, I_3) = \sum m(0, 2, 3, 5, 6, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$D_0 = \sim I_2 \sim I_0 + \sim I_2 I_1 + I_1 \sim I_0 + I_2 \sim I_1 I_0 + I_3$$

D1:

				I1			
	1	0	1	0			
	0	1	3	2			
	1	1	1	1		I2	
	4	5	7	6			
I3	X	X	X	X			
	12	13	15	14			
	1	1	X	X			
	8	9	11	10			
					I0		

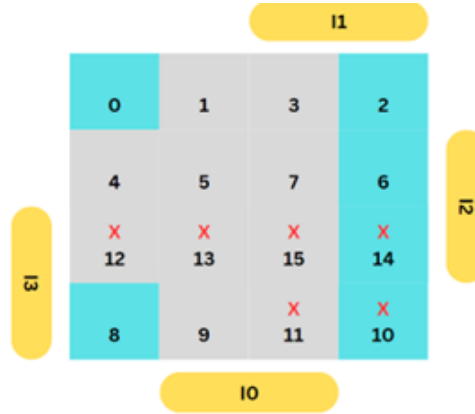
Hình 3: D1

$$\sim D_1(I_0, I_1, I_2, I_3) = \sum m(2, 10)$$

$$\sim D_1 = \sim I_2 I_1 \sim I_0$$

$$D_1 = (\sim I_2 I_1 \sim I_0)' = I_2 + \sim I_1 + I_0$$

D2:



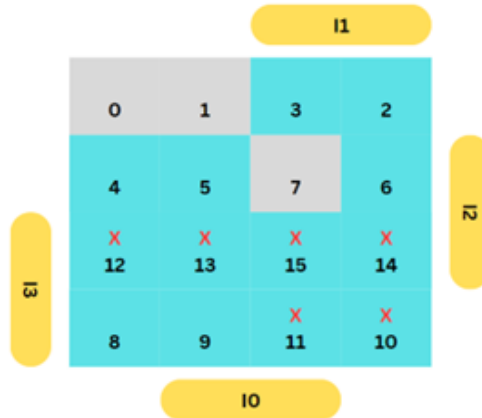
Hình 4: D2

$$D_2(I_0, I_1, I_2, I_3) = \sum m(0, 2, 6, 8, 10, 14)$$

$$D_2 = \sim I_0 \sim I_2 + \sim I_0 I_1$$

$$D_2 = \sim I_0 (\sim I_2 + I_1)$$

D3:

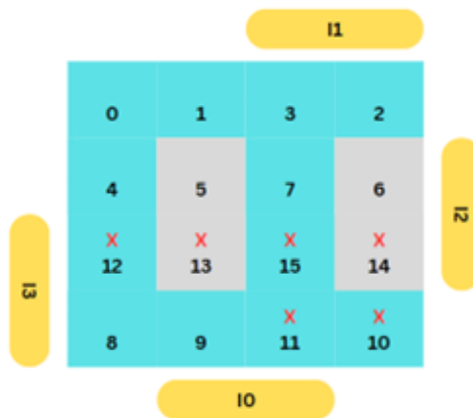


Hình 5: D3

$$D_3(I_0, I_1, I_2, I_3) = \sum m(2, 3, 4, 5, 6, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$D_3 = I_1 \sim I_2 + \sim I_0 I_1 + \sim I_1 I_2 + I_3$$

D4:

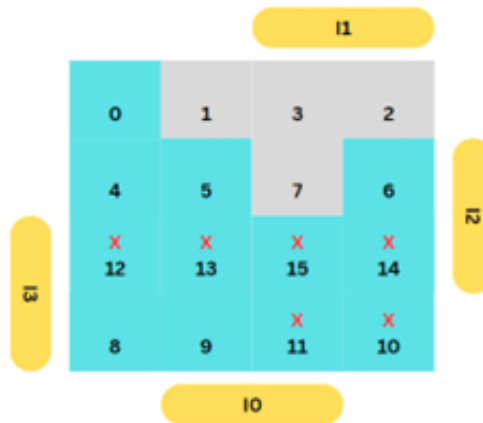


Hình 6: D4

$$D_4(I_0, I_1, I_2, I_3) = \sum m(0, 1, 2, 3, 4, 7, 8, 9, 10, 11, 12, 15)$$

$$D_4 = \sim I_2 + \sim I_0 \sim I_1 + I_0 I_1$$

D5:

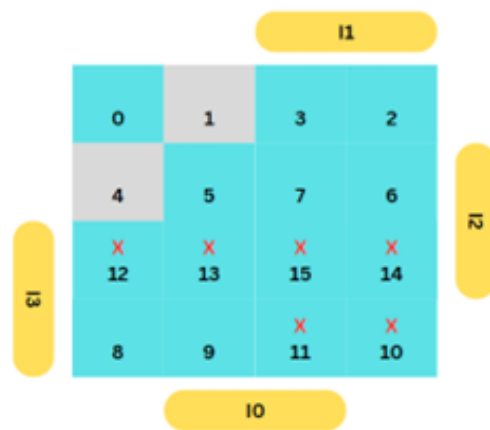


Hình 7: D5

$$D_5(I_0, I_1, I_2, I_3) = \sum m(0, 4, 5, 6, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$D_5 = \sim I_0 \sim I_1 + \sim I_1 I_2 + I_2 \sim I_0 + I_3$$

D6:



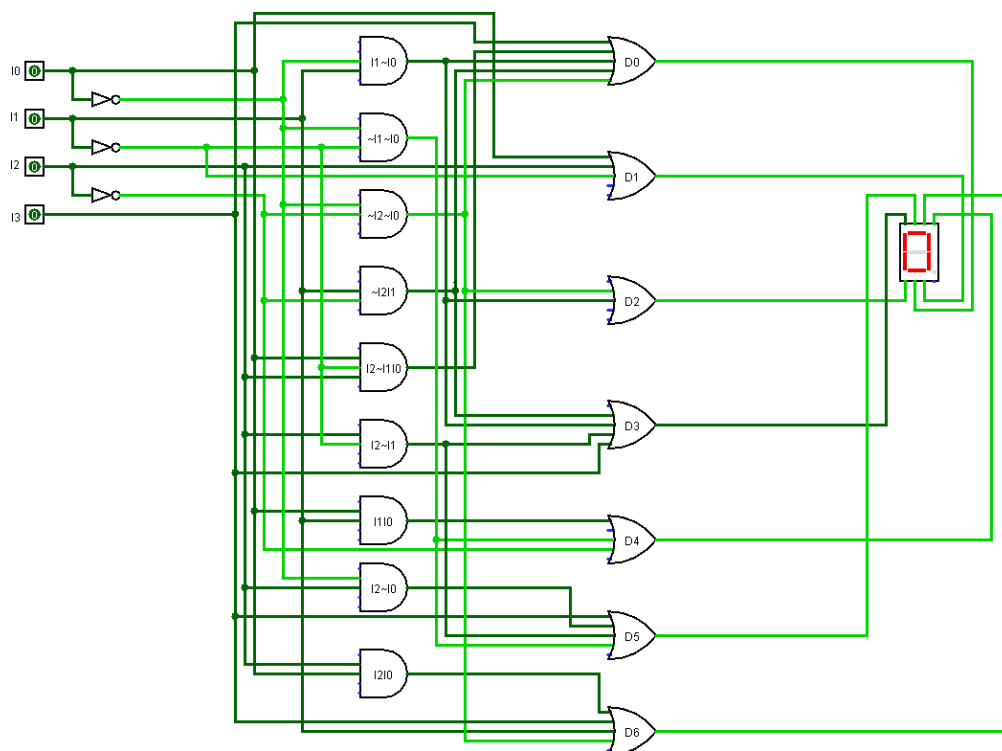
Hình 8: D6

$$D_6(I_0, I_1, I_2, I_3) = \sum m(0, 2, 3, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$D_6 = \sim I_0 \sim I_2 + I_0 I_2 + I_1 + I_3$$

2.3 Sơ đồ mạch Logic

Dựa trên các hàm luận lý đã được tối thiểu hóa cho từng đầu ra D0 đến D6, mạch logic được xây dựng bằng cách sử dụng các cổng logic cơ bản (AND, OR, NOT). Sơ đồ mạch được thiết kế và mô phỏng bằng phần mềm Logisim.



Hình 9: Sơ đồ mạch giải mã BCD sang LED 7 đoạn được thiết kế trên Logisim.