

2 Nexys4 & ISE

2.1 實驗目的

- 學習使用 Xilinx design tool，環境設定(setting)、編輯(editor)、合成(synthesize)、載入(download)。
- 了解 Nexys4 基本的週邊設備 LED、7-segment。修改 ucf 檔練習操作 Nexys4 的週邊

2.2 實驗器材與元件

名稱	說明
 <p>Nexys4</p>	<p>Nexys4是以Xilinx Artix7為核心之FPGA開發實驗板。整合 switch、7-segment、溫度感測器、加速度器等多樣化的週邊，省去各位同學在麵包板上接線，或是焊接电路板的繁瑣步驟。Nexys4詳細的週邊資訊與板上的連線請參閱線上 datasheet：https://reference.digilentinc.com/media/nexys4-ddr:nexys4ddr_rm.pdf</p>
 <p>ISE</p>	<p>ISE 是由一家叫做 Xilinx 的公司設計的開發工具，被用在 Verilog 語言的撰寫與將撰寫好的 Verilog 程式燒錄到 Xilinx 製作的 FPGA 開發板上執行。</p> <p>下載網址： http://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html </p>

2.3 實驗內容

實驗目的主要是希望透過這次實驗學習 Nexys4 與 ISE，所以剛開始會先讓大家利用 ISE 燒入範例程式到 Nexys4，觀察 Nexys4 的狀況。本次實驗步驟分為三個實驗：

1. 使用 ISE 軟體載入 E-course 上 DDLab2_LED 中的範例程式，並將程式燒入至 Nexys4，最後觀察 Nexys4 的顯示結果。
2. 了解程式與硬體輸出入 pin 的連接方式，並學習改寫 Nexys4DDR_Master.ucf。
3. 學習了解第一個實驗後，可自行從新操作一次流程，並將實驗一的範例程式改為載入 E-course 上 DDLab2_7 中的範例程式，並觀察 Nexys4 的顯示結果。

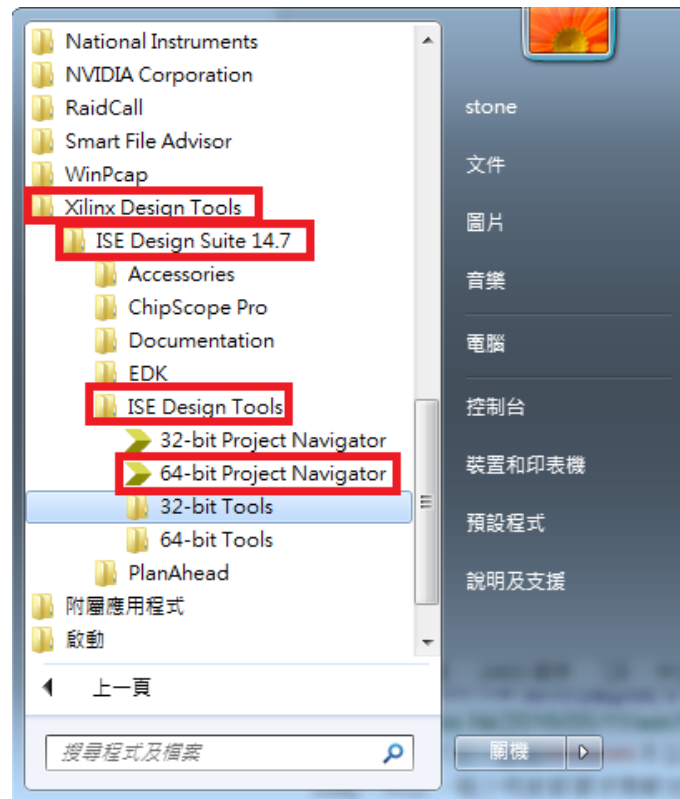
透過以上三個實驗即可學習到 ISE 寫 Nexys4 的流程，以及如何用 ucf 檔控制 Nexys4 的輸出，接下來開始依序介紹三個實驗。

實驗一

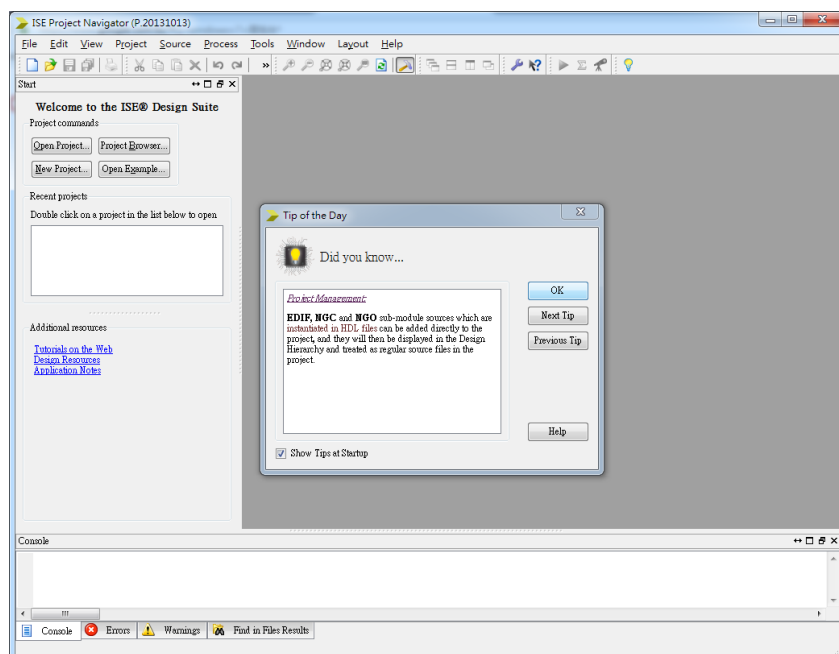
此實驗分為三個部分，第一個部分的主要目的是希望學習如何利用 ISE 寫入範例程式到 Nexys4，並觀察結果。助教已經提供完整範例程式，並已上傳到 E-course 上，所以第一個實驗只要載入範例程式即可。

步驟一：安裝 Xilinx design tool (軟體已安裝進電腦中可忽略)。

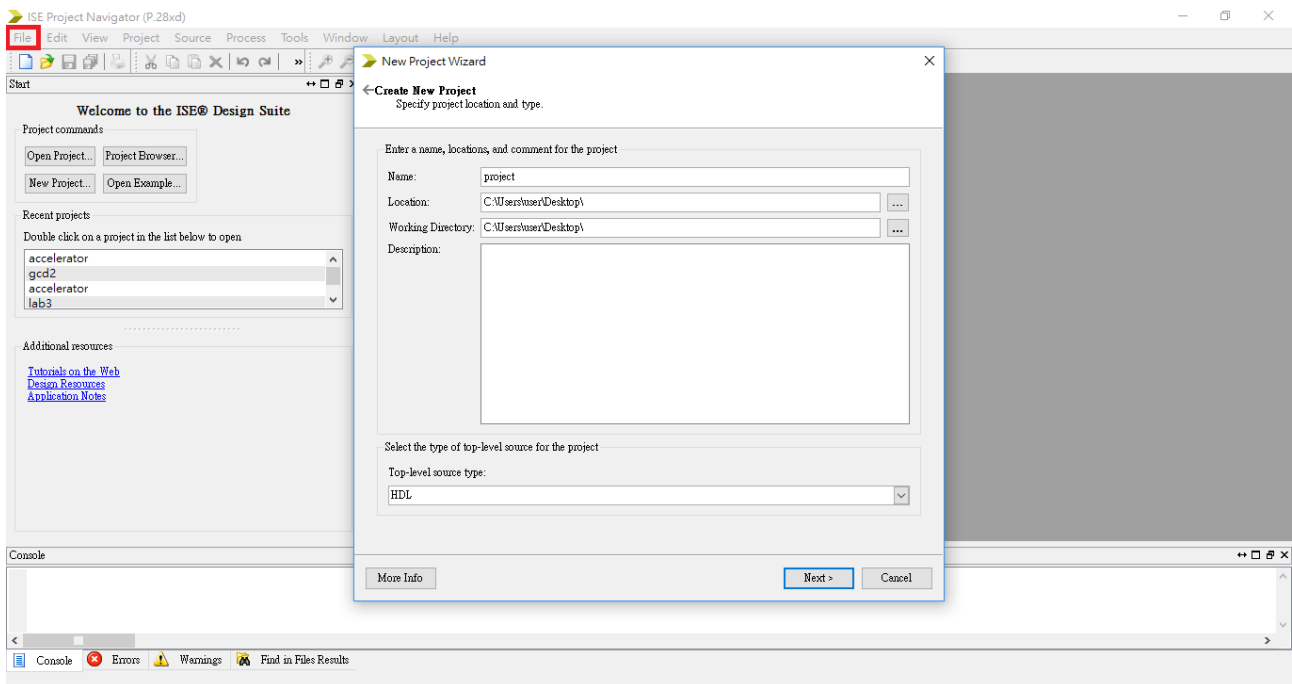
步驟二：點選開始功能表後，找到 64-bit Project Navigator 後點選開啟。



開啟後的畫面如下(小視窗可點選 OK 或右上方關閉)



步驟三： 建立新專案，在 Tool bar 上找到 File -> New Project，即會跳出下圖視窗。輸入專案名稱以及確認 Top-level source type 為 HDL。需注意放置專案的路徑(Location)與專案名稱(Name)必須皆為英文組成，否則將無法燒錄，然後按下 Next >。



步驟四：選擇這次使用的 FPGA 型號和 preferred language。選擇完成後即可按下 Next 按鈕，最後同學可以經由接下來的 Project Summary 再次檢查是否正確，檢查完成後按下 Finish 按鈕結束設定。

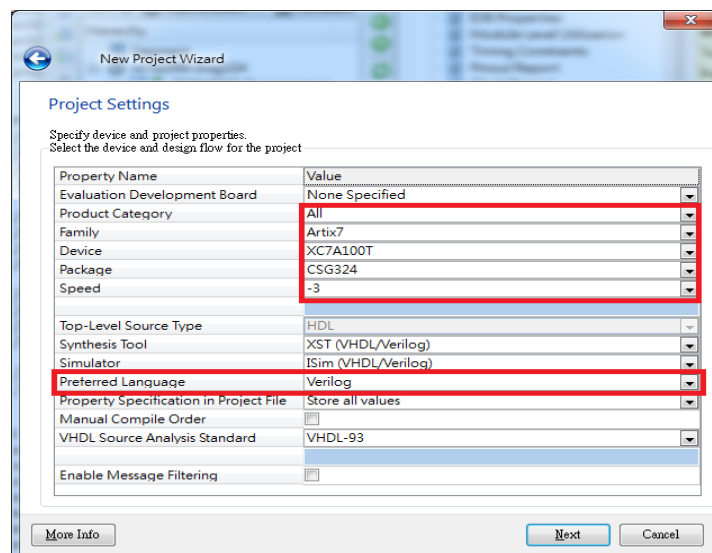
Family : Artex-7

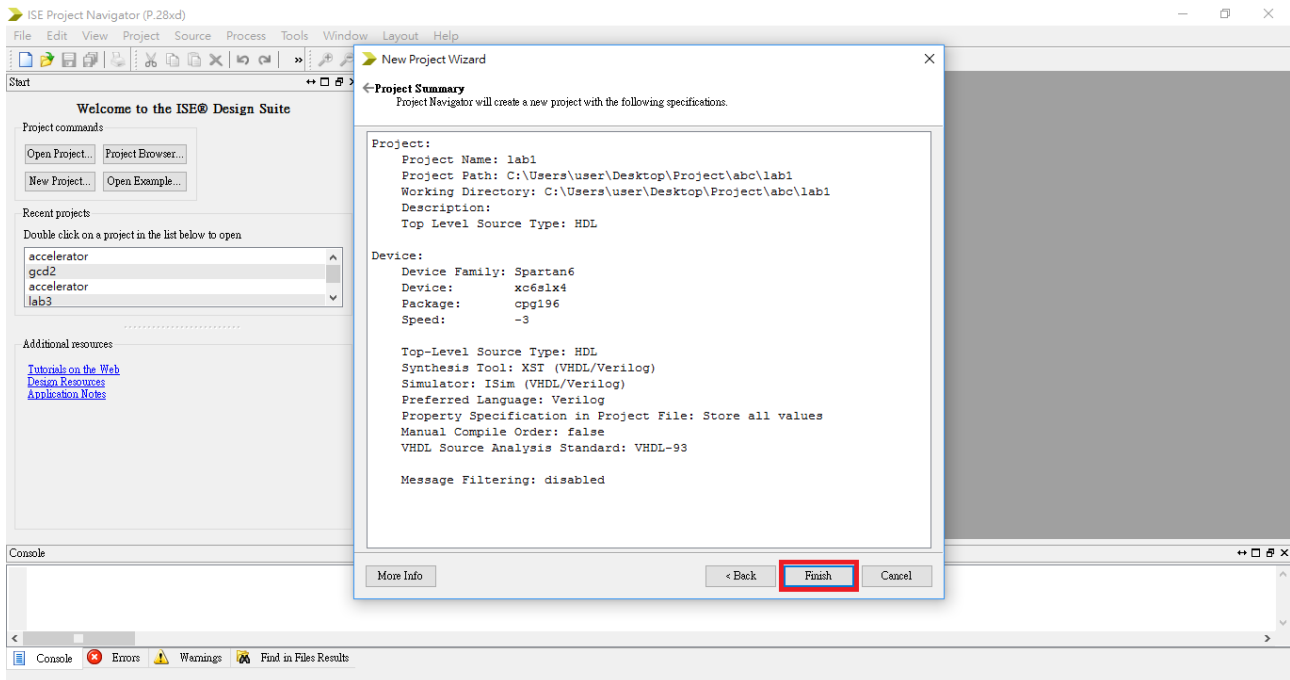
Device : XC7A100T

Package : CSG324

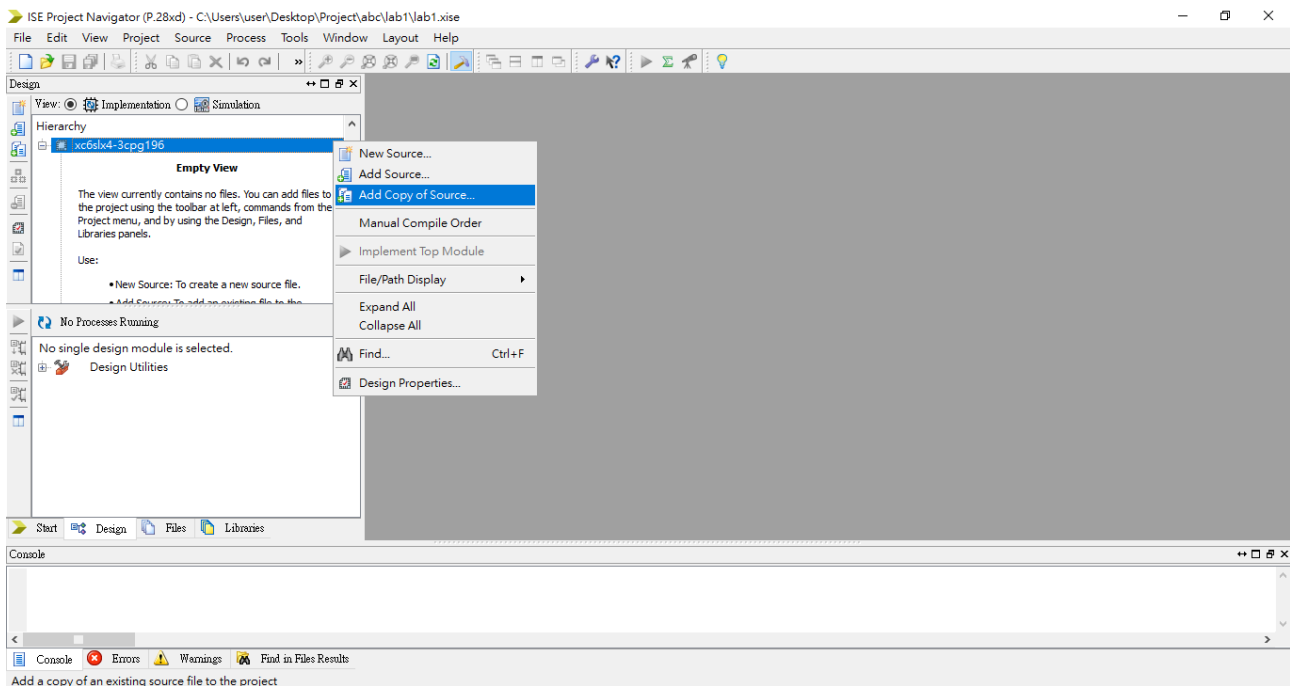
Speed : -3

Preferred Language : Verilog

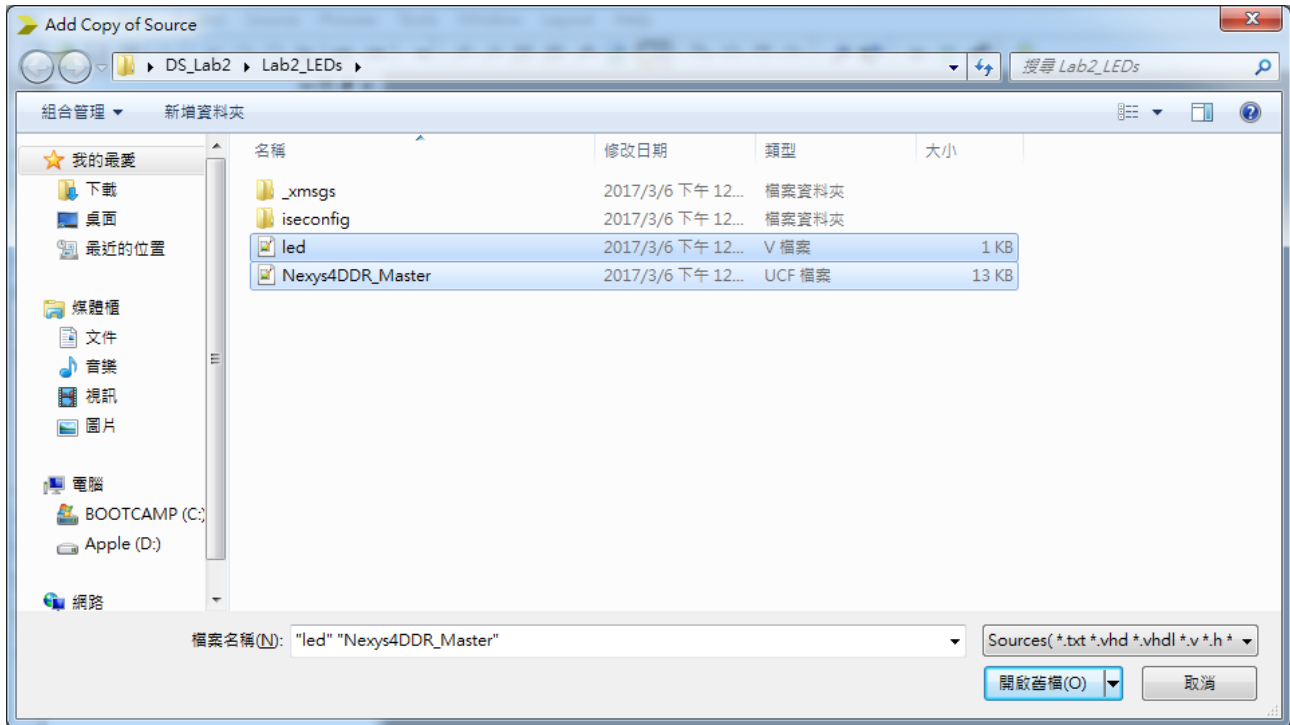




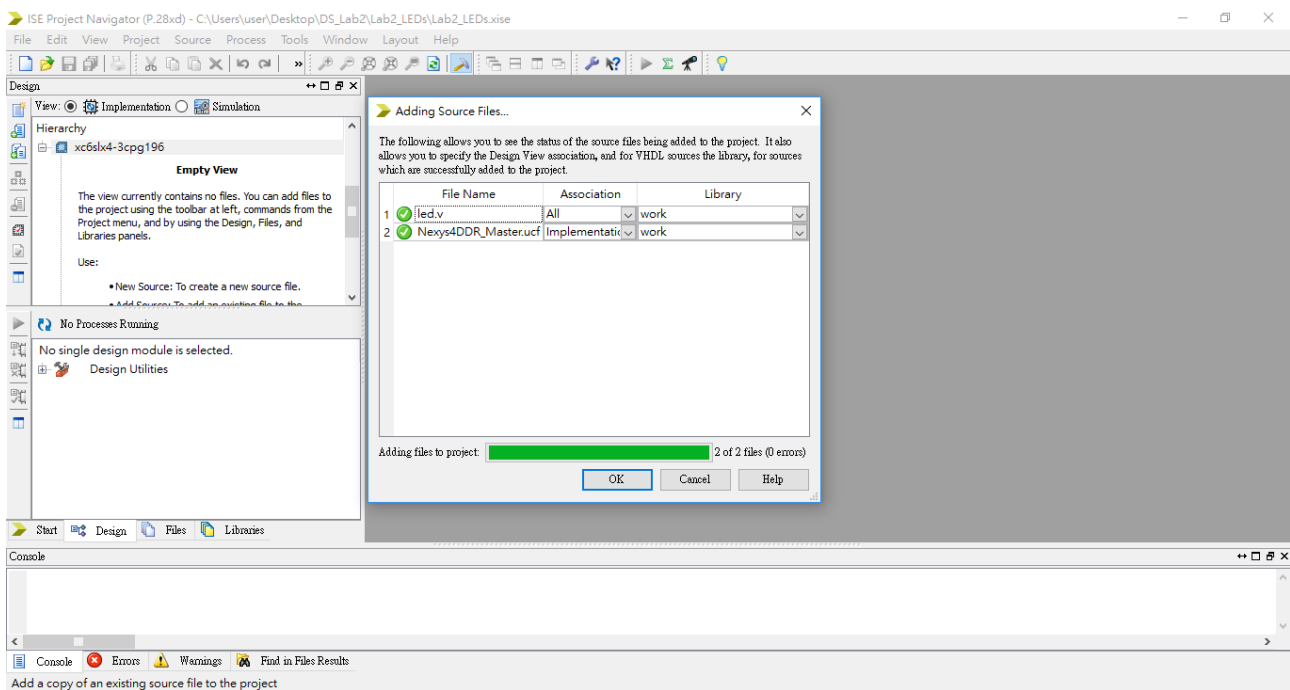
步驟五：對 xc6slx4-3cpg196 點選右鍵，並選擇 Add Copy of Source，再將本次 E-course 所提供的範例程式碼(位於 DDLab2_LED 中的 led.v 和 Nexys4DDR_Master.ucf)載入專案內。



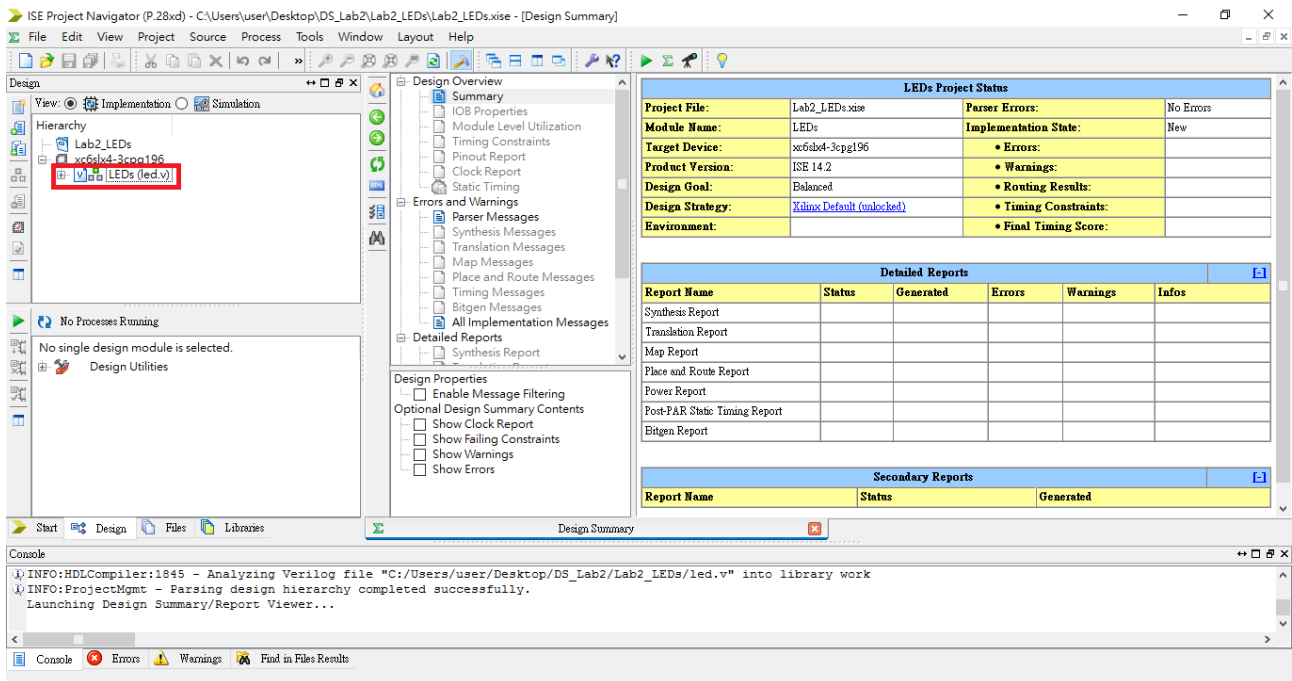
以下為兩個範例程式檔。



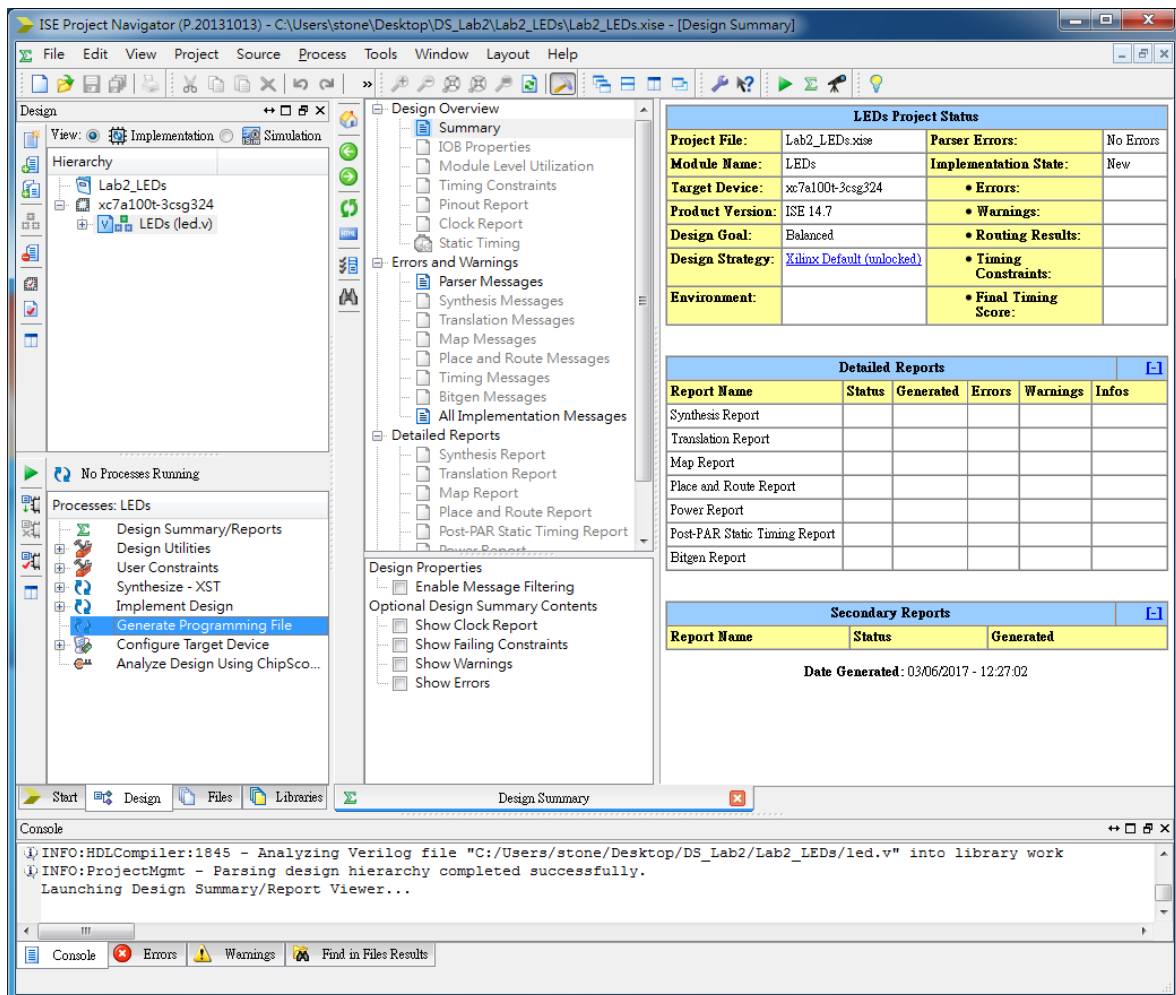
點選開啟舊檔後會顯示以下畫面，再點選 OK。



上述作業完畢後，即可看到兩個檔案已加入專案中。



步驟六：執行合成(synthesize)載入(download)，請依序點擊下方圖式的按鈕。



ISE Project Navigator (P.20131013) - C:\Users\stone\Desktop\DS_Lab2\Lab2_LEDs\Lab2_LEDs.xise - [Design Summary]

File Edit View Project Source Process Tools Window Layout Help

Design Overview

Design

View: Implementation Simulation

Hierarchy

Lab2_LEDs

xc7a100t-3csg324

LEDs (led.v)

No Processes Running

Processes: LEDs

Design Summary/Reports

Design Utilities

User Constraints

Synthesize - XST

Implement Design

Generate Programm... Run

Configure Target Dev... ReRun

Analyze Design Using... Rerun All

Stop

View Text Report

Force Process Up-to-Date

Implement Top Module

Design Goals & Strategies...

Design Summary

LEDs Project Status

Project File:	Lab2_LEDs.xise	Parser Errors:	No Errors
Module Name:	LEDs	Implementation State:	New
Target Device:	xc7a100t-3csg324	Errors:	
Product Version:	ISE 14.7	Warnings:	
Design Goal:	Balanced	Routing Results:	
Design Strategy:	Xilinx Default (unlocked)	Timing Constraints:	
Environment:		Final Timing Score:	

Detailed Reports

Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report					
Translation Report					
Map Report					
Place and Route Report					
Power Report					
Post-PAR Static Timing Report					
Bitgen Report					

Secondary Reports

Report Name	Status	Generated

Date Generated: 03/06/2017 - 12:27:02

Console

INFO:HDLCompiler:1845 - Process Properties... C:/Users/stone/Desktop/DS_Lab2/Lab2_LEDs/led.v" into library work

INFO:ProjectMgmt - Parsing design hierarchy completed successfully.

Launching Design Summary/Report Viewer...

Console Errors Warnings Find in Files Results

Rerun all steps to the highlighted process

步驟七：成功合成後下方 Console 會出現 successfully 字樣如下第一張圖，並且會在初始建立專案實的資料夾內產生一個 .bit 檔，最後點選 Manage Configuration Program 軟體會開啟 impact 介面如下第二、三張圖。

The screenshot shows the ISE Project Navigator interface. The main window displays the 'Design Summary (Programming File Generated)' for the project 'Lab2_LEDs.xise'. The summary includes project details, device information, and a detailed device utilization summary.

LEDs Project Status (03/06/2017 - 12:31:10)

Project File:	Lab2_LEDs.xise	Parser Errors:	No Errors
Module Name:	LEDs	Implementation State:	Programming File Generated
Target Device:	xc7a100t-3csg324	Errors:	No Errors
Product Version:	ISE 14.7	Warnings:	9 Warnings (9 new)
Design Goal:	Balanced	Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	Timing Constraints:	All Constraints Met
Environment:	System Settings	Final Timing Score:	0 (Timing Report)

Device Utilization Summary

Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	40	126,800	1%	
Number used as Flip Flops	40			
Number used as Latches	0			
Number used as Latch-thrus	0			
Number used as AND/OR logics	0			
Number of Slice LUTs	59	63,400	1%	
Number used as logic	55	63,400	1%	
Number using O6 output only	31			
Number using O5 output only	23			
Number using O5 and O6	1			
Number used as ROM	0			
Number used as Memory	0	19,000	0%	
Number used exclusively as route-thrus	4			
Number with remapping register load	2			

The console at the bottom shows the message: **Process "Generate Programming File" completed successfully**.

ISE Project Navigator (P.20131013) - C:\Users\stone\Desktop\DS_Lab2\Lab2_LEDs\Lab2_LEDs.xise - [Design Summary (Programming File Generated)]

View: Implementation Simulation

Hierarchy: Lab2_LEDs, xc7a100t-3csg324, LEDs (led.v)

Design Overview:

- Summary
- IOB Properties
- Module Level Utilization
- Timing Constraints
- Pinout Report
- Clock Report
- Static Timing
- Errors and Warnings
- Parser Messages
- Synthesis Messages
- Translation Messages
- Map Messages
- Place and Route Messages
- Timing Messages
- Bitgen Messages
- All Implementation Messages
- Detailed Reports
- Synthesis Report
- Translation Report
- Map Report
- Place and Route Report
- Post-PAR Static Timing Report

Design Properties:

- Enable Message Filtering
- Optional Design Summary Contents
- Show Clock Report
- Show Failing Constraints
- Show Warnings
- Show Errors

LEDs Project Status (03/06/2017 - 12:31:10)

Project File:	Lab2_LEDs.xise	Parser Errors:	No Errors
Module Name:	LEDs	Implementation State:	Programming File Generated
Target Device:	xc7a100t-3csg324	Errors:	No Errors
Product Version:	ISE 14.7	Warnings:	9 Warnings (9 new)
Design Goal:	Balanced	Routing Results:	All Signals Completely Routed
Design Strategy:	Xilinx Default (unlocked)	Timing Constraints:	All Constraints Met
Environment:	System Settings	Final Timing Score:	0 (Timing Report)

Device Utilization Summary

Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	40	126,800	1%	
Number used as Flip Flops	40			
Number used as Latches	0			
Number used as Latch-thrus	0			
Number used as AND/OR logics	0			
Number of Slice LUTs	59	63,400	1%	
Number used as logic	55	63,400	1%	
Number using O6 output only	31			
Number using O5 output only	23			
Number using O5 and O6	1			
Number used as ROM	0			
Number used as Memory	0	19,000	0%	
Number used exclusively as route-thrus	4			
Number with some slice register load	2			

Processes: LEDs

- Design Summary/Reports
- Design Utilities
- User Constraints
- Synthesize - XST
- Implement Design
- Translate
- Map
- Place & Route
- Generate Programming File
- Configure Target Device
- Generate Target PROM/AC
- Manage Configuration Proj...
- Analyze Design Using ChipSc...

Console:

```
case, the option listed last will be used.

Process "Generate Programming File" completed successfully
```

ISE iMPACT (P.20131013)

File Edit View Operations Output Debug Window Help

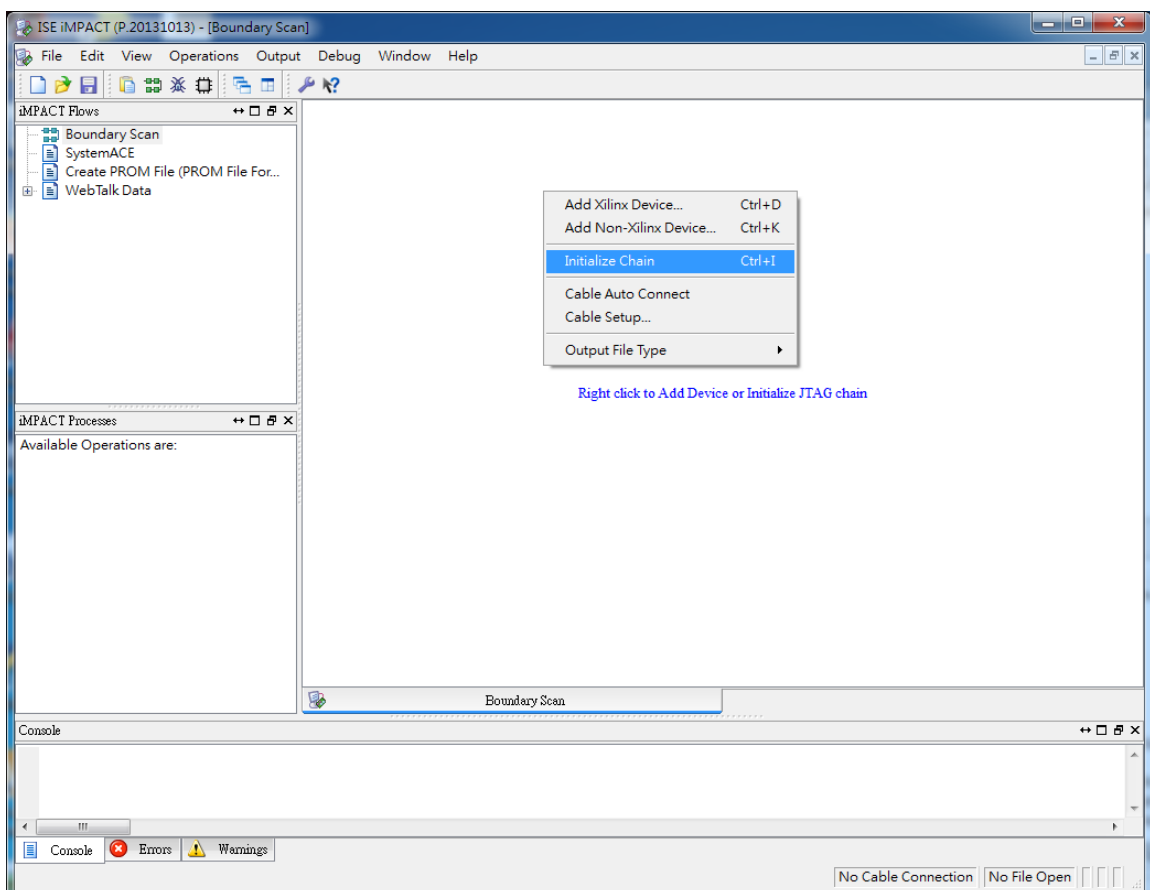
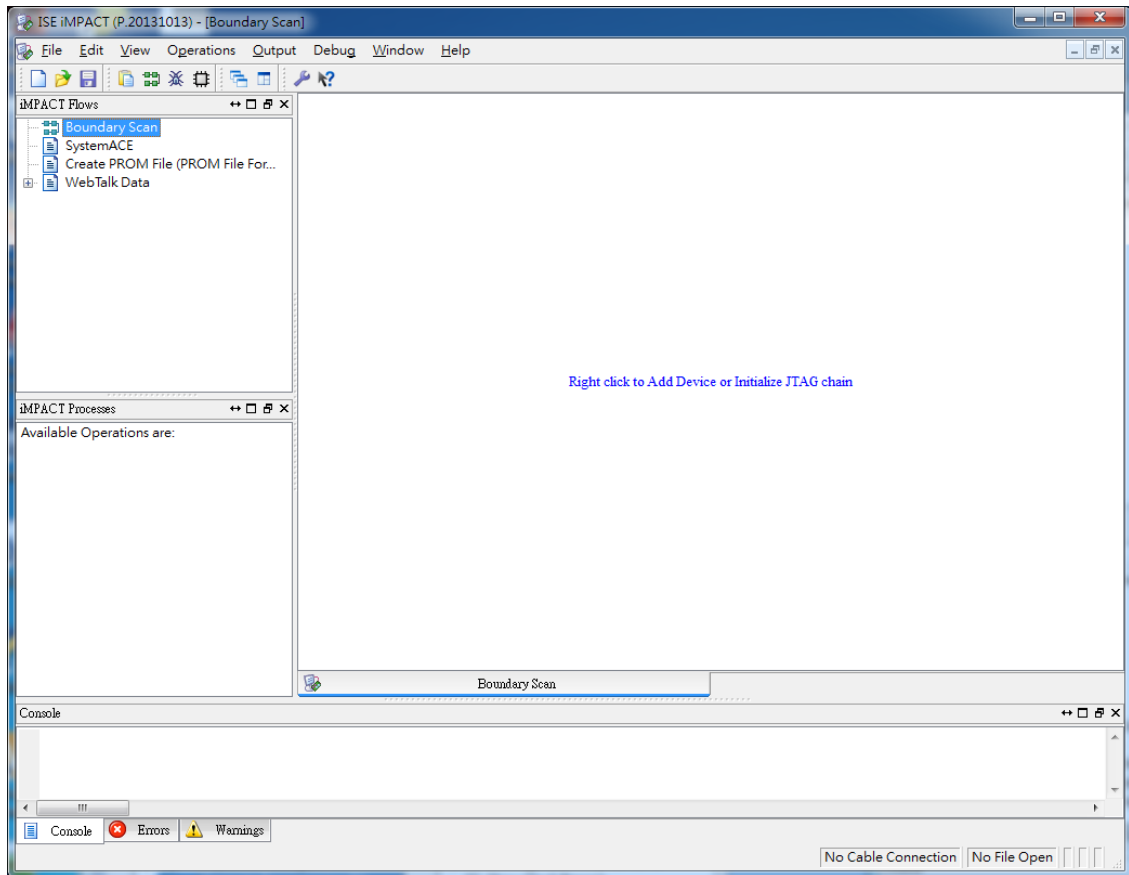
iMPACT Flows:

- Boundary Scan
- SystemACE
- Create PROM File (PROM File For...
- WebTalk Data

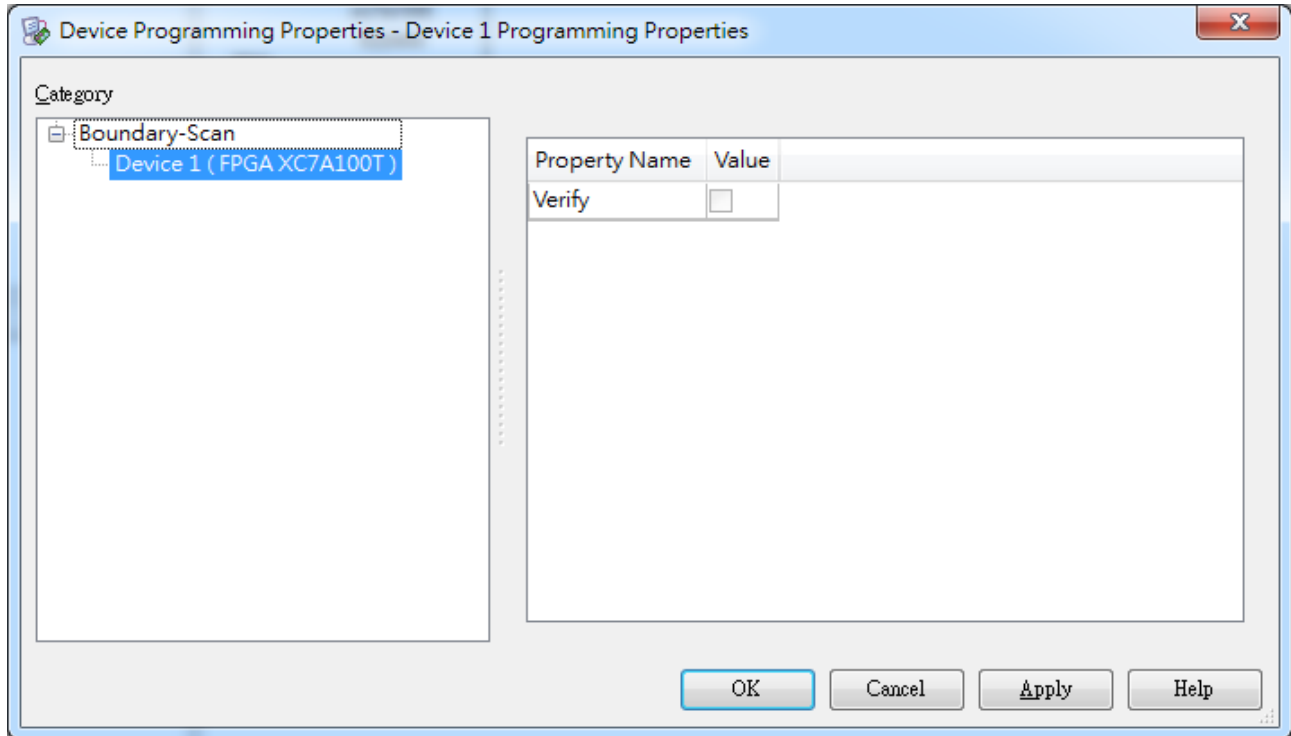
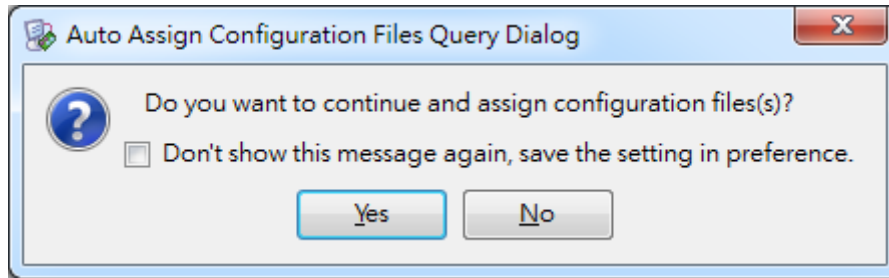
iMPACT Processes:

Console:

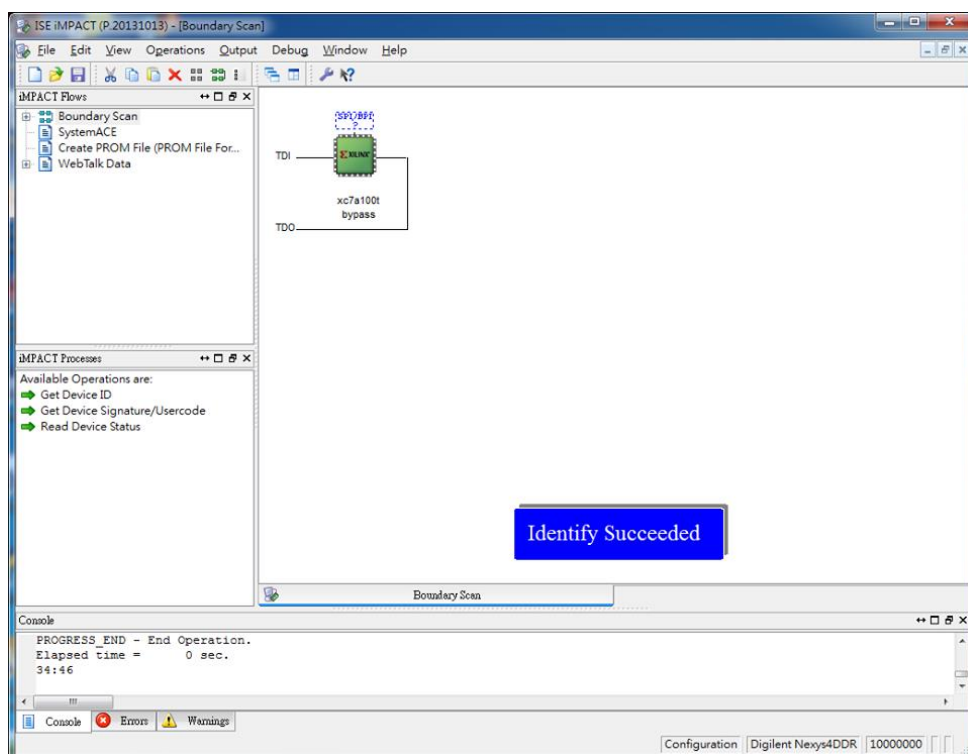
步驟八：現在我們需要讓軟體找到 Nexys4。首先請點選 Boundary Scan，並在右邊有 Right click to Add Device or Initialize JTAG chain 的空白欄位點選右鍵，最後即會出現 Initialize Chain 選項。



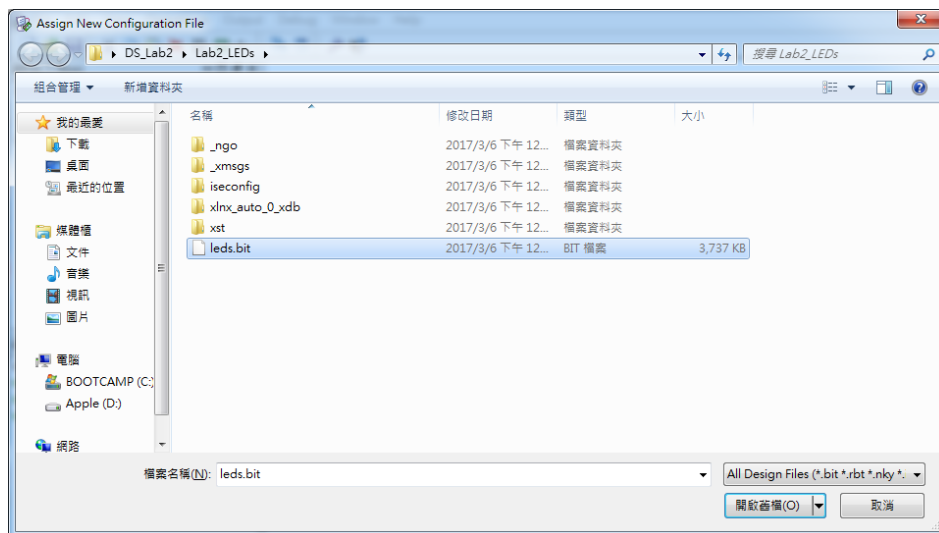
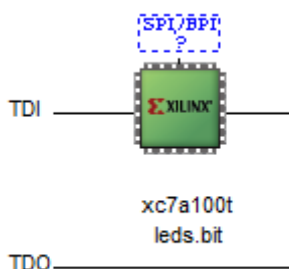
點選後會出現以下小視窗，皆點選 OK 即可。



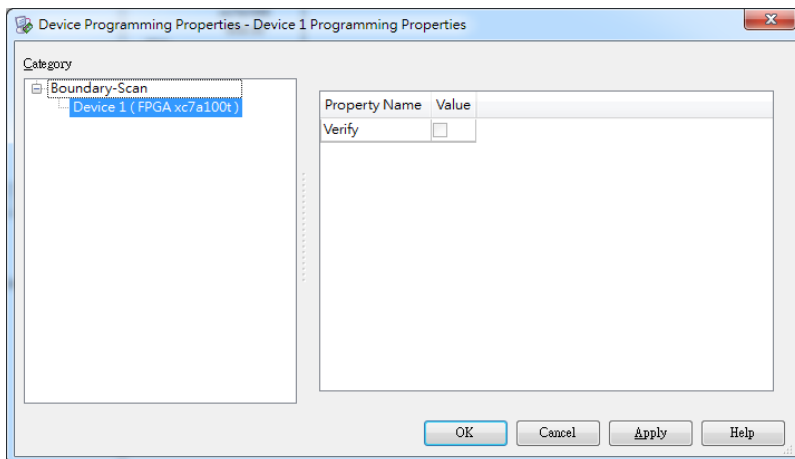
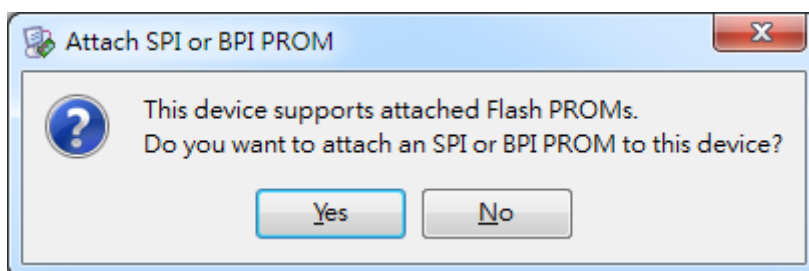
若出現 Identify Succeeded 字樣，即 impact 找到該硬體。



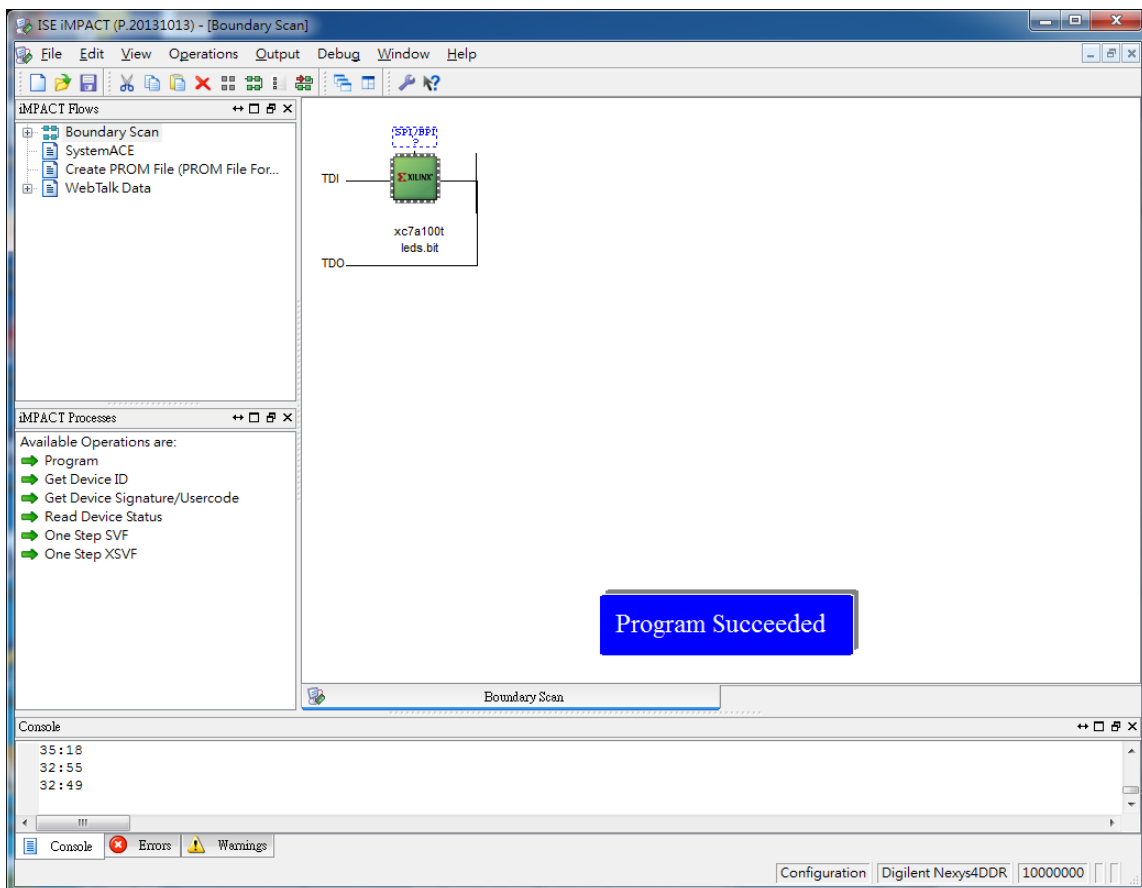
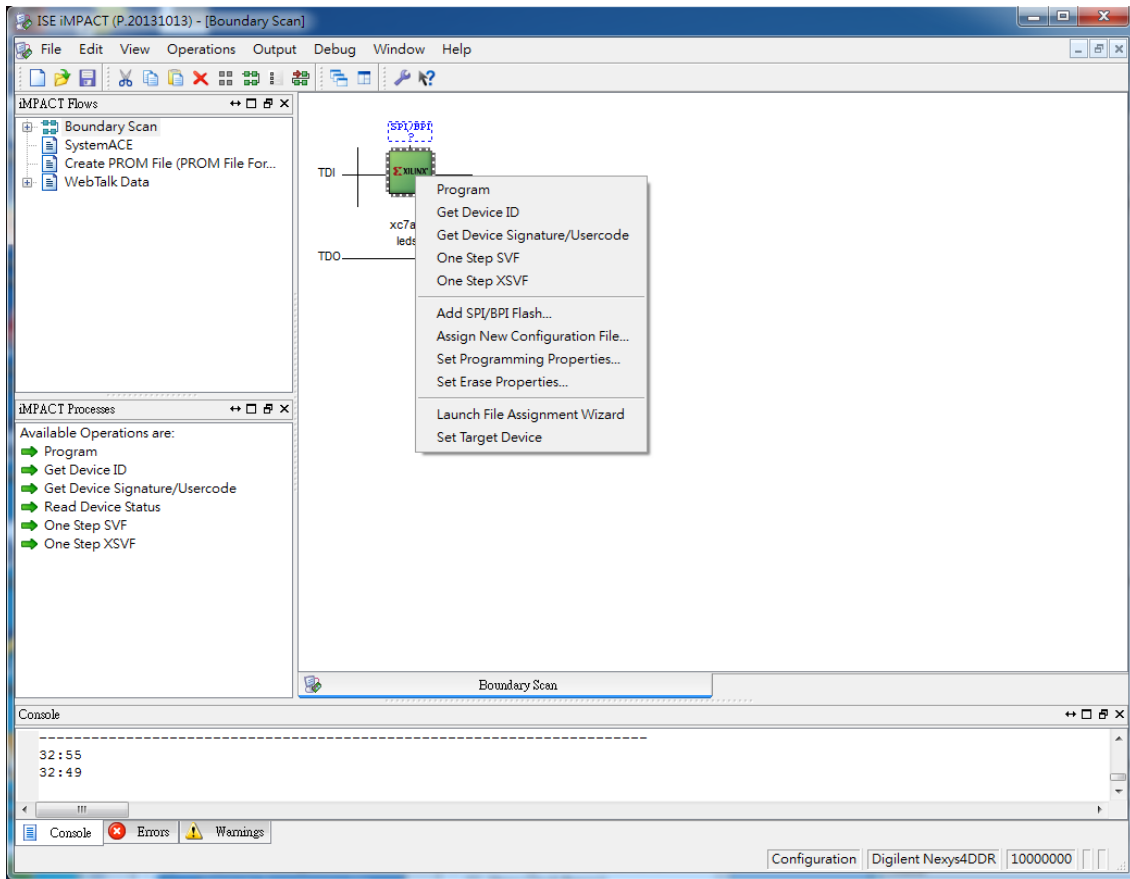
步驟九：雙擊 IC 圖示後，會跳出要使用者選擇的 bit 檔視窗，此時請選擇一開始建立的資料夾中的 bit 檔。



附註：由於我們沒有要使用到 Flash PROMs，請將跳出的視窗點選 No，最後看到下方第二張圖出現時點選 OK。



步驟十：最後我們要將 bit 檔載入 Nexys4。右鍵點選晶片後會出現下方第一張圖選項，點擊 Program 即可，若完成燒錄則會出現 Program Succeeded 字樣(如下方第二張圖)。



步驟十一：燒入完成後，即可觀察到 Nexys4 照著以下圖片閃爍(以下圖片只有部分顯示，非全貌)。LED 的閃爍方式為 2 進位累加(每次+1 表示在 LED 上)。

下圖為 2 進位表示法的數字 1：



下圖為 2 進位表示法的數字 2：



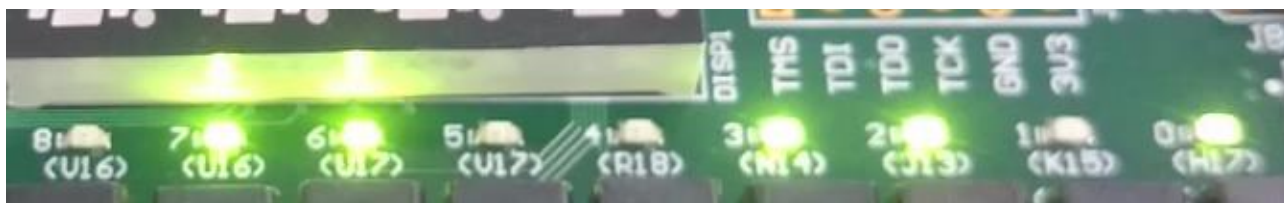
下圖為 2 進位表示法的數字 3：



下圖為 2 進位表示法的數字 4：



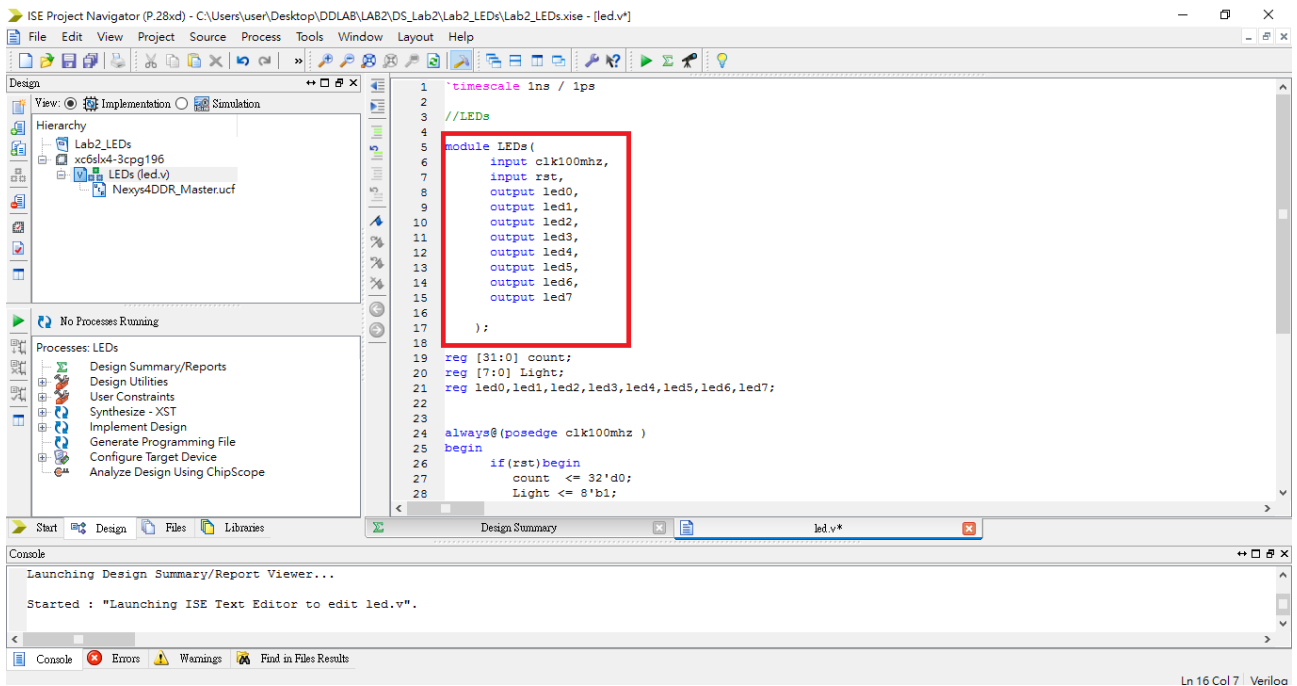
下圖為 2 進位表示法的數字 205：



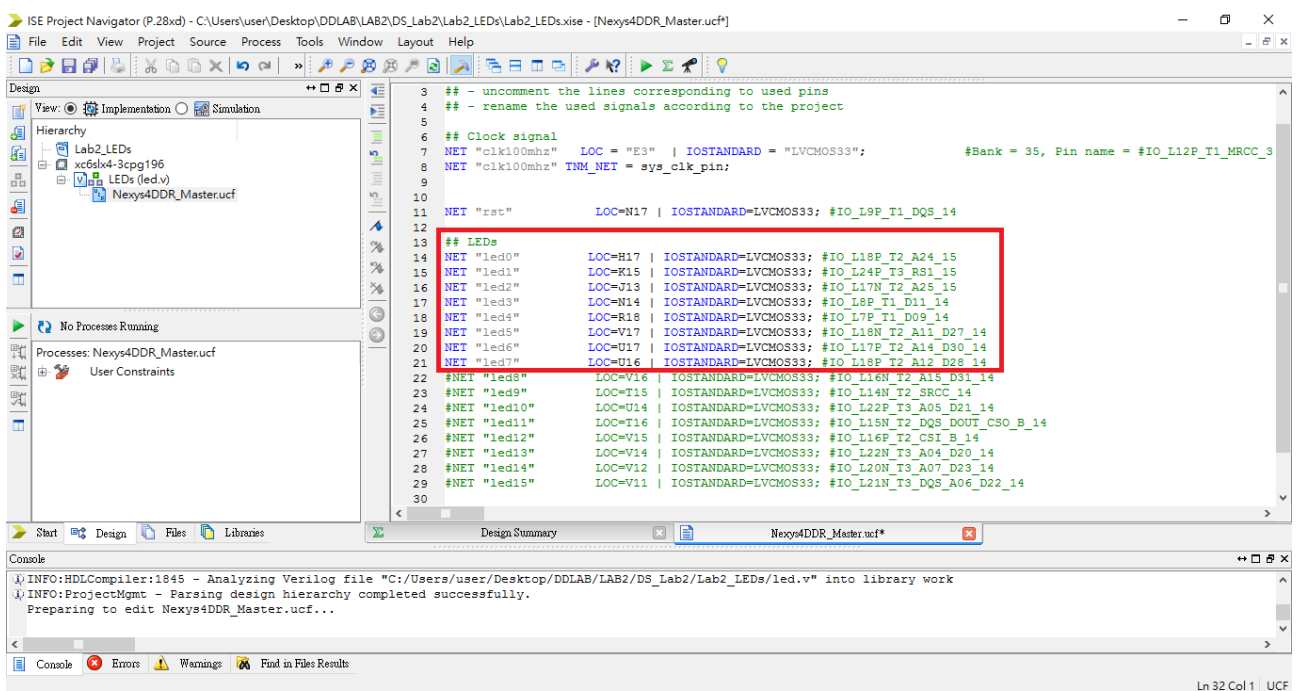
實驗二

第二個部分的主要目的是希望學習如何透過更改 ucf 檔來達到控制硬體 IO 的設計。

步驟一：在左方 Hierarchy 欄位，將剛載入的範例程式開啟(對.v 檔快速連擊左鍵兩次)。可看到下圖紅色框框中的區塊部分為將顯示結果輸出至 LEDs 的接腳。



步驟二：在左方 Hierarchy 欄位找到.ucf 並快速連擊左鍵兩次開啟。在 ucf 檔中主要可以分為三個區塊，第一個區塊為將 Verilog 中 input 和 output 名稱連結至對應的週邊，第二個區塊為 Nexys4 FPGA board 的週邊腳位名稱，第三個區塊為腳位的工作電壓。由於上個步驟新增了 input 和 output，所以需參照下方藍色區塊完成腳位的增加。



	1. 程式 IO 名稱	2. 接腳編號	3. 接腳工作在 3.3v
1	## LEDs		
2	NET "led0"	LOC = H17	IOSTANDARD = LVCMOS33 ;
3	NET "led1"	LOC = K15	IOSTANDARD = LVCMOS33 ;
4	NET "led2"	LOC = J13	IOSTANDARD = LVCMOS33 ;
5	NET "led3"	LOC = N14	IOSTANDARD = LVCMOS33 ;
6	NET "led4"	LOC = R18	IOSTANDARD = LVCMOS33 ;
7	NET "led5"	LOC = V17	IOSTANDARD = LVCMOS33 ;
8	NET "led6"	LOC = U17	IOSTANDARD = LVCMOS33 ;
9	NET "led7"	LOC = U16	IOSTANDARD = LVCMOS33 ;

步驟三：透過更改 ucf 檔的 IO 設定來達到範例程式中 LED 的閃爍方式從預設的由右而左做二進位累加(每次+1)改為由左而右閃爍(顯示右半 8 個燈即可(0~7))。

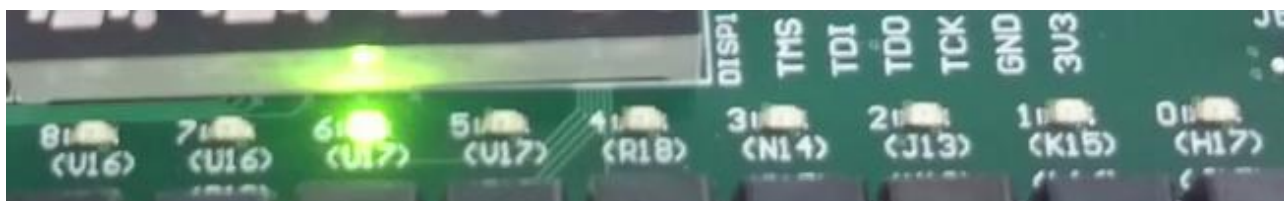
(Hint：可從區塊一或者區塊二更改即可達成)

以下為完成範例示意圖：

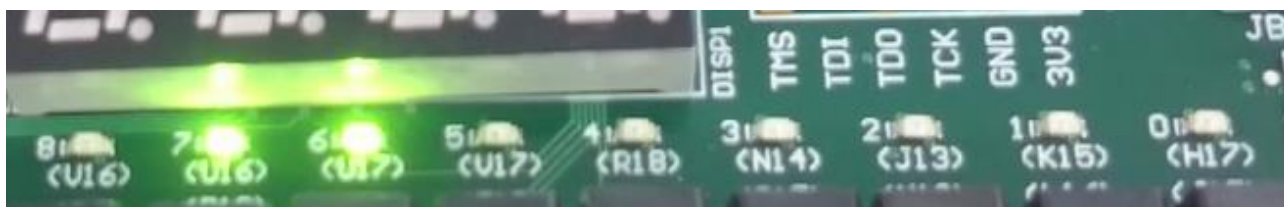
下圖為 2 進位表示法的數字 1：



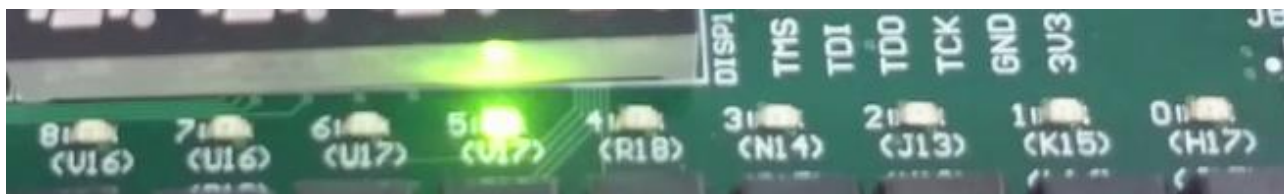
下圖為 2 進位表示法的數字 2：



下圖為 2 進位表示法的數字 3：



下圖為 2 進位表示法的數字 4：



下圖為 2 進位表示法的數字 205：

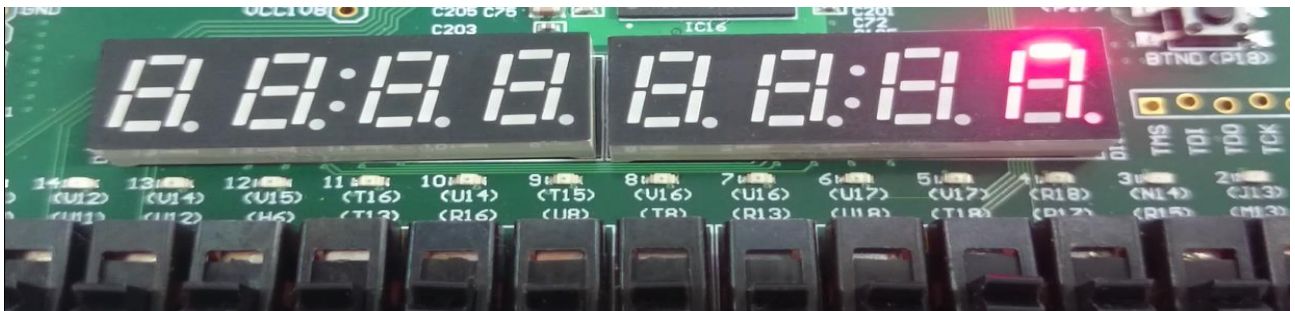


實驗三

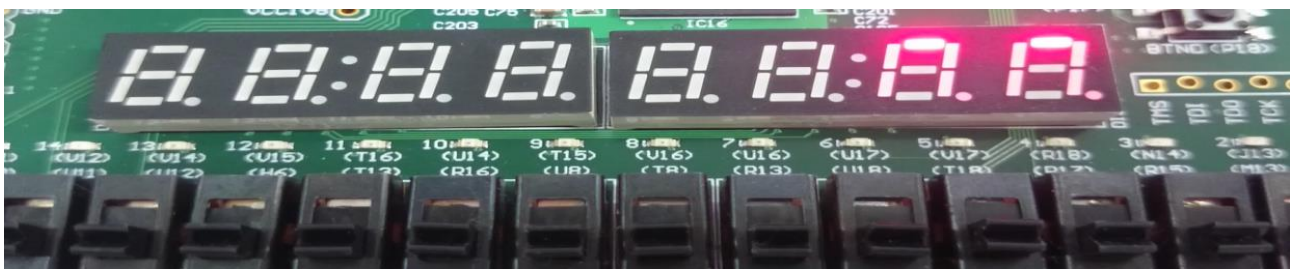
第三個部分的主要目的是希望透過學習實驗一之後，能夠自己建立一個新專案並加入 E-course 上 DDLab2_7 中的 7_segment.v 和 Nexys4DDR_Master.ucf 範例檔(在此注意這裡的 ucf 檔與實驗一的 ucf 檔不同，請不要沿用實驗一的 ucf)，並燒入進 Nexys4 使得七段顯示器得以顯示出類似實驗一的結果。

步驟一：依照實驗一的步驟完成後可觀察到七段顯示器的閃爍圖式如下：

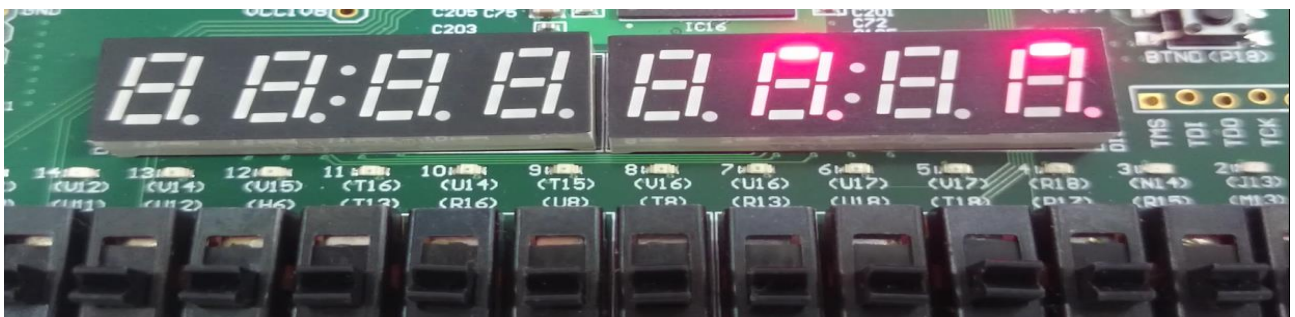
下圖為 2 進位表示法的數字 1：



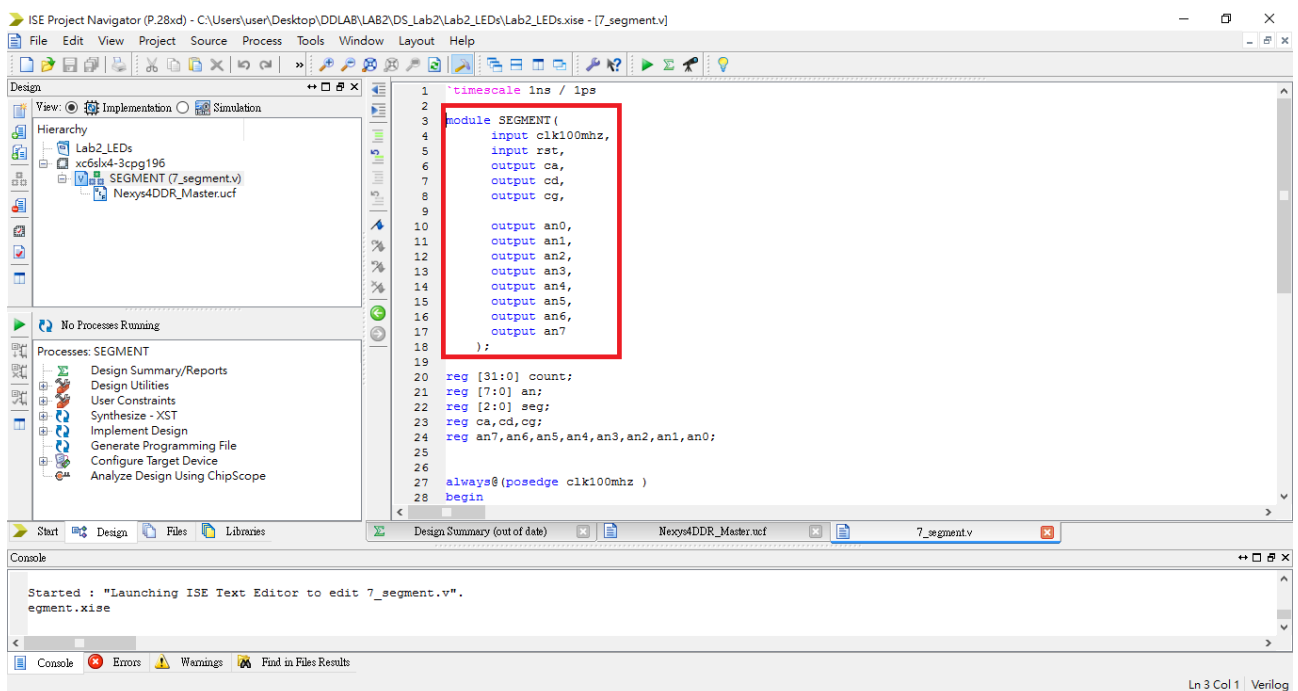
下圖為 2 進位表示法的數字 3：



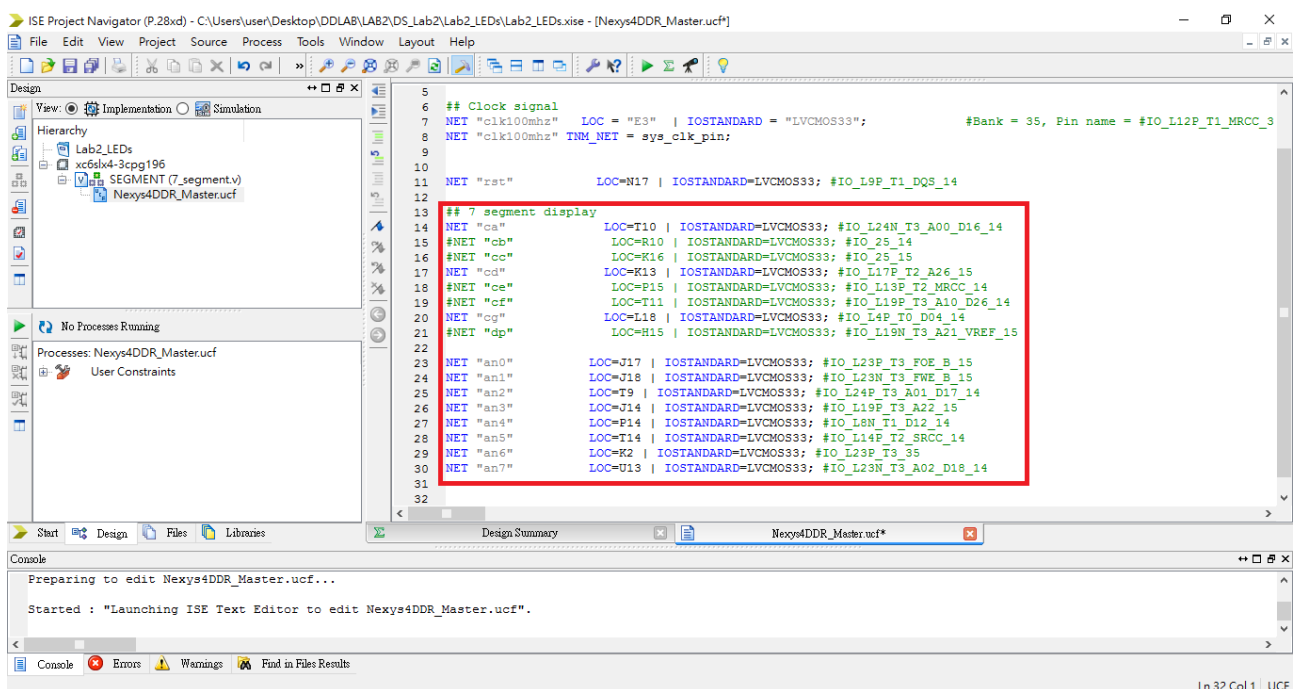
下圖為 2 進位表示法的數字 5：



步驟二：觀察 7_segment.v 檔中紅色框框區塊的部分，這是將顯示結果輸出至七段顯示器的接腳。



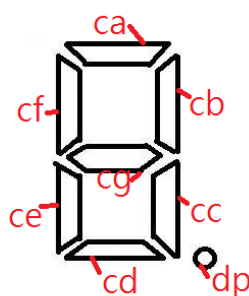
步驟三：再觀察 Nexys4DDR_Master.ucf 中紅色框框區塊的部分，這區塊是與 Nexys4 溝通連接的部分。



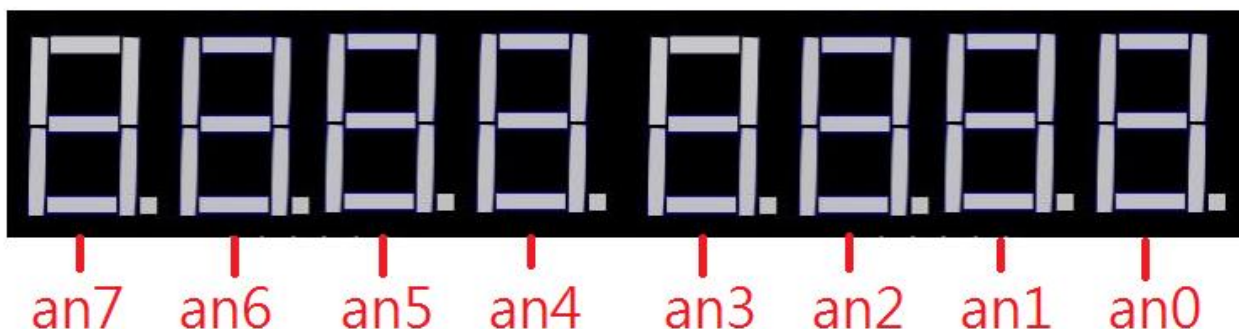
步驟四：下圖中 2 到 9 行的指令(NET "ca"到"dp")為控制七段顯示器上的哪一個 LED 燈要亮。而 11 到 18 行的指令(NET "an0"到"an7")為控制 8 個七段顯示器中的哪一個七段顯示器。

	1. 程式 IO 名稱	2. 接腳編號	3. 接腳工作在 3.3v
1	## 7 segment		
2	NET "ca"	LOC = T10	IOSTANDARD = LVCMOS33 ;
3	NET "cb"	LOC = R10	IOSTANDARD = LVCMOS33 ;
4	NET "cc"	LOC = K16	IOSTANDARD = LVCMOS33 ;
5	NET "cd"	LOC = K13	IOSTANDARD = LVCMOS33 ;
6	NET "ce"	LOC = P15	IOSTANDARD = LVCMOS33 ;
7	NET "cf"	LOC = T11	IOSTANDARD = LVCMOS33 ;
8	NET "cg"	LOC = L18	IOSTANDARD = LVCMOS33 ;
9	NET "dp"	LOC = H15	IOSTANDARD = LVCMOS33 ;
10			
11	NET "an0"	LOC=J17	IOSTANDARD = LVCMOS33 ;
12	NET "an1"	LOC=J18	IOSTANDARD = LVCMOS33 ;
13	NET "an2"	LOC=T9	IOSTANDARD = LVCMOS33 ;
14	NET "an3"	LOC=J14	IOSTANDARD = LVCMOS33 ;
15	NET "an4"	LOC=P14	IOSTANDARD = LVCMOS33 ;
16	NET "an5"	LOC=T14	IOSTANDARD = LVCMOS33 ;
17	NET "an6"	LOC=K2	IOSTANDARD = LVCMOS33 ;
18	NET "an7"	LOC=U13	IOSTANDARD = LVCMOS33 ;

下圖為七段顯示器中每一個 LED 所連接的編號



下圖為每一個七段顯示器所代表的編號



2.4 練習題

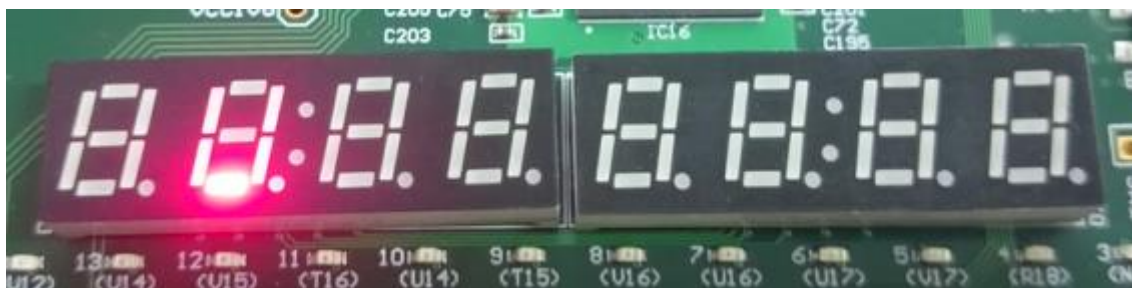
練習修改實驗三的 Nexys4DDR_Master.ucf 檔使七段顯示器的閃爍方式從左到右(如同實驗二的顯示方式，需要注意閃爍方式上下也需相反，範例是由上到下，修改後須改成下到上)。

修改後之七段顯示器的閃爍圖式如下：

下圖為 2 進位表示法的數字 1：



下圖為 2 進位表示法的數字 2：



下圖為 2 進位表示法的數字 5：

