

7. Übung für die Vorlesung Technische Informatik

Wintersemester 2022/2023

Abgabe: spätestens Dienstag, 13.12.2022, 8:15 Uhr

Aufgabe 1. *CLAG*

6 P.

Für eine spezielle Anwendung wird ein Addierer benötigt, der zwei 16-Bit-Zahlen schnell addieren kann. Dieser soll als Carry-Look-Ahead-Addierer implementiert werden, wobei Carry-Look-Ahead-Generatoren mit jeweils 4 Bit eingesetzt werden.

1. Zeichnen Sie das Blockschaltbild eines vereinfachten Volladdierers, der statt ein *Carry*-Signal, die Signale g (Carry Generate) und p (Carry Propagate) berechnet.
2. Entwerfen Sie das Schaltbild eines 4-Bit-CLAGs (siehe Vorlesung), unter Verwendung von UND-, ODER-Gatter mit beliebig vielen Eingängen und XOR-Gattern. Berechnen Sie dabei auch die Ausgänge G und P für eventuell nachgeschaltete CLAGs.
3. Zeichnen Sie nun das Blockschaltbild eines 16-Bit-Addierers unter Verwendung der 4-Bit-Carry-Look-Ahead-Generatoren aus Aufgabenteil 2.
4. Wie groß ist die Gesamtdauer einer Addition zweier 16-Bit-Zahlen bei einer Gatterlaufzeit τ für UND- und ODER-Gatter und 2τ für XOR-Gatter. Begründen Sie Ihre Antwort.

Aufgabe 2. *ALU*

5 P.

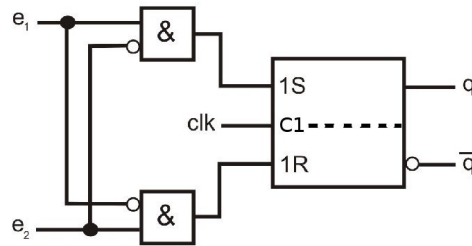
In der Vorlesung wurde eine mögliche Implementierung einer 1-Bit-ALU mit den Eingangssignalen A , B und den Steuersignalen $F0$ und $F1$ vorgestellt. Die Realisierung einer ALU für ganze Worte, also z.B. 32 Bit wird durch Hintereinanderschaltung dieser 1-Bit-ALUs realisiert, wobei das Carry-Signal jeweils weitergereicht wird.

1. Geben Sie alle möglichen Belegungen der Steuersignale (und des Eingangs B) an, um am Ausgang der 32-Bit-ALU das unveränderte Eingangssignal A zu erhalten.
2. Erweitern Sie die bestehende 32-Bit-ALU durch Hinzunahme eines Steuersignals und höchstens eines UND-Gatters pro 1-Bit-ALU so, dass die bitweise Funktion $A \oplus B$ (XOR) möglich wird. Zeichnen Sie die veränderte Schaltung. Welchen Namen würden Sie für das Steuersignal vorschlagen und wie muss es belegt werden? Welche Belegung der Steuersignale ergibt sich dann für die Berechnung von XOR?

Aufgabe 3. E-Latch

2 P.

Die folgende Hardware schaltung stellt die Implementierung eines E-Latches auf der Basis eines RS-Latches dar:



1. Stellen Sie die Wahrheitstabelle des E-Latches auf.
2. Wie unterscheidet sich das E-Latch von dem bekannten RS-Latch?

Aufgabe 4. D-Latch

4 P.

1. Konstruieren Sie ein taktzustandgesteuertes D-Latch mit einem 2:1 Multiplexer. Beschreiben Sie die Funktionsweise.
2. Erweitern Sie das Ergebnis aus Teilaufgabe 1 zu einem D-Master-Slave Kippglied. Beschreiben Sie die Funktionsweise.

Aufgabe 5. JK-Master-Slave-Kippglied

3 P.

Sie benötigen ein JK-Master-Slave-Kippglied, haben aber nur ein D-Master-Slave-Kippglied zur Verfügung. Können Sie mit ein paar zusätzlichen einfachen Gattern ein JK-Master-Slave-Kippglied herstellen? Verwenden Sie ein KV-Diagramm zur Optimierung der Schaltfunktion.