

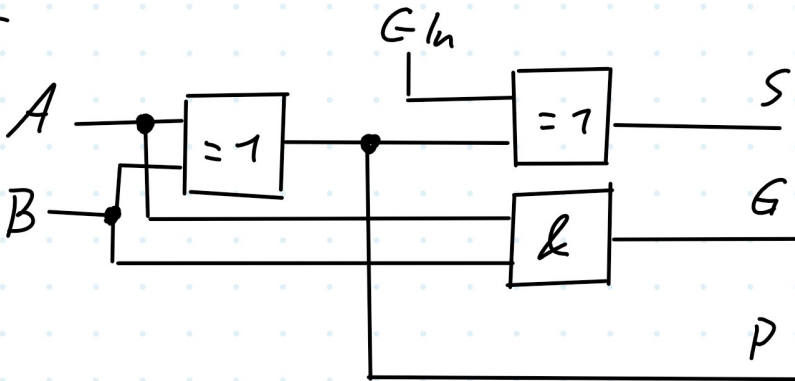
# T1 - 7. Übung für die Vorlesung

Henning Lehmann,

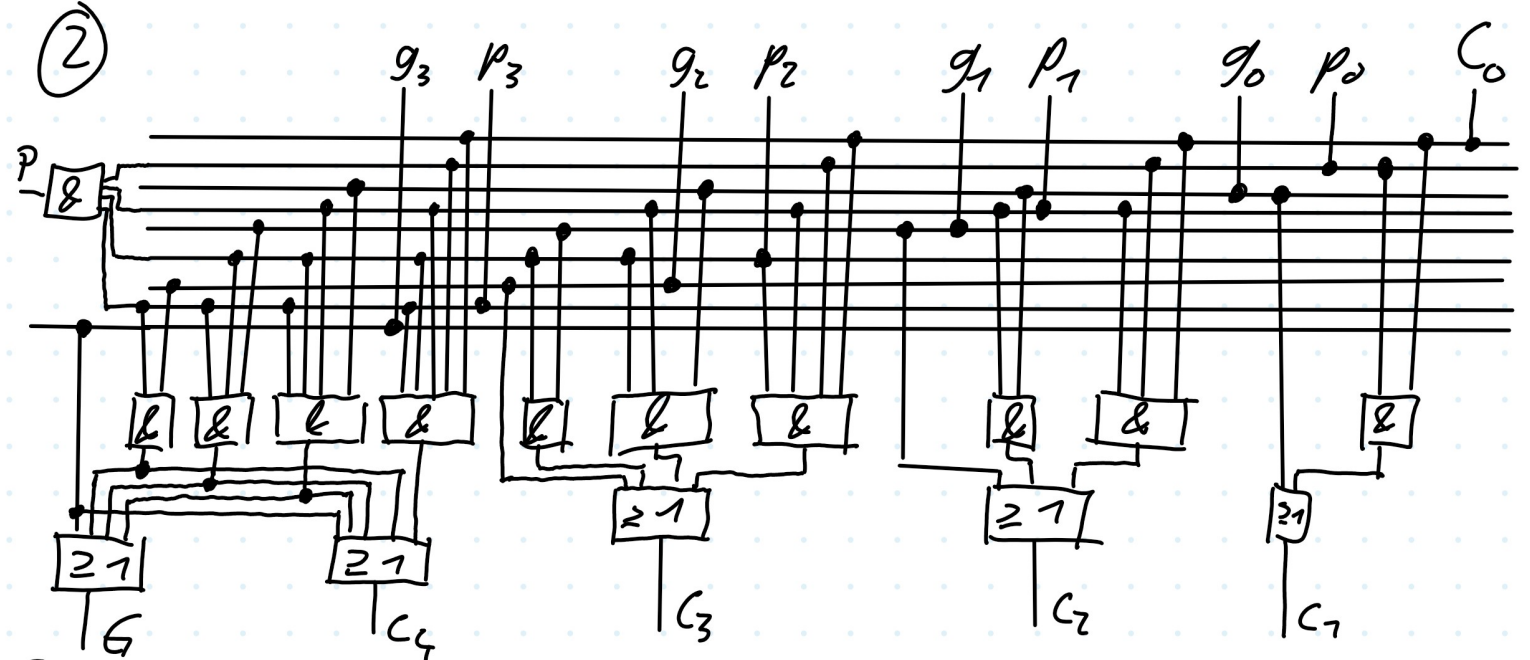
Darya Nemtsara

## Aufg. 1

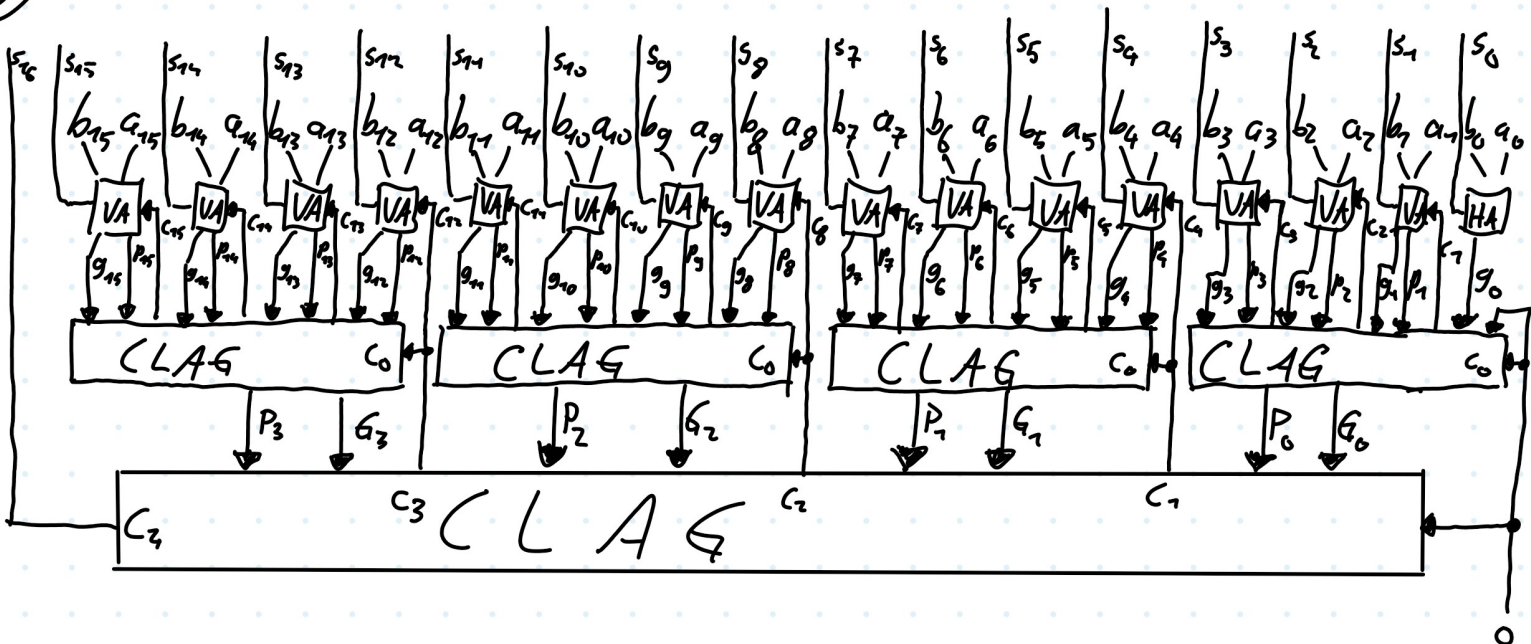
①



②



③



④

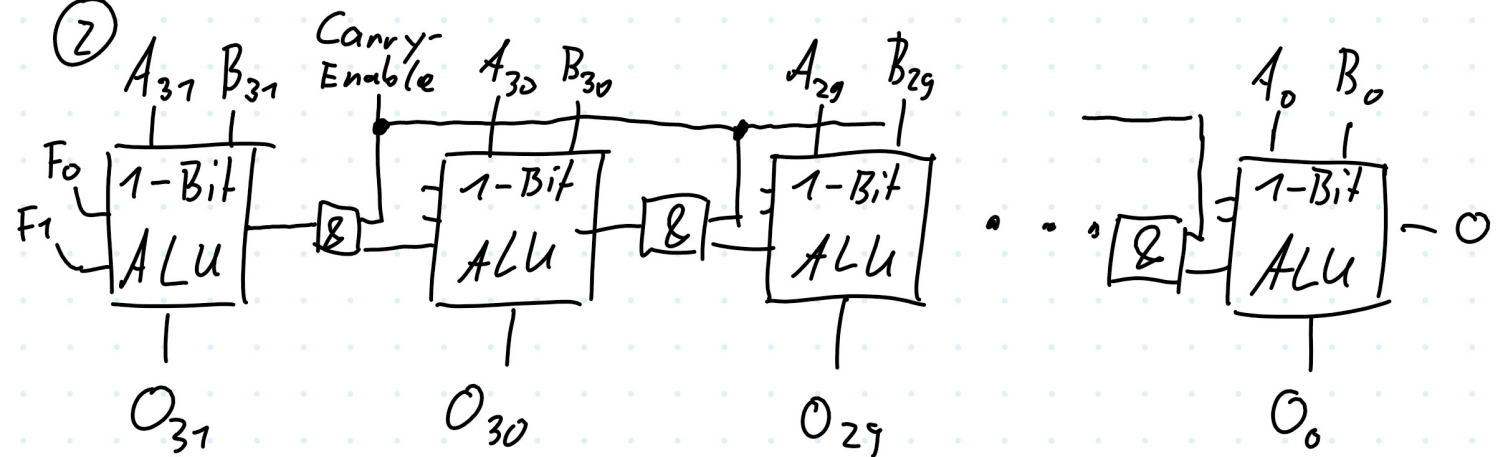
- Berechnung der G- und P-Bits (mit VA aus Afg. 1):  $2\tau$
- Laufzeit des CLAG:  $2\tau$  ( $\times 2$ )
- Neuberechnung durch CLAG, sobald  $C_0$ -Eingang korrekt gesetzt ist:  $2\tau$
- Berechnung des Summenbits durch VA:  $2\tau$
- $\Rightarrow$  Aufaddiert:  $10\tau$

Afg. 2

①

$F_1$	$F_0$	$B$	Out
0	0	1	A
1	0	0	A
1	1	0	A

②



$F_0$	$F_1$	Carry-Enable	Output
1	1	0	$A \text{ XOR } B$
1	1	1	$A + B$

### Afg. 3

①

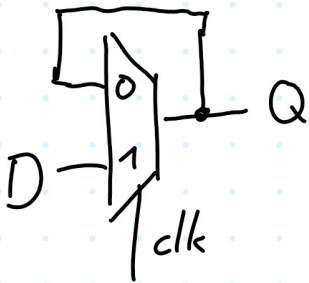
$e_1$	$e_2$	$q$	$\bar{q}$
0	0	$q$	$\bar{q}$
0	1	1	0
1	0	0	1
1	1	$q$	$\bar{q}$

②

Das E-Latch unterscheidet sich vom RS-Latch, indem der Input  $e_1=e_2=1$  ebenfalls ein Speicherzustand ist. Hierbei schalten sich nämlich beide vorgeschalteten Gatter auf 0, wodurch beim RS-Latch der gewöhnliche Speicherzustand vorliegt.

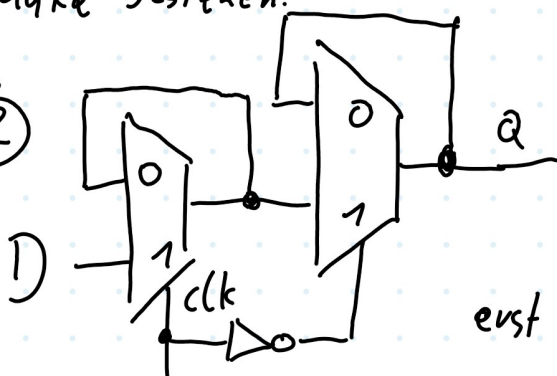
### Afg. 4

①



Während der positiven Taktphase wird D direkt an den Ausgang weitergeleitet. Ist bei der negativen Taktflanke  $D=1$ , wird der positive Ausgang zum anderen Eingang geleitet, welcher in diesem Moment aktiv wird. Während der negativen Taktphase versorgt sich dieser Eingang mit seinem eigenen Signal, es bleibt also bis zur nächsten positiven Taktflanke bestehen.

②



Dadurch, dass das Taktsignal für den Slave-MUX invertiert ist, kann D nicht mehr durchrutschen. Das Ausgangssignal vom Master-MUX wird erst zur positiven Taktflanke übernommen, <sup>und wird einen kompletten Zyklus behalten.</sup>