

1 Zahlen:**10,0 Pkt.****a. Ganze Zahlen**

- i) Geben Sie zu den folgenden (8 Bit) Bitfolgen (MSB zuerst) jeweils deren *Dezimalwert* an, wenn die Folge jeweils interpretiert wird als Stellenwert-Zahl, als Vorzeichen-Betrag-Zahl und als Zweierkomplement-Zahl. (2,0)
- ii) Geben Sie zu den folgenden (8 Bit) Bitfolgen (MSB zuerst) die auf *12 Bit ergänzten* Bitfolgen an (ohne deren Dezimalwert zu ändern), wenn die Folge jeweils interpretiert wird als Stellenwert-Zahl, als Vorzeichen-Betrag-Zahl und als Zweierkomplement-Zahl. (2,0)

Bitfolge 1 0110 0110

Bitfolge 2 1010 1010

b. Fließkomma Zahlen I

(2,0)

Geben Sie die Formel ($Z = \dots$) an, mit welcher aus einer Bitfolge einer Gleitkommazahl der Wert der Gleitkommazahl berechnet wird (z.B. Short):

c. Fließkomma Zahlen II

(4,0)

Wie viele verschiedene Werte (ohne Sonderfälle) kann eine 32 Bit Gleitkommazahl annehmen?

2 Addierer:**1,5 Pkt.****a. N-Bit Addierer I**

(0,5)

Nennen Sie die Bezeichnung (nur wenn Bezeichnung unklar, dann Rechenprinzip) des N-Bit Addierers, mit der kürzesten/geringsten Rechenzeit:

b. N-Bit Addierer II

(1,0)

Nennen Sie die Bezeichnung (nur wenn Bezeichnung unklar, dann Rechenprinzip) von *zwei* N-Bit Addierern, bei denen die Rechenzeit unabhängig von N ist:

3 Minimalsystem, CPU/Steuerwerk:**5,0 Pkt.****a. Minimalsystem: Architektur**

(1,0)

Worin unterscheidet sich der Aufbau eines Minimalsystems nach der von Neumann- Architektur von der Harvard- Architektur ?

b. CPU Aufbau

(4,0)

Geben sie die Komponenten/Blöcke einer CPU an.

Und beschreiben Sie kurz (ein Satz) die Aufgabe jedes Blockes.

4 Bus, Speicher:**5,0 Pkt.****a. Bus: Richtung**

(3,0)

Geben Sie die Bezeichnungen *und* Eigenschaften (bzw. Unterschiede) der verschiedenen Ausführungsformen von Bussen in Bezug auf die *Richtung* der Datenübertragung an.

b. Bus: Synchronisation

(2,0)

Nennen Sie *eine* Variante für die Erkennung der "Synchronisation" und erläutern Sie diese Variante:

5 Adressierung, externe:**7,0 Pkt.**

Gegeben ist:

- eine CPU mit 16 Adressleitungen (beginnend mit A0) und
- ein Speicherbaustein mit 1K Byte (IC1 mit CS1) mit gegebenen Dekoder (s.u.) und
- ein Speicherbaustein mit 2K Byte (IC2 mit CS2) mit gegebener Adresse (s.u.)

Geben sie an:

- a. die Anzahl der Adressleitungen von IC1 und IC2 (1,0)
- b. Geben sie den Adressbereich (0h bis ?, d.h. die Endadresse) von IC1 und IC2 als hexadezimale Zahl an. (1,0)
- c. die Bool'sche Funktion *und* die Schaltung für die Dekoder von CS2, für den Fall, dass die Startadresse von IC2 eindeutig bei 6000h liegt. (1,0)
- d. die Startadresse(n) und Endadresse(n) (hexadezimal) von IC1 bei einem Dekoder für CS1 mit folgender Bool'scher Funktion: (2,0)
$$CS1 = A14 \wedge \overline{A13} \wedge \overline{A12} \wedge A11 \wedge \overline{A10}$$
- e. die Speicherbelegung bei Verwendung der Dekoder nach c. und d. . (2,0)

Zeichnen Sie jeweils die IC-Nummer, die Start- und die Endadresse in einen Speicherplan wie angegeben ein.

FFFFh

0000h

6 Erweiterung des Minimalsystems:**10,0 Pkt.****a. DMA**

(3,0)

In welchem Fall *und* warum beschleunigt der Einsatz eines DMA-Controllers die Abarbeitung eines Programmes in einem Minimalsystem ?

b. Fließband

Welches ist die beste Lösung für software-seitige Behebung des Problems der Datenabhängigkeit (Data Hazard):

(1,0)

c. RISC

(6,0)

Nennen Sie die RISC-Typischen Eigenschaften eines RISC-Prozessors und geben sie den Vorteil diese Eigenschaft an:

7 Programmieren:**7,5 Pkt.****a. Unterprogramm**

(3,0)

Welche Schritte erfolgen *mindestens* beim Aufrufen und Beenden eines Unterprogrammes einer CPU:

b. Adressierung

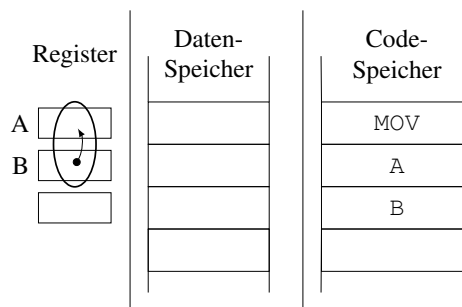
(4,5)

Beschreiben sie folgende Befehle durch Angabe der Zuweisung (RTL) und einzeichnen des Datenflusses (Pfeile) in die Grafiken. (Wie im Beispiel angegeben.)

Bsp.

MOV A, B

RTL:

 $(A) \leftarrow (B)$ 

Befehl 1 MOV 30h, 32h

Befehl 2 MOV R1, @20

Befehl 3 MOV @ (A+DPTR), R1