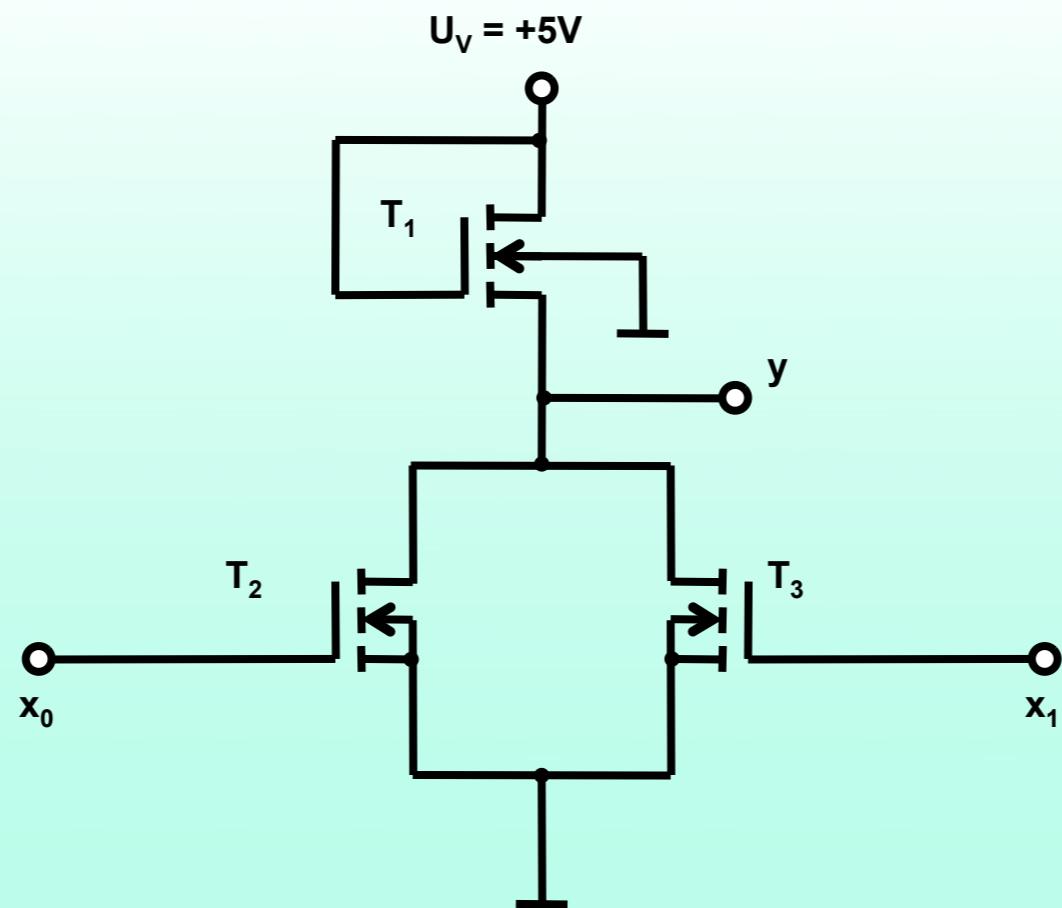


Digitaltechnik 1



Inhaltsverzeichnis

1. Grundbegriffe
2. Binäre Kodes und Zahlensysteme
3. Logische Verknüpfungen
4. Schaltungsanalyse
5. Schaltalgebra
6. Schaltungssynthese
7. Einführung in die Elektrotechnik
8. Einführung in Halbleiterbauelemente
9. Schaltkreisfamilien

Kapitel 1: Grundbegriffe

I. Analoge Größen ...

- ... sind Werte der Analogiegröße (z.B. el. Spannung), die beliebige Werte annehmen können
- ... werden mit definierter Genauigkeit angegeben
- ... bieten eine anschaulichere Darstellung
- Beispiel:
 - Analoge Messgeräte (Anzeige durch Ausschlag eines Zeigers)

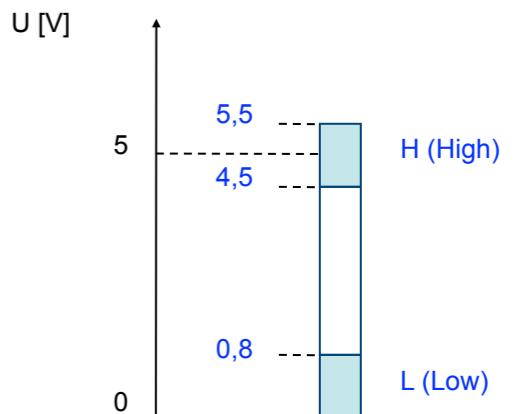
II. Digitale Größen ...

- ... bestehen aus abzählbaren Elementen
- ... können mit beliebiger Genauigkeit angegeben werden
- Beispiel:
 - Digitale Uhren

Kapitel 1: Grundbegriffe

III. Binäre und logische Zustände

- Digitale Signale können mehrere vereinbarte Zustände besitzen (zwei, drei, ...)
- Üblich sind zwei mögliche Zustände: → zweiwertige digitale (binäre) Elemente
- Beispiele:
 - Schalter geschlossen - Schalter offen
 - Impuls vorhanden - Impuls nicht vorhanden
 - Transistor leitend - Transistor gesperrt
 - Spannung hoch - Spannung niedrig
 - Strom hoch - Strom niedrig
- In der Digitaltechnik: bevorzugt Spannungszustände
 - Toleranzen für binäre Spannungszustände (siehe Diagramm)
 - Pegel, der näher bei $-\infty$ liegt: L = Low = niedriger Pegel
 - Pegel, der näher bei $+\infty$ liegt: H = High = hoher Pegel
 - Zuordnung binärer Zustände zu Logik-Zuständen ist beliebig (positive und negative Logik)



Kapitel 2: Binäre Kodes und Zahlensysteme

I. Einführung

- Zwei-Zeichen Kodes werden binäre Kodes genannt
- Eine binäre Stelle wird als Bit bezeichnet (0 oder 1)
- Zahlensysteme (Stellenwertsysteme):
 - Dezimalzahlen
 - Hexadezimale Zahlen
 - Oktale Zahlen
 - Duale Zahlen (= binärer Kode, Verwendung von 0 und 1)
- Beispiel: Dezimalzahlen

$$Z_{10} = c_{n-1} \cdot 10^{n-1} + \dots + c_2 \cdot 10^2 + c_1 \cdot 10^1 + c_0 \cdot 10^0 + c_{-1} \cdot 10^{-1} + \dots + c_m \cdot 10^m$$

Tausender	Hunderter	Zehner	Einer
$\cdot 10^3$	$\cdot 10^2$	$\cdot 10^1$	$\cdot 10^0$
3	4	8	7

$$\begin{array}{r} 3 \cdot 10^3 \\ 3000 \\ \hline + \end{array} \quad \begin{array}{r} 4 \cdot 10^2 \\ 400 \\ \hline + \end{array} \quad \begin{array}{r} 8 \cdot 10^1 \\ 80 \\ \hline + \end{array} \quad \begin{array}{r} 7 \cdot 10^0 \\ 7 \\ \hline \end{array}$$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Aufbau

$$Z_2 = c_{n-1} \cdot 2^{n-1} + \dots + c_2 \cdot 2^2 + c_1 \cdot 2^1 + c_0 \cdot 2^0 + c_{-1} \cdot 2^{-1} + \dots + c_m \cdot 2^m$$

- Beispiel: ganze Zahlen

$\cdot 32$	$\cdot 16$	$\cdot 8$	$\cdot 4$	$\cdot 2$	$\cdot 1$
$\cdot 2^5$	$\cdot 2^4$	$\cdot 2^3$	$\cdot 2^2$	$\cdot 2^1$	$\cdot 2^0$
1	0	1	0	0	1

$$\begin{array}{r} 1 \cdot 32 + 0 \cdot 16 + 1 \cdot 8 + 0 \cdot 4 + 0 \cdot 2 + 1 \cdot 1 \\ 32 + 0 + 8 + 0 + 0 + 1 \end{array}$$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Konvertierung von Dualzahlen in Dezimalzahlen

· 1024	· 512	· 256	· 128	· 64	· 32	· 16	· 8	· 4	· 2	· 1
· 2^{10}	· 2^9	· 2^8	· 2^7	· 2^6	· 2^5	· 2^4	· 2^3	· 2^2	· 2^1	· 2^0
1	0	0	1	1	1	0	1	0	0	1

$$= 1024 + 128 + 64 + 32 + 8 + 1 = 1257$$

- Konvertierung von Dezimalzahlen in Dualzahlen

- Methode 1: Umwandlung mit Tabelle, z.B. Umwandlung von 1877_{10} in X_2
- Vorgehensweise: Suche der größten Ordnung: $2^{10} = 1024$
- $1877 - 1024 = 853$; nächst kleinere Ordnung: $2^9 = 512$
- $853 - 512 = 341$; nächst kleinere Ordnung: $2^8 = 256$
- $341 - 256 = 85$; nächst kleinere Ordnung: $2^6 = 64$
- $85 - 64 = 21$; nächst kleinere Ordnung: $2^4 = 16$
- $21 - 16 = 5$; ... $2^2 = 4 \rightarrow 5 - 4 = 1 \rightarrow 2^0 = 1$
- $1877_{10} = 11101010101_2$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Konvertierung von Dezimalzahlen in Dualzahlen

→ Methode 2: Umwandlung durch Division mit 2

→ Umwandlung von 1877_{10} in X_2

$1877:2=938$	Rest 1
$938:2=469$	Rest 0
$469:2=234$	Rest 1
$234:2=117$	Rest 0
$117:2=58$	Rest 1
$58:2=29$	Rest 0
$29:2=14$	Rest 1
$14:2=7$	Rest 0
$7:2=3$	Rest 1
$3:2=1$	Rest 1
$1:2=0$	Rest 1

Ganzzahliges Anteil
der Dualzahl



$$\rightarrow 1877_{10} = 11101010101_2$$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Dualzahlen mit Kommastellen

Dezimalzahl	$\cdot 8$ $\cdot 2^3$	$\cdot 4$ $\cdot 2^2$	$\cdot 2$ $\cdot 2^1$	$\cdot 1$ $\cdot 2^0$	$\cdot 0,5$ $\cdot 2^{-1}$	$\cdot 0,25$ $\cdot 2^{-2}$	$\cdot 0,125$ $\cdot 2^{-3}$	$\cdot 0,0625$ $\cdot 2^{-4}$
9,8125	1	0	0	1	1	1	0	1

- Konvertierung von Dualzahlen in Dezimalzahlen analog zu ganzen Zahlen
- Konvertierung von Dezimalzahlen in Dualzahlen
 - Methode 1: Umwandlung mit Tabelle (analog zu ganzen Zahlen)
 - Methode 2: Umwandlung des ganzen Anteils durch Division mit 2
Umwandlung des gebrochenen Anteils durch Multiplikation mit 2

Beispiel: 0,375:

$$\begin{aligned}0,375 \cdot 2 &= 0,75 \\0,75 \cdot 2 &= 0,5 \\0,5 \cdot 2 &= 0\end{aligned}$$

+0
+1
+1

↓

Gebrochener Anteil
der Dualzahl

$$\Rightarrow 0,375_{10} = 0,011_2$$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

Aufgabe: Umwandlung von Zahlensystemen

- a) $637,625_{10} \rightarrow X_2$
- b) $11011100,001_2 \rightarrow Y_{10}$



Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Addition von Dualzahlen

- Regeln:
$$\begin{aligned}0 + 0 &= 0 \\0 + 1 &= 1 \\1 + 0 &= 1 \\1 + 1 &= 10 \\1 + 1 + 1 &= 11\end{aligned}$$

- Vorgehensweise bei der Summenbildung von mehreren Summanden: Addition von jeweils zwei Zahlen, dann Summe mit der nächsten, usw.
- Beispiel: $11_{10} + 19_{10}$

2^4	2^3	2^2	2^1	2^0	
16	8	4	2	1	
		1	1		Übertrag
	1	0	1	1	1. Zahl
1	0	0	1	1	2. Zahl
1	1	1	1	0	

Übung: Addieren Sie die beiden Zahlen 29 und 13 und überprüfen Sie das Ergebnis durch Konvertierung in eine Dezimalzahl!

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Subtraktion von Dualzahlen

- Regeln:
 - $0 - 0 = 0$
 - $1 - 0 = 1$
 - $1 - 1 = 0$
 - $0 - 1 = ?$ (Übertrag aus der nächst höheren Stelle des Minuenden)

- Beispiel: $27_{10} + 7_{10}$

2^4	2^3	2^2	2^1	2^0	
16	8	4	2	1	
			10		Übertrag
1	1	0			Minuend
		1	1	1	Subtrahend
1	0	1	0	0	Differenz

wird zu Null

$10 - 1 = 1$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Subtraktion von Dualzahlen b) Addition des Komplements
 - Komplement und abzuziehende Zahl ergänzen sich bei n-stelliger Darstellung zu b^n
 - Dezimalsystem: $b = 10$
 - Dualsystem: $b = 2$
 - Beispiel: Subtraktion im Dezimalsystem mit $n = 5$: $95000_{10} - 85000_{10}$
 - Komplement zu 85000 bei $n = 5$: $10^5 - 85000 = 15000$

	9	5	0	0	0
+	1	5	0	0	0
	1	0	0	0	0

- Übertrag entfällt, da $n = 5$!
- Beispiel: Subtraktion im Dualsystem mit $n = 4$: $1111_2 - 111_2 = 1000_2$ ($15 - 7 = 8$)
 - Komplement zu 111_2 ?

/	1	1	1	
	1	1	1	1
+	1	0	0	1
	1	0	0	0

- 1001 ist Komplement zu 111!

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Bestimmung des Komplements im Dualsystem (am Bsp. 111_2 für $n = 4$)
 - 1. Schritt: Zahl in Format $n = 4$ bringen: $111 \Rightarrow 0111$
 - 2. Schritt: Ermittlung der inversen Zahl: $0111 \Rightarrow 1000$
(Hinweis: Inverse Zahl im Dualsystem wird auch Einerkomplement genannt.)
 - 3. Schritt: Addition von 1: $1000 + 1 = 1001$
(Hinweis: Komplement wird auch als Zweierkomplement bezeichnet.)
 - Beispiel: $47 - 27$ für $n = 8$

	1	0	1	1	1	1	1
-		1	1	0	1	1	1
?							

- Komplement von 00011011 ist 11100101

1	1	1		1	1	1	1	
	0	0	1	0	1	1	1	1
+	1	1	1	0	0	1	0	1
	0	0	0	1	0	1	0	0

- Summe mit dem Komplement ergibt: $00010100_2 = 20_{10}$

Kapitel 2: Binäre Kodes und Zahlensysteme

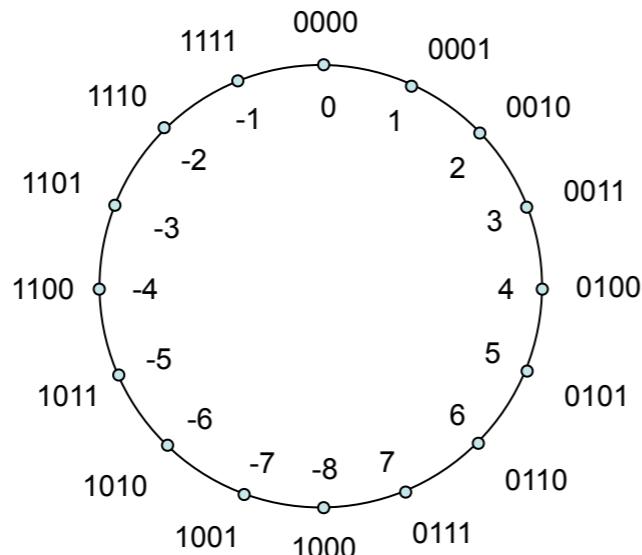
II. Duales Zahlensystem

- Negative Zahlen im Dualsystem
 - Beispiel: Tausch von Minuend und Subtrahend aus voriger Rechnung: $27 - 47 = -20$
 - $47_{10} = 101111_2 \Rightarrow$ Komplement: 010001_2

	1			1	1	
	0	1	1	0	1	1
+	0	1	0	0	0	1
	1	0	1	1	0	0

Kein Übertrag in die 7. Stelle

- Man erkennt eine negative Zahl daran, dass bei der Addition mit dem Komplement kein Übertrag in die Stelle $n+1$ auftritt.
- Komplement einer Zahl kann als negativer Wert dieser Zahl angesehen werden.
- Grafische Darstellung von 4Bit-Wörtern



- $Z_{\min} = -2^{n-1}$
- $Z_{\max} = 2^{n-1} - 1$
- Links stehende Null: positive Zahlen
- Links stehende Eins: negative Zahlen
- -8 ist ihr eigenes Komplement

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Overflow (Bereichsüberschreitung)
 - ... ist möglich falls zwei positive oder zwei negative Zahlen addiert werden.
 - Beispiel 1: $5_{10} + 5_{10}$ in 4-Bit-Darstellung ($n = 4$)

	1		1		
	0	1	0	1	5_{10}
+	0	1	0	1	5_{10}
	1	0	1	0	-6_{10}

- Ergebnis ist falsch!
- Negative Zahl durch Übertrag von 3. in 4. Stelle! (Allgemein: Übertrag $c_{n-1} = 1$)
- Übertrag von 4. in 5. Stelle tritt nicht auf (allgemein: Übertrag $c_n = 0$; „Carry“ (Cy))
- Beispiel 2: $-5_{10} + (-5_{10})$ in 4-Bit-Darstellung ($n = 4$)

(1)		1	1		
	1	0	1	1	-5_{10}
+	1	0	1	1	-5_{10}
	0	1	1	0	6_{10}

- Ergebnis ist falsch!
- $c_{n-1} = 0$
- $c_n = 1$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Overflow (Bereichsüberschreitung)
 - Beispiel 3: $-1_{10} + (-3_{10})$ in 4-Bit-Darstellung ($n = 4$)

(1)	1	1	1		
	1	1	1	1	-1_{10}
+	1	1	0	1	-3_{10}
	1	1	0	0	-4_{10}

- Ergebnis ist richtig!
- $c_{n-1} = 1$
- $c_n = 1$
- Zusammenfassung Overflow

	Richtiges Ergebnis	Overflow
$Z_1 + Z_2$	$c_n = 0; c_{n-1} = 0$	$c_n = 0; c_{n-1} = 1$
$Z_1 - Z_2$	$c_n = c_{n-1}$	Nicht möglich!
$-Z_1 - Z_2$	$c_n = 1; c_{n-1} = 1$	$c_n = 1; c_{n-1} = 0$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Multiplikation von Dualzahlen
 - Durchführung analog zur Berechnung im Dezimalsystem
 - Beispiel: $10_{10} \cdot 11_{10} = 110_{10}$

$$\begin{array}{r} 1 \quad 0 \quad 1 \quad 0 \quad x \quad 1 \quad 0 \quad 1 \quad 1 \\ \hline & & & & & 1 & 0 & 1 & 0 \\ & & & & & 1 & 0 & 1 & 0 \\ & & & & & 1 & 0 & 1 & 0 \\ \hline & 1 & 1 & 0 & 1 & 1 & 1 & 0 \end{array}$$

- Ermittlung des größten Produkts zweier n-Bit-Zahlen

$$P_{\max} = (2^n - 1) \cdot (2^n - 1) = 2^{2n} - 2^{n+1} + 1 \leq 2^{2n} - 1$$

- Produkt ist kleiner als die mit $2n$ Bits maximal darstellbare Dualzahl $2^{2n} - 1$!
- Gültig für Produkt zweier positiver Zahlen!
- Bei negativen Zahlen: Beträge der Zahlen bestimmen, dann Produkt bilden und Vorzeichen bestimmen

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem

- Division von Dualzahlen
 - Durchführung analog zur Berechnung im Dezimalsystem
 - Beispiel: $10_{10} : 2_{10} = 5_{10}$

$$\begin{array}{r} 1 \ 0 \ 1 \ 0 \ : \ 0 \ 0 \ 1 \ 0 \ = \ 1 \ 0 \ 1 \\ \underline{1 \ 0} \\ 0 \ 1 \ 0 \\ \underline{1 \ 0} \\ 0 \end{array}$$

Kapitel 2: Binäre Kodes und Zahlensysteme

II. Duales Zahlensystem - Übungen

1. Umwandlung von Dualzahlen in Dezimalzahlen:

- a) 1110,101
- b) 10011,1101

2. Umwandlung von Dezimalzahlen in Dualzahlen:

- a) 33,125
- b) 45,33

3. Berechnung mit Hilfe des Komplements:

- a) 010101 - 001010
- b) -010111 - 011011

4. Berechnung von Produkten und Quotienten:

- a) 110101 · 010101
- b) 1101110 : 110

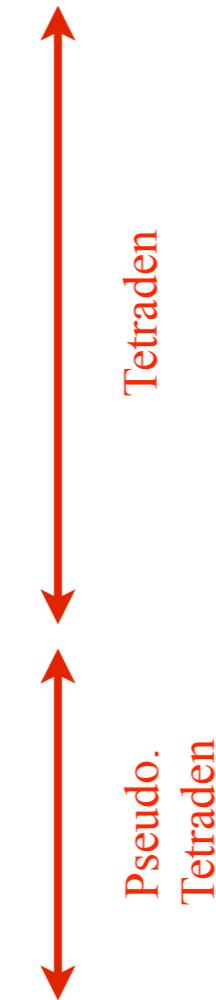


Kapitel 2: Binäre Kodes und Zahlensysteme

III. BCD-Kode (Binary Coded Decimals)

- Darstellung von Zahlen im BCD-Kode
 - Jede Dezimalziffer wird durch 4 Bit dargestellt
 - Einheit von 4 binären Stellen wird als Tetrade (griechisch: Vierergruppe) bezeichnet

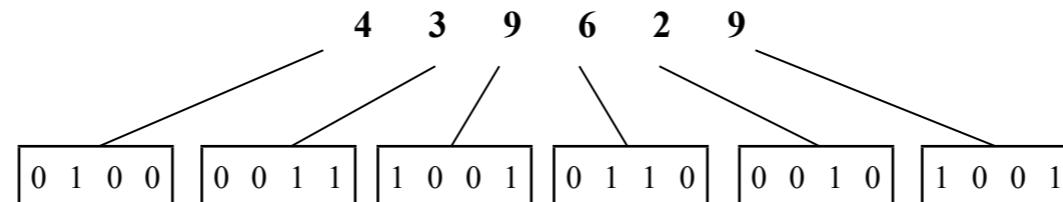
Dezimalziffer	2^3	2^2	2^1	2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
	1	0	1	0
	1	0	1	1
	1	1	0	0
	1	1	0	1
	1	1	1	0
	1	1	1	1



Kapitel 2: Binäre Kodes und Zahlensysteme

III. BCD-Kode (Binary Coded Decimals)

- Darstellung von Zahlen im BCD-Kode
 - n-stellige Dezimalzahl wird durch n-Tetraden dargestellt
 - Beispiel:



- Addition im BCD-Kode
 - ... erfolgt analog zum dualen Zahlensystem.
 - Achtung: Fällt das Ergebnis in den Bereich der Pseudotetraden, muss die Zahl $6_{10} = 0110_2$ addiert werden.
 - Beispiel: $9_{10} + 7_{10}$

$$\begin{array}{r} & 1 & 1 & 1 & 1 \\ & 1 & 0 & 0 & 1 \\ + & 0 & 1 & 1 & 1 \\ \hline & 1 & 0 & 0 & 0 & 0 \end{array}$$

The diagram shows the addition of two BCD numbers: 9 (1001) and 7 (0111). The result is 10000, which is a pseudotetraden. A red circle highlights the carry from the fourth column (the tens column) to the fifth column (the units column). The final result is 10110, where the first digit is a carry-out.

1 0 0 0 0
+ 0 1 1 1 0

0 0 0 1 0 1 1 0

1 6

Kapitel 2: Binäre Kodes und Zahlensysteme

III. BCD-Kode (Binary Coded Decimals)

- Addition im BCD-Kode

→ Übung 1: $78_{10} + 69_{10}$

$$\begin{array}{r} 1 \ 1 \ 1 \quad | \boxed{1} \\ 0 \ 1 \ 1 \ 1 \\ + 0 \ 1 \ 1 \ 0 \\ \hline 1 \ 1 \ 1 \ 0 \end{array} \quad \begin{array}{r} 1 \ 0 \ 0 \ 0 \ 0 \\ + 1 \ 0 \ 0 \ 1 \\ \hline 0 \ 0 \ 0 \ 1 \end{array}$$

A diagram showing the addition of two BCD numbers: 78₁₀ and 69₁₀. The numbers are aligned by their least significant digits. Vertical red lines divide each number into four digits. Red '1's are placed above the first three digits of both numbers. Blue '+' signs are placed between the first three digits of each number. The sum is shown below, also divided into four-digit groups by vertical red lines. The result is 147₁₀, with red '1's above the first three digits of the sum.

$$\begin{array}{r} 1 \quad 1 \quad 1 \\ | \quad | \quad | \\ 1 \ 1 \ 1 \ 0 \quad + \ 0 \ 1 \ 1 \ 0 \quad + \ 0 \ 0 \ 0 \ 1 \\ \hline 0 \ 0 \ 0 \ 1 \quad 0 \ 1 \ 0 \ 0 \quad 0 \ 1 \ 1 \ 1 \\ | \quad | \quad | \\ 1 \quad 4 \quad 7 \end{array}$$

→ Übung 2: $57_{10} + 38_{10}$

A diagram showing the addition of two BCD numbers: 57₁₀ and 38₁₀. The numbers are aligned by their least significant digits. Vertical red lines divide each number into four digits. Red '1's are placed above the first three digits of both numbers. Blue '+' signs are placed between the first three digits of each number. The sum is shown below, also divided into four-digit groups by vertical red lines. The result is 95₁₀, with red '1's above the first three digits of the sum.

$$\begin{array}{r} 1 \ 1 \ 1 \quad | \boxed{1} \\ 0 \ 1 \ 0 \ 1 \\ + 0 \ 0 \ 1 \ 1 \\ \hline 1 \ 0 \ 0 \ 1 \end{array} \quad \begin{array}{r} 0 \ 1 \ 1 \ 1 \\ + 1 \ 0 \ 0 \ 0 \\ \hline 1 \ 1 \ 1 \ 1 \\ + 0 \ 1 \ 1 \ 0 \\ \hline 0 \ 1 \ 0 \ 1 \end{array}$$

9 5

Kapitel 2: Binäre Kodes und Zahlensysteme

III. BCD-Kode (Binary Coded Decimals)

- Subtraktion im BCD-Kode
 - Zurückführung auf Addition des Zehnerkomplements des Subtrahenden
 - Ergebnis ist negativ, falls kein Übertrag in die 5. Stelle stattfindet.
 - Beispiel: $7_{10} - 9_{10}$

$$\begin{array}{r} 0 \quad 1 \quad 1 \quad 1 \\ - \quad 1 \quad 0 \quad 0 \quad 1 \\ \hline ? \end{array}$$

- K_{10} von 9 ist 0001

$$\begin{array}{r} 0 \quad 1 \quad 1 \quad 1 \\ + \quad 0 \quad 0 \quad 0 \quad 1 \\ \hline 1 \quad 0 \quad 0 \quad 0 \end{array} \quad \text{negative Zahl!}$$

- Rückkomplementierung: K_{10} von $1000_2 (= 8_{10})$ ist $0010_2 (= 2_{10})$.
- Ergebnis ist -2_{10}

Kapitel 2: Binäre Kodes und Zahlensysteme

IV. 3-Exzeß-Kode

- Aufbau der Tetraden

Dezimalziffer	D	C	B	A
	0	0	0	0
	0	0	0	1
	0	0	1	0
0	0	0	1	1
1	0	1	0	0
2	0	1	0	1
3	0	1	1	0
4	0	1	1	1
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0
	1	1	0	1
	1	1	1	0
	1	1	1	1

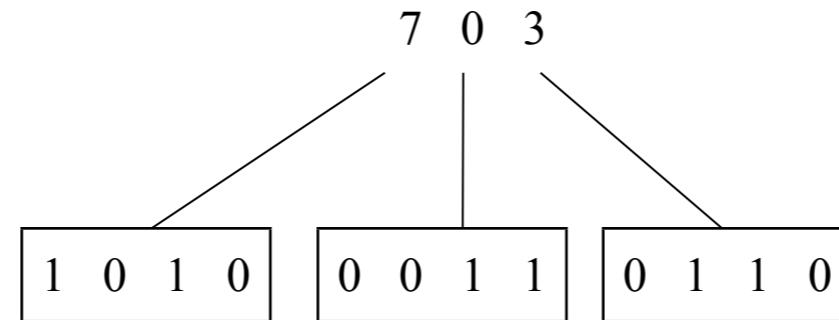
Diagramm zur Symmetrie des 3-Exzeß-Kodes:

- Die Spalten C und B sind symmetrisch um die vertikale Achse.
- Die Zeilen 0 bis 4 sind symmetrisch zu den Zeilen 5 bis 9.
- Die Zeilen 0 bis 4 sind Pseudo-Tetraden, die durch einen vertikalen Doppelpfeil markiert sind.
- Die Zeilen 5 bis 9 sind Pseudo-Tetraden, die durch einen vertikalen Doppelpfeil markiert sind.
- Die Zeile 10 ist eine reale Tetrade, die durch einen vertikalen Doppelpfeil markiert ist.
- Die Zeile 11 ist eine reale Tetrade, die durch einen vertikalen Doppelpfeil markiert ist.
- Die Zeile 12 ist eine reale Tetrade, die durch einen vertikalen Doppelpfeil markiert ist.

Kapitel 2: Binäre Kodes und Zahlensysteme

IV. 3-Exzeß-Kode

- Darstellung von Zahlen im 3-Exzeß-Kode



- Vorteil des 3-Exzeß-Kodes: einfache Bildung des Neunerkomplements K_9 durch Invertierung
- Zehnerkomplement erhält man durch Addition von K_9 mit 1
- Korrekturvorschriften:
 - Falls bei der Addition von zwei Tetraden kein Übertrag in die 5. Stelle auftritt, muss vom Ergebnis die Zahl 0011_2 subtrahiert werden.
 - Falls bei der Addition von zwei Tetraden ein Übertrag in die 5. Stelle auftritt, muss zum Ergebnis jeder Tetrade die Zahl 0011_2 addiert werden.

Kapitel 2: Binäre Kodes und Zahlensysteme

V. Aiken-Kode

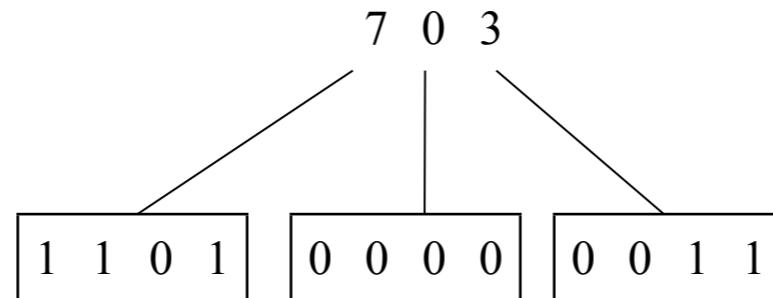
- Aufbau der Tetraden

Dezimalziffer	2 D	4 C	2 B	1 A	Wertigkeiten der Spalten
0	0	0	0	0	
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
Pseudo. Tetraden		0 0 0 1 1 1	1 1 1 0 0 0	0 1 1 0 0 1	Symmetrie
5	1	0	1	1	
6	1	1	0	0	
7	1	1	0	1	
8	1	1	1	0	
9	1	1	1	1	

Kapitel 2: Binäre Kodes und Zahlensysteme

V. Aiken-Kode

- Darstellung von Zahlen im Aiken-Kode



- Gleicher Vorteil des Aiken-Kodes wie beim 3-Exzeß-Kode: einfache Bildung des Neunerkomplements K_9 durch Invertierung
- Zehnerkomplement erhält man durch Addition von K_9 mit 1
- Korrekturvorschriften:
 - Falls bei der Addition von zwei Tetraden eine Pseudotetraden mit Übertrag in die 5. Stelle auftritt, muss die Zahl 0110_2 subtrahiert werden.
 - Falls bei der Addition von zwei Tetraden eine Pseudotetraden ohne Übertrag in die 5. Stelle auftritt, muss die Zahl 0110_2 addiert werden.

Kapitel 2: Binäre Kodes und Zahlensysteme

VI. Gray-Kode

- Vorherige Kodes sind mehrschrittige Kodes, d.h. es ändern sich mehrere Bits beim Übergang von einer Tetrade in die nächste.
- Es können Fehlinformationen auftreten, falls sich die zu ändernden Bits nicht zeitgleich ihren Wert wechseln (\Rightarrow Hazards).
- Gray-Kode: ändert beim Übergang von einer Tetrade in die nächste jeweils nur ein Bit (einschrittiger oder progressiver Kode).
- Beispiel 1: nicht zyklischer Gray-Kode

Dezimalziffer	G	R	A	Y
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	0	1	0
4	0	1	1	0
5	0	1	1	1
6	0	1	0	1
7	0	1	0	0
8	1	1	0	0
9	1	1	0	1

- Nachteil: beim Übergang von 9 auf 0 müssen sich 3 Bits ändern!

Kapitel 2: Binäre Kodes und Zahlensysteme

VI. Gray-Kode

- Erweiterung von 10 auf 16 Tetraden \Rightarrow erweiterter Gray-Kode
- Beispiel 2: zyklischer Gray-Kode

Dezimalzahl	G	R	A	Y
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	0	1	0
4	0	1	1	0
5	0	1	1	1
6	0	1	0	1
7	0	1	0	0
8	1	1	0	0
9	1	1	0	1
10	1	1	1	1
11	1	1	1	0
12	1	0	1	0
13	1	0	1	1
14	1	0	0	1
15	1	0	0	0

Kapitel 2: Binäre Kodes und Zahlensysteme

VII. Hexadezimales Zahlensystem

- Jeder Stelle innerhalb einer Hexadezimalzahl ist eine Potenz mit der Basis 16 zugeordnet.
- Damit werden im hexadezimalen Zahlensystem 16 Ziffern benötigt.
- Beispiel: Umwandlung von $34D_{16}$ in Dezimalzahl

Dezimalzahl	16^4	16^3	16^2	16^1	16^0
845	65536	4096	256	16	1
			3	4	D
			3·256	4·16	13·1

Dezimalzahl	Hexadezimalziffer
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
10	A
11	B
12	C
13	D
14	E
15	F

Kapitel 2: Binäre Kodes und Zahlensysteme

VIII. Oktales Zahlensystem

- Jeder Stelle innerhalb einer Oktalzahl ist eine Potenz mit der Basis 8 zugeordnet.
- Damit werden im oktalen Zahlensystem 8 Ziffern benötigt.
- Beispiel: Umwandlung von 6215_8 in Dezimalzahl

Dezimalzahl	8^4 4096	8^3 512	8^2 64	8^1 8	8^0 1
3213		6	2	1	5

6 · 512 2 · 64 1 · 8 5 · 1

Dezimalzahl	Oktalziffer
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7

Kapitel 2: Binäre Kodes und Zahlensysteme

IX. Alphanumerische Kodes

- Blockkodes (Kodes mit fester Wortlänge)
 - ASCII-Code (American Standard Code for Information Interchange): Wortlänge 8 Bit
 - Unicode (internationaler Standard-Blockkode): Wortlänge 16 bzw. 32 Bit
- Morse-Kode, Shannon-Fano-Kode, Huffman-Kode (Kodes mit variabler Wortlänge)

X. Fehlererkennende Kodes

- Redundanz
 - Redundans = lat.: im Überfluss vorhanden
 - Fehlererkennung ist nur möglich, wenn mehr Informationen übermittelt werden, als eigentlich nötig
 - Diese zusätzliche Information wird Redundanz genannt.
 - Redundanz ermöglicht Fehlererkennung oder bei noch mehr Informationen eine Fehlerkorrektur.

Kapitel 2: Binäre Kodes und Zahlensysteme

X. Fehlererkennende Kodes

- Dualergänzender Kode
 - Zusätzliches 5. Bit im BCD Kode: Ergänzung auf Geradzahligkeit der Anzahl der Bits, die den Wert 1 haben
 - 5. Bit ist eine zusätzliche Information (Redundanz): Prüfbit

Dezimalziffer	2^3	2^2	2^1	2^0	E
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0

- Digitalschaltung prüft Geradzahligkeit, bei Ungeradzahligkeit erfolgt Fehlermeldung
- keine Fehlermeldung bei zwei fehlerhaften Bits (jedoch existiert eine geringe Wahrscheinlichkeit hierfür)

Kapitel 2: Binäre Kodes und Zahlensysteme

X. Fehlererkennende Kodes

- Zwei-aus-Fünf-Kodes
 - 5-Bit Kode
 - Erkennung eines Fehlers durch Geradzahligkeitsprüfung
 - Beispiele:
 - Lexikographischer Kode (keine Wertigkeit der Binärstellen)
 - Walking-Kode (keine Wertigkeit der Binärstellen)
 - 7-4-2-1-0-Kode (Wertigkeiten 7-4-2-1-0, außer für Dezimalziffer 0)
 - 8-4-2-1-0-Kode (Wertigkeiten 8-4-2-1-0, außer für Dezimalziffern 0 und 7)
- Drei-aus-Fünf-Kodes
 - 5-Bit Kode
 - Erkennung eines Fehlers durch Ungeradzahligkeitsprüfung
 - Beispiele:
 - Lorenz-Kode
 - Ziffernsicherungs-Kode Nr. 3
- Zwei-aus-Sieben-Kodes
 - 7-Bit Kode
 - Jeweils 2 Bits sind im Zustand „1“ und 5 Bits im Zustand „0“
 - Vorteil: einfache Weiterverarbeitung der Wörter möglich und bei manchen sehr einfache Komplementbildung möglich
 - Beispiel: (reflektierender) Biquinär-Kode

Kapitel 2: Binäre Kodes und Zahlensysteme

XI. Fehlerkorrigierende Kodes

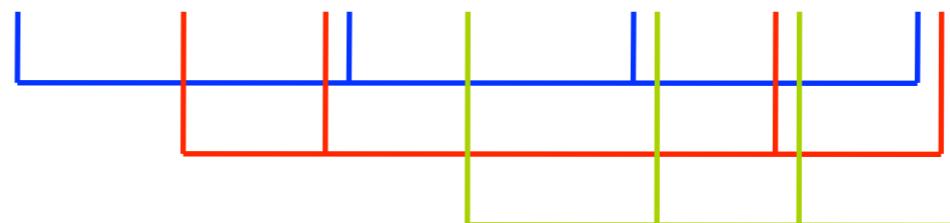
- Arbeitsweise
 - ➔ Ein fehlerkorrigierender Kode ...
 - ... beinhaltet die Erkennung von Fehlern.
 - ... erlaubt eine selbsttätige Korrektur von fehlerhaften Bits.
 - ➔ Höhere Redundanz als bei fehlererkennenden Kodes nötig: 7-Bit-Darstellung von Dezimalziffern
 - ➔ Erkennung des fehlerhaften Bits möglich \Rightarrow Invertierung dieses Bits
 - ➔ Nur Korrektur von einem Fehler möglich
 - ➔ Wahrscheinlichkeit von zwei Fehlern in einem Zeichen sehr gering
 - ➔ Kodes, die zwei Fehler erkennen und korrigieren können benötigen zu viele Bits \Rightarrow unwirtschaftlich
- Hamming-Kode (Hamming-ergänzter BCD-Kode)
 - ➔ Am häufigsten verwendeter Kode
 - ➔ 7-Bit-Darstellung einer Dezimalziffer
 - 4 Informations-Bits
 - 3 Kontroll-Bits
 - Kontrollgruppen bestehen jeweils aus drei Informations-Bits und einem Kontrollbit

Kapitel 2: Binäre Kodes und Zahlensysteme

XI. Fehlerkorrigierende Kodes

- Hamming-Kode (Hamming-ergänzter BCD-Kode)

Bit-Nr.	1	2	3	4	5	6	7
Wertigkeit	K_0	K_1	2^3	K_2	2^2	2^1	2^0
Dezimal-ziffer	0	0	0	0	0	0	0
	1	1	0	1	0	0	1
	2	0	1	0	1	0	0
	3	1	0	0	0	1	1
	4	1	0	0	1	0	0
	5	0	1	0	0	1	1
	6	1	1	0	0	1	0
	7	0	0	0	1	1	1
	8	1	1	1	0	0	0
	9	0	0	1	1	0	1

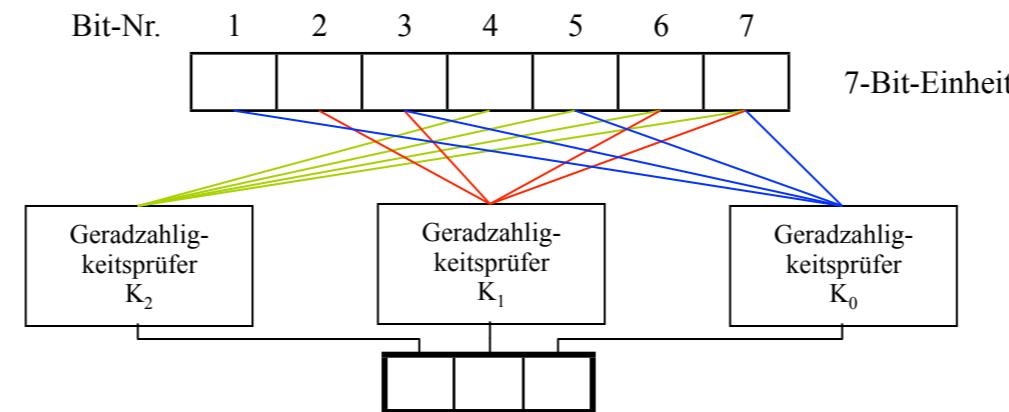


Kontrollgruppen

Kapitel 2: Binäre Kodes und Zahlensysteme

XI. Fehlerkorrigierende Kodes

- Hamming-Kode (Hamming-ergänzter BCD-Kode)
 - Jede Kontrollgruppe wird auf Geradzahligkeit geprüft
 - 7-Bit Einheit ist fehlerhaft, wenn ein Geradzahligkeitsprüfer einen Fehler anzeigt



Fehler im Bit Nr.	Fehlermeldung	K ₂	K ₁	K ₀
1	K ₀	0	0	1
2	K ₁	0	1	0
3	K ₀ und K ₁	0	1	1
4	K ₂	1	0	0
5	K ₀ und K ₂	1	0	1
6	K ₁ und K ₂	1	1	0
7	K ₀ , K ₁ und K ₂	1	1	1

Kapitel 3: Logische Verknüpfungen

I. Grundelemente

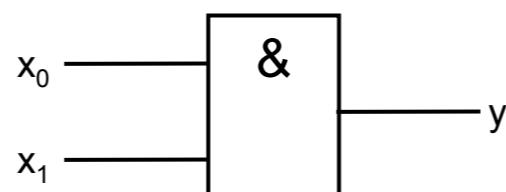
- UND-Verknüpfung (Konjunktion)
 - Am Ausgang eines UND-Gliedes liegt dann der Zustand 1, wenn an allen Eingängen der Zustand 1 liegt.
 - Wahrheitstabelle für zwei Eingänge

x_1	x_0	y
0	0	0
0	1	0
1	0	0
1	1	1

- Mathematischer Ausdruck der UND-Verknüpfung:

$$y = x_0 \wedge x_1$$

- Genormtes Schaltzeichen der Konjunktion:



Kapitel 3: Logische Verknüpfungen

I. Grundelemente

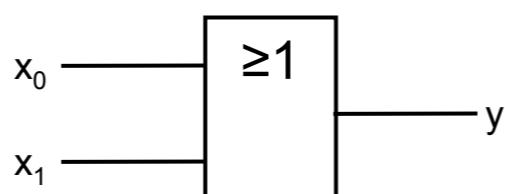
- ODER-Verknüpfung (Disjunktion)
 - Am Ausgang eines ODER-Gliedes liegt dann der Zustand 1, wenn mindestens an einem Eingang der Zustand 1 liegt.
 - Wahrheitstabelle für zwei Eingänge

x_1	x_0	y
0	0	0
0	1	1
1	0	1
1	1	1

- Mathematischer Ausdruck der ODER-Verknüpfung:

$$y = x_0 \vee x_1$$

- Genormtes Schaltzeichen der Disjunktion:



Kapitel 3: Logische Verknüpfungen

I. Grundelemente

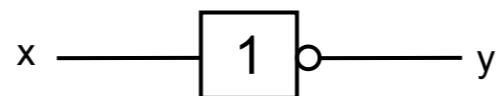
- Verneinung (Negation)
 - Am Ausgang eines NICHT-Gliedes liegt stets der entgegengesetzte Zustand wie am Eingang.
 - Wahrheitstabelle

x	y
0	1
1	0

- Mathematischer Ausdruck der NICHT-Verknüpfung:

$$y = \bar{x} \quad \text{oder} \quad y = \neg x$$

- Genormtes Schaltzeichen der Negation:



Kapitel 3: Logische Verknüpfungen

II. Zusammengesetzte Glieder

- NAND-Glied

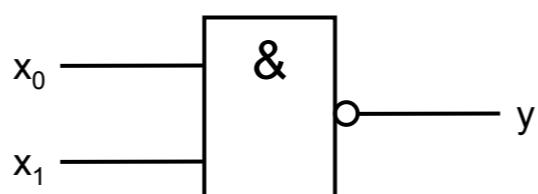
- Am Ausgang eines NAND-Gliedes liegt dann Zustand 1, wenn nicht an allen Eingängen Zustand 1 liegt.
- Wahrheitstabelle

x_1	x_0	y
0	0	1
0	1	1
1	0	1
1	1	0

- Mathematischer Ausdruck der NAND-Verknüpfung:

$$y = \overline{x_0 \wedge x_1} \quad \text{oder} \quad y = \neg(x_0 \wedge x_1)$$

- Genormtes Schaltzeichen des NAND-Gliedes:



Kapitel 3: Logische Verknüpfungen

II. Zusammengesetzte Glieder

- NOR-Glied

- Am Ausgang eines NOR-Gliedes liegt nur dann Zustand 1, wenn an keinem der Eingänge Zustand 1 anliegt.

- Wahrheitstabelle

x_1	x_0	y
0	0	1
0	1	0
1	0	0
1	1	0

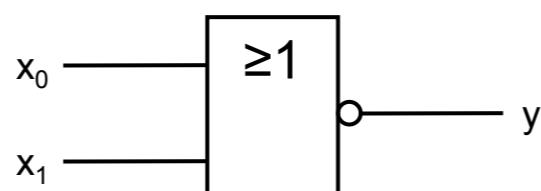
- Mathematischer Ausdruck der NOR-Verknüpfung:

$$y = \overline{x_0} \vee \overline{x_1}$$

oder

$$y = \neg(x_0 \vee x_1)$$

- Genormtes Schaltzeichen des NOR-Gliedes:



Kapitel 3: Logische Verknüpfungen

II. Zusammengesetzte Glieder

- ÄQUIVALENZ-Glied

- Am Ausgang eines ÄQUIVALENZ-Gliedes liegt immer dann Zustand 1, wenn die Eingänge gleiche Zustände haben.

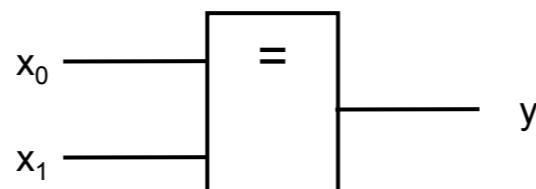
- Wahrheitstabelle

x_1	x_0	y
0	0	1
0	1	0
1	0	0
1	1	1

- Mathematischer Ausdruck der ÄQUIVALENZ-Verknüpfung:

$$y = (x_0 \wedge x_1) \vee (\overline{x_0} \wedge \overline{x_1}) \quad \text{oder} \quad y = (x_0 \wedge x_1) \vee (\neg x_0 \wedge \neg x_1)$$

- Genormtes Schaltzeichen des ÄQUIVALENZ-Gliedes:



Kapitel 3: Logische Verknüpfungen

II. Zusammengesetzte Glieder

- ANTIVALENZ-Glied (Exklusiv-Oder; XOR)

→ Am Ausgang eines ANTIVALENZ-Gliedes liegt immer dann der Zustand 1, wenn die beiden Eingänge ungleiche Zustände haben.

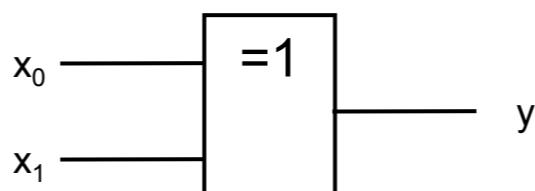
→ Wahrheitstabelle

x_1	x_0	y
0	0	0
0	1	1
1	0	1
1	1	0

→ Mathematischer Ausdruck der ANTIVALENZ-Verknüpfung:

$$y = (x_0 \wedge \overline{x_1}) \vee (\overline{x_0} \wedge x_1) \quad \text{oder} \quad y = (x_0 \wedge \neg x_1) \vee (\neg x_0 \wedge x_1)$$

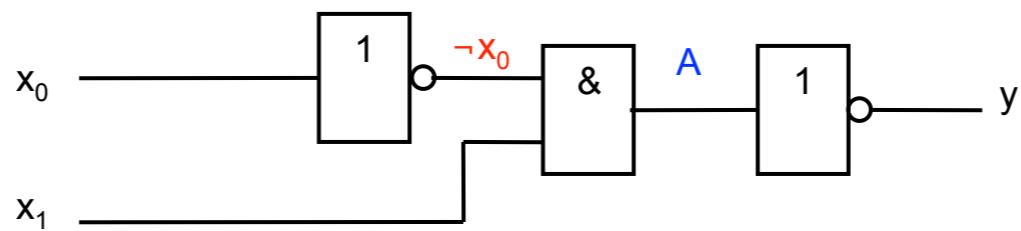
→ Genormtes Schaltzeichen des ANTIVALENZ-Gliedes:



Kapitel 4: Schaltungsanalyse

I. Wahrheitstabelle

- Die Zustände jeder Digitalschaltung lassen sich mit einer Wahrheitstabelle darstellen.
- Beispiel:

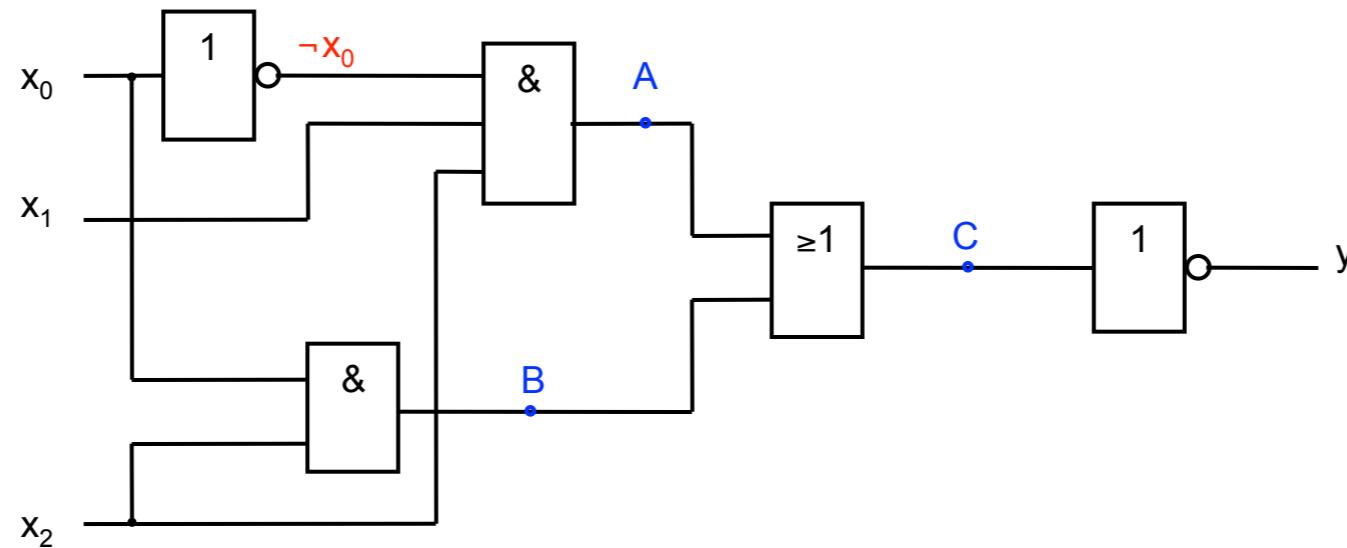


x_1	x_0	$\neg x_0$	$A = \neg x_0 \wedge x_1$	$y = \neg A$
0	0	1	0	1
0	1	0	0	1
1	0	1	1	0
1	1	0	0	1

Kapitel 4: Schaltungsanalyse

II. Funktionsgleichung

- Jede Digitalschaltung lässt sich durch eine Funktionsgleichung beschreiben.
- Beispiel:



$$A = \neg x_0 \wedge x_1 \wedge x_2$$

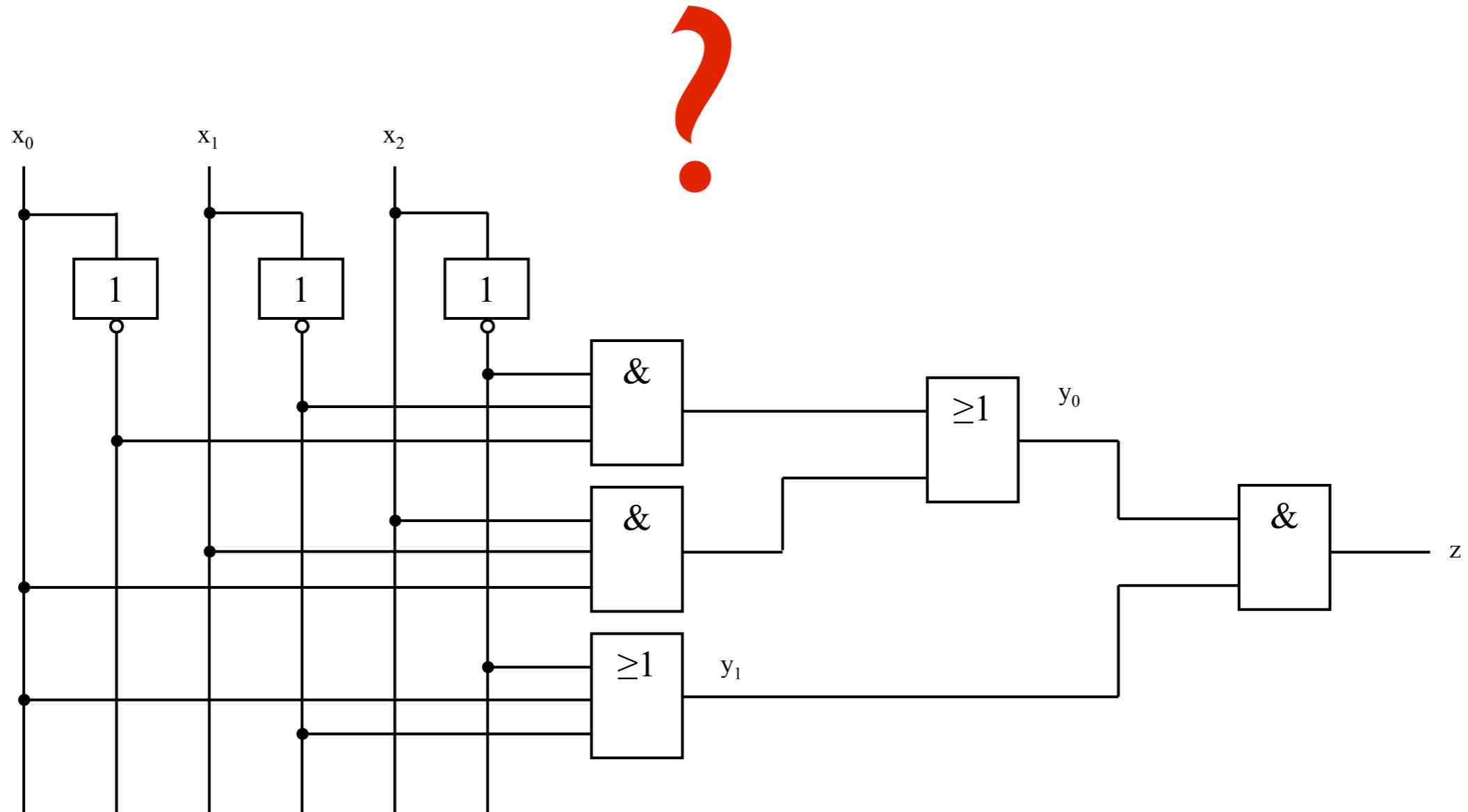
$$B = x_0 \wedge x_2$$

$$C = A \vee B = (\neg x_0 \wedge x_1 \wedge x_2) \vee (x_0 \wedge x_2)$$

$$y = \neg C = \neg((\neg x_0 \wedge x_1 \wedge x_2) \vee (x_0 \wedge x_2))$$

Kapitel 4: Schaltungsanalyse

Aufgabe: Bestimmen Sie die Funktionsgleichung für die nachfolgend dargestellte Schaltung. Stellen Sie darüber hinaus die Wahrheitstabelle für x_0 , x_1 , x_2 , y_0 , y_1 und z auf.



Kapitel 4: Schaltungsanalyse

Aufgabe: Skizzieren Sie das Schaltbild einer Schaltung, die mit folgender Gleichung beschrieben wird:

$$y = \neg(\neg x_0 \vee x_1 \vee x_2) \wedge \neg(\neg[x_0 \vee \neg x_1 \wedge \neg x_2 \wedge x_3] \vee \neg[x_0 \wedge x_3])$$



Kapitel 5: Schaltungsalgebra

I. Grundgesetze

- In der Schaltalgebra existieren nur die zwei Konstanten 0 und 1.
(Konstanten veranschaulicht: Kurzschluss oder Unterbrechung)
- Variable in der Schaltalgebra sind Größen, die die Zustände 0 und 1 annehmen können.
(Variable veranschaulicht: Schalter offen oder Schalter geschlossen)
- Postulate der UND-Verknüpfung:
 - $0 \wedge 0 = 0$
 - $0 \wedge 1 = 0$
 - $1 \wedge 0 = 0$
 - $1 \wedge 1 = 1$
- Postulate der ODER-Verknüpfung:
 - $0 \vee 0 = 0$
 - $0 \vee 1 = 1$
 - $1 \vee 0 = 1$
 - $1 \vee 1 = 1$
- Postulate der NICHT-Verknüpfung:
 - $\neg 1 = 0$
 - $\neg 0 = 1$

Kapitel 5: Schaltungsalgebra

II. Rechenregeln der Schaltalgebra

- Theoreme der UND-Verknüpfung

- $x_0 \wedge 0 = 0$
- $x_0 \wedge 1 = x_0$
- $x_0 \wedge x_0 = x_0$
- $x_0 \wedge \neg x_0 = 0$

- Theoreme der ODER-Verknüpfung:

- $x_0 \vee 0 = x_0$
- $x_0 \vee 1 = 1$
- $x_0 \vee x_0 = x_0$
- $x_0 \vee \neg x_0 = 1$

- Theorem der NICHT-Verknüpfung:

- $\neg(\neg x_0) = x_0$

- Kommutativgesetz

- $x_0 \wedge x_1 = x_1 \wedge x_0$
- $x_0 \vee x_1 = x_1 \vee x_0$

- Assoziativgesetz

- $(x_0 \wedge x_1) \wedge x_2 = x_0 \wedge (x_1 \wedge x_2)$
- $(x_0 \vee x_1) \vee x_2 = x_0 \vee (x_1 \vee x_2)$

Kapitel 5: Schaltungsalgebra

II. Rechenregeln der Schaltalgebra

- Konjunktives Distributivgesetz
 - $x_0 \wedge (x_1 \vee x_2) = (x_0 \wedge x_1) \vee (x_0 \wedge x_2)$
- Disjunktives Distributivgesetz
 - $x_0 \vee (x_1 \wedge x_2) = (x_0 \vee x_1) \wedge (x_0 \vee x_2)$
- Erstes Morgansches Gesetz*
 - $\neg(x_0 \wedge x_1) = \neg x_0 \vee \neg x_1 \Rightarrow x_0 \wedge x_1 = \neg(\neg x_0 \vee \neg x_1)$
 - ⇒ Alle Verknüpfungsschaltungen lassen sich nur mit ODER- und NICHT-Gliedern aufbauen!
- Zweites Morgansches Gesetz*
 - $\neg(x_0 \vee x_1) = \neg x_0 \wedge \neg x_1 \Rightarrow x_0 \vee x_1 = \neg(\neg x_0 \wedge \neg x_1)$
 - ⇒ Alle Verknüpfungsschaltungen lassen sich nur mit UND- und NICHT-Gliedern aufbauen!
- Bindungsregel: Eine UND-Verknüpfung bindet stets stärker als eine ODER-Verknüpfung!
⇒ $x_0 \vee x_1 \wedge x_2 = x_0 \vee (x_1 \wedge x_2)$
- Vereinfachte Schreibweise (nicht normgerecht): Weglassen von Konjunktionszeichen, z.B.:

$$y = (\neg x_0 \wedge x_1 \wedge x_2) \vee (x_0 \wedge \neg x_1 \wedge x_2) = \neg x_0 x_1 x_2 \vee x_0 \neg x_1 x_2$$

*Auch gültig für mehr als zwei Variablen!

Kapitel 6: Schaltungssynthese

I. Aufbau von logischen Schaltungen

- Der Entwurf von logischen Verknüpfungsschaltungen für Steuerungs- und Rechenzwecke wird Schaltungssynthese genannt.
- Fünf Schritte der Schaltungssynthese
 1. Beschreibung der Funktion der gesuchten Schaltung
 2. Festlegung der Eingangs- und Ausgangsvariablen und der Bedeutung von 0 und 1.
 3. Erstellen der Wahrheitstabelle.
 4. Bestimmen der logischen Verknüpfungsschaltung.
 5. Vereinfachung und ggf. Umformung der Schaltung.

Kapitel 6: Schaltungssynthese

I. Aufbau von logischen Schaltungen

- Beispiel: Eine Sicherheitsschaltung soll das Abfahren eines Fahrstuhls unter bestimmten Bedingungen verhindern.
- Schritt 1:
Falls die Tür noch geöffnet ist, darf der Fahrstuhl nicht abfahren. Gleiches gilt bei Überlastung. Weiterhin ist das Drücken der Fahrknopfs erforderlich, um den Fahrstuhl in Bewegung zu setzen.
- Schritt 2:
Festlegung der Variablen
 - ➔ Eingangsvariable
 - Türkontakt x_0 : $x_0 = 1 \Rightarrow$ Türkontakt geschlossen; $x_0 = 0 \Rightarrow$ Türkontakt offen
 - Überlastschalter x_1 : $x_1 = 1 \Rightarrow$ Überlastung; $x_1 = 0 \Rightarrow$ keine Überlastung
 - Fahrknopf x_2 : $x_2 = 1 \Rightarrow$ Fahrknopf gedrückt; $x_2 = 0 \Rightarrow$ Fahrknopf nicht betätigt
 - ➔ Ausgangsvariable
 - y : $y = 1 \Rightarrow$ Fahrstuhlkorb darf fahren; $y = 0 \Rightarrow$ Fahrstuhlkorb darf nicht fahren

Kapitel 6: Schaltungssynthese

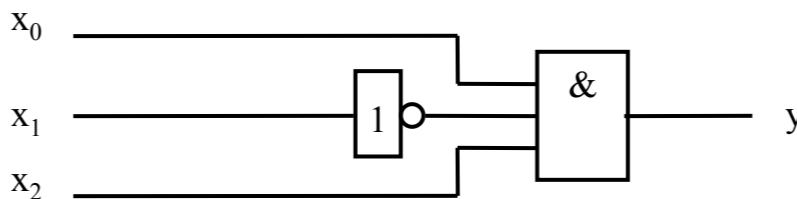
I. Aufbau von logischen Schaltungen

- Schritt 3:
Wahrheitstabelle

Fall	x ₂	x ₁	x ₀	y
1	0	0	0	0
2	0	0	1	0
3	0	1	0	0
4	0	1	1	0
5	1	0	0	0
6	1	0	1	1
7	1	1	0	0
8	1	1	1	0

- ⇒
- x₀ = 1: Tür geschlossen
 - x₁ = 0: keine Überlastung
 - x₂ = 1: Fahrtknopf gedrückt

- Schritt 4: Verknüpfungsschaltung bestimmen (genaue Vorgehensweise kommt später)
durch Überlegung folgt:



- Schritt 5: Vereinfachung hier in diesem Beispiel nicht möglich

Kapitel 6: Schaltungssynthese

II. Normalformen

- Normalformen bieten ein Berechnungsverfahren für die Bestimmung einer logischen Verknüpfungsschaltung
- Kanonisch disjunktive (ODER-) Normalform (KDNF)
 - Vollkonjunktionen (UND-Verknüpfungen mit allen (auch invertierten) Variablen) sind durch ODER verknüpft
 - Anzahl der 1-Zustände in der Wahrheitstabelle ist gleich Anzahl der Vollkonjunktionen (Minterme m_i)
 - Beispiel:

Dezimal	x_1	x_0	y
0	0	0	1
1	0	1	0
2	1	0	1
3	1	1	0

$$\Rightarrow y = \underbrace{\neg x_0 \wedge \neg x_1}_{m_0} \vee \underbrace{\neg x_0 \wedge x_1}_{m_2} = \neg x_0 \neg x_1 \vee \neg x_0 x_1$$

Kapitel 6: Schaltungssynthese

II. Normalformen

- Kanonisch konjunktive (UND-) Normalform (KKNF)
 - Volldisjunktionen (ODER-Verknüpfungen mit allen (auch invertierten Variablen) sind durch UND verknüpft
 - Anzahl der 0-Zustände in der Wahrheitstabelle ist gleich Anzahl der Volldisjunktionen (Maxterme M_i)
 - Beispiel:

Dezimal	x_1	x_0	y
0	0	0	1
1	0	1	0
2	1	0	1
3	1	1	0

$$\Rightarrow y = (\neg x_0 \vee x_1) \wedge (\neg x_0 \vee \neg x_1) = (\neg x_0 \vee x_1)(\neg x_0 \vee \neg x_1)$$

M_1 M_3

- Überführung von KKNF in KDNF (und umgekehrt) mit Hilfe des Shannonschen Satzes möglich:

$$y = f(x_i, \wedge, \vee, \text{Äquivalenz}, \text{XOR}, 1, 0) \quad \Rightarrow \quad \neg y = f(\neg x_i, \vee, \wedge, \text{XOR}, \text{Äquivalenz}, 0, 1)$$

Kapitel 6: Schaltungssynthese

II. Normalformen

- Vereinfachung von Normalformen
 - Mit Hilfe der Normalform kann aus einer Wahrheitstabelle eine Schaltfunktion ermittelt werden.
 - Komplexe Funktionen lassen sich mit der Schaltalgebra vereinfachen.
 - Wichtige Identität:
$$\begin{aligned}x_0x_1 \vee x_0\neg x_1 \\= x_0(x_1 \vee \neg x_1) \\= x_0 \wedge 1 \\= x_0\end{aligned}$$
 - Beispiel: Vereinfachung der folgenden Funktion:

$$y = x_0\neg x_1x_2x_3 \vee x_0x_1x_2x_3 \vee x_0x_1\neg x_2x_3 \vee \neg x_0x_1x_2x_3 \vee \neg x_0x_1\neg x_2x_3$$

- Zusammenfassen folgender Terme:
 - 1 und 2 (2 muss noch stehen bleiben, da Zusammenfassung mit 3)
 - 2 und 3
 - 4 und 5

$$y = x_0x_2x_3 \vee x_0x_1x_3 \vee \neg x_0x_1x_3$$

- Zusammenfassung von 2' und 3'

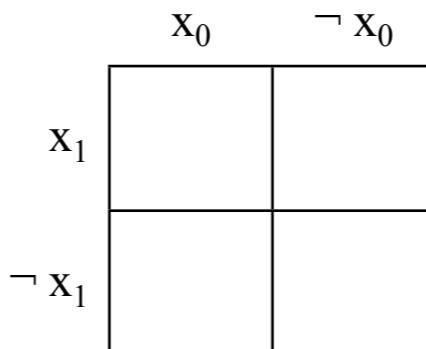
$$y = x_0x_2x_3 \vee x_1x_3$$

Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- KV-Diagramme bieten eine übersichtliche Darstellung und liefern eine Vereinfachung von KDNF (ODER-Normalformen)
- Ein KV-Diagramm hat so viele Plätze wie Vollkonjunktionen möglich sind.
- Eine „1“ in einem Feld steht für eine Vollkonjunktion.
- Die Zuordnung der Variablen zu den Koordinaten eines KV-Diagramms erfolgt beliebig.
- Benachbarte Vollkonjunktionen können zusammengefasst werden.

- KV-Diagramm für zwei Variable



- Zusammenfassung von 2 oder 4 benachbarten Vollkonjunktionen ist in einem Päckchen möglich.
- Inhalt des Packchens ergibt sich aus seinen Koordinatenbezeichnungen. Variable, welche sowohl negiert als auch nichtnegiert auftreten, können entfallen.
- Bei mehreren Päckchen ergibt sich die vereinfachte Gleichung als ODER-Verknüpfung der einzelnen Päckcheninhalte.

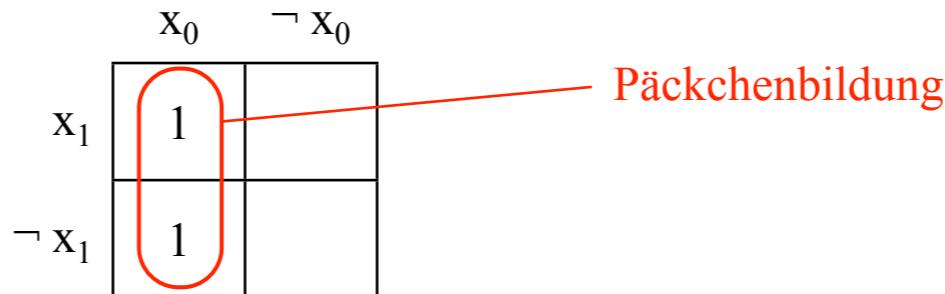
Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- KV-Diagramm für zwei Variable

→ Beispiel: $y = x_0 x_1 \vee x_0 \neg x_1$

- Eintrag in KV-Diagramm



- x_1 kann entfallen (kommt negiert und nichtnegiert vor): $y = x_0$

→ Überprüfung mit Hilfe der Schaltalgebra:

$$\begin{aligned}y &= x_0 x_1 \vee x_0 \neg x_1 \\&= x_0 \wedge (x_1 \vee \neg x_1) \\&= x_0 \wedge 1 \\&= x_0\end{aligned}$$

Kapitel 6: Schaltungssynthese

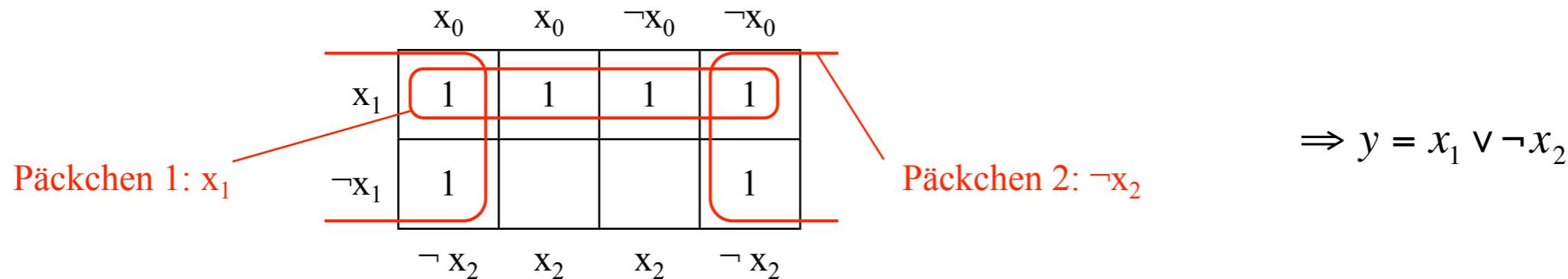
III. Karnaugh-Veitch-Diagramme

- KV-Diagramm für drei Variable

	x_0	x_0	$\neg x_0$	$\neg x_0$
x_1				
$\neg x_1$				

$\neg x_2$ x_2 x_2 $\neg x_2$

- Ein Päckchen darf 2, 4 oder 8 benachbarte Vollkonjunktionen umfassen.
- Das KV-Diagramm für drei Variable hat eigentlich eine 3-dimensionale (zylindrische) Form. Somit sind auch Plätze an gegenüberliegenden Enden einer Zeile benachbart.
- Beispiel: $y = x_0x_1\neg x_2 \vee x_0x_1x_2 \vee \neg x_0x_1x_2 \vee \neg x_0x_1\neg x_2 \vee x_0\neg x_1\neg x_2 \vee \neg x_0\neg x_1\neg x_2$



Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- Beispiel: Vereinfachung der Oder-Normalform und Überprüfung mit KV-Diagramm

$$y = x_0 x_1 x_2 \vee x_0 \neg x_1 x_2 \vee \neg x_0 \neg x_1 x_2 \vee \neg x_0 \neg x_1 \neg x_2$$

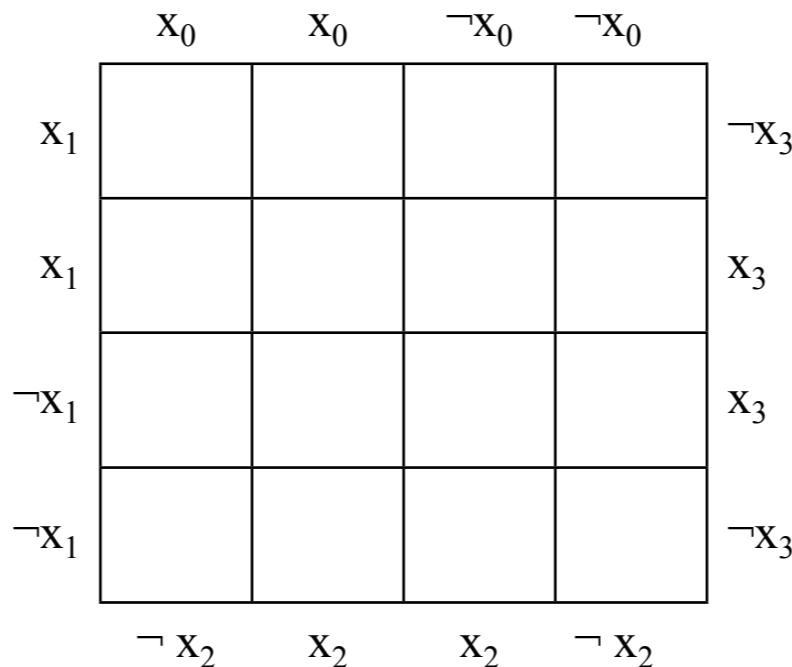
$$\Rightarrow y = x_0 x_2 \vee \neg x_0 \neg x_1$$

	x_0	x_0	$\neg x_0$	$\neg x_0$
x_1		1		
$\neg x_1$		1	1	1
	$\neg x_2$	x_2	x_2	$\neg x_2$

Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- KV-Diagramm für vier Variable



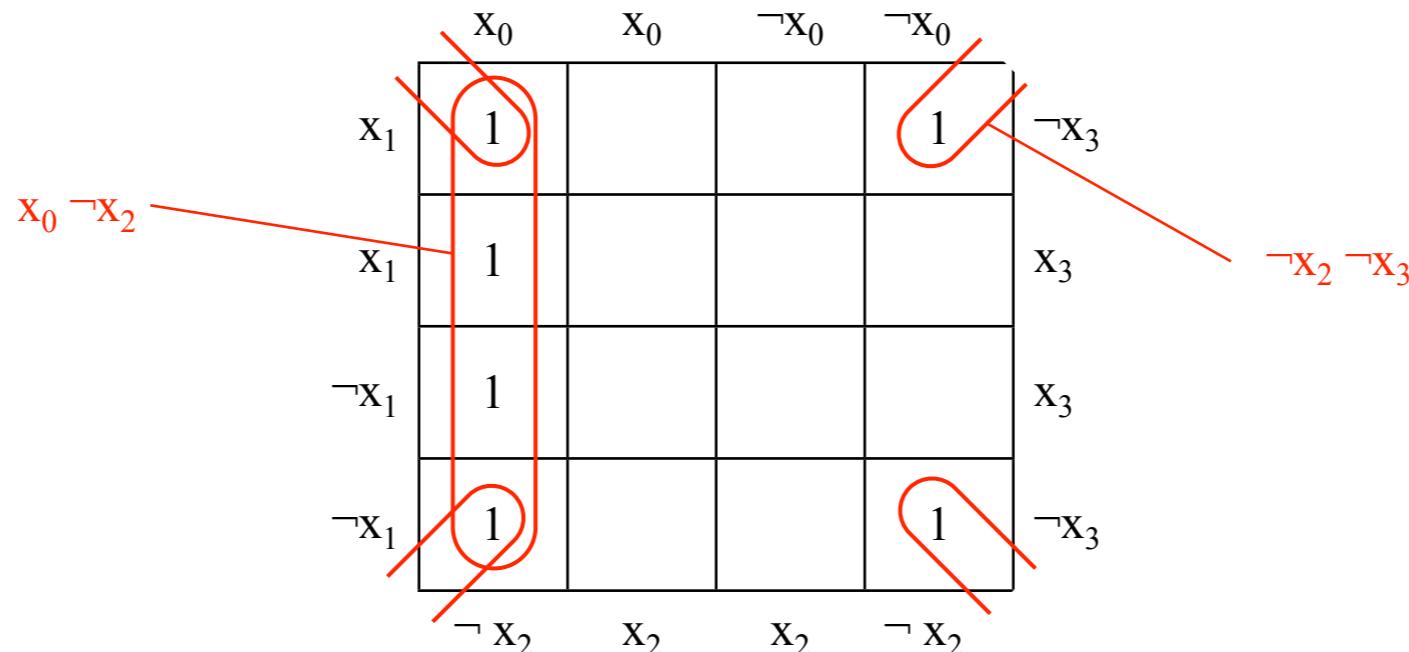
- Ein Päckchen darf 2, 4, 8 oder 16 benachbarte Vollkonjunktionen umfassen.
- Das KV-Diagramm für vier Variable hat eigentlich eine 3-dimensionale (Kugel-) Form. Somit sind auch Plätze, die an allen Außenseiten gegenüberliegen, benachbart.

Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- KV-Diagramm für vier Variable
→ Beispiel:

$$y = \neg x_0 \neg x_1 \neg x_2 \neg x_3 \vee x_0 \neg x_1 \neg x_2 \neg x_3 \vee \neg x_0 x_1 \neg x_2 \neg x_3 \vee x_0 x_1 \neg x_2 \neg x_3 \vee x_0 \neg x_1 x_2 x_3 \vee x_0 x_1 \neg x_2 x_3$$

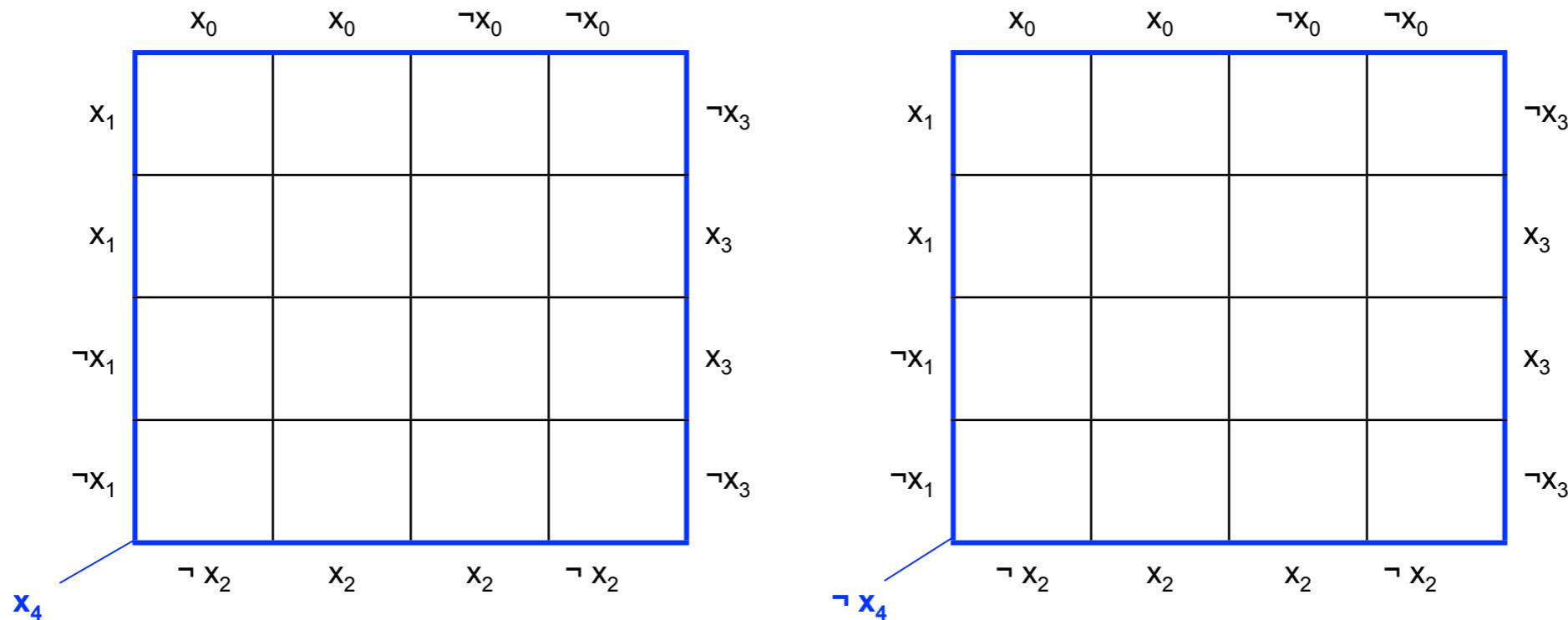


- Vereinfachte Form: $y = x_0 \neg x_2 \vee \neg x_2 \neg x_3 = \neg x_2(x_0 \vee \neg x_3)$

Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- KV-Diagramm für fünf Variable

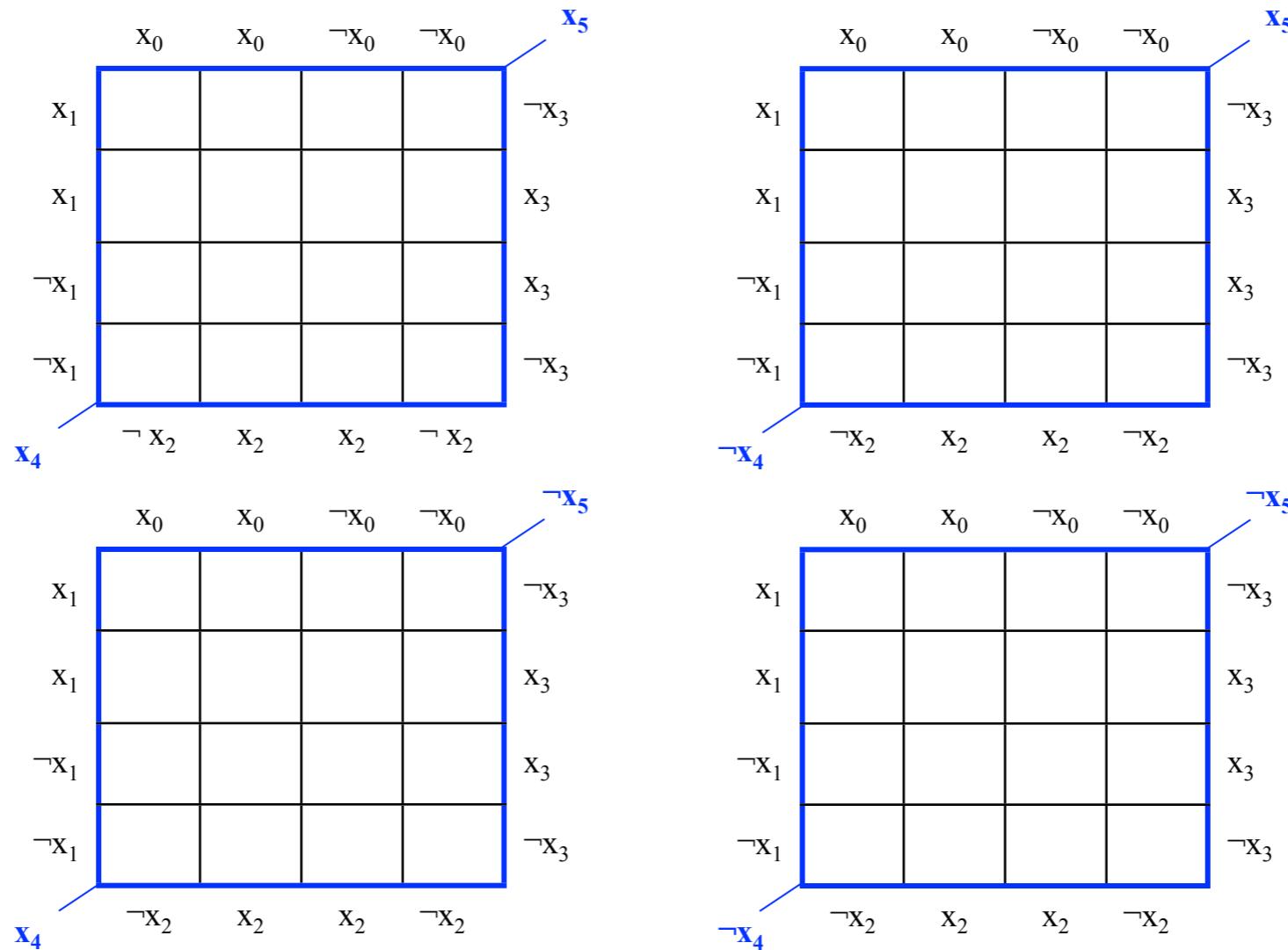


- Ein Päckchen darf 2, 4, 8, 16 oder 32 benachbarte Vollkonjunktionen umfassen.
- Das KV-Diagramm für fünf Variable hat eigentlich eine 3-dimensionale (Quader-) Form. Man kann sich nun die beiden Quadrate übereinander gelegt vorstellen, so dass sich überdeckende Felder benachbart sind.

Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- KV-Diagramm für sechs Variable



- Ein Päckchen darf 2, 4, 8, 16, 32 oder 64 benachbarte Vollkonjunktionen umfassen.
- Das KV-Diagramm für sechs Variable hat eigentlich eine 3-dimensionale (Würfel-) Form.

Kapitel 6: Schaltungssynthese

III. Karnaugh-Veitch-Diagramme

- KV-Diagramm für sechs und mehr Variable
 - Vorgehen: Vereinfachung in mehreren Schritten
 - Zusammenfassen von zwei bis drei Variable zu einer neuen Variable
 - Rücktransformation der neuen Variable in die alten
- **Implikant:** Beschreibung der Päckchen durch Konjunktion der Eingangsvariablen
- **Primimplikant:** Implikant, der nicht vollständig von einem anderen Implikanten überdeckt wird
- **Kern-Primimplikanten:** sind Primimplikanten, die nicht durch Disjunktion aller übrigen Primimplikanten vollständig überdeckt werden.
- **Absolut eliminierbare Primimplikanten:** sind Primimplikanten, die durch die Kern-Primimplikanten vollständig überdeckt werden
- **Relativ eliminierbare Primimplikanten:** sind alle restlichen Primimplikanten
- Alternative für Implementierung auf Rechnern: Quine-McCluskey Verfahren (siehe z.B. Fricke: Digitaltechnik, Vieweg und Teubner Verlag)

Kapitel 7: Einführung in die Elektrotechnik

I. Elektrische Ladungen / elektrisches Feld

- Ladungen erzeugen in ihrer Umgebung ein elektrisches Feld
- Existenz zweier Arten von Ladung: positive und negative
- Ladungserhaltung in einem geschlossenen System
- Quantelung: Ladung ist immer ein Vielfaches der Elementarladung

$$e = 1,602 \cdot 10^{-19} C$$

- Kraft zwischen zwei Ladungen ist proportional zu dem Produkt QQ' und zu r^{-2} :

$$\vec{F} = \frac{QQ'}{4\pi\epsilon_0 r^2} \vec{r}_0$$

- Elektrische Feldstärke:

$$\vec{E} = \frac{\vec{F}}{Q'}$$

Kapitel 7: Einführung in die Elektrotechnik

II. Spannung und Potenzial

- Kraft auf Ladung im elektrischen Feld: $\mathbf{F} = QE$
- Für Verschiebung der Ladung muss Arbeit aufgebracht werden:

$$dW = -\vec{F} \cdot d\vec{r} = -QE \cdot d\vec{r}$$

- Bei Verschiebung von r_1 nach r_2 folgt:

$$W(\vec{r}_1; \vec{r}_2) = - \int_{\vec{r}_1}^{\vec{r}_2} \vec{F} \cdot d\vec{r} = -Q \int_{\vec{r}_1}^{\vec{r}_2} \vec{E} \cdot d\vec{r}$$

- Definition: $U_{12} = - \int_{\vec{r}_1}^{\vec{r}_2} \vec{E} \cdot d\vec{r} \Rightarrow W_{12} = QU_{12}$
- Potenzialdifferenz: „Spannung zwischen den Punkten r_1 und r_2 “

$$U_{12} = U(\vec{r}_2) - U(\vec{r}_1)$$

- Bestimmung des elektrischen Feldes durch Bildung des Gradienten des Potenzials

$$\vec{E} = -\text{grad}U = -\nabla U$$

Kapitel 7: Einführung in die Elektrotechnik

III. Stromstärke / Energie / Leistung

- Fließt während der Zeit dt durch einen Leiter die Ladung dQ , dann fließt ein Strom mit der Stromstärke:

$$I = \frac{dQ}{dt}$$

- Stromdichte j definiert die Richtung des Ladungstransports

$$\vec{j} = \sigma \cdot \vec{E}$$

- Integration über den Leiterquerschnitt:

$$I = \int \vec{j} \cdot d\vec{A}$$

- Herrscht zwischen zwei Orten die Potenzialdifferenz U , dann wird bei einer Verschiebung der Ladung Q die Energie W frei:

$$W = Q \cdot U$$

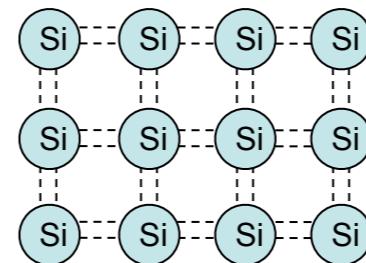
- Heiz- oder Verlustleistung bei bewegten Ladungsträgern (Gesetz von Joule):

$$P = \frac{dW}{dt} = U \cdot \frac{dQ}{dt} = U \cdot I$$

Kapitel 8: Einführung in Halbleiterbauelemente

I. Halbleiterwerkstoffe

- Leitfähigkeit: $\sigma_{\text{Nichtleiter}} < \sigma_{\text{Halbleiter}} < \sigma_{\text{Leiter}}$
- Wichtigster Halbleiterwerkstoff: Silizium
- Weitere Halbleiterwerkstoffe: Germanium, Selen, Galliumarsenid, Indiumphosphit, Indiumantimonid
- Halbleiterwerkstoffe besitzen Kristallstruktur und sind hochrein ($1:10^{10}$)
- Aufbau eines Halbleiterkristalls (am Beispiel Silizium)
 - Si besitzt vier Elektronen in der äußeren M-Schale: Valenzelektronen
 - Bindung an Nachbaratome erfolgt über deren Valenzelektronen: Elektronenpaarbindung
 - Si-Kristallgitter besitzt Tetraederstruktur

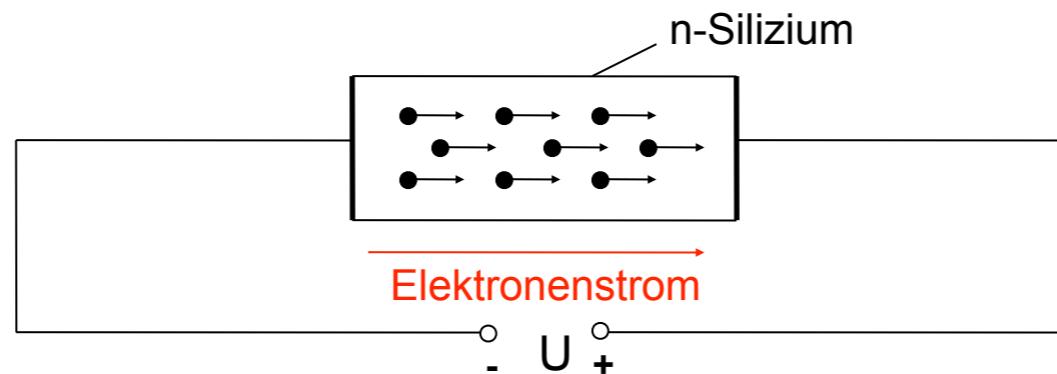


- Eigenleitfähigkeit bei reinstem Silizium gleich Null;
- Ursachen für Leitfähigkeit (LF):
 - LF durch Verunreinigungen
 - LF durch Aufbrechen von Kristallbindungen (z.B. durch Wärmeschwingungen)
 - Oberflächen-LF

Kapitel 8: Einführung in Halbleiterbauelemente

II. n-Silizium

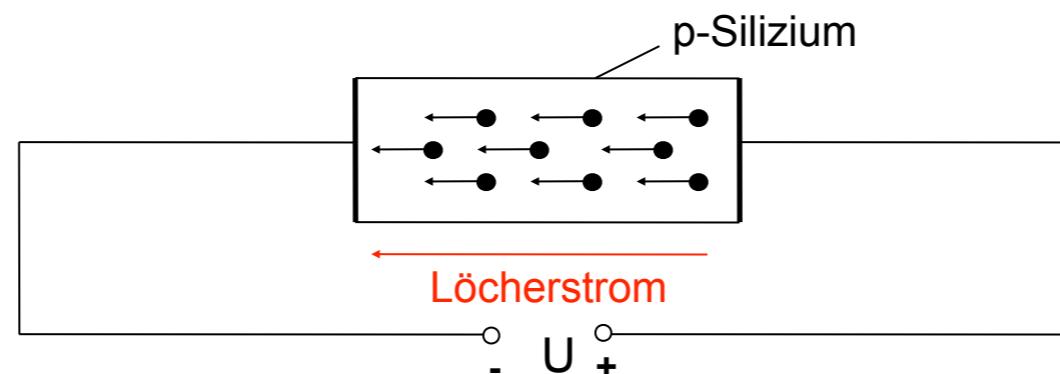
- Verunreinigung des Kristalls (Dotieren) mit 5-wertigem Werkstoff (z.B. Phosphor)
- → 5. Valenzelektron kann sich frei bewegen
- 5-wertiges Atom: Donatoratom (donare, lat. schenken)
- Mit zunehmendem Dotierungsgrad wird der Kristall niederohmiger.
- n-Silizium: mit Donatoratomen dotiertes Silizium enthält freie negative Ladungsträger → Elektronenleitung



Kapitel 8: Einführung in Halbleiterbauelemente

III. p-Silizium

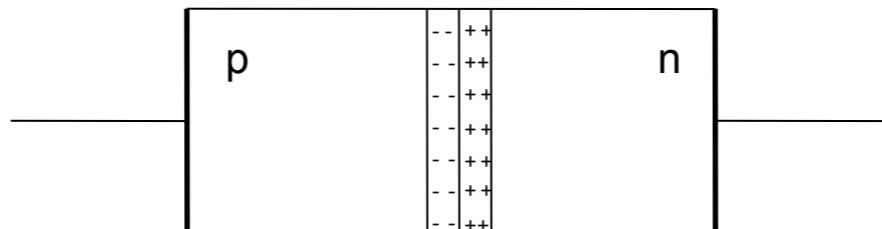
- Verunreinigung des Kristalls mit 3-wertigem Werkstoff (z.B. Aluminium)
- Eine offene Bindung → Loch (fehlendes Elektron)
- 3-wertiges Atom: Akzeptoratom (accipere, lat. annehmen)
- Fehlende Elektronen (Löcher) verhalten sich wie positive Ladungsträger
- p-Silizium: mit Akzeptoratomen dotiertes Silizium enthält freie positive Ladungsträger → Löcherleitung



Kapitel 8: Einführung in Halbleiterbauelemente

IV. pn-Übergang

- Grenzbereich zwischen einer p- und einer n-leitenden Zone
- Elektronenwanderung von n- in p-Zone aufgrund von Wärmeschwingungen
 - Positiv geladene Phosphorionen im Grenzbereich der n-Zone
 - Negativ geladene Aluminiumionen im Grenzbereich der p-Zone
 - → es entsteht eine Raumladungszone
 - Je höher die Temperatur, desto breiter die Raumladungszone
 - Ist Kraftwirkung des elektrischen Feldes auf die Ladungsträger im Gleichgewicht mit Kraftwirkung der Wärmeschwingung wird die Ladungsträgerdiffusion gestoppt.

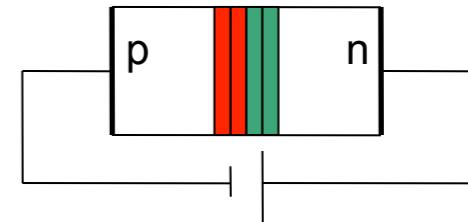


- Diffusionsspannung: elektrische Spannung zwischen den Raumladungen
 - Si (bei 20°C): $U_{\text{diff}} \approx 0,6 - 0,7 \text{ V}$
 - Ge (bei 20°C): $U_{\text{diff}} \approx 0,3 \text{ V}$

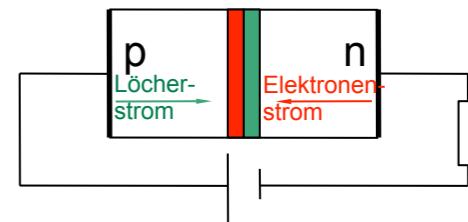
Kapitel 8: Einführung in Halbleiterbauelemente

IV. pn-Übergang

- Anlegen einer negativen Spannung an p-Zone
 - Elektronen aus der Spannungsquelle werden in p-Zone gedrückt → fallen in Löcher
 - Elektronen wandern bis zur Raumladungszone (durch E-Feld) und verbreitern diese
 - Pluspol saugt Elektronen aus n-Zone ab
 - Die zwischen den neutralen Kristallzonen herrschende Spannung ist umso größer, je breiter die Raumladungszone ist.
 - Raumladungszone enthält keine beweglichen Ladungsträger.
 - pn-Übergang ist in „Sperrrichtung“ gepolt



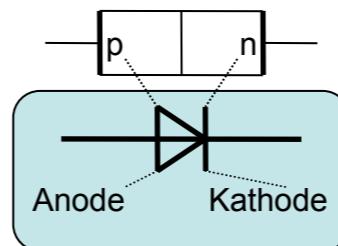
- Anlegen einer positiven Spannung an p-Zone
 - Elektronen werden vom Minuspol der Spannungsquelle in die n-Zone gedrückt
 - Abbau der durch Ladungsträgerdiffusion entstandenen Raumladungszone
 - pn-Übergang wird niederohmig → Strom kann fließen
 - pn-Übergang ist in „Durchlassrichtung“ geschaltet



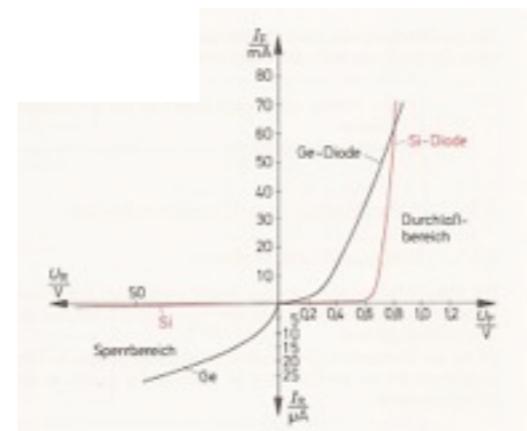
Kapitel 8: Einführung in Halbleiterbauelemente

V. Halbleiterdiode

- Besteht aus einem pn-Übergang
 - Niedriger Widerstandswert bei Polung in Durchlassrichtung
 - Sehr großer Widerstandswert bei Polung in Sperrrichtung



- U-I-Kennlinien von Dioden
 - Halbleiterdioden werden oberhalb der Schwellspannung niederohmig

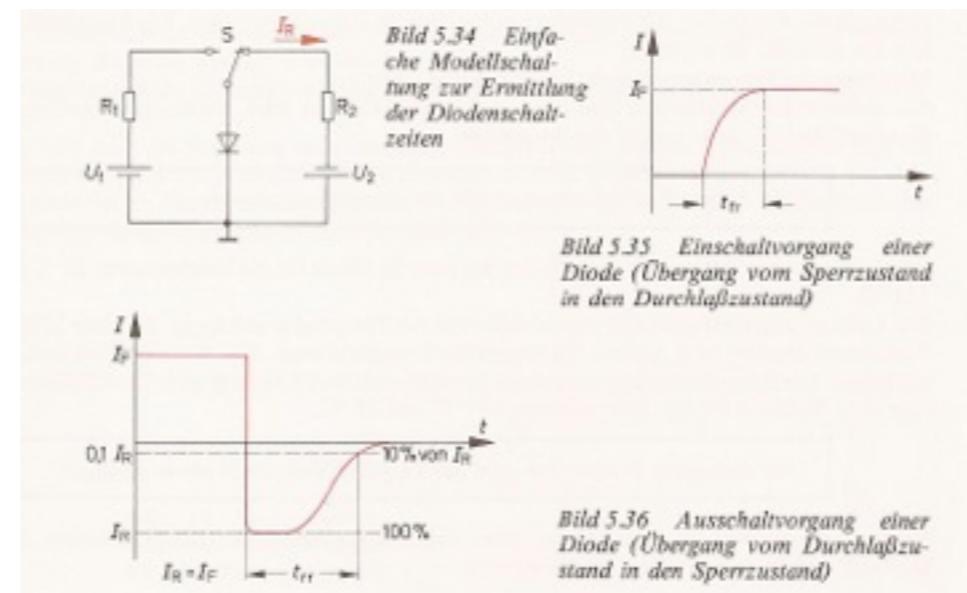


Bildmaterial: Beuth, Elektronik 2

Kapitel 8: Einführung in Halbleiterbauelemente

V. Halbleiterdiode

- Schaltverhalten
- In Durchlassrichtung: „Überschwemmung“ mit negativen Ladungsträgern, Abbau der Sperrsicht
- In Sperrrichtung: Entfernen der Ladungsträger und Aufbau der Sperrsicht



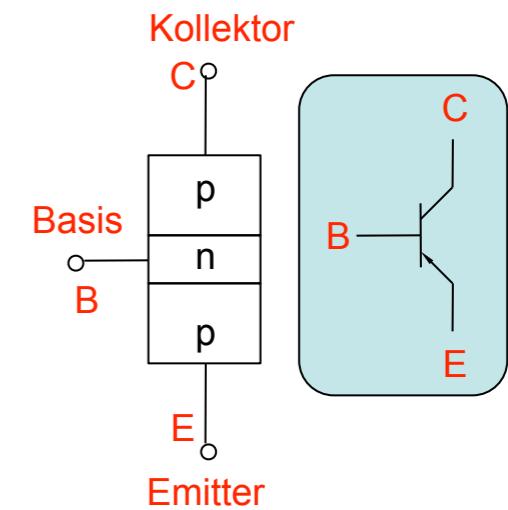
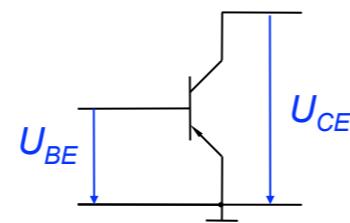
Bildmaterial: Beuth, Elektronik 2

- Einschaltzeit (forward recovery time): $t_{fr} = 0,5 - 50 \text{ ns}$
- Ausschaltzeit (reverse recovery time): $t_{rr} = 2 - 200 \text{ ns}$

Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

- Bestehen aus der Schichtfolge npn oder pnp
- Meist aus Silizium gefertigt
- pnp-Transistoren
 - n-leitende Zone zwischen zwei p-leitenden Zonen
 - Erste p-leitende Zone: Emitterzone (emittere, lat. aussenden)
 - Zweite p-leitende Zone: Kollektorzone (collecta, lat. Sammlung)
 - n-Zone: Basiszone
 - Negative Spannungen an Basis und Kollektor bezogen auf Emitter

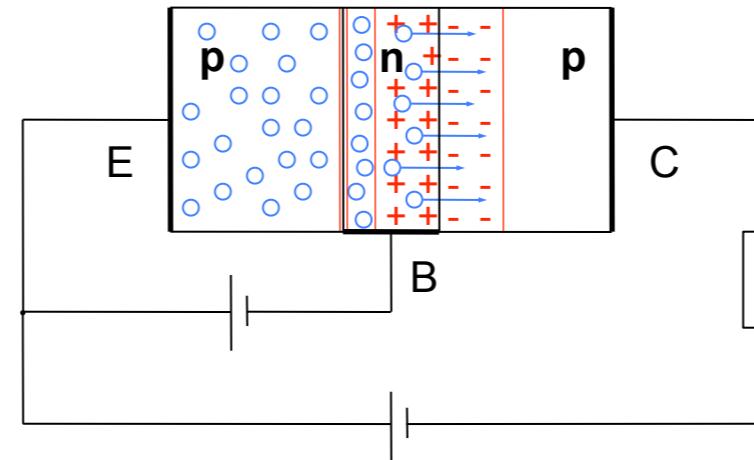


- Durchlassrichtung für pn-Übergang Emitter-Basis
- Sperrrichtung für pn-Übergang Basis-Kollektor
- Übliche Spannungswerte:
 - Basis gegen Emitter: $U_{BE} = -0,6V$ bis $-0,9V$
 - Kollektor gegen Emitter: $U_{CE} = -2V$ bis $-300V$

Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

- Funktionsweise von pnp-Transistoren
 - Das Anlegen einer Spannung U_{BE} baut die durch Ladungsträgerdiffusion entstandene Sperrsicht fast vollständig ab.
 - Das Anlegen einer Spannung U_{CE} verbreitert deutlich die vorhandene Sperrsicht.

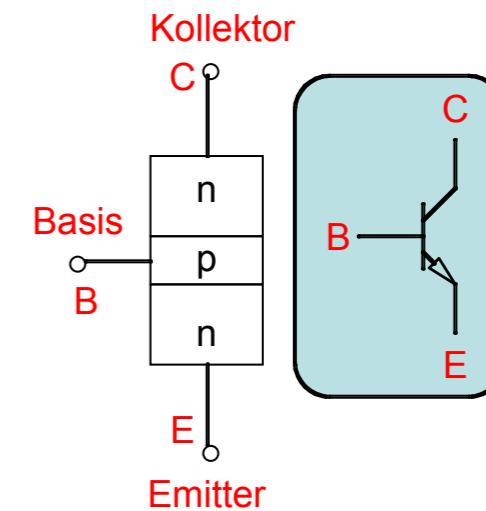
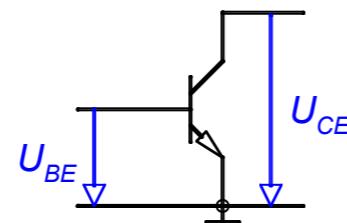


- Wegen E-Feld durch U_{BE} wandern Löcher über die Sperrsicht in die Basiszone (Ladungsträgerinjektion).
- Wenn ein Loch in die Sperrsicht BC gelangt, wird es aufgrund des starken E-Feldes Richtung Kollektor beschleunigt (Ladungsträgerfalle).
- Ca. 99% der positiven Ladungsträger vom Emittor werden zum Kollektor beschleunigt.

Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

- npn-Transistoren
 - p-leitende Zone (Basis) zwischen zwei n-leitenden Zonen (Emitter, Kollektor)
 - Positive Spannungen an Basis und Kollektor bezogen auf Emitter
 - Durchlassrichtung für pn-Übergang Emitter-Basis
 - Sperrrichtung für pn-Übergang Basis-Kollektor
 - Übliche Spannungswerte:
 - Basis gegen Emitter: $U_{BE} = +0,6V$ bis $+0,9V$
 - Kollektor gegen Emitter: $U_{CE} = +2V$ bis $+300V$

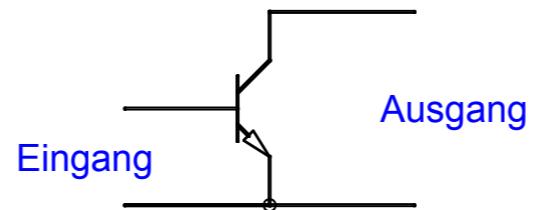


- Funktionsweise von npn-Transistoren ist gleich der von pnp-Transistoren, jedoch werden statt der Löcher nun die Wege der Elektronen betrachtet!
- Spannungen beim Transistor: $U_{CE} = U_{CB} + U_{BE}$
- Ströme beim Transistor: $I_E = I_C + I_B$

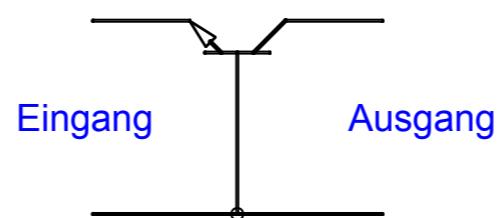
Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

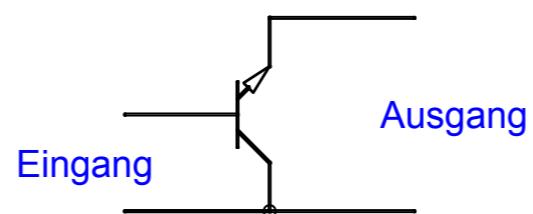
- Transistor-Grundschaltungen
 - Prinzip der Emitterschaltung



- Prinzip der Basisschaltung



- Prinzip der Kollektorschaltung



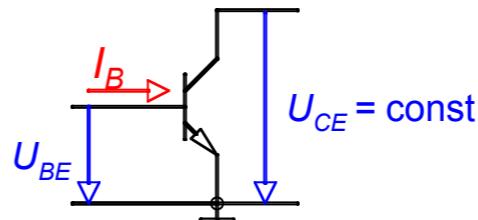
Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

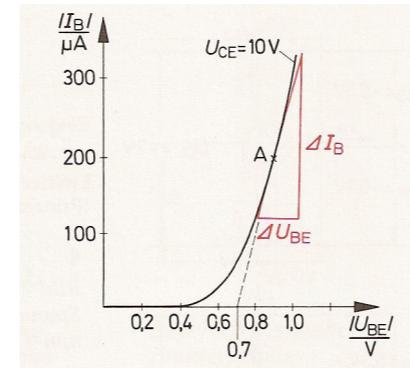
- Eingangskennlinienfeld der Emitterschaltung

→ Eingangsgrößen:

- Basisstrom I_B
- Basis-Emitter-Spannung U_{BE}



→ Eingangskennlinienfeld:



Bildmaterial: Beuth, Elektronik 2

→ Bestimmung des differentiellen Eingangswiderstands r_{BE}

- Wahl des Arbeitspunkts
- Tangente im Arbeitspunkt an die Eingangskennlinie

$$r_{BE} = \frac{\Delta U_{BE}}{\Delta I_B}$$

- Hinweis: Vierpoltheorie bietet Verfahren zur Berechnung von Transistororschaltungen (wird hier nicht behandelt)!

$$r_{BE} = h_{11e}$$

Kapitel 8: Einführung in Halbleiterbauelemente

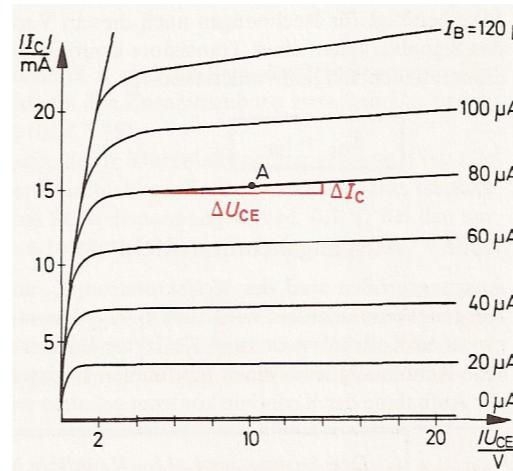
VI. Bipolare Transistoren

- Ausgangskennlinienfeld der Emitterschaltung

→ Ausgangsgrößen:

- Kollektorstrom I_C
- Kollektor-Emitter-Spannung U_{CE}

→ Ausgangskennlinienfeld:



Bildmaterial: Beuth, Elektronik 2

- Bestimmung des differentiellen Ausgangswiderstands r_{CE}
- Wahl des Arbeitspunkts
 - Tangente im Arbeitspunkt an die Ausgangskennlinie

$$r_{CE} = \frac{\Delta U_{CE}}{\Delta I_C}$$

- Hinweis: Vierpoltheorie

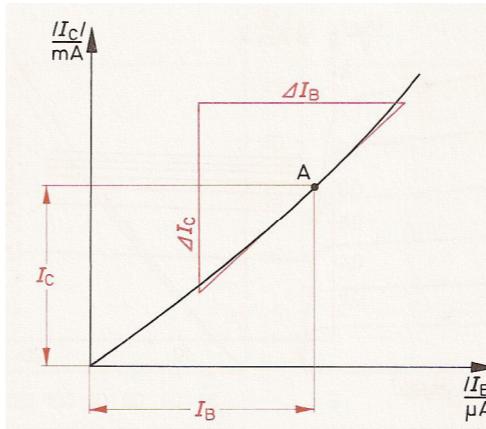
$$r_{CE} = \frac{1}{h_{22e}}$$

Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

- Stromsteuerungskennlinienfeld der Emitterschaltung
 - Stellt den Zusammenhang zwischen Kollektor- und Basisstrom dar

- Stromsteuerungskennlinienfeld:



Bildmaterial: Beuth, Elektronik 2

- Bestimmung des Gleichstromverstärkung B

$$B = \frac{I_C}{I_B}$$

- Aber: Kurve ist gekrümmt

- Einführung eines differentiellen Stromverstärkungsfaktors β

$$\beta = \frac{\Delta I_C}{\Delta I_B}$$

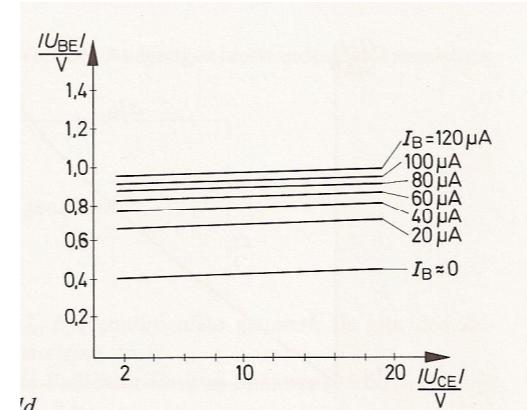
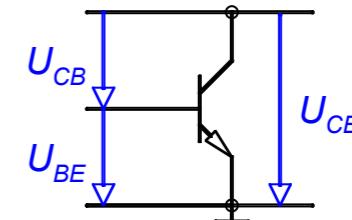
- Vierpoltheorie:

$$\beta = h_{21e}$$

Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

- Rückwirkungskennlinienfeld der Emitterschaltung
 - Änderung von U_{CE} bewirkt Änderung von U_{CB} und U_{BE}
→ unerwünschter Effekt
 - Rückwirkungskennlinienfeld:



Bildmaterial: Beuth, Elektronik 2

- Maß für die Rückwirkung: differentieller Rückwirkungsfaktor D

$$D = \frac{\Delta U_{BE}}{\Delta U_{CE}}$$

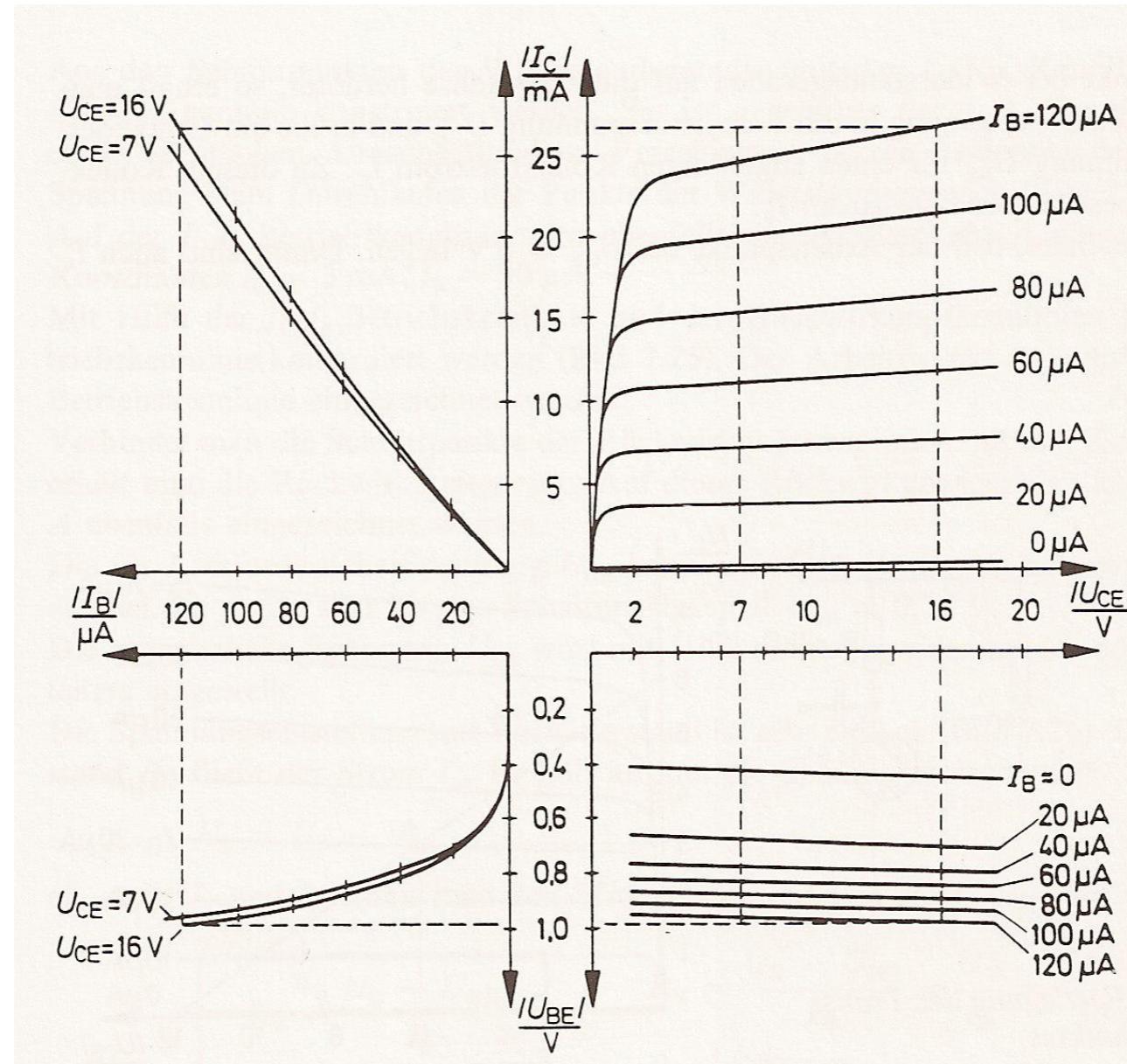
- Vierpoltheorie:

$$D = h_{12e}$$

Kapitel 8: Einführung in Halbleiterbauelemente

VI. Bipolare Transistoren

- Zusammenfassung in ein Vierquadrantenkennlinienfeld

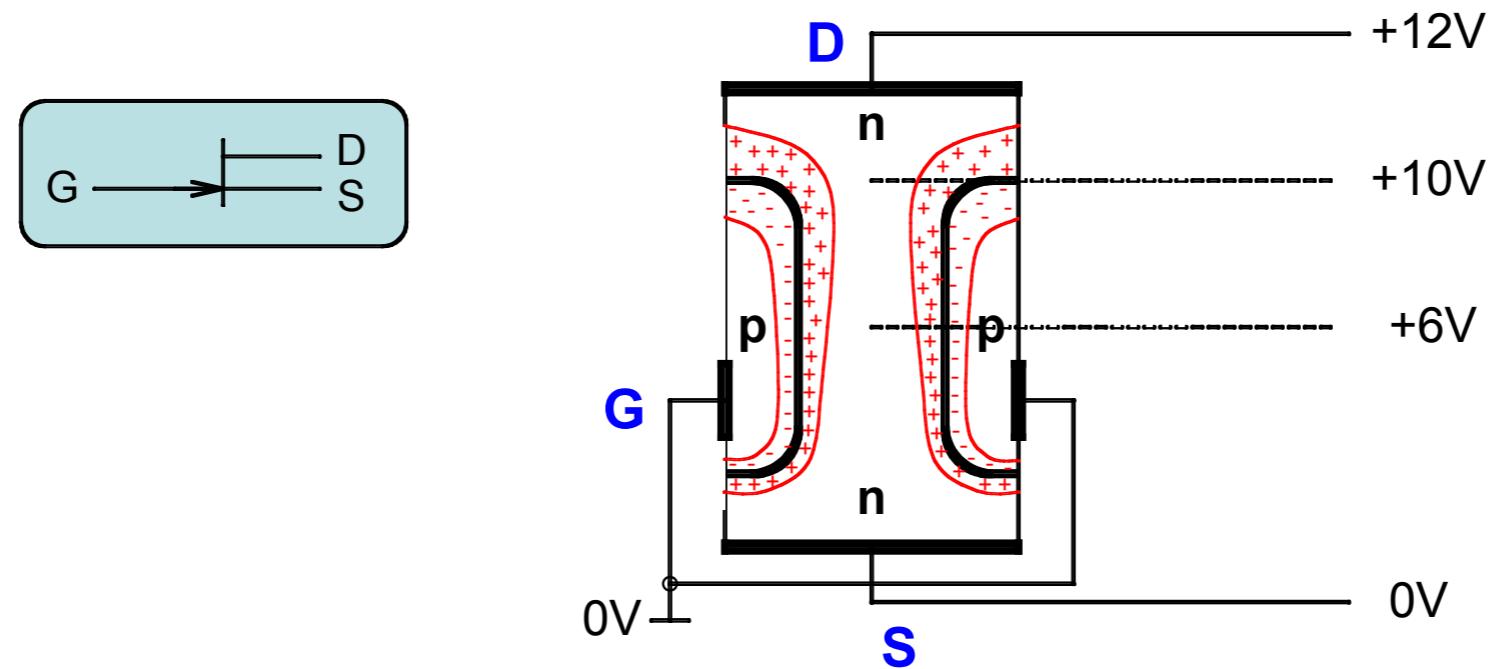


Bildmaterial: Beuth, Elektronik 2

Kapitel 8: Einführung in Halbleiterbauelemente

VII. Unipolare Transistoren

- n-Kanal-Sperrsicht-Feldeffekttransistoren (Junction-FET; JFET)
 - In n-leitenden Kristall werden zwei p-leitende Zonen eindotiert.

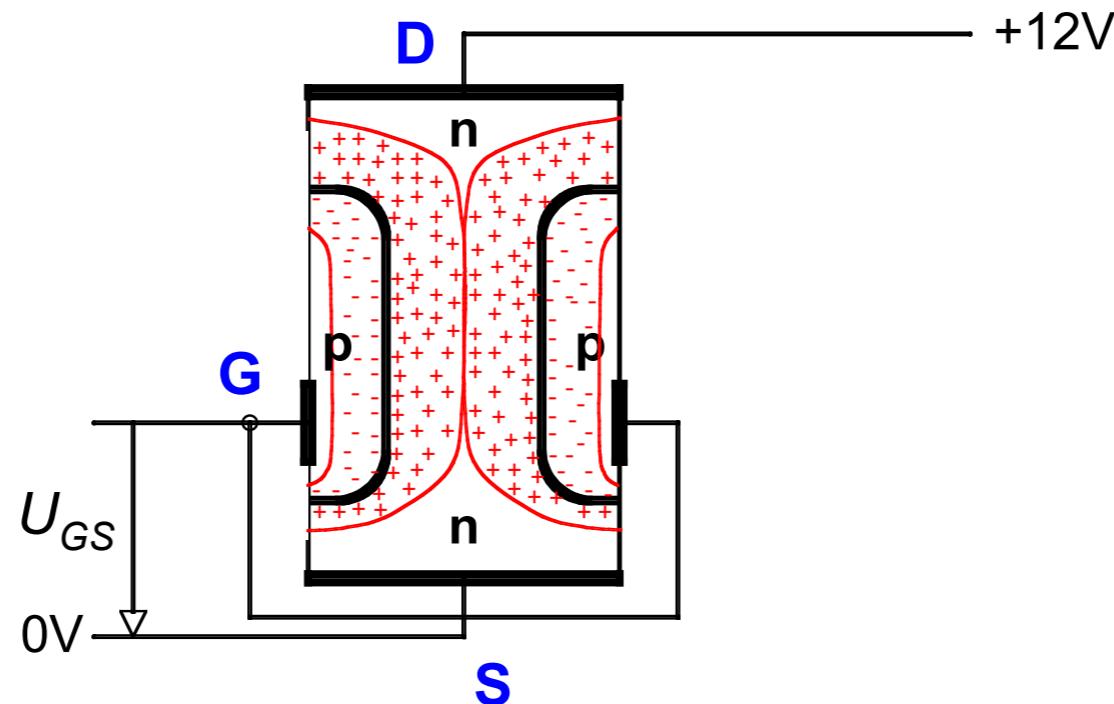


- Beim Anlegen einer Spannung am Kristall fließt ein durch den Bahnwiderstand bestimmten Strom von Source S nach Drain D, wobei die Spannung entlang des Kristalls abfällt.
- Verbinden der beiden p-leitenden Zonen und Anschluss an Gate G
- Legt man Potenzial Null ans Gate sind die pn-Übergänge in Sperrrichtung geschaltet.
- Ausbildung von Raumladungszonen aufgrund unterschiedlichen Potenzials

Kapitel 8: Einführung in Halbleiterbauelemente

VII. Unipolare Transistoren

- n-Kanal-Sperrsicht-Feldeffekttransistoren (Junction-FET; JFET)
 - Anlegen einer negativen Spannung U_{GS} verbreitert die Sperrsicht

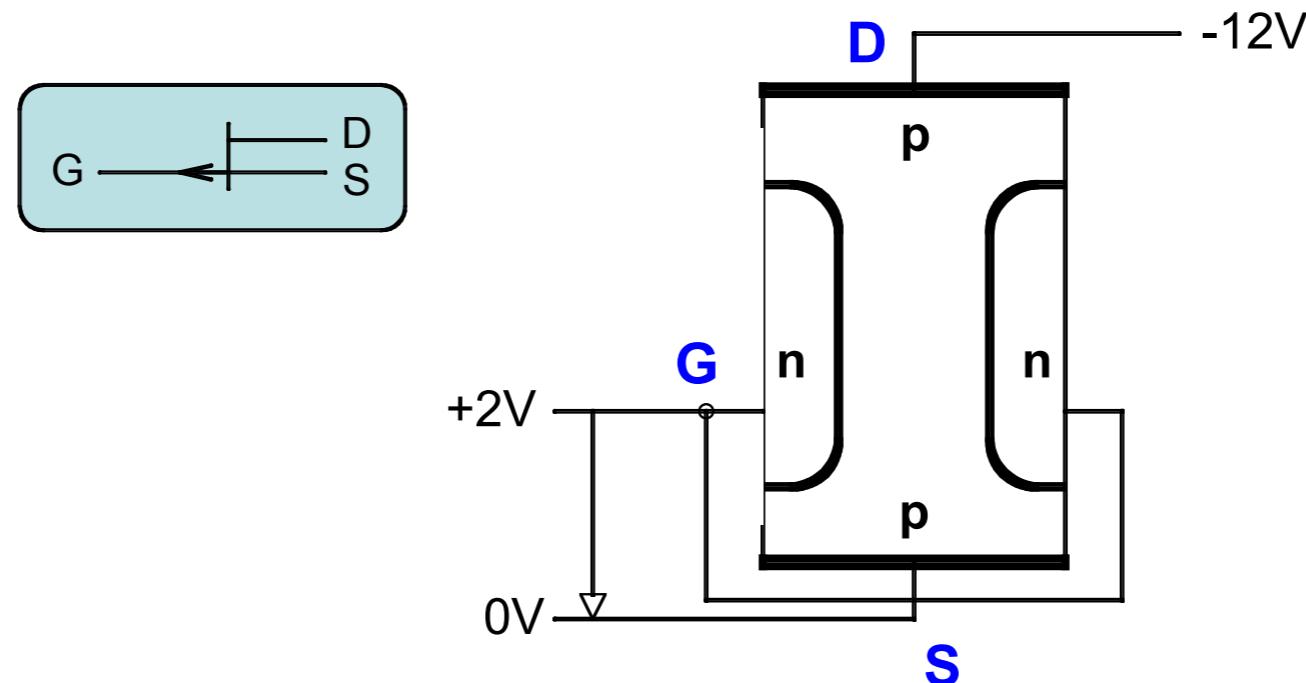


- Negative Erhöhung von U_{GS}
 - Verbreiterung der Sperrsichten
 - Verkleinerung des Kanalquerschnitts
 - Erhöhung des Kanalwiderstands
 - Verringerung des Drainstroms I_D (bis hin zur Abschnürung des Stroms Sperrzustand)
- Leistungslose Steuerung des Stromes I_D durch U_{GS}

Kapitel 8: Einführung in Halbleiterbauelemente

VII. Unipolare Transistoren

- p-Kanal-Sperrsicht-Feldeffekttransistoren
 - In p-leitenden Kristall werden zwei n-leitende Zonen eindotiert.

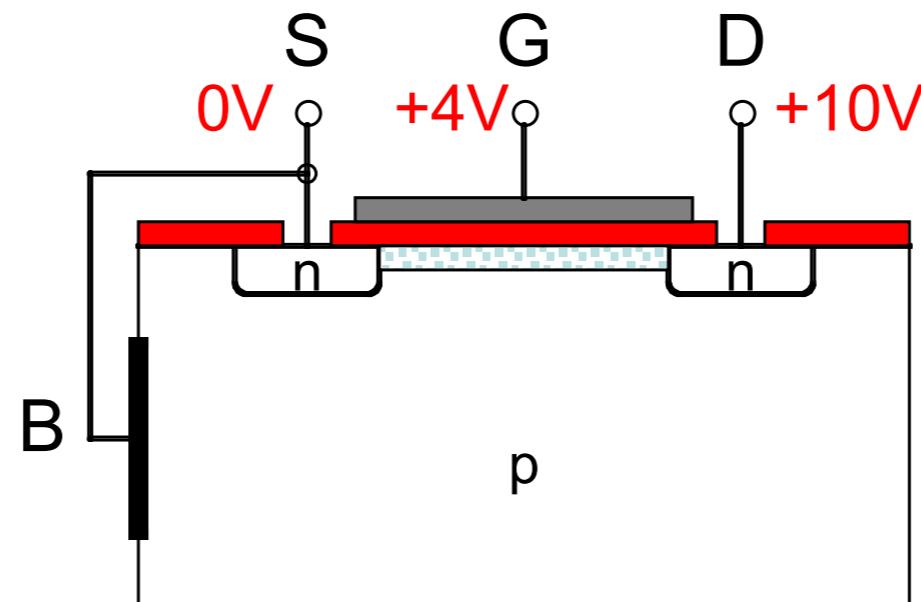


- Negative Drainspannung U_{DS}
- Positive Gatespannung U_{GS}

Kapitel 8: Einführung in Halbleiterbauelemente

VII. Unipolare Transistoren

- n-Kanal-MOS-Feldeffekttransistoren (IG-FET)
 - MOS: Metal Oxide Semiconductor
 - IG: Insulated Gate
 - In ein Substrat (p-leitender Kristall) werden zwei n-leitende Inseln eindotiert
 - Isolierung der oberen Schicht mit SiO_2 und Aufdampfen einer Gateelektrode (Al-Schicht)

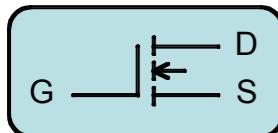


- Anlegen positiver Spannungen an G und D
 - Minoritätsträger (Elektronen) im p-leitenden Substrat werden vom Gate angezogen
 - Bildung einer n-leitenden Brücke unter dem Gate (Steuerung der Leitfähigkeit durch U_{GS})
 - Leistungslose Steuerung von I_D durch Gatespannung U_{GS}

Kapitel 8: Einführung in Halbleiterbauelemente

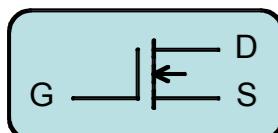
VII. Unipolare Transistoren

- n-Kanal-MOS-Feldeffekttransistoren (IG-FET)



- Anreicherungstyp

- Ohne Gatespannung existiert keine n-leitende Brücke zwischen Source und Drain
→ Transistor ist **selbstsperrend**
- Durch Anlegen einer Spannung wird die Brücke aufgebaut.
- Bezeichnung für Transistoren dieser Art ist **Anreicherungstyp** (enhancement-type, normally-off-type)

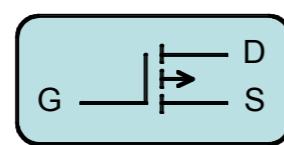


- Verarmungstyp

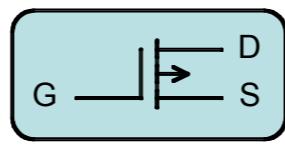
- Erzeugung einer Brücke durch schwaches n-dotieren zwischen S und D bei der Herstellung des Bauelements → Transistor ist **selbstleitend**
- Anlegen einer positiven Gatespannung: Brücke wird mit Elektronen angereichert (leitfähiger)
- Anlegen einer negativen Gatespannung: durch E-Feld werden Elektronen aus der Brücke wegbeschleunigt (Abnahme der Leitfähigkeit)
- Bezeichnung für Transistoren dieser Art ist **Verarmungstyp** (depletion-type, normally-on-type)

- p-Kanal-MOS-Feldeffekttransistoren

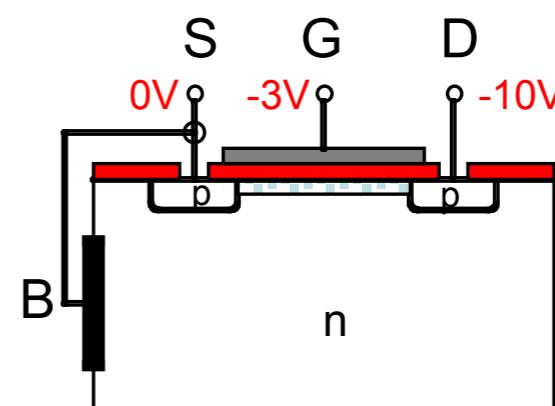
- Funktionsweise analog zu n-Kanal-MOSFET



Selbstsperrender
p-Kanal MOSFET



Selbstleitender p-
Kanal MOSFET



Kapitel 9: Schaltkreisfamilien

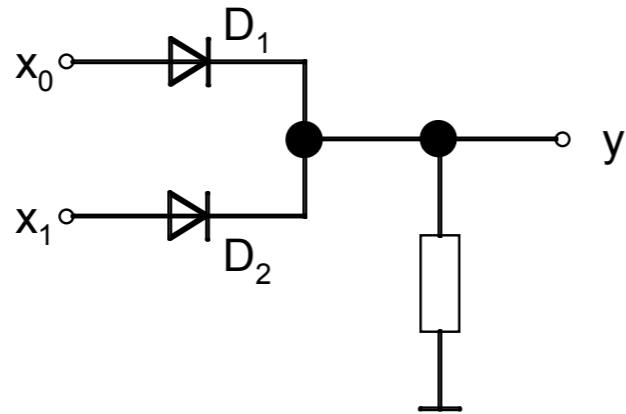
I. Grundlagen

- Aufbau der Verknüpfungsglieder erfolgt aus Halbleiterschaltungen
 - Verwendung von bipolaren Transistoren, Feldeffekt-Transistoren oder Dioden
- Schaltkreisfamilie: Verknüpfungsglieder, die nach bestimmten Prinzipien aufgebaut sind
 - Prinzipien: einheitliche Versorgungsspannung, gleiche binäre Signalpegel, gleiche Schaltzeiten
 - Kombination von Verknüpfungsgliedern aus verschiedenen Familien nur unter speziellen Voraussetzungen möglich
- Erste Verknüpfungsglieder wurden aus diskreten Bauelementen aufgebaut.
- Heute: integrierte Schaltungen (eingebaute Transistor und Diodensysteme)
- Verschiedene Schaltkreisfamilien
 - RTL (Resistor-Transistor-Logic)
 - DCTL (Direct Coupled Transistor Logic)
 - DTL (Diode Transistor Logic)
 - TTL (Transistor Transistor Logic)
 - ECL (Emitter-Coupled Logic)
 - MOS (Metal Oxide Semiconductor)
 - BiCMOS (Kombination aus TTL und CMOS)

Kapitel 9: Schaltkreisfamilien

II. Binäre Spannungspegel (Wiederholung)

- Umsetzung der digitalen Logik mit Verknüpfungsgliedern, die als elektronische Schaltungen aufgebaut sind
- Beispiel: Verknüpfungsschaltung mit Dioden



Arbeitstabelle

x_1	x_0	y
0V	0V	0V
0V	+5V	+4,3V
+5V	0V	+4,3V
+5V	+5V	+4,3V

- Anstatt Arbeitstabelle mit Spannungen Spannungspegel (keine logischen Zustände)
 - L = Low = niedriger Spannungspegel (näher bei $-\infty$)
 - H = High = höherer Spannungspegel (näher bei $+\infty$)
- Zuordnung der Pegel L und H zu logischen Zuständen „0“ und „1“ muss noch erfolgen

Kapitel 9: Schaltkreisfamilien

III. Positive und negative Logik

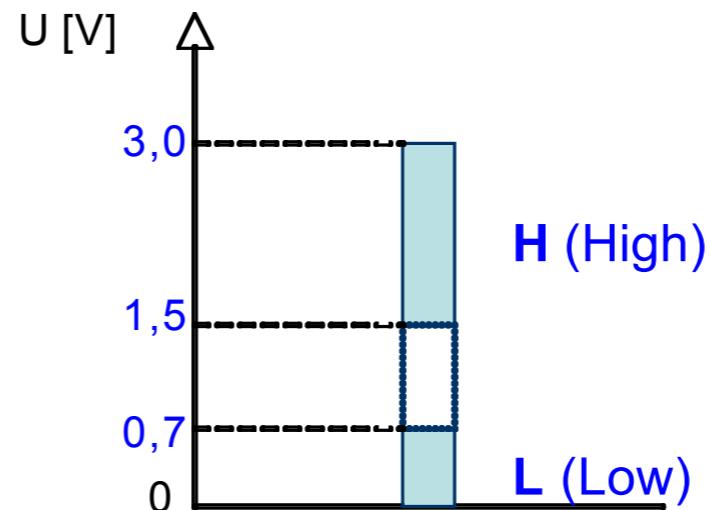
- Zuordnung der Pegel zu logischen Zuständen
 - Positive Logik
 - L = 0
 - H = 1
 - Negative Logik
 - L = 1
 - H = 0
- Wechselt man von positiver zu negativer Logik (und umgekehrt), so ändert eine Verknüpfungsschaltung ihre Eigenschaften.
- Beispiel:

Arbeitstabelle			NAND-Glied (pos. Logik)			NOR-Glied (neg. Logik)		
x ₁	x ₀	y	x ₁	x ₀	y	x ₁	x ₀	y
L	L	H	0	0	1	1	1	0
L	H	H	0	1	1	1	0	0
H	L	H	1	0	1	0	1	0
H	H	L	1	1	0	0	0	1

Kapitel 9: Schaltkreisfamilien

IV. Schaltungseigenschaften

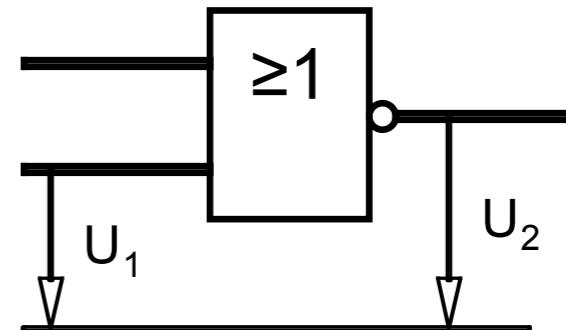
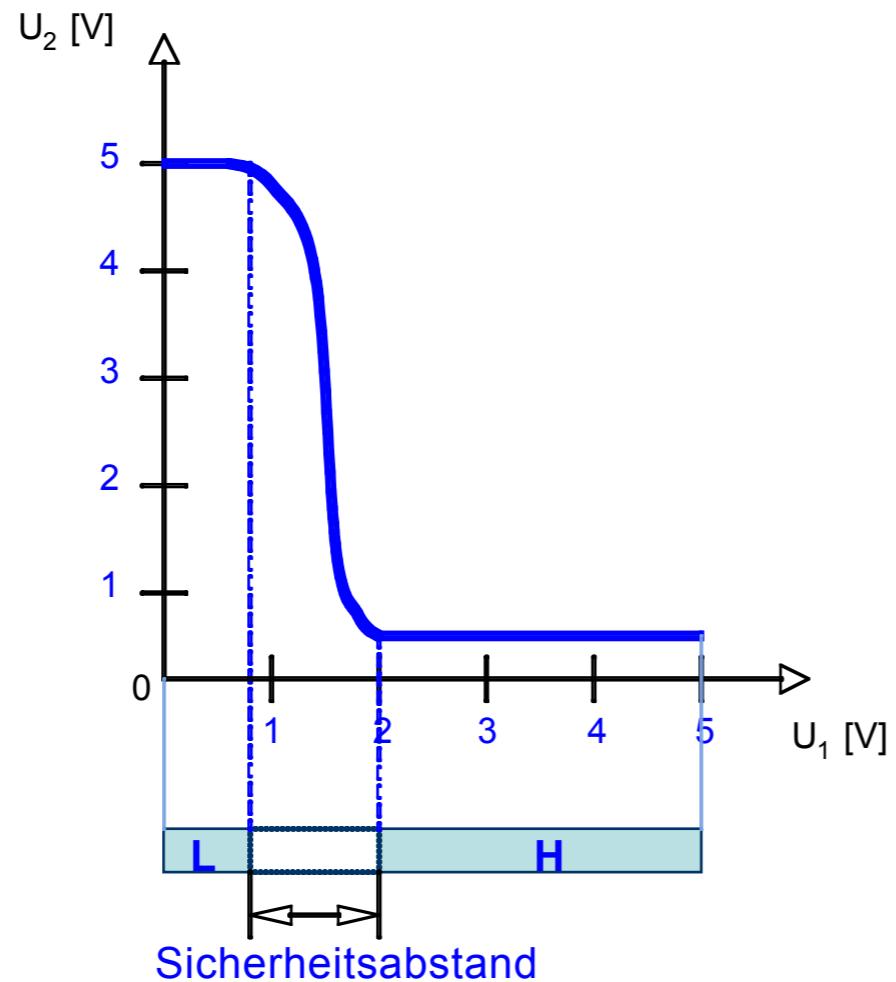
- Anhand ihrer Eigenschaften lassen sich Schaltkreisfamilien für Anwendungen auswählen, z.B. Arbeitsgeschwindigkeit, Störsicherheit, ...
- Leistungsaufnahme
 - Details später bei der Beschreibung der einzelnen Familien
- Pegelbereiche
 - Keine Zuordnung von diskreten Spannungen zu logischen Zuständen, sondern von Spannungsbereichen (Pegelbereiche)
 - Beispiel: Bereiche bei einer Versorgungsspannung von 3V



Kapitel 9: Schaltkreisfamilien

IV. Schaltungseigenschaften

- Übertragungskennlinie
 - ⇒ Die Bereiche H und L lassen sich aus der Übertragungskennlinie ablesen:

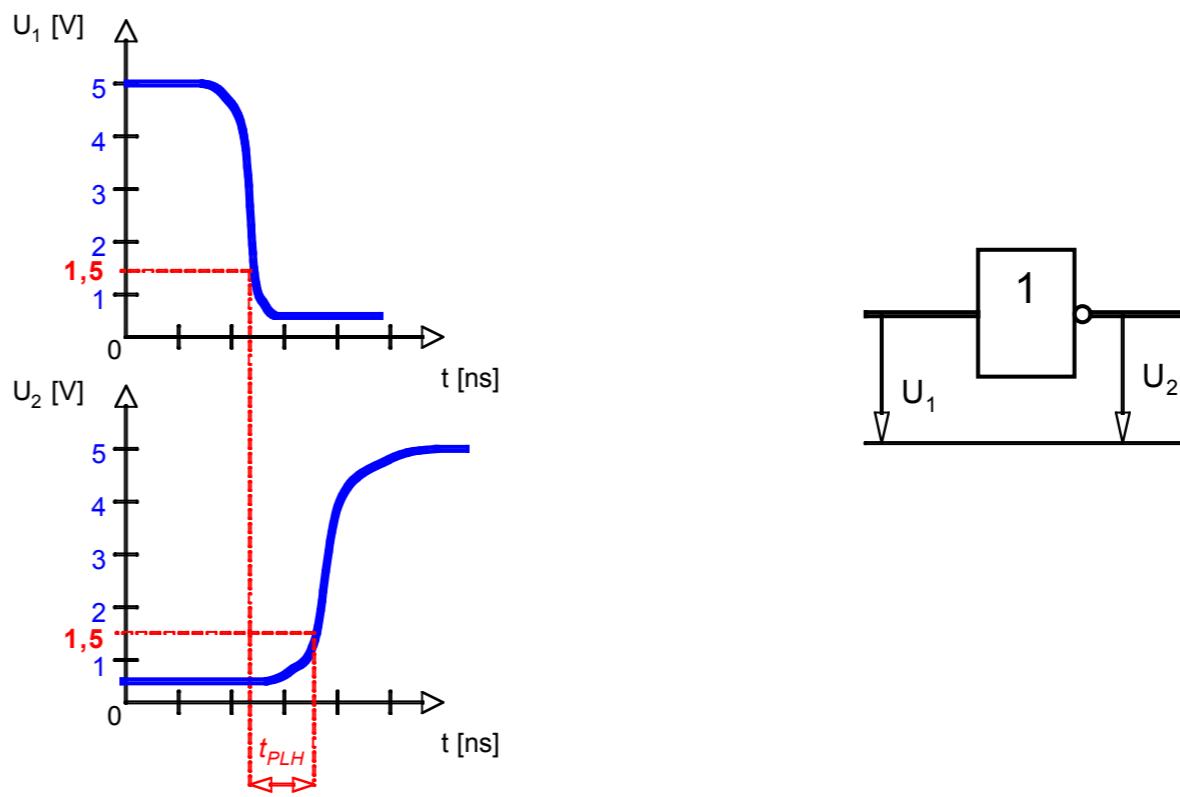


- ⇒ U_1 Bereich der fallenden Kennlinie als Sicherheitsabstand für ausreichende Störsicherheit

Kapitel 9: Schaltkreisfamilien

V. Schaltzeiten

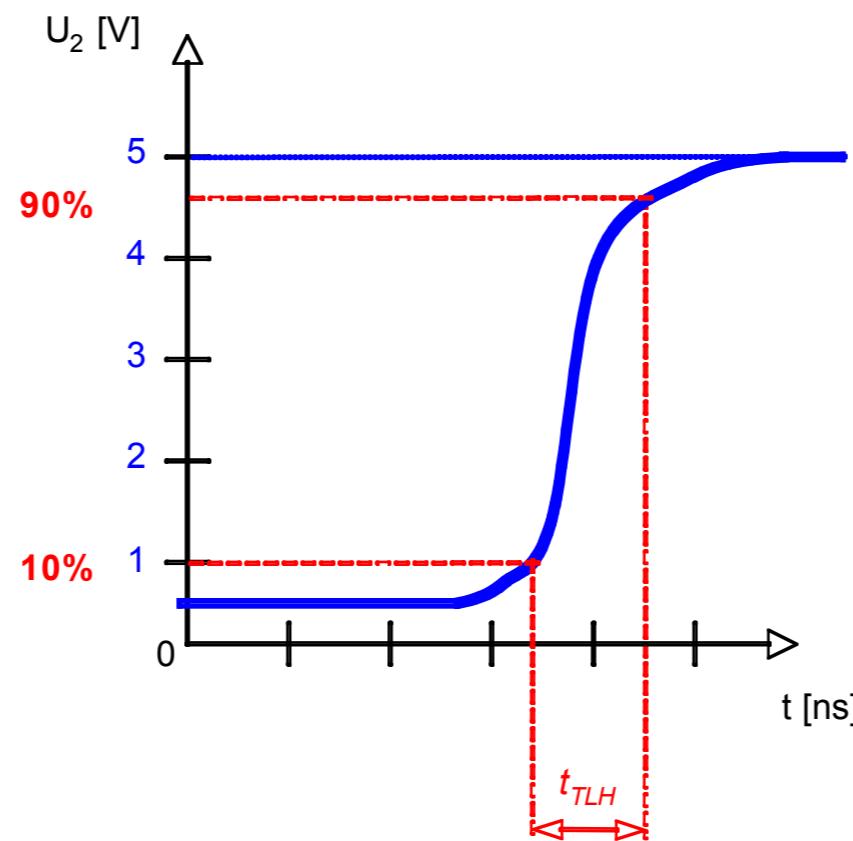
- Die Schaltzeiten der Verknüpfungsglieder definieren die Arbeitsgeschwindigkeit einer Digitalschaltung.
- Die Verzögerung des Impulses zwischen Eingangs- und Ausgangsspannung wird bei Änderung des Zustands von Low auf High Signal-Laufzeit t_{PLH} genannt.
(H → L: t_{PHL})
- Mittlere Signal-Laufzeit: $t_p = \frac{t_{PLH} + t_{PHL}}{2}$



Kapitel 9: Schaltkreisfamilien

V. Schaltzeiten

- Die Signal-Übergangszeiten sind ein Maß für die Steigung der Anstiegs- und Abfallflanken der Ausgangsspannung.
- Das Zeitintervall, in dem die Ausgangsspannung von 10% auf 90% der Differenz von L- und H-Pegel angestiegen ist, wird Signal-Übergangszeit t_{TLH} genannt.
(H → L: t_{THL})



Kapitel 9: Schaltkreisfamilien

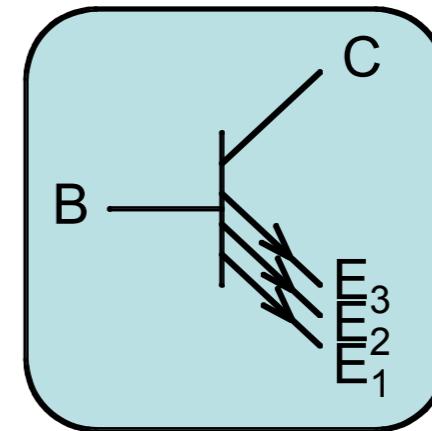
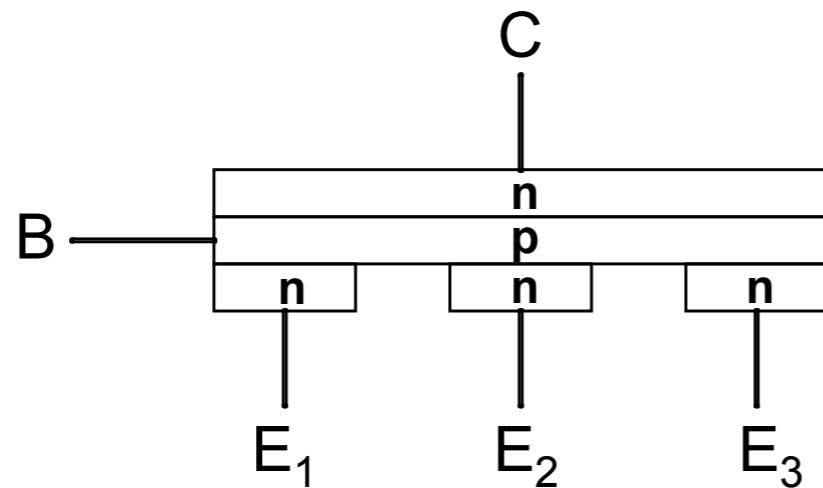
VI. Lastfaktoren

- Ausgänge eines Verknüpfungsglieds dürfen höchstens mit einer bestimmten maximalen Anzahl von Eingängen angeschlossen werden.
- Wird diese Anzahl überschritten, kann die einwandfreie Funktion des Gliedes nicht mehr gewährleistet werden (Überlastung).
- Man unterscheidet zwischen Eingangslastfaktoren (Fan-In) und Ausgangslastfaktoren (Fan-Out).
- Verursacht ein Eingang die definierte normale Eingangsbelastung, so besitzt er den Eingangslastfaktor $F_I = 1$.
- Der Ausgangslastfaktor F_Q definiert die maximale Anzahl normaler Eingänge, die an den Ausgang dieses Gliedes angeschlossen werden dürfen.
- Standard: $F_Q = 10$; Leistungsglieder: $F_Q = 30$

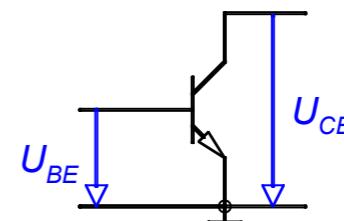
Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- TTL: Transistor-Transistor-Logik
- Erzeugung von Verknüpfungen mit bipolaren Transistoren
(Dioden nur zur Pegelverschiebung und Spannungsableitung, sowie Widerstände zur Strombegrenzung und Spannungsteilung)
- Neues Bauelement: Multi-Emitter-Transistor



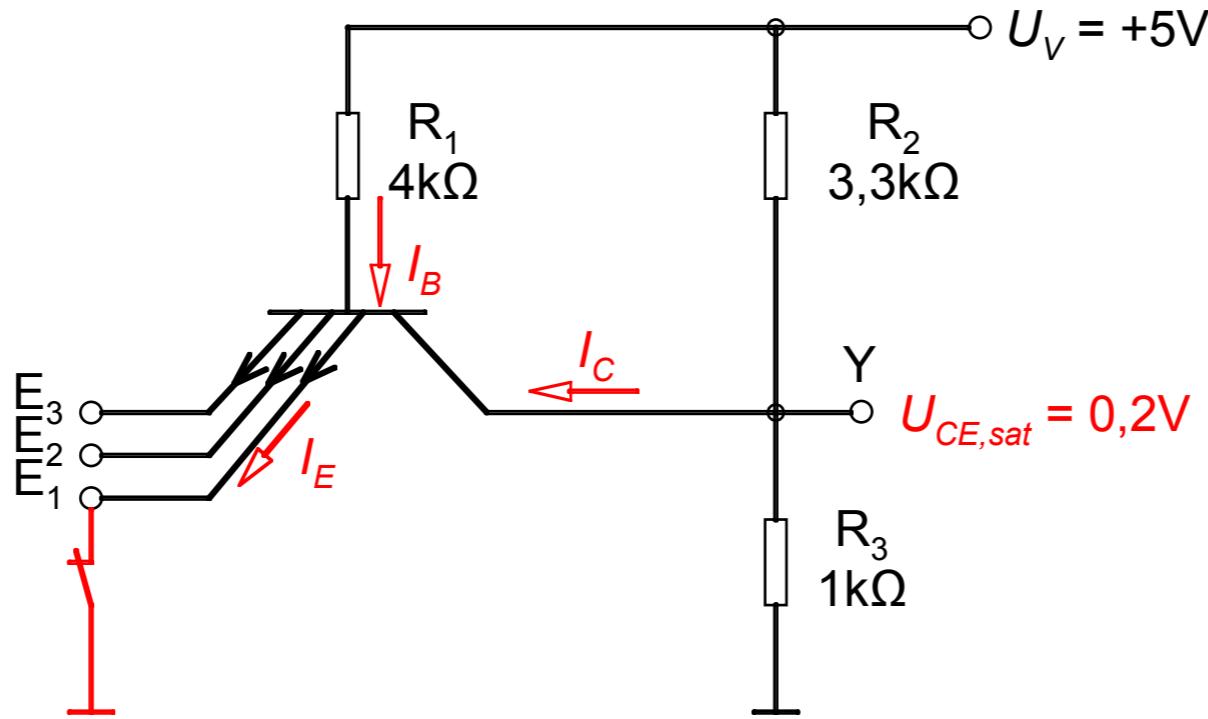
- Drei getrennte Emitterzonen drei pn-Übergänge zwischen Basis und Emitter
- Erinnerung: bipolarer npn-Transistor
 - Basis gegen Emitter: $U_{BE} = +0,6V$ bis $+0,9V$
 - Kollektor gegen Emitter: $U_{CE} = +2V$ bis $+300V$



Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- Schaltung mit Multi-Emitter-Transistor

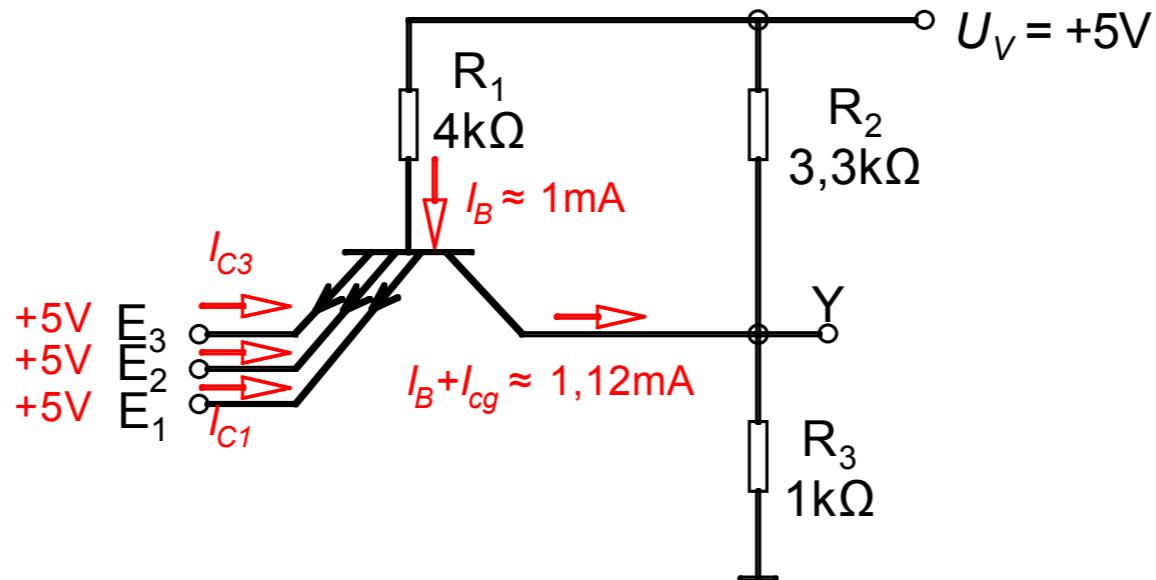


- Potenzial an der Basis: $U_B \approx 0,7V$;
- Basisstrom (definiert durch R_1 und U_V) steuert Transistor in den Sättigungszustand
- Absenkung der Kollektorspannung auf $U_{CE,sat} \approx 0,2V$
- Widerstand R_2 so gewählt, dass IC minimiert wird
- $I_E \approx I_B \approx 1$ bis $1,6$ mA
- Keine Änderung der Schaltungseigenschaften, wenn mehrere Emittoren auf Masse liegen

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- Inverser Betrieb des Multi-Emitter-Transistors
 - Definition: Bereich Low-Pegel: [0V; 0,4V]
 - Mind. ein Emitter auf L → Ausgang liegt auf L
 - Alle Emitter auf H
 - Alle drei pn-Übergänge sind gesperrt
 - Kollektor und Emitter haben Funktionen getauscht (inverser Betrieb)



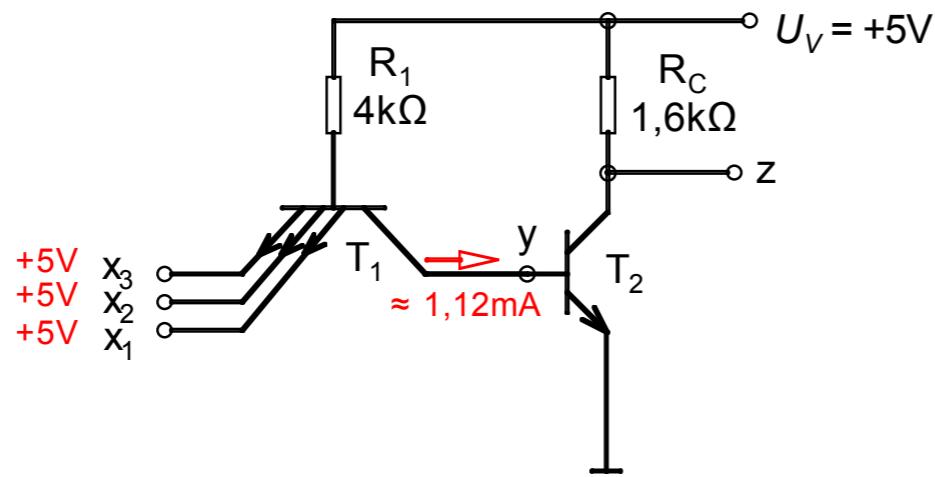
- Basisstrom fließt über R_1 und R_3 nach Masse ab
- Kleine Kollektorströme $I_{C1}, I_{C2}, I_{C3} \approx 40\mu A$
- Inverse Stromverstärkung $\ll 1$
- Potenzial am Ausgang Y beträgt ca. 1-2V liegt außerhalb der definierten Pegelbereiche für H und L
→ ist aber geeignet, Transistoren anzusteuern

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- Einfaches TTL-Glied

- Transistor T_2 ersetzt Spannungsteiler
- Alle drei Eingänge x_i liegen auf H
 - T_1 arbeitet invers
 - Ausgang z liegt auf L



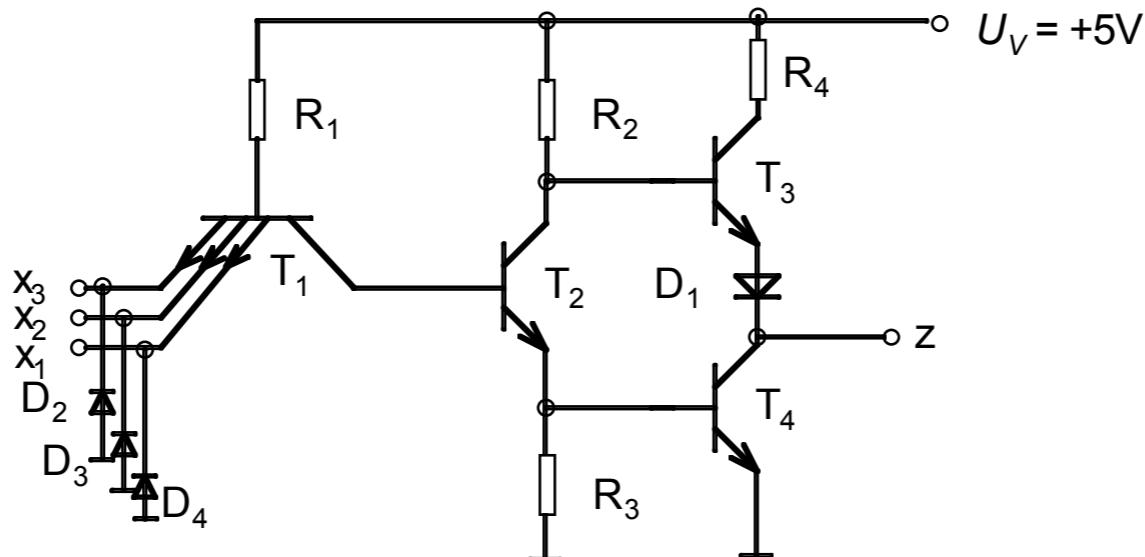
- Ein Eingang liegt auf L
 - T_1 arbeitet normal
 - Kollektorspannung sinkt auf 0,2V
 - T_2 sperrt
- Aus Arbeitstabelle bei positiver Logik arbeitet Schaltung als NAND-Glied
- Ist ein Eingang offen, hat dies die gleiche Auswirkung auf die Schaltung als wäre er auf H
- Basisstrom fließt immer → schnelles Schaltverhalten von T_1 , da I_B nicht ausgeräumt werden muss

x_3	x_2	x_1	z
L	L	L	H
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- Ansteuerung weiterer TTL-Glieder
 - z liegt auf L: Strom von jedem Eingang (x mal 1,6mA) kann über T_2 zur Masse abfließen
 - z liegt auf H: Strom fließt aus z heraus Spannungsabfall an R_2 Absenkung des Ausgangspegels (unerwünscht)
 - Lösung: Gegentakt-Ausgangsstufe (Leistungsausgangsstufe)

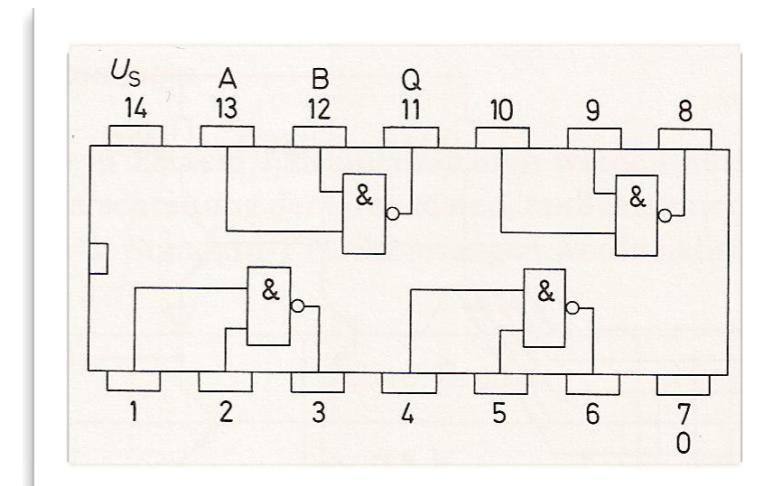
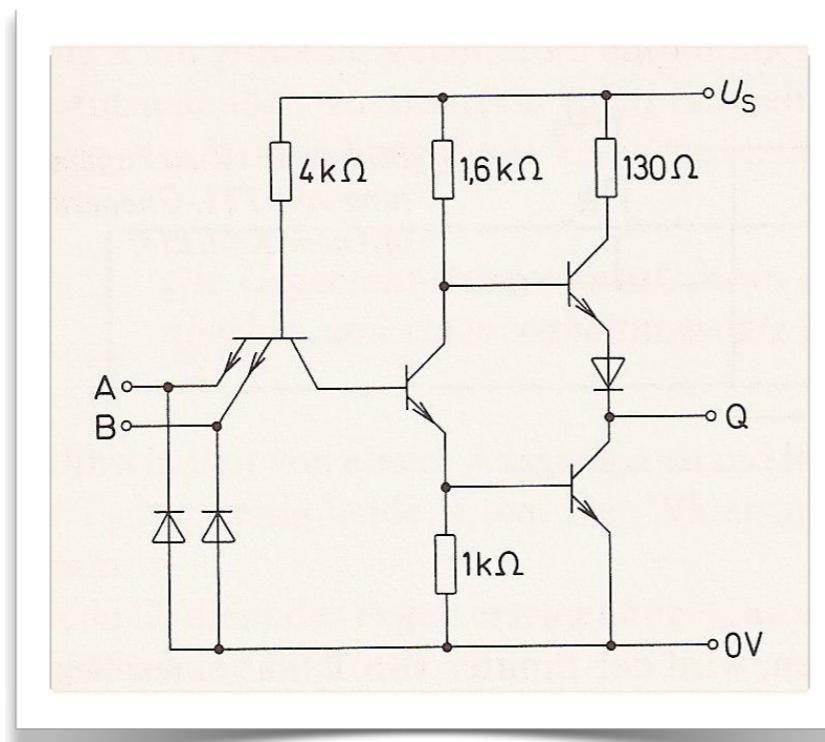


- Funktionsweise einer Gegentakt-Ausgangsstufe: T_3 oder T_4 gesperrt
 - T_3 gesperrt, T_4 durchgesteuert: z liegt auf L (hinein fließender Steuerstrom fließt über T_4 zur Masse ab)
 - T_3 durchgesteuert, T_4 gesperrt: z liegt auf H (Steuerstrom fließt von U_V über R_4 , T_3 und D_1 aus z hinaus)
bei starker Belastung von z entsteht lediglich ein zusätzlicher Spannungsabfall an R_4
 - D_1 dient der Pegelverschiebung (da Spannungsabfall von 0,7V)
 - $D_{2,3,4}$ dämpfen Überschwinger (die sich beim Schalten ergeben)

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- Standard-TTL
 - Relativ hoher Leistungsbedarf, z.B. 42mW für u.g. Glied
 - NAND-Glieder, Beispiel Siemens FLH 101-7400
 - 74 Standardglied
 - Enthält vier NAND-Glieder
 - Je zwei Eingänge pro Glied

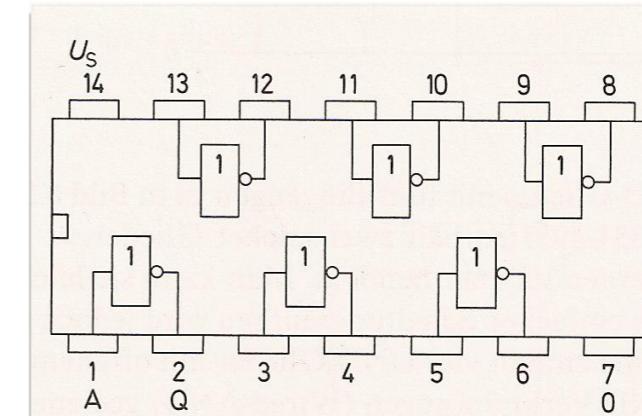
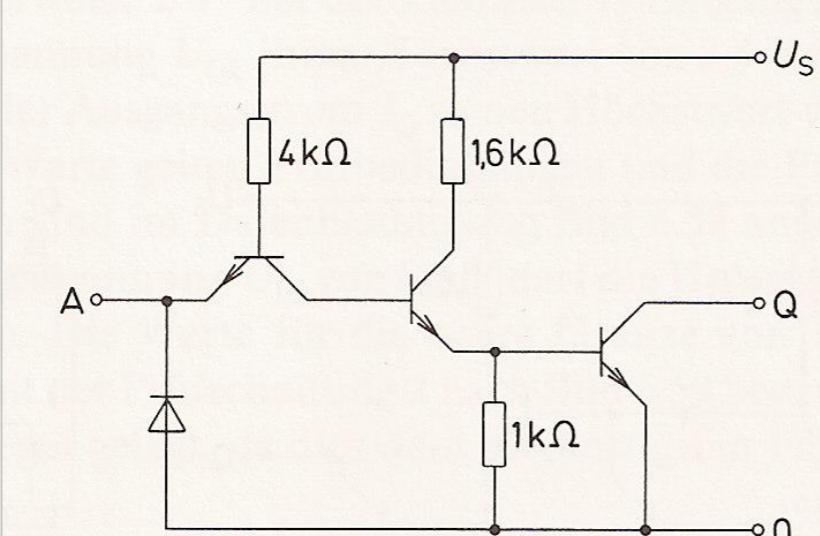


Bilder: Beuth, Elektronik 4

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- Standard-TTL
 - ➔ NICHT-Glieder, Beispiel Siemens FLH 271-7405
 - 74 Standardglied
 - Enthält sechs NICHT-Glieder
 - Offener Kollektor

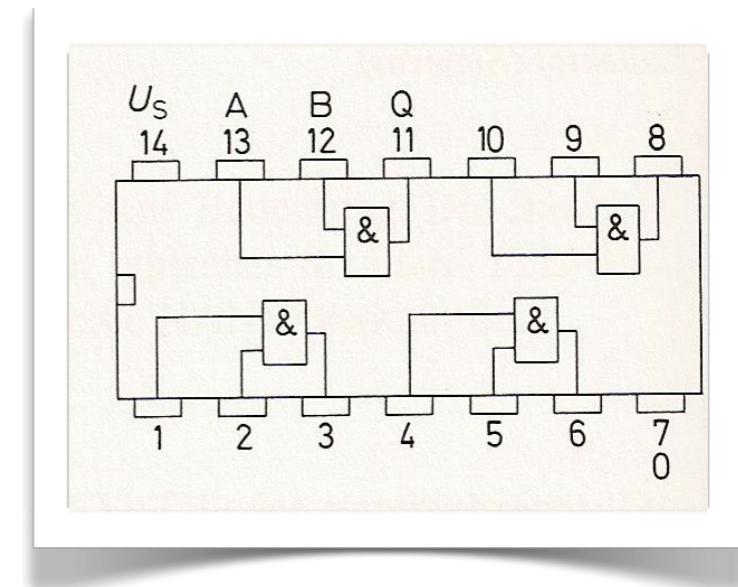
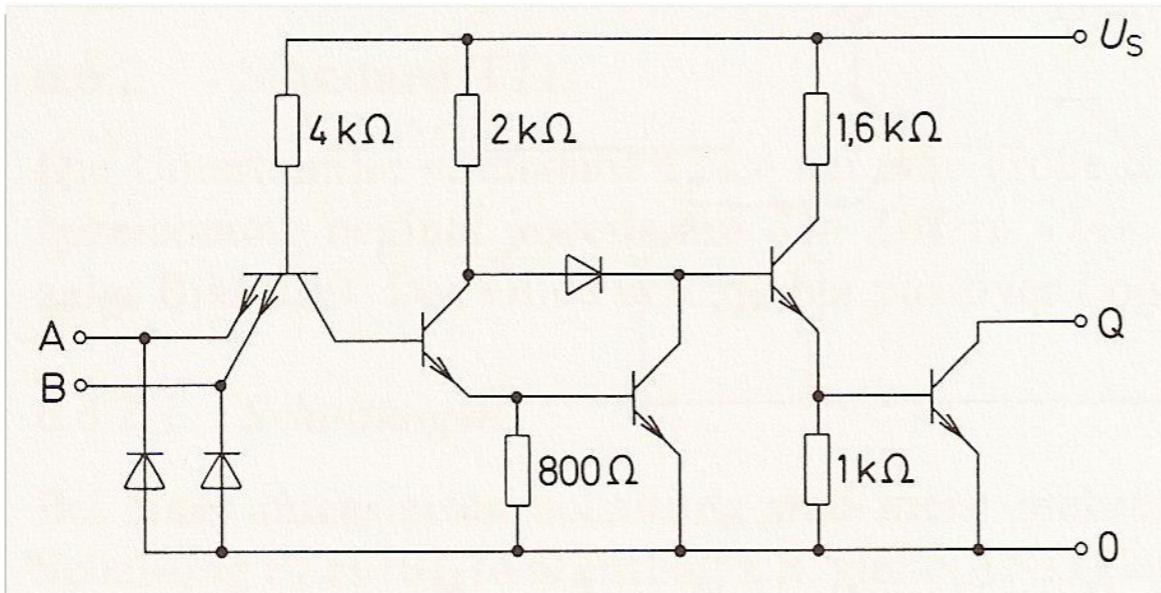


Bilder: Beuth, Elektronik 4

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

- Standard-TTL
 - ➔ UND-Glieder, Beispiel Siemens FLH 391-7409
 - Enthält vier UND-Glieder
 - Zwei Eingänge pro Glied
 - Offener Kollektor



Bilder: Beuth, Elektronik 4

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen

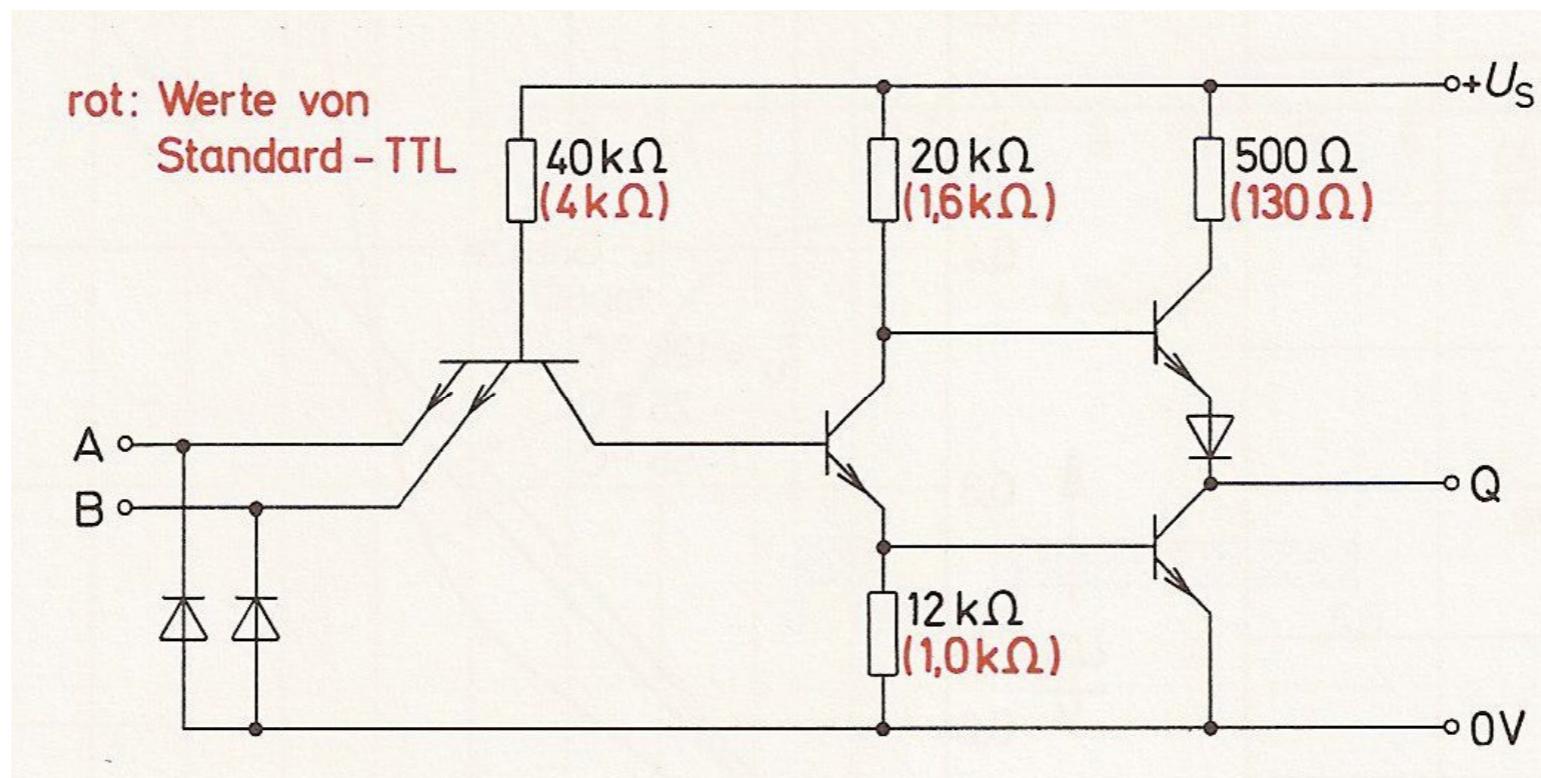
- Standard-TTL
 - Grenzdaten

	Min	Max
Versorgungsspannung U_V	– 0,5 V	+ 7,0 V
Eingangsspannung U_i	– 1,5 V	+ 5,5 V
Differenzspannung zwischen zwei Eingängen U_{diff}		5,5 V
Ausgangsspannung U_o	– 0,8 V	+ 5,5 V
Betriebstemperatur T_U		
Bereich 1	0°C	70°C
Bereich 2	– 25°C	85°C
Lagertemperatur T_s	– 65°C	150°C

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen - Unterfamilien

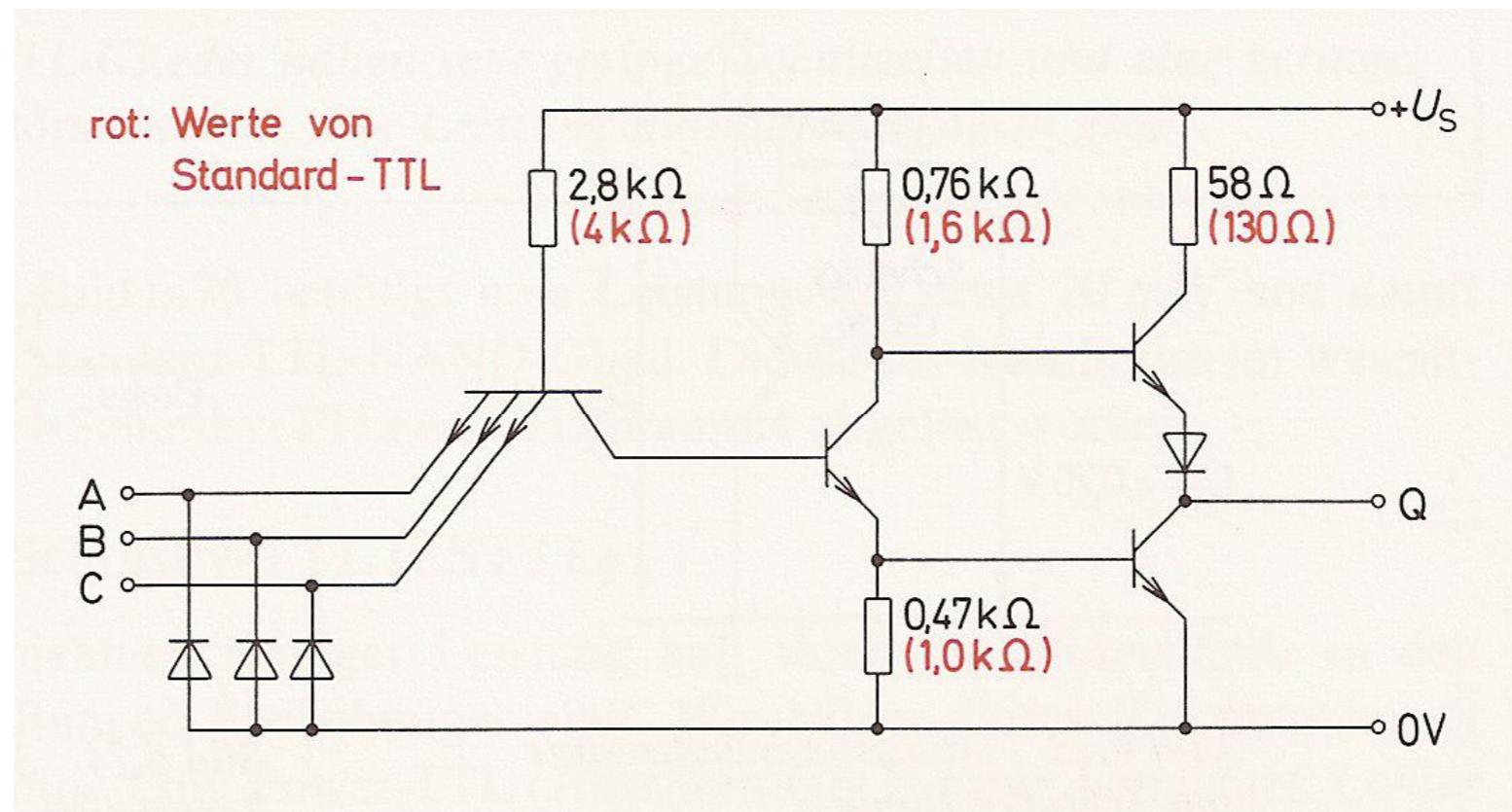
- Low-Power-TTL (LTTL)
 - Geringere Leistungsaufnahme durch Vergrößerung der Widerstände
 - Mittlere Signallaufzeit (Impulsverzögerungszeit) $t_P \approx 33\text{ns}$
 - Vorteil: Leistungsaufnahme lediglich 10% von Standard-TTL (z.B. NAND-Glied: 1mW)
 - Nachteil: Schaltzeiten sind 3mal so lang (aufgrund der längeren Lade- und Entladezeiten der Transistorkapazitäten verursacht durch größere Widerstände)



Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen - Unterfamilien

- High-Speed-TTL (HTTL)
 - Kurze Lade- und Entladezeiten der Transistorkapazitäten durch Verringerung der Widerstände
 - Mittlere Signallaufzeit (Impulsverzögerungszeit) $t_P \approx 5\text{ns}$
 - Vorteil: HTTL-Glieder schalten doppelt so schnell wie Standard-TTL-Glieder
 - Nachteil: verbrauchen aber mehr als doppelt so viel Leistung

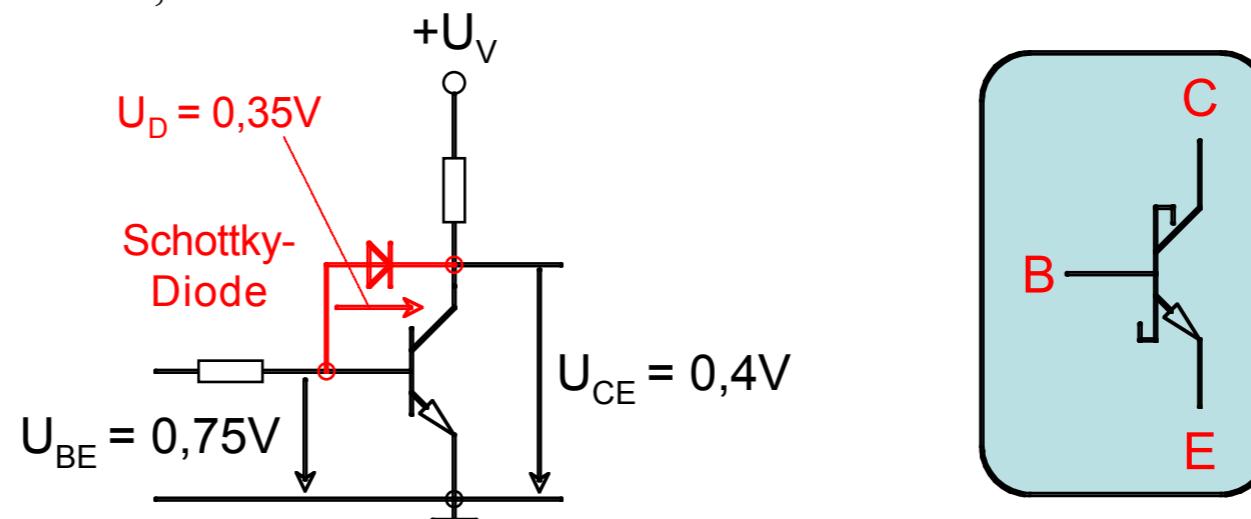


Bilder: Beuth, Elektronik 4

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen - Unterfamilien

- Schottky-TTL (STTL)
 - Kürzere Schaltzeiten, wenn man den Transistor nicht übersteuert
 - Diode verhindert beim Transistor den Zustand der Übersteuerung zu erreichen
 - Schottky-Dioden haben aufgrund des Aufbaus geringe Schaltzeiten
 - Bezeichnung für Transistor mit Schottky-Antisättigungsdiode: „Schottky-Transistor“
 - Signallaufzeiten von 2,5 bis 3 ns



- Bei einem Spannungsabfall von 0,35V wird die Diode leitend Strom von der Basis fließt über Diode und CE zur Masse ab
- U_{CE} sinkt nur bis 0,4V ab
- Herabsetzen der statischen Störsicherheit durch geringere Differenz zwischen H- und L-Pegel
- Hohe Leistungsaufnahme

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen - Unterfamilien

- Low-Power-Schottky-TTL (LSTTL)
 - Geringere Leistungsaufnahme durch hochohmigere Widerstände (siehe LTTL)
 - Jedoch höhere Schaltzeiten durch längere Lade- und Entladevorgänge der Transistorkapazitäten
 - Mittlere Signallaufzeit $t_P \approx 9,5\text{ns}$ (gleiche Schaltzeiten wie Standard-TTL, jedoch geringere Störsicherheit)
 - Leistungsaufnahme: $P_V = 2\text{mW}$
- Advanced-Schottky-TTL (ASTTL)
 - Nachfolger der STTL-Glieder
 - Schnellste TTL-Logik (Stand 2006)
 - Reduzierter Leistungsverbrauch geringere Störsicherheit
- Advanced-Low-Power-Schottky-TTL (ALSTTL)
 - Verringerung der Schaltzeiten um die Hälfte (im Vergleich zu LSTTL)
 - Reduzierung des Energieverbrauchs um 50%

Kapitel 9: Schaltkreisfamilien

VII.TTL-Schaltungen - Unterfamilien

- Hauptanforderungen an Verknüpfungsglieder
 - Schnelles Schaltverhalten
 - Geringe Leistungsaufnahme
 - Großer statischer Störsicherheitsabstand
- Eigenschaften der einzelnen Unterfamilien

TTL-Unterfamilien	Standard-TTL	Low-Power-TTL	High-Speed-TTL	Schottky-TTL	Low-Power-Schottky-TTL	Advanced Schottky-TTL	Advanced Low-Power-Schottky-TTL
Betriebsspannung	5V	5V	5V	5V	5V	5V	5V
Leistungsaufnahme je Glied	10mW	1mW	23mW	20mW	2mW	8mW	1,2mW
Signallaufzeit	10ns	33ns	5ns	3ns	9,5ns	1,7ns	4ns
Größte Schaltfrequenz	40 MHz	13MHz	80MHz	130MHz	50MHz	230MHz	100MHz
Störabstand	1V	1V	1V	0,5V	0,6V	0,4V	0,5V

Kapitel 9: Schaltkreisfamilien

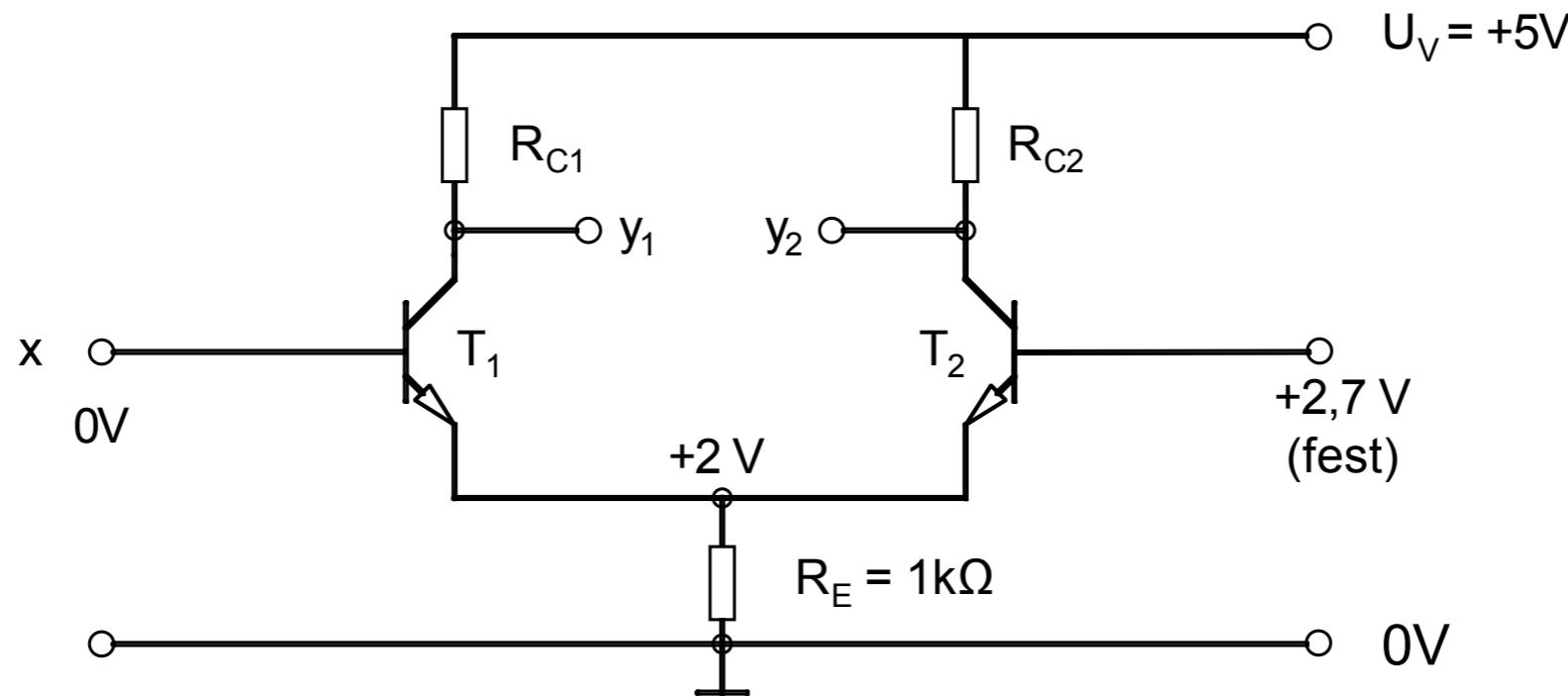
VIII.ECL-Schaltungen

- Emitter Coupled Logic
- Weitere Bezeichnungen
 - Current Mode Logic (CML)
 - Emitter Emitter Coupled Logic (E2CL)
 - Emitter Coupled Transistor Logic (ECTL)
- Aufbau mit bipolaren Transistoren
- Ziel: Aufbau von Schaltungen mit sehr kurzen Schaltzeiten
 - Nicht in den Übersteuerungszustand schalten
 - Aufbau von Schaltkreisen in Verstärkertechnik (aber: Unterschiede von L und H sind gering und Pegelwerte können driften)
- Problem der geringen Störsicherheit wird durch Differenzenverstärker eliminiert
 - Kleine Basisspannungsänderungen bewirken fast keine Änderung des Kollektorstroms
 - Ausgangspegel bleibt stabil

Kapitel 9: Schaltkreisfamilien

VIII.ECL-Schaltungen

- Differenzenverstärker-Schaltung
 - Konstante Spannung an Basis von T_2
 - T_1 gesperrt, T_2 leitend
 - Ausgang y_1 liegt auf H-Pegel; y_2 liegt auf L-Pegel

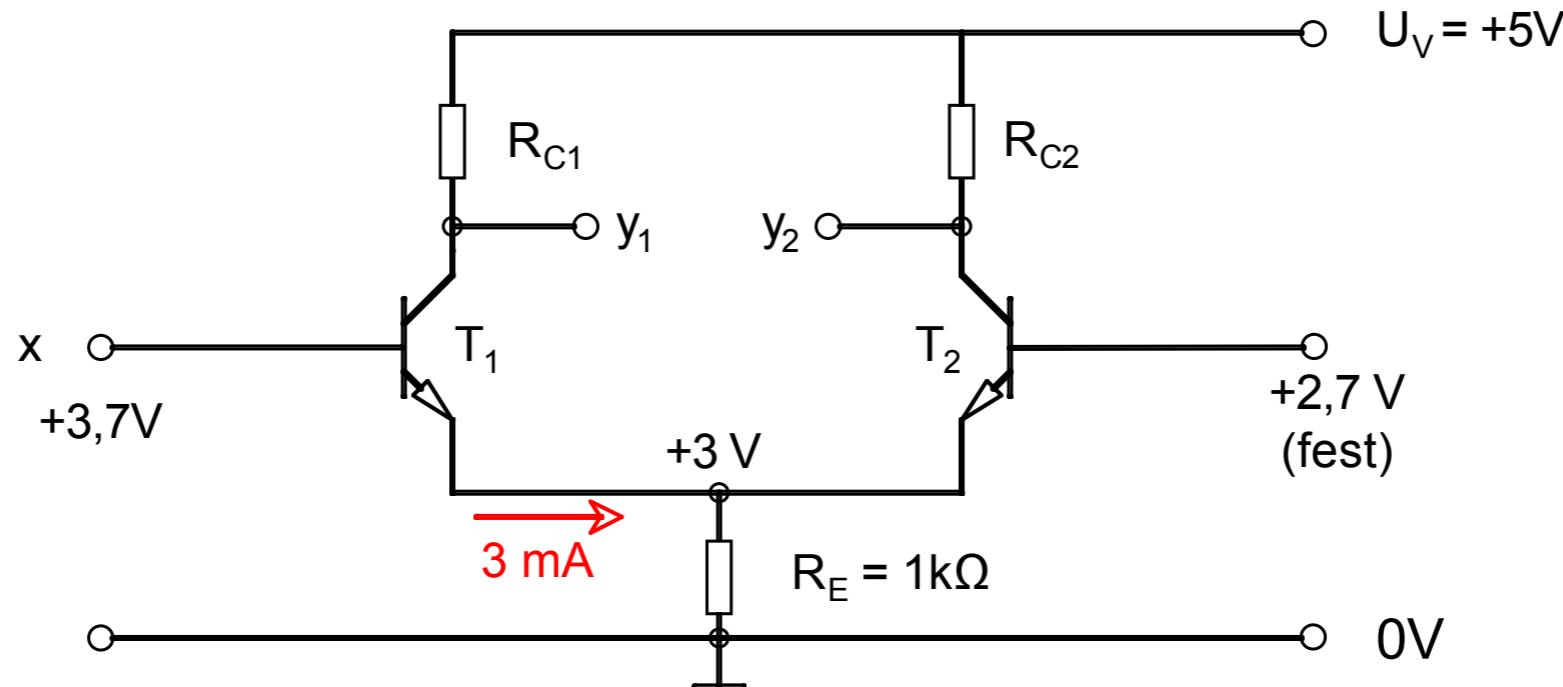


- Erhöhung der Spannung am Eingang x :
- Bei $+2.7V$ sind beide Transistoren leitend
- Bei weiterer Erhöhung der Eingangsspannung steuert T_1 weiter auf und T_2 weiter zu
- R_{C1} verhindert Übersteuerung von T_1

Kapitel 9: Schaltkreisfamilien

VIII.ECL-Schaltungen

- Differenzenverstärker-Schaltung
 - Basisspannung von T_1 auf 3,7V (Wahl von R_{C1} derart, dass U_{C1} nicht zu tief absinkt)
 - Transistor T_1 leitend Ausgang y_1 liegt auf L (+3,5V)
 - Transistor T_2 sperrt Ausgang y_2 liegt auf H (+5V)

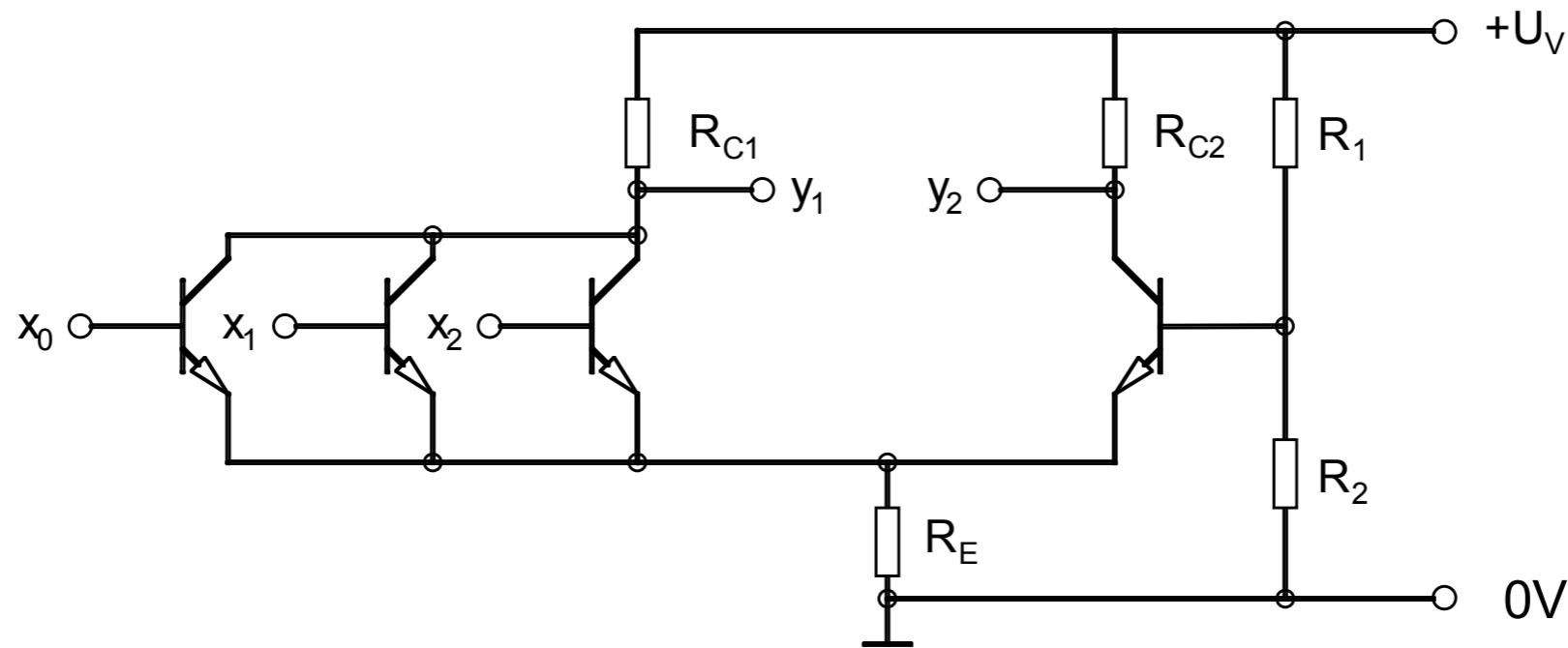


- Kleine Schwankungen der Spannung am Eingang x ($\pm 0,1\text{V}$) keine Änderung der Pegel
- Bei Absinken der Eingangsspannung unter 2,7V
 - T_2 beginnt aufzusteuern T_1 beginnt zu sperren
 - R_{C2} verhindert durchsteuern von T_2 in die Sättigung

Kapitel 9: Schaltkreisfamilien

VIII.ECL-Schaltungen

- **Grundschaltung**
 - Schaltung weiterer Transistoren parallel zu T_1
 - Am Ausgang y_1 : NOR-Verknüpfung
 - Am Ausgang y_2 : OR-Verknüpfung

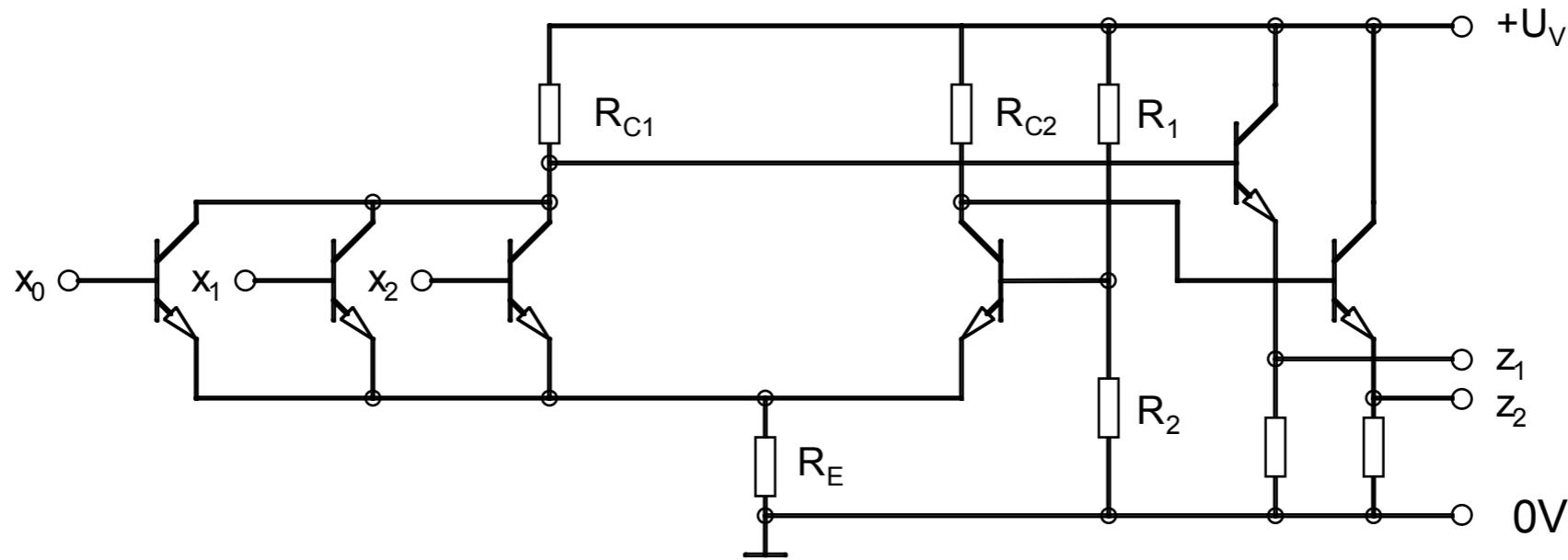


- Problem: Ansteuerung weiterer Verknüpfungsglieder (aufgrund Pegel-Spannungen)
 - Nachschalten einer Emitterfolgerstufe

Kapitel 9: Schaltkreisfamilien

VIII.ECL-Schaltungen

- Grundschatzung mit Emitterfolgerstufe
 - Eine Emitterfolgerstufe pro Ausgang
 - Fan-Out einer ECL-Schaltung mit Emitterfolgerstufe: 20 - 30

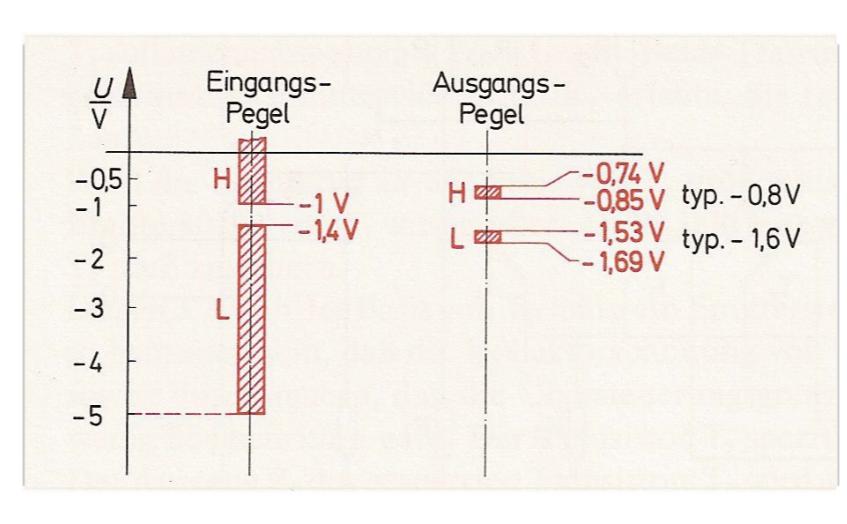
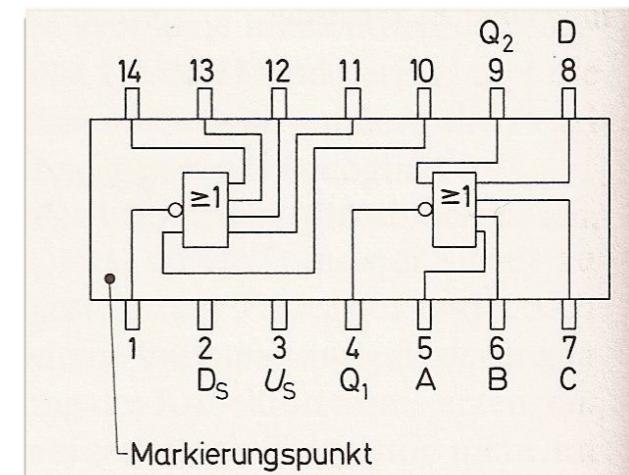
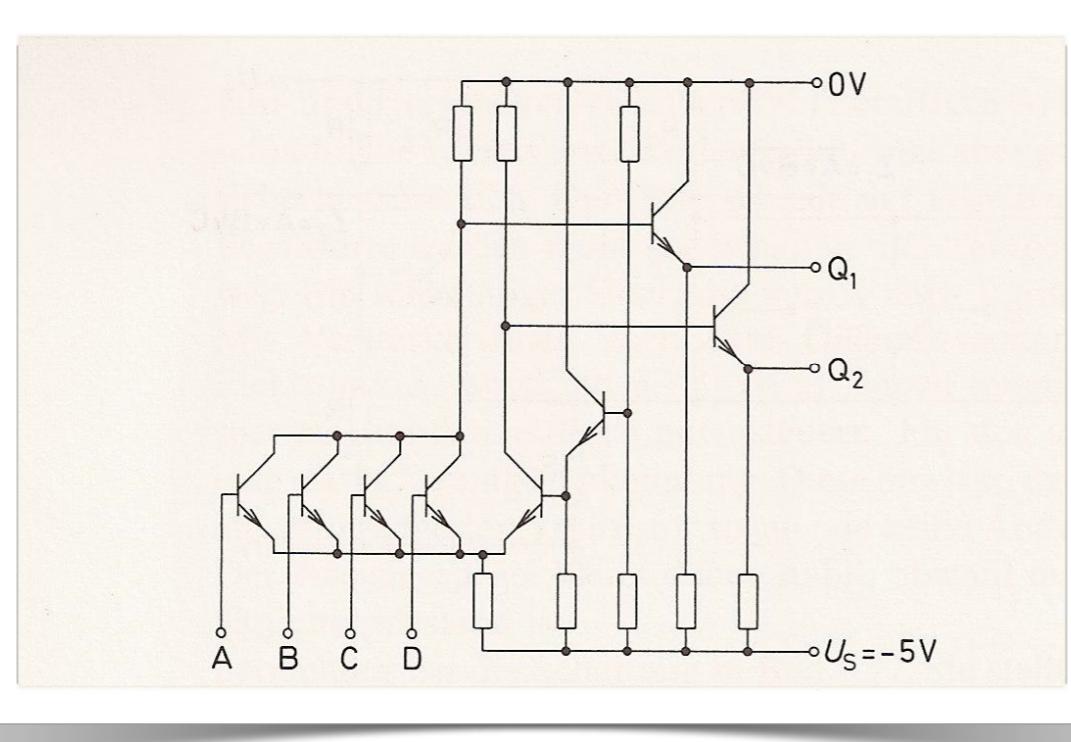


- Vorteil von ECL-Schaltungen:
 - kurze Schaltzeiten (Signallaufzeiten $\sim 1-2\text{ns}$)
- Nachteil:
 - Abstrahlung von hochfrequenter Energie aufgrund der kurzen Schaltzeiten (Aufwand bei Schaltungsauslegung und Abschirmung)
 - Hoher Leistungsbedarf da mehrere Transistoren im leitenden Zustand ($P_V \sim 60\text{mW}$ pro ECL-Schaltglied)

Kapitel 9: Schaltkreisfamilien

VIII.ECL-Schaltungen

- Beispiel: Siemens ECL-Glied FYH 124



Bilder: Beuth, Elektronik 4

Kapitel 9: Schaltkreisfamilien

VIII.ECL-Schaltungen

- Übersicht

Betriebsspannung	-5 V
Leistungsaufnahme pro Glied	60 mW
Signallaufzeit	0,5 ns
höchste Schaltfrequenz	1 GHz
Störabstand	0,3 V

Kapitel 9: Schaltkreisfamilien

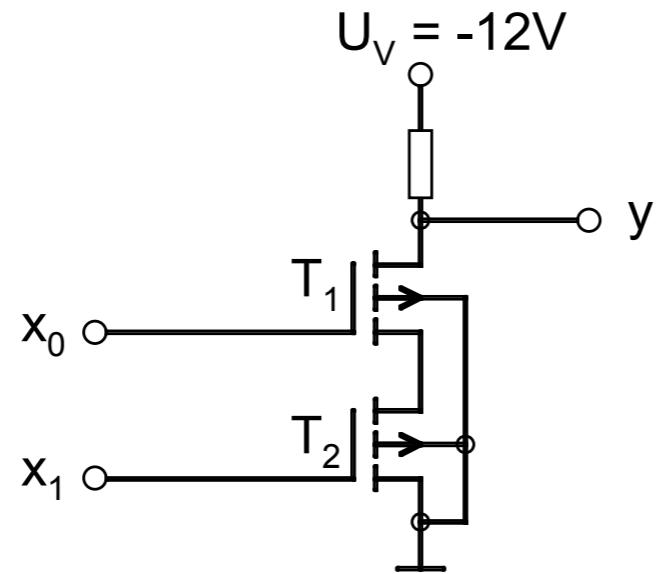
IX. MOS-Schaltungen

- Aufbau mit MOS-Feldeffekt-Transistoren
- Vorteil:
 - Geringe Steuerleistung
 - Klein und einfach in der Herstellung (integrierte Schaltung mit hoher Packungsdichte)
- Nachteil
 - Hohe Schaltzeiten
 - Hohe Empfindlichkeit gegen statische Aufladung (ESD-Schutz bei Verarbeitung nötig)
- Unterfamilien
 - PMOS
 - NMOS

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- PMOS-Verknüpfungsglieder
 - Verwendung von selbstsperrenden P-Kanal-MOSFET's



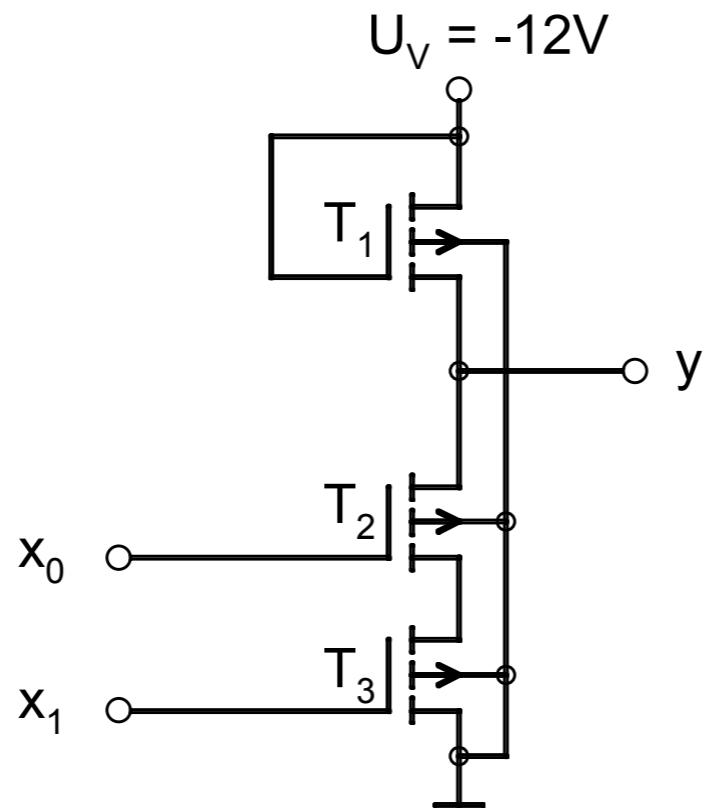
x₁	x₀	y
L	L	H
L	H	L
H	L	L
H	H	L

- Typische Pegelwerte
 - Low: -11V
 - High: -1V
- Bei positiver Logik: NOR-Glied
- Widerstand aufwendig in Halbleitertechnik Ersetzen durch weiteren Transistor

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- PMOS: NOR-Glied
 - Transistor T_1 ersetzt Lastwiderstand

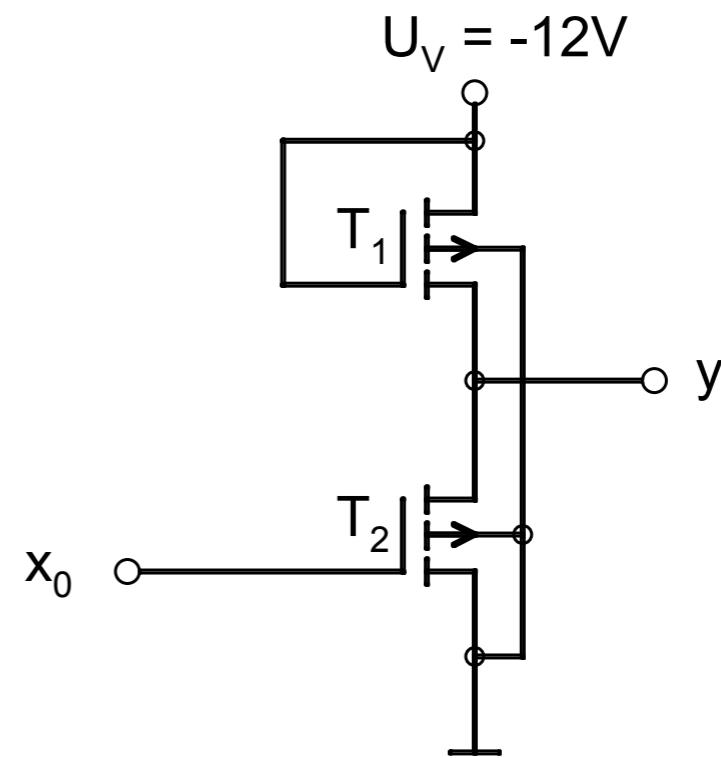
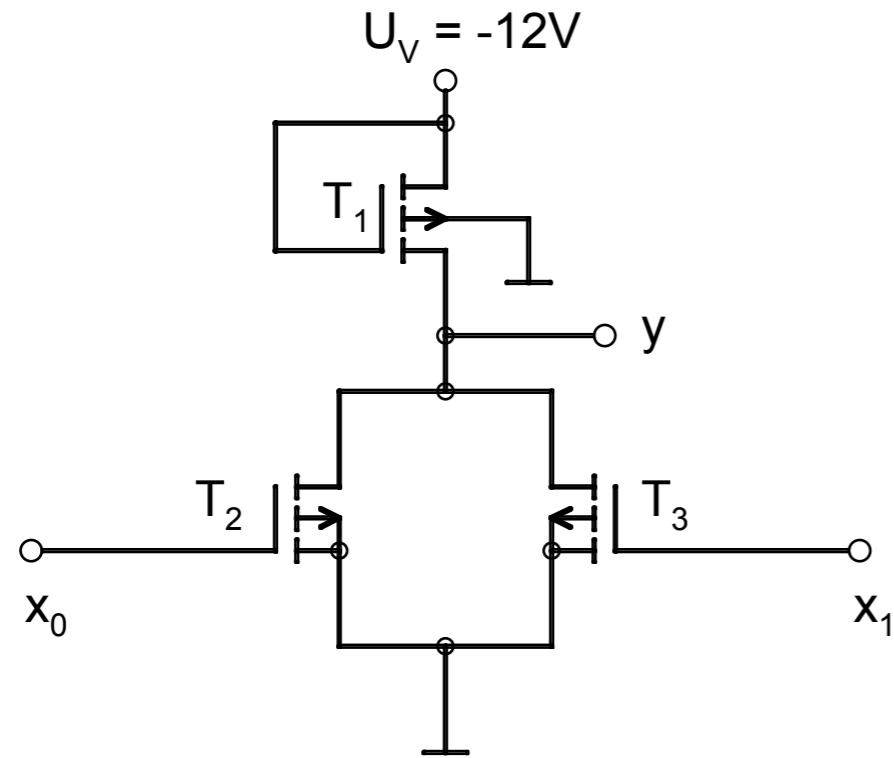


- Kanalwiderstand von T_1 sinkt nicht unter $100k\Omega$ (Begrenzung des Stromflusses)
- x_0 und x_1 auf L: y liegt auf H (ca. -1V)
- x_0 und/oder x_1 auf H: y liegt auf L (ca. -11V)

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- PMOS: NAND-Glied
- PMOS: NICHT-Glied



x ₁	x ₀	y
L	L	H
L	H	H
H	L	H
H	H	L

x ₀	y
L	H
H	H
L	H

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- PMOS: Zusammenfassung

Betriebsspannung	-12V (-9V bis -20V möglich)
Eingangspegel	Low: bis -6V High: -1V bis +0,3V
Ausgangspegel	Low: -12V bis -9V High: -3V bis 0V
Leistungsaufnahme	Ausgangspegel H: 6mW Ausgangspegel L: 0mW
Signallaufzeit	40ns
Größte Schaltfrequenz	10MHz
Störspannungsabstand	5V

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

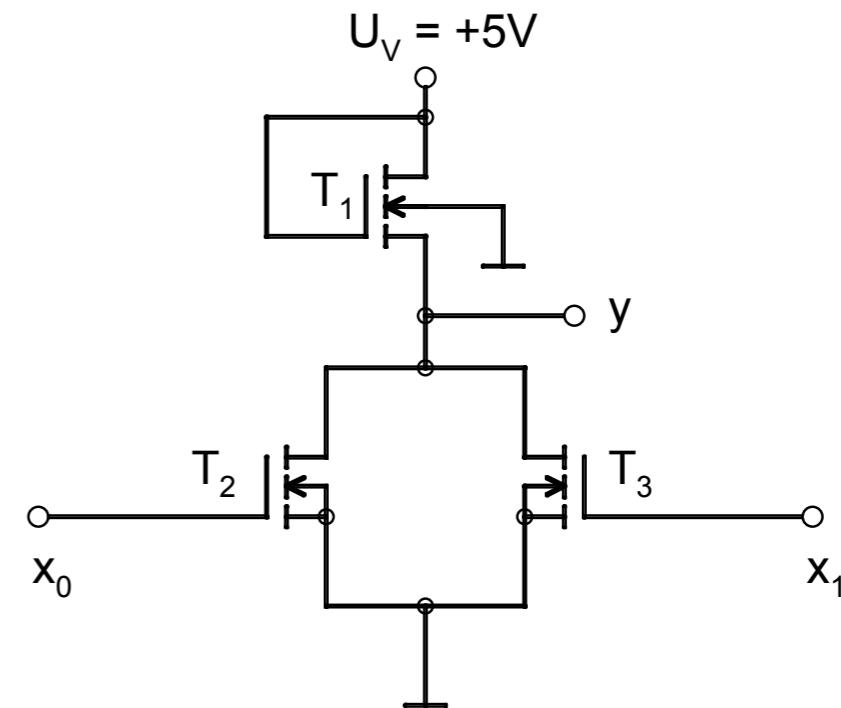
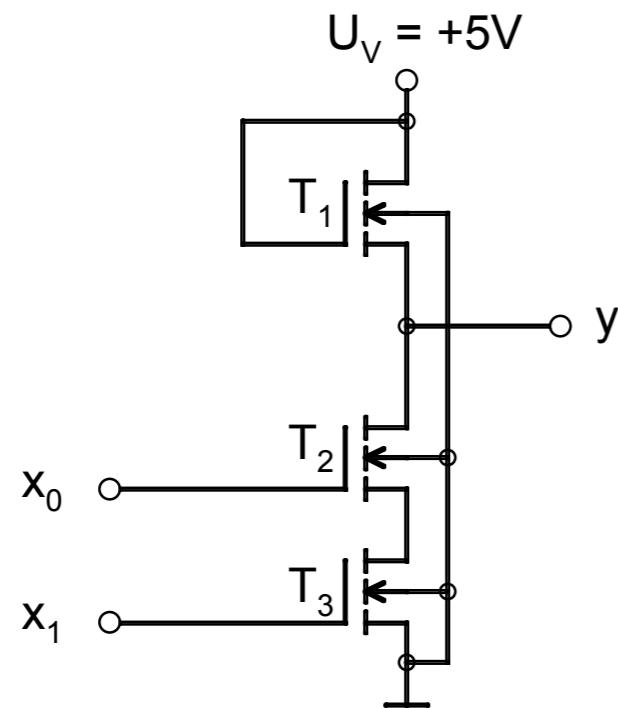
- NMOS-Verknüpfungsglieder
 - Verwendung von selbstsperrenden N-Kanal-MOSFET's
 - Kleinere Strukturen als bei PMOS möglich kürzere Schaltzeiten der NMOS-Glieder
 - Kompatibilität zu TTL-Gliedern (gleiche Betriebsspannung von 5V)
 - Typische Pegelwerte
 - Low: +0,3V
 - High: +3,5V

Betriebsspannung	+5V
Eingangspegel	Low: -0,5V bis +0,65V High: +2,2V bis +5V
Ausgangspegel	Low: 0V bis +0,45V High: +2,4V bis 5V
Leistungsaufnahme	Ausgangspegel H: 2mW Ausgangspegel L: 0mW
Signallaufzeit	5ns
Größte Schaltfrequenz	80MHz
Störspannungsabstand	$\approx 2V$

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- NMOS: NAND-Glied
- NMOS: NOR-Glied



x ₁	x ₀	y
L	L	H
L	H	H
H	L	H
H	H	L

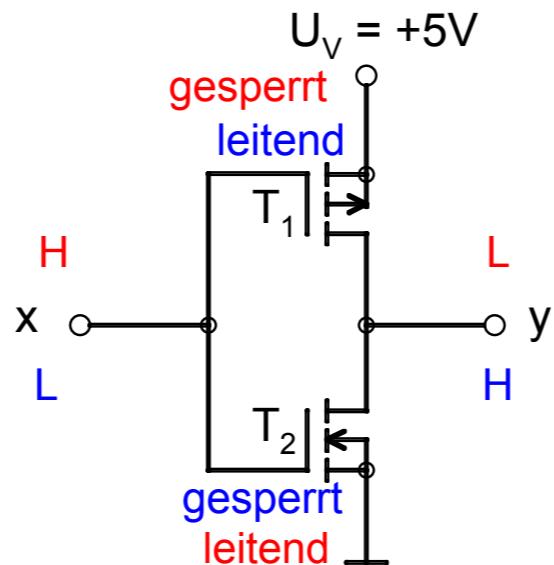
x ₁	x ₀	y
L	L	H
L	H	L
H	L	L
H	H	L

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- CMOS
 - Complementary Symmetry-Metal Oxide Semiconductor
 - Bestehen aus selbstsperrenden P-Kanal- und N-Kanal-MOSFET's

- Aufbau des NICHT-Glieds:

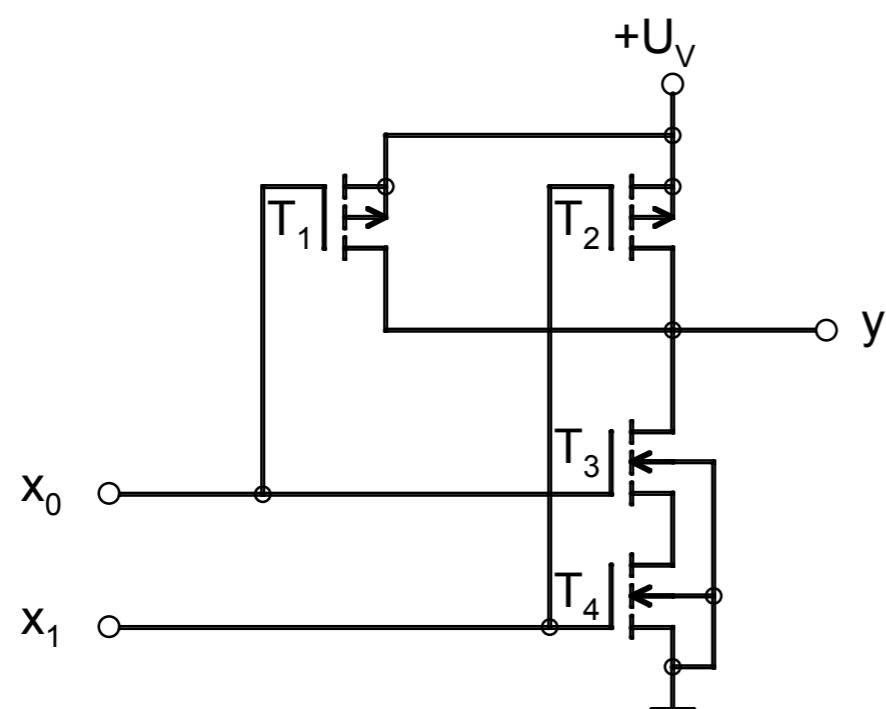


- Stets ein Transistor ist durchgesteuert, der andere gesperrt
 - Weder bei Ausgangspegel H noch bei L sondern lediglich beim Umschalten fließt ein Strom
 - → Geringe Leistungsaufnahme von CMOS-Gliedern

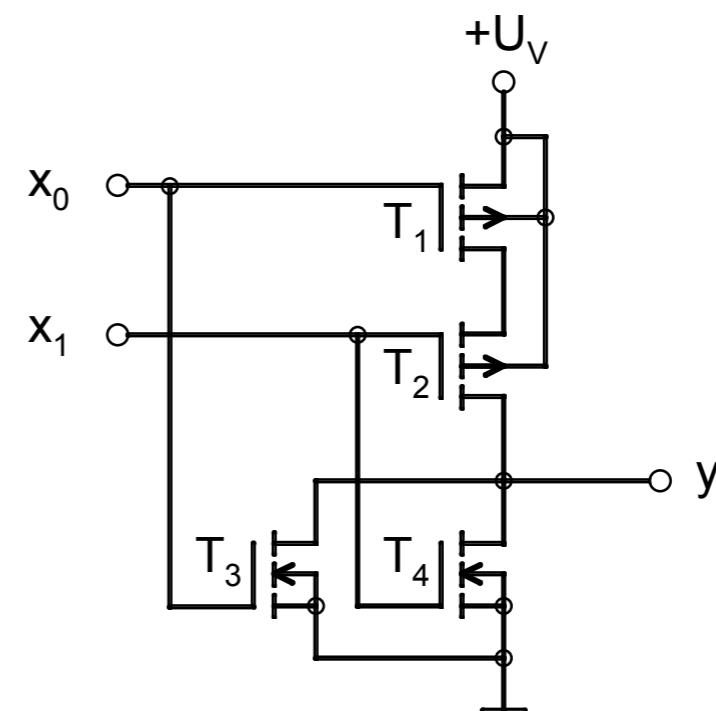
Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- CMOS: NAND-Glied



- CMOS: NOR-Glied



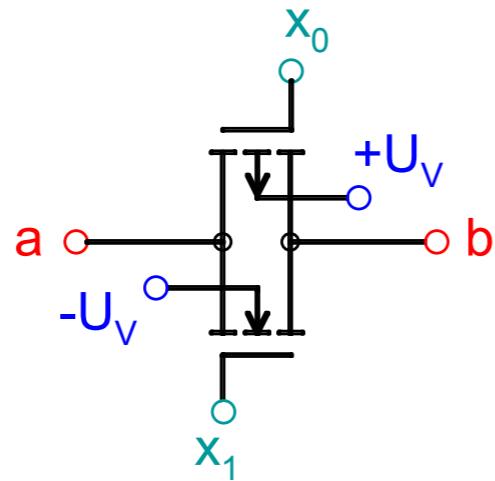
x ₁	x ₀	y
L	L	H
L	H	H
H	L	H
H	H	L

x ₁	x ₀	y
L	L	H
L	H	L
H	L	L
H	H	L

Kapitel 9: Schaltkreisfamilien

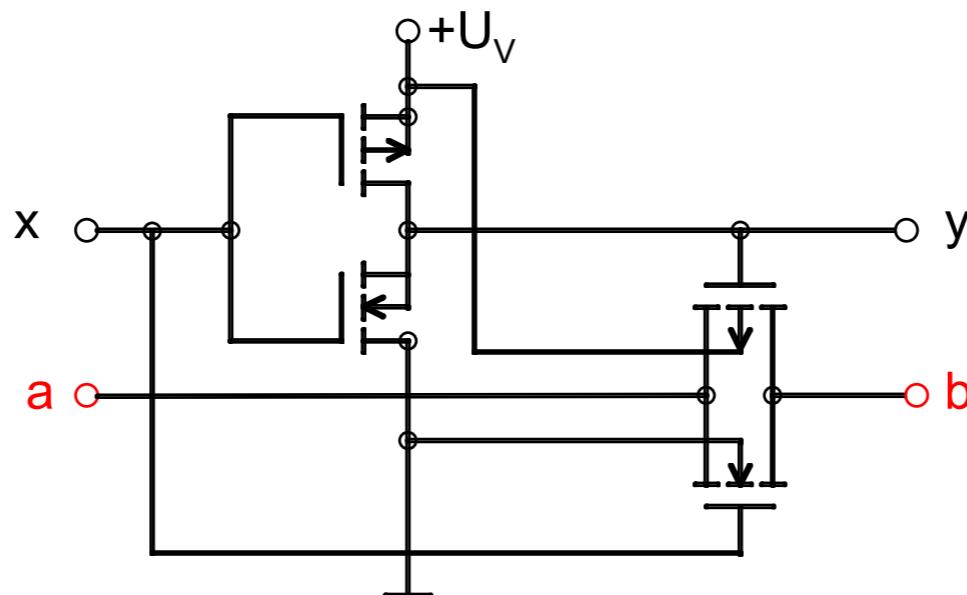
IX. MOS-Schaltungen

- CMOS Transmissionsglied
 - P-Kanal-MOSFET wird parallel zu N-Kanal-MOSFET geschaltet



x_1	x_0	Widerstand R_{ab}
L	H	hochohmig
H	L	niederohmig

- Ansteuerung eines Transmissionsglieds mit einem NICHT-Glied



Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen

- CMOS Zusammenfassung

Betriebsspannung	+5V (meist von +5V bis +10V)
Eingangspegel	Low: 0V bis +2V High: +3V bis +5V
Ausgangspegel	Low: 0V bis +0,01V High: +4,99V bis 5V
Leistungsaufnahme	5 bis 10nW
Signallaufzeit	8ns
Größte Schaltfrequenz	50MHz
Störspannungsabstand	2V
Fan-Out (Ausgangslastfaktor)	> 50

Kapitel 9: Schaltkreisfamilien

IX. MOS-Schaltungen - Unterfamilien

- Highspeed-CMOS (HCMOS)
 - So schnell wie TTL-Technologie
 - Geringer Leistungsbedarf (bis zu mittleren Taktfrequenzen); ab 5MHz höherer Leistungsbedarf als ALSTTL
 - Hoher Störabstand
 - Geringe Leistungsfähigkeit der Ausgangsschaltung (Treiber nötig)
- HCTMOS
 - Vorgeschaltete TTL-Schaltung
 - Interface zwischen TTL- und CMOS-Logik
 - Geringere Schaltgeschwindigkeit als HCMOS
- Advanced CMOS (ACMOS)
 - Schnellste Schaltzeiten der CMOS-Familie
 - Verbesserte Treiberfähigkeit
 - Empfindlich gegen hochfrequente Störungen
- BiCOMOS (kombinierte Bausteine)
 - Hohe Arbeitsgeschwindigkeit
 - Hohe Ausgangsleistung