

# 2層埋込酸化膜構造をもつ SOI ピクセル検出器による $\beta$ 線検出

201210841 遠藤 駿

指導教員 金 信弘 印

## 1 SOI ピクセル検出器

SOI(Silicon On Insulator) 技術を用いることでセンサー部分と読み出し部分が一体となるピクセル検出器の開発が 2005 年より KEK 測定器開発室のプロジェクトの一環として進められている。SOI 技術とは、 $\text{SiO}_2$  の絶縁膜を介してシリコン層を形成する技術であり、各々のトランジスタを酸化膜によって完全に分離することが可能である。この技術を用いて、2つの抵抗値が異なるシリコンウェハーを酸化膜を中間層とすることで貼り合わせ、下部支持基盤層を荷電粒子検出を行うセンサー部分、SOI 層を読み出し回路形成部分とする、SOI 読み出し回路一体型ピクセル検出器の開発が行われている。

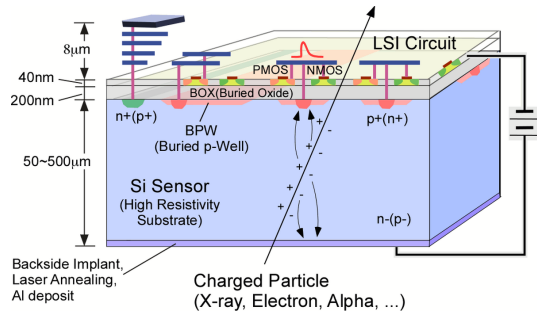


図 1: SOI ピクセル検出器

本検出器は、モノリシック型で SOI-CMOS 構造をもつだけでなくシリコン層間のバンプボンディングを廃しているため、小ピクセル化による位置分解能の向上や低物質質量化を実現し、また酸化膜によって分離されることで接続部の浮遊容量が小さくなり、S/N 比の向上や信号読み出しの高速化、SEE(Single Event Effect) に対する耐性といった特長をもつ。

しかし、高エネルギー実験における SOI ピクセル検出器の応用にはバックゲート効果、センサー回路間クロストーク、放射線照射による TID(Total Ionizing Dose) 効果の 3つの課題がある。これらに対して我々は、酸化膜層中にミドルシリコン層を加え、2層の酸化膜を形成する 2層埋込酸化膜構造 (double) を導入している。

2層埋込酸化膜構造の導入によって、中間シリコン層がシールドとなりバックゲート効果、センサー回路間クロストークの抑制を為すだけでなく、中間シリコン層に対して負の電位を付与することで、TID 効果により酸化

膜層に蓄積された正孔の電氣的ポテンシャルを打ち消すことが可能となる。このように高エネルギー実験での応用が期待される double SOI ピクセル検出器を用いて  $\beta$  線の検出を行った。

## 2 FPIX2

FPIX2 は筑波大学本多氏が設計した積分型 SOI ピクセル検出器である。ピクセルサイズは  $8\mu\text{m}$  角で、各ピクセルに図 2 のような回路が集積してある。チップサイズは  $3\text{mm}$  角で、その中に  $128 \times 128$  ピクセルが並んでおり有感領域は約  $1\text{mm}$  角となっている。

FPIX2 は、ピクセル内にキャパシタンスを持たず、あるピクセルの読み出しを行いながら他のピクセルの電荷積分を行うローリングシャッター方式を採用している。また、本実験に用いた double 構造のチップのセンサー部分は p 型バルクに n 型電極が設置しており、荷電粒子通過の際に生じた電子正孔対の内、電子の移動により誘起された電圧を検出している。

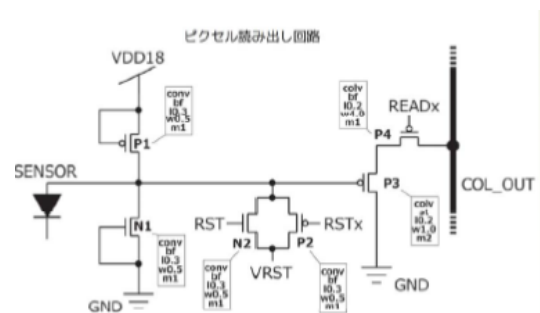


図 2: FPIX2 回路

## 3 $\beta$ 線の検出

$^{90}\text{Sr}$  を  $\beta$  線源として用い、電荷積分型 SOI ピクセル検出器の 2 による  $\beta$  線の検出を行った。タイミングをあわせるため線源、検出器の下にシンチレータを配置し、シンチレータの信号をトリガーとして測定を行った。

今後クラスタリングを行うことにより  $\beta$  線のシグナルについてより詳細に検証を行う。