

CURSO DE MICROELECTRÓNICA

PARTE II

TEMA 3

MODELACIÓN Y NUEVOS TIPOS

Dr. Yoanlys Hernández Barrios

Sección de Electrónica del Estado Sólido (SEES)

Departamento de Ingeniería Eléctrica (DIE)

CINVESTAV



EL TRANSISTOR MOS

MODELACIÓN Y SIMULACIÓN

NUEVOS TIPOS DE TRANSISTORES MOS

MODELACIÓN Y SIMULACIÓN

¿Qué es la modelación de un dispositivo electrónico?

La descripción del comportamiento eléctrico del dispositivo mediante ecuaciones que estén en función de los potenciales externos aplicados.

¿Cuándo se comenzó a utilizar?

Desde la primera mitad del siglo pasado con las válvulas o tubos de vacío: diodo, tríodo, tetrodo, pentodo, etc.

Nota- Algunos autores prefieren el término modelización, pero usaremos modelación.

TMOS SIMULACIÓN

El desarrollo de nuevos transistores requiere de varios pasos de **simulación** con programas específicos de cálculo:

- **Tecnológica** - para ayudar a fabricar los transistores. Utiliza modelos específicos para cada proceso; ej. **ATHENA**.
- **Eléctrica** – para estudiar el comportamiento y las características eléctricas de los transistores. Utiliza las ecuaciones de continuidad y de balance de cargas, y calcula a partir de la distribución de cargas, los potenciales y los campos eléctricos, calculando la corriente, las capacitancias y las conductancias; ej. **ATLAS**.
- **Circital** – para conocer el comportamiento de un circuito con diferentes dispositivos, iguales o diferentes. Cada dispositivo requiere de un modelo específico; ej. **SmartSPICE, PSPICE**.

TMOS MODELOS

Nos centraremos en los modelos matemáticos que describen el funcionamiento del transistor MOS (MOSFET).

Estos son los modelos que se requieren para describir los transistores en un simulador circuital del tipo SPICE.

Breve historia de la modelación de los TMOSs

En 1960 se comenzó a modelar el TMOS usando solo las corrientes de desplazamiento (*drift current*). Se utilizó el modelo numérico de Pao y Sah que incluye una doble integral. Por su complejidad numérica no se uso como modelo de cálculo, pero se realizaron aproximaciones que se conocen como las ecuaciones de Pao-Sah es son la referencia actual de los modelos de TMOS.

TMOS MODELOS

Nos centraremos en los modelos matemáticos que describen el funcionamiento del transistor MOS (MOSFET).

Estos son los modelos que se requieren para describir los transistores en un simulador circuital del tipo SPICE.

Breve historia de la modelación de los TMOSs

En 1960 se comenzó a modelar el TMOS usando solo las corrientes de desplazamiento (*drift current*). Se utilizó el modelo numérico de Pao y Sah que incluye una doble integral. Por su complejidad numérica no se uso como modelo de cálculo, pero se realizaron aproximaciones que se conocen como las ecuaciones de Pao-Sah es son la referencia actual de los modelos de TMOS.

TMOS MODELOS

Los primeros artículos sobre el modelo son de Ihantola-Moll y de Sah en 1964.

Una versión completa, para las diferentes regiones: inversión profunda, saturación y empobrecimiento se describen en el trabajo de Frohman-Bentchkowsky-Vadaz en 1969, que se incluyen en el primer libro sobre la modelación del TMOS, Cobold, 1970.

El programa **SPICE** (*Simulation Program with Integrated Circuits Emphasis*) fue desarrollado en 1973 en el Laboratorio de Investigación en Electrónica (*Electronics Research Laboratory*) de la Universidad de California, Berkeley, por Larry Nagel bajo la dirección de su asesor de investigación Donald Pederson.

TMOS MODELOS

SPICE1 fue derivado del programa CANCER (*Computer Analysis of Nonlinear Circuits, Excluding Radiation*).

Pederson consiguió que fuera rescrito a partir de su antecesor CANCER, el cuál era un programa con licencia privativa, para poder poner esta nueva versión del programa bajo dominio público.

SPICE1 tuvo su primera presentación en una conferencia de 1973. Fue programado en FORTRAN y usaba la técnica de análisis de nodos para construir el sistema de ecuaciones del circuito. Ésta técnica de análisis tenía inconvenientes.

TMOS MODELOS

En el año 1975 apareció la versión **SPICE2**, con la cual se popularizó su uso.

Esta versión del programa también estaba compilada en FORTRAN, tenía más elementos, análisis transitorio con paso variable, usaba las técnicas de integración trapezoidal o integración de Gear, conseguía las ecuaciones de los circuitos por una técnica modificada del tradicional análisis de nodos, la que permitía resolver los inconvenientes de su versión anterior y usaba una innovación del programa FORTRAN que permitía controlar la memoria.

La última versión de **SPICE** en FORTRAN fue la versión **2G.6 en 1983**.

La siguiente versión, **SPICE3**, fue desarrollada en lenguaje **C** en el año de 1989.

La versión **SPICE3** usaba la misma sintaxis que sus antecesoras y tenía una interfaz gráfica X Windows.

TMOS MODELOS

Como un programa de código abierto, SPICE fue ampliamente usado.

El código de SPICE fue distribuido desde sus comienzos, pagando una pequeña cantidad a la Universidad de Berkeley, la cual retribuía el costo de las cintas magnéticas.

El programa tenía la restricción de no poderse distribuir en países que ***no eran considerados amigos*** por los Estados Unidos. Actualmente el programa está cubierto por la licencia BSD.

SPICE promovió y sirvió de base para otros programas de simulación en las universidades y la industria. Las versiones comerciales más destacada de **SPICE** fueron el **HSPICE** y **PSPICE**.

TMOS MODELOS

Los primeros modelos en **SPICE** fueron los de transistores bipolares (BJT), y luego se comenzaron a introducir los primeros modelos de MOSFETs.

El desarrollo de circuitos integrados requirió de la simulación circuital.

Los éxitos (*goals*) de la simulación circuital incluyendo los MOSFETs fueron:

- ❖ Predecir con precisión las características eléctricas de los circuitos: corrientes, voltajes, cargas, capacitancias para un punto de operación dado.
- ❖ Crear un puente entre diseñadores y fabricantes.
- ❖ Reducción del tiempo y el costo de desarrollar e introducir los CI

TMOS MODELOS

Repetimos, ¿para qué hacen falta los modelos?

Un circuito electrónico se representa como una gran red, donde los electrodos de un dispositivo dado son parte de la red. El *modelo* describe como varían los potenciales en los nodos de esta red, y como fluyen las corrientes entre nodos, o sea por las mallas. La descripción de este comportamiento de los voltajes y corrientes se describe a través de ecuaciones matemáticas.

Los dispositivos pueden ser: diodos, transistores, resistores, capacitores, fuentes de voltaje y corriente, etc.



TMOS MODELOS

Categorías de los modelos de los transistores:

- **Modelos matemáticos** – Utilizan ecuaciones basadas en polinomios y no están relacionadas con la física del transistor. Ejemplo, el modelo de la Universidad de Chalmers para HFET and MISFETs
- **Modelos numéricos** – Predicen el comportamiento del dispositivo resolviendo numéricamente las ecuaciones físicas de transporte. Ejemplo, modelo inicial de Pao-Sah.

TMOS MODELOS

Categorías de los modelos de los transistores:

- **Modelo basado en tablas de datos** – Las características corriente-voltaje (I-V) de los transistores se ponen en forma de tablas, basadas en mediciones o simulación.
- **Modelos compactos** – Modelos basados en la física del dispositivo, donde se hace una descripción matemática del comportamiento de los mismos.



TMOS MODELOS

Características de los modelos compactos

Son modelos analíticos lo suficientemente simples para poder ser incluidos en un simulador circuital y lo suficientemente precisos para que sean útiles a los diseñadores de circuitos.

- Deben fundamentarse en la física del transistor.
- Debe permitir la variación de las dimensiones del transistor, para poder hacer proyecciones.
- Deben mantener el balance entre precisión y eficiencia.
- La física debe ser simplificada para predecir el comportamiento más rápido que en un simulador eléctrico, donde se resuelven las ecuaciones físicas básicas.
- **Deben de ser continuos entre regiones de operación y ser analíticos.**

TMOS MODELOS

Hay tres tipos de modelos compactos para transistores MOS:

- **Modelos basados en el voltaje umbral (V_T)** (*Threshold voltage-based models*): primeros modelos en SPICE nivel 1, 2 y 3; BSIM del 1 al 4 y el MOS Model 9.

Se calcula el voltaje umbral y las expresiones de corriente son diferentes para cada región de operación.

- **Modelos basados en el potencial superficial** (*Surface potential-based models*): MOS Model 11; SP y el PSP y el HiSIM.

Las cargas, corrientes y capacitancias son función del potencial superficial en la fuente y en el drenaje. El substrato se toma como referencia.

TMOS MODELOS

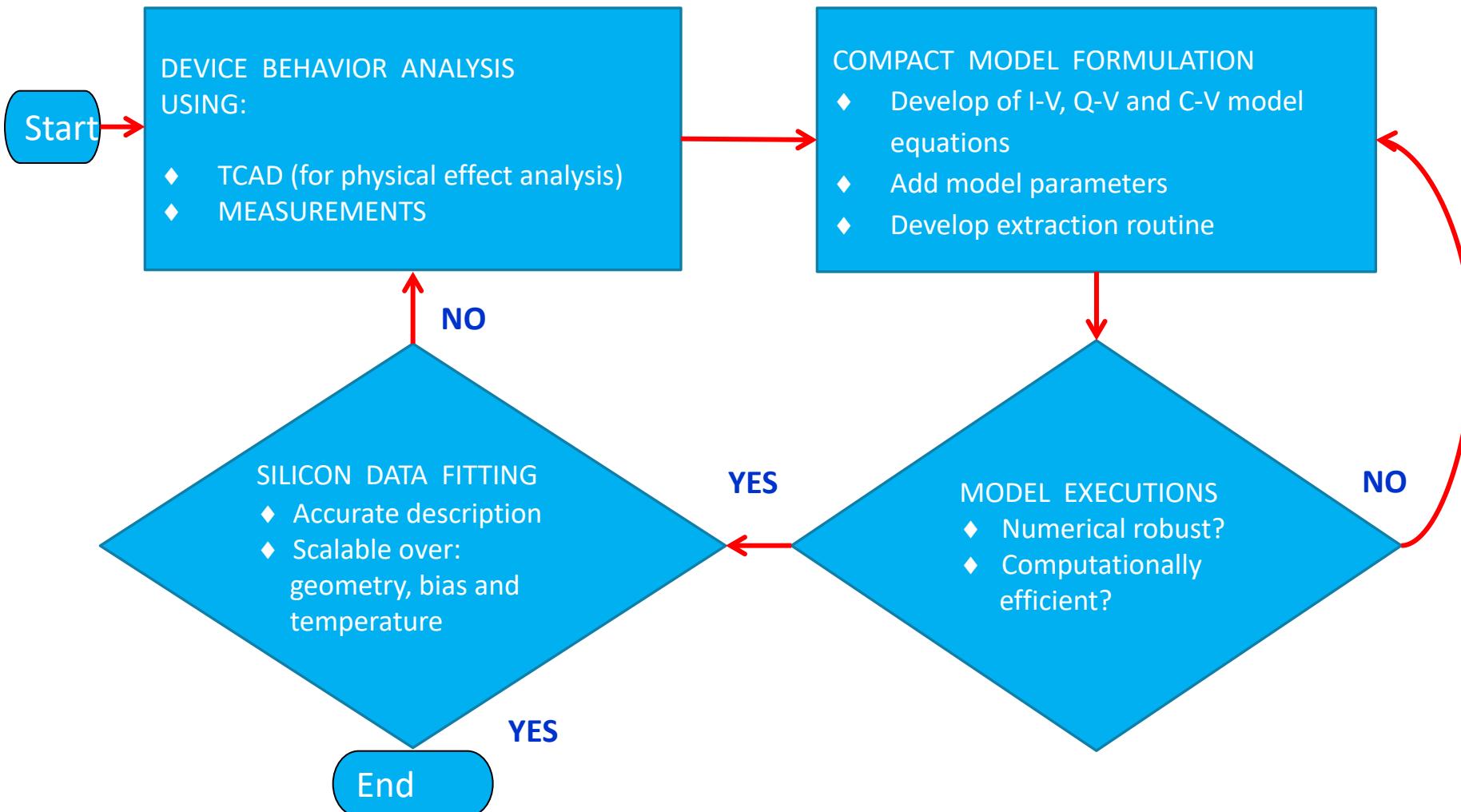
Hay tres tipos de modelos compactos para transistores MOS:

- **Modelos basados en la carga** (*Charge based models*): ACM (Galup-Montoro model); EKV and BSIM5.

Todas los potenciales y corrientes se calculan a partir de las expresiones de cargas en la Fuente (S) y el Drenaje (D).

De este tipo es el modelo desarrollado en la SEES para los MOSFETs de nueva generación, FinFETs.

Symmetric Doped Doble-Gate Model for MOSFETs (SDDGM)



El desarrollo de un modelo compacto para MOSFETs tiene varias etapas:

1. El desarrollo del modelo núcleo (**CORE MODEL**).
Canal largo y movilidad constante.
2. La inclusión de la *movilidad variable* al modelo núcleo.
3. Inclusión de los *efectos de canal corto* (*Short Channel Effects*)
4. Inclusión de otros efectos, como *corrientes de fuga* (*leakage currents*), y de ruidos.





EL TRANSISTOR MOS

EXTRACCIÓN DE LOS PARÁMETROS DE LOS MODELOS

Todos los modelos dependen de un conjunto de parámetros para describir adecuadamente el comportamiento del transistor.

Estos parámetros pueden ser de diferente naturaleza, y por lo tanto, el conocer el valor de los mismos es una tarea específica y muy importante en la modelación de los transistores.

Se pueden clasificar como:

Parámetros tecnológicos

Parámetros físicos

Parámetros de ajuste.

Los **PARAMÉTROS TECNOLÓGICOS** son los que se obtienen del fabricante del transistor e incluyen las dimensiones de la estructura, espesores y concentraciones.

Los **PARÁMETROS FÍSICOS** son los que ayudan a describir el comportamiento del dispositivo a través de ecuaciones.

Los **PARÁMETROS DE AJUSTE** son los que se añaden en las ecuaciones matemáticas para hacer coincidir las características medidas/simuladas con las modeladas.

Al procedimiento de encontrar el valor de estos parámetros se le conoce como **extracción de parámetros**.

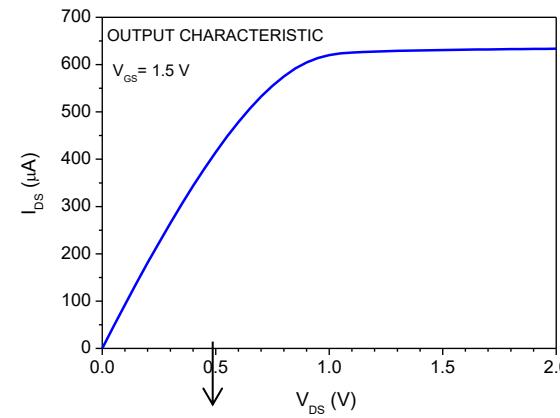
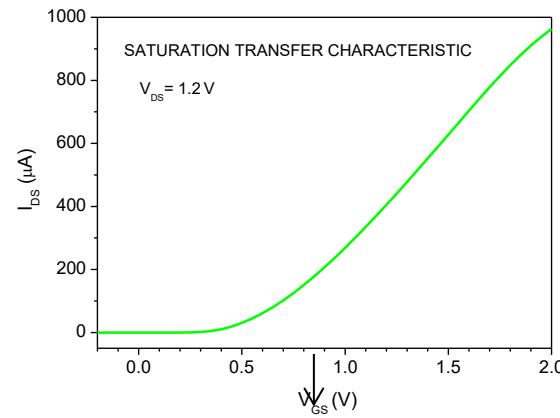
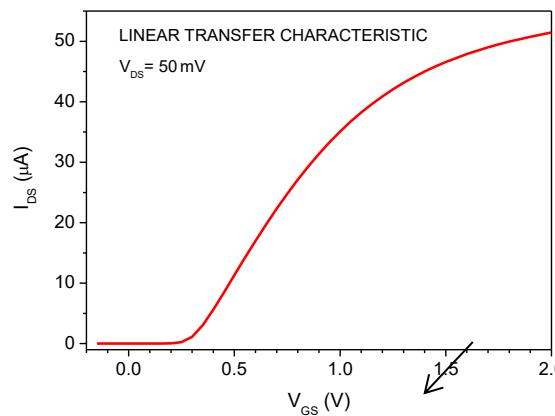
Normalmente se utilizan las características **I-V** y/o **C-V** para extraer los parámetros, utilizando dos procedimientos:

Extracción individual: cuando se extraen uno por uno a partir de diferentes características.

Extracción por optimización matemática: en este caso se extraen todos los parámetros a un mismo tiempo, utilizando varias características.

TMOS

Extracción de parámetros



n – Vector de parámetros

$$X := \begin{pmatrix} P_1 \\ P_2 \\ P_3 \\ \dots \\ P_n \end{pmatrix}$$

m – Vector de puntos medidos.
(Datos)

$$V := \begin{pmatrix} V_1 \\ V_2 \\ V_3 \\ \dots \\ V_m \end{pmatrix} \quad I := \begin{pmatrix} I_1 \\ I_2 \\ I_3 \\ \dots \\ I_m \end{pmatrix} \quad \delta = 0.001$$

A partir de un juego de parámetros inicial X_o , se obtiene un juego de parámetros que describen el dispositivo X_f .

$$\sum_{m=0}^n \left[\frac{I_{cal}(V_m, V_{lin}, X)}{I_{med}(V_m, V_{lin})} - 1 \right]^2 + \sum_{m=0}^n \left[\frac{I_{cal}(V_m, V_{sat}, X)}{I_{med}(V_m, V_{sat})} - 1 \right]^2 + \sum_{m=0}^n \left[\frac{I_{cal}(V_g, V_{dm}, X)}{I_{med}(V_g, V_{dm})} - 1 \right]^2 = \delta$$

precisión $\delta=0.001$

n – Vector de parámetros

$$X := \begin{pmatrix} P_1 \\ P_2 \\ P_3 \\ \dots \\ P_n \end{pmatrix}$$

m – Vector de puntos medidos, voltaje y corriente (Datos)

$$V := \begin{pmatrix} V_1 \\ V_2 \\ V_3 \\ \dots \\ V_m \end{pmatrix} \quad I := \begin{pmatrix} I_1 \\ I_2 \\ I_3 \\ \dots \\ I_m \end{pmatrix}$$

A partir de un juego de parámetros inicial X_o , se obtiene un juego de parámetros final que describen el dispositivo X_f

El voltaje de umbral, V_T , es uno de los parámetros más importantes del transistor MOS y tiene un solo valor dependiendo del modelo utilizado. Este parámetro debe extraerse a partir de las ecuaciones que describen el modelo dado y ser utilizado solo con ese modelo.

Según el modelo puede tener valores diferentes, no muy disimiles.

También hay diferentes métodos de extracción de este parámetro, y en el artículo que se cita a continuación se describen 13 métodos.

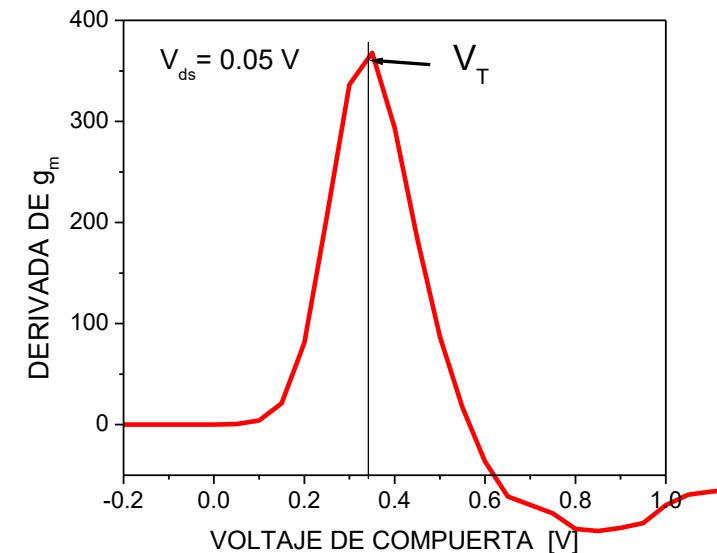
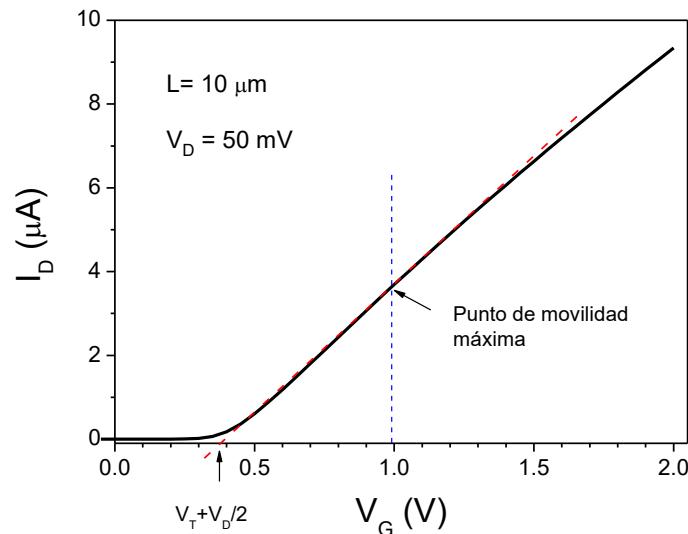
Este artículo es el más citado en toda la historia de Microelectronic and Reliability

A. Ortiz-Conde, F.J. García-Sánchez, J.J. Liou, A. Cerdeira, M. Estrada, Y. Yue, "A review of recent MOSFET threshold voltage extraction methods", *Microelectronic Reliability*, 42, 2002, 583-596.

Métodos descritos en el artículo señalado.

1. Constant current method
2. Extrapolation in the linear region method
3. Transconductance extrapolation method in linear region
4. Second derivative method
5. Ratio method
6. Transition method
7. Integral method
8. Corsi function method
9. Second derivative logarithmic method
10. Linear cofactor difference operator method
11. Nonlinear optimization method
12. Extrapolation method in saturation region
13. G_i function method (in saturation)

1 – Corriente constante igual a $(W/L) \times 10^{-7} A$



2- Método de extracción del V_T por la extrapolación de la región lineal de transconductancia máxima.

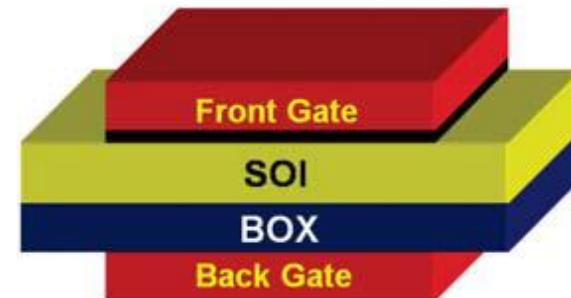
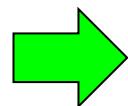
$$V_T = V_{int} - V_d/2$$

3 - Método de extracción del V_T por el máximo de la derivada de la transconductancia, o de la segunda derivada de la corriente

NUEVOS TIPOS DE TRANSISTORES MOS

En 1984 se mencionó un nuevo tipo de transistor MOS de dos compuertas y se presentó en 1987. Se basaba en una estructura SOI con dos compuertas, una superior y otra inferior usando en óxido BOX. Como ambas compuertas eran diferentes se consideraba una estructura asimétrica.

Transistor MOS SOI, de dos
compuertas asimétrico.

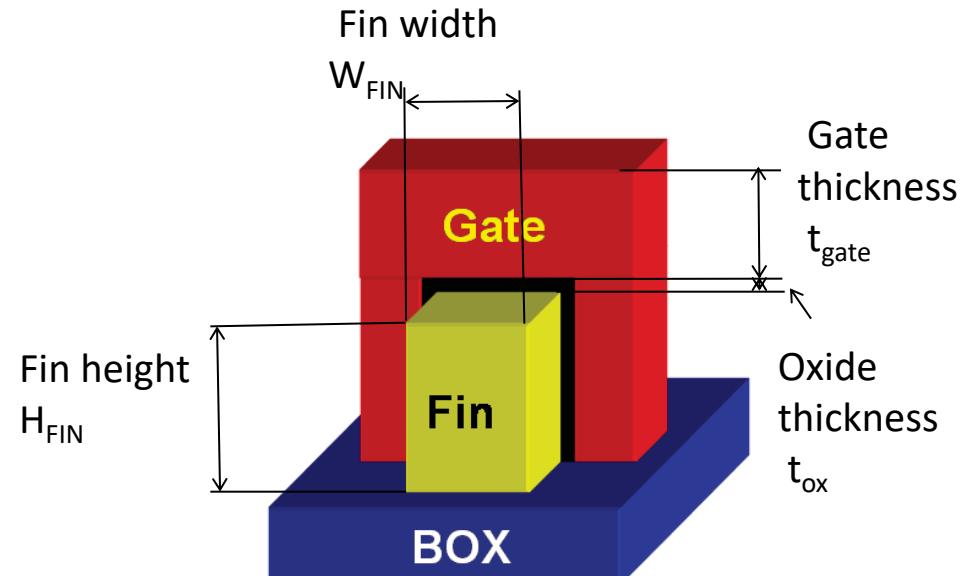


La solución fue la fabricación de un transistor MOS vertical con dos compuertas laterales. Como se ve en la figura también puede tener una parte de compuerta en la parte superior, o sea, tener tres compuertas.

Este nuevo transistor tridimensional se conoce como **Trigate o FinFET**.

Fin - ALETA

SOI FinFET

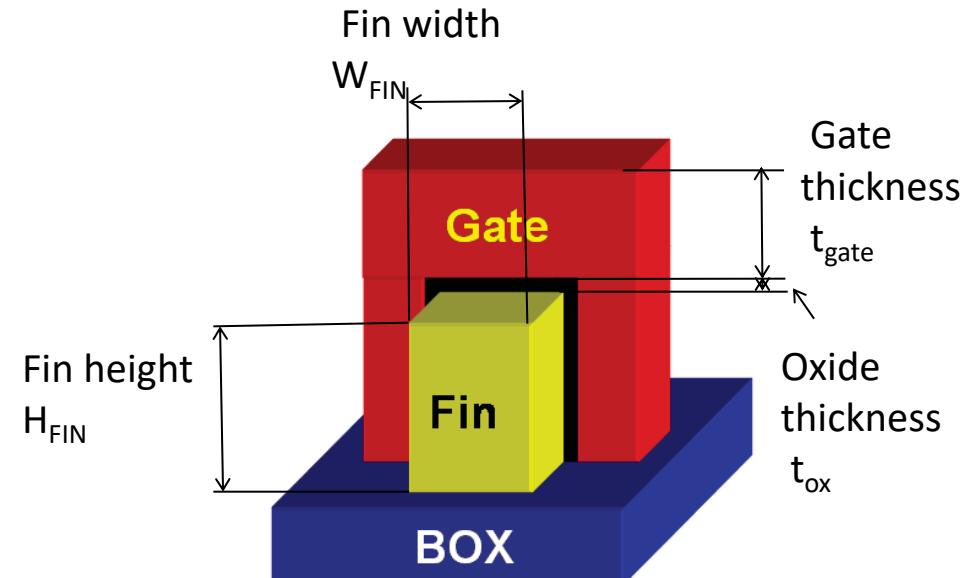


El FinFET se puede considerar:

De **DOBLE COMPUERTA** si el canal superior se puede despreciar y considera solo los dos canales laterales.

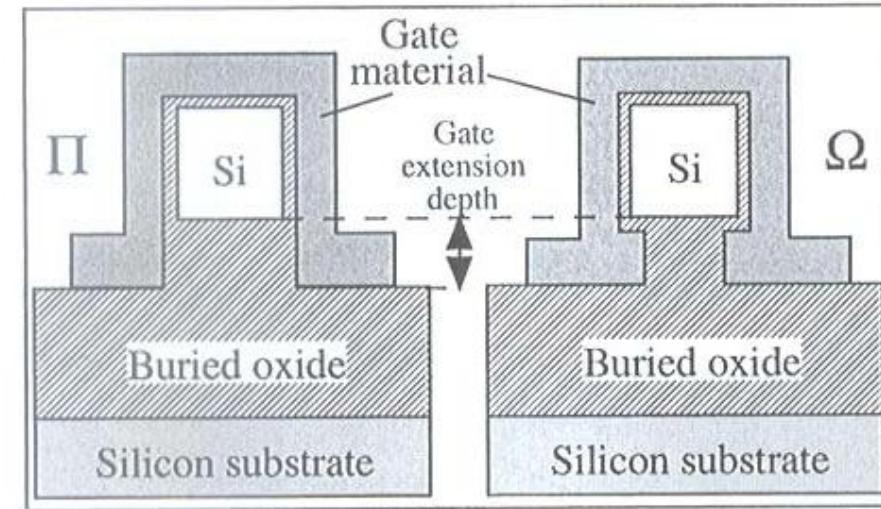
De **TRES COMPUERTAS** (Tri-gate) cuando se consideran los dos canales laterales más el canal superior.

SOI FinFET

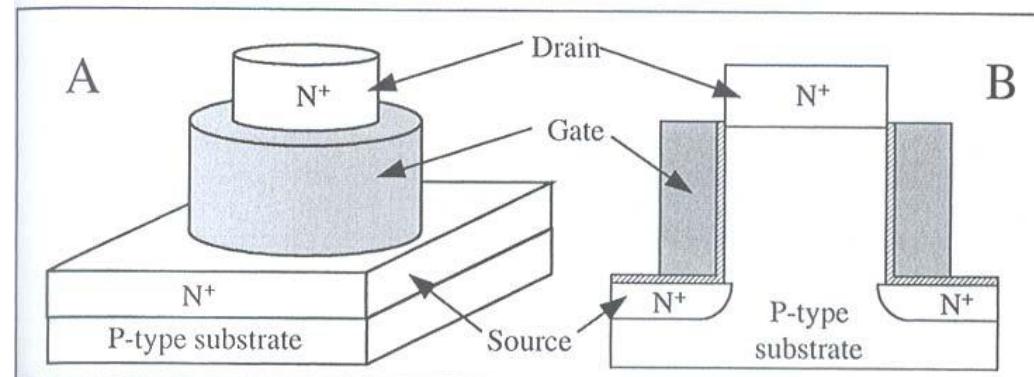


Otros transistores multi-compuertas

1. Π - type FinFET and
2. Ω - type FinFET



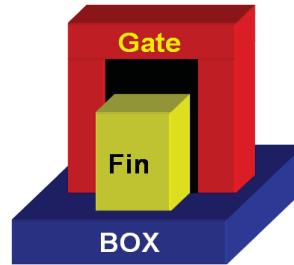
3. Gate All Around (GAA) MOSFET



Anchura del canal

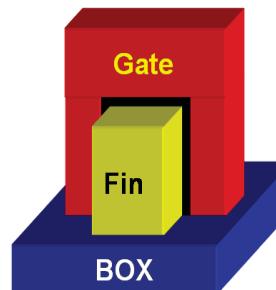
1. SOI FinFET de doble compuerta simétrico

Anchura de canal $W = 2xH_{FIN}$



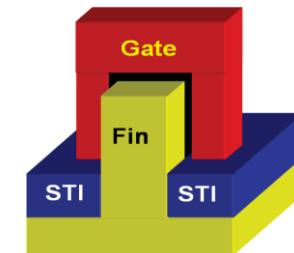
2. SOI FinFET de triple compuerta simétrico

Anchura de canal $W = 2xH_{FIN} + W_{FIN}$



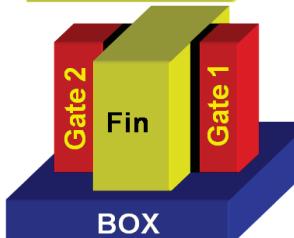
3. Bulk FinFET de doble compuerta simétrico

Anchura de canal $W = 2xH_{FIN}$



4. SOI FinFET de doble compuerta asimétrico

Anchura de canal $W = 2xH_{FIN}$



TMOS Nuevos tipos de transistores MOS

Estos transistores FinFET requieren un modelo específico que fue desarrollado por el Grupo de Dispositivos de la SEES. Este modelo es muy completo, incluye las I-V y las C-V, es continuo y analítico. (SDDGM)

1. Salvador I. Garduño, Joaquín Alvarado, Antonio Cerdeira, Magali Estrada, Valeriya Kilchytska and Denis Flandre, “Gate leakage currents model for FinFETs implemented in Verilog-A for electronic circuits design”, *Int. J. Numer. Model.* 2014; 27:846–862
2. A. Cerdeira, M. Estrada, J. Alvarado, I. Garduño, E. Contreras, J. Tinoco, B. Iñiguez, V. Kilchystka, D. Flandre, “Review on Double-Gate MOSFETs and FinFETs modeling”, *Facta Universitatis*, 26, 3, 2013, 197-213.
3. A. Cerdeira, I. Garduño, J. Tinoco, R. Ritzenthaler, J. Franco, M. Togo, T. Chiarella, C. Claeys, “Charge based DC compact modeling of bulk FinFET transistor”, *Solid-State Electronics* 87 (2013) 11-16.
4. A. Cerdeira, M. Estrada, B. Iñiguez, R.D. Trevisoli, M. De Souza, M.A. Pavanello, “Charge-based continuous model for long channel Symmetric Double-Gate Junctionless Transistors”, *Solid-State Electronics* 85 (2013) 59-63.
5. S.I. Garduño, A. Cerdeira, M. Estrada, J. Alvarado, V. Kilchytska, D. Flandre, “Improved modeling of gate leakage currents for fin-shaped field-effect transistors”, *J. of Appl. Physics* 113, 1245071-9 (2013).
6. Ghader Darbandy, François Lime, Antonio Cerdeira, Magali Estrada, Salvador Ivan Garduño, Benjamin Iñiguez, “Gate leakage current partitioning in nanoscale double gate MOSFETs, using compact analytical model”, *Solid-State Electronics* 75 (2012) 22–27.
7. J. Alvarado, B. Iñiguez, M. Estrada, D. Flandre and A. Cerdeira, “Implementation of the symmetric doped double-gate MOSFET model in Verilog-A for circuit simulation” ISSN: 1099-1204, *Int. J. Numer. Model.* 2010: 23: 88-106.
8. A. Cerdeira, B. Iñiguez and M. Estrada, “Compact model for short channel symmetric doped double-gate MOSFETs”, *Solid-State Electronics*, 52 (2008) 1064-1070.
9. A. Cerdeira, O. Moldovan, B. Iñiguez and M. Estrada, “Modeling of potentials and threshold voltage for symmetric doped double-gate MOSFETs”, *Solid-State Electronics*, 52 (2008) 830-837.

Los modelos se requieren para poder realizar la simulación circuital de circuitos complejos que contengan estos transistores.

Los modelos pueden estar implementados dentro de un simulador circuital comercial y solo llamarse cuando son utilizados. Ejemplo los BSIM.

Otro caso es cuando los modelos desarrollados no están dentro de los simuladores circuitales. Para utilizarlos se requiere que los modelos sean descritos en un lenguaje de alto nivel para dispositivos analógicos, el **Verilog-A** y el simulador tenga el compilador de Verilog-A. En este caso antes de cada simulación se compila el modelo.

En este caso los principales simuladores circuitales comerciales tiene compiladores para leer este fichero y poder utilizarlo en la simulación. Por esto es tan importante que todos los nuevos modelos que se desarrollan estén descritos en **Verilog-A**.

Todos los modelos desarrollados por nuestro Grupo están en **Verilog-A**.

Para la fabricación de los circuitos integrados se siguen dos pasos:

1. Diseñar el circuito integrado siguiendo las reglas de diseño que suministra el fabricante.
- 2a La fabricación puede ser realizada por el diseñador en su planta, o
- 2b Ser fabricado en las llamadas fundiciones (*foundry*).

El fabricante es el que debe entregar toda la información que permita modelar el transistor y los parámetros del modelo que utiliza.

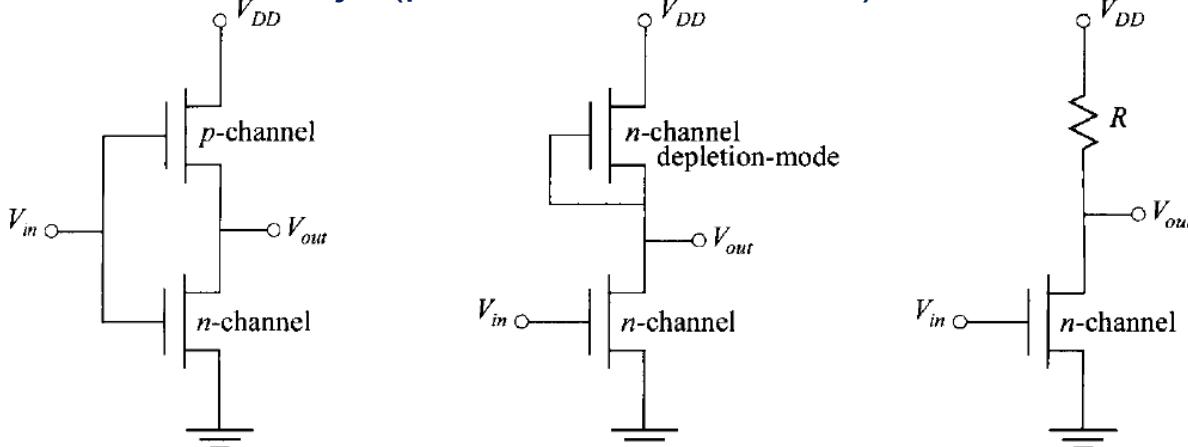
El bloque lógico más básico: el inversor

El inversor es la unidad mínima para construir lógica digital: una entrada V_{in} y una salida V_{out} invertida.

1.1 Inversor CMOS (el más común)

“Por mucho” el más usado es el inversor CMOS, que combina:

- ✓ un pMOS arriba (pull-up hacia V_{DD})
- ✓ Un nMOS abajo (pull-down hacia tierra).



Cómo funciona (idealmente):

- ✓ Entrada baja (0): el nMOS está OFF, el pMOS está ON \Rightarrow la salida se conecta a $V_{DD} \Rightarrow V_{out} \approx V_{DD}$.
- ✓ Entrada alta (1): el pMOS está OFF, el nMOS está ON \Rightarrow la salida se descarga a 0 $\Rightarrow V_{out} \approx 0$.

Ventaja clave: consumo DC muy bajo. En estado estable, siempre hay un transistor en serie “apagado”, así que la corriente de DC idealmente es casi cero (en la práctica queda una corriente pequeña: subthreshold/leakage).

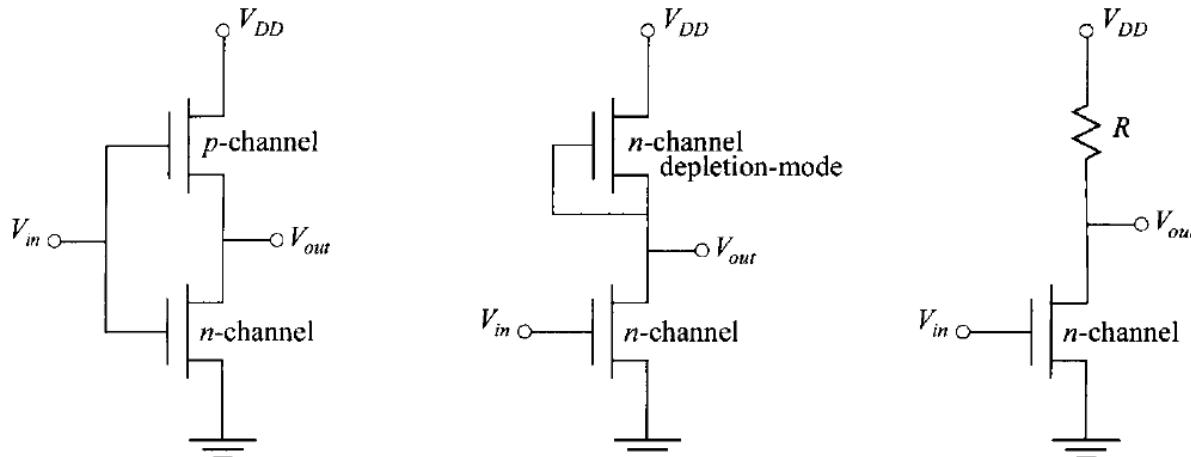
2.1 NMOS con carga de transistor en modo depleción (depletion-load NMOS)

En esta familia, se evita fabricar pMOS. El transistor “de arriba” (la carga) se reemplaza por un nMOS en modo depleción.

Este transistor depleción, con la compuerta unida a la fuente, actúa como un elemento de dos terminales (un “resistor no lineal”).

Ventaja: proceso más simple (no necesitas pMOS).

Desventaja: mayor potencia DC, porque típicamente hay un camino de corriente más directo cuando el pull-down conduce (no es “casi-cero” como en CMOS).

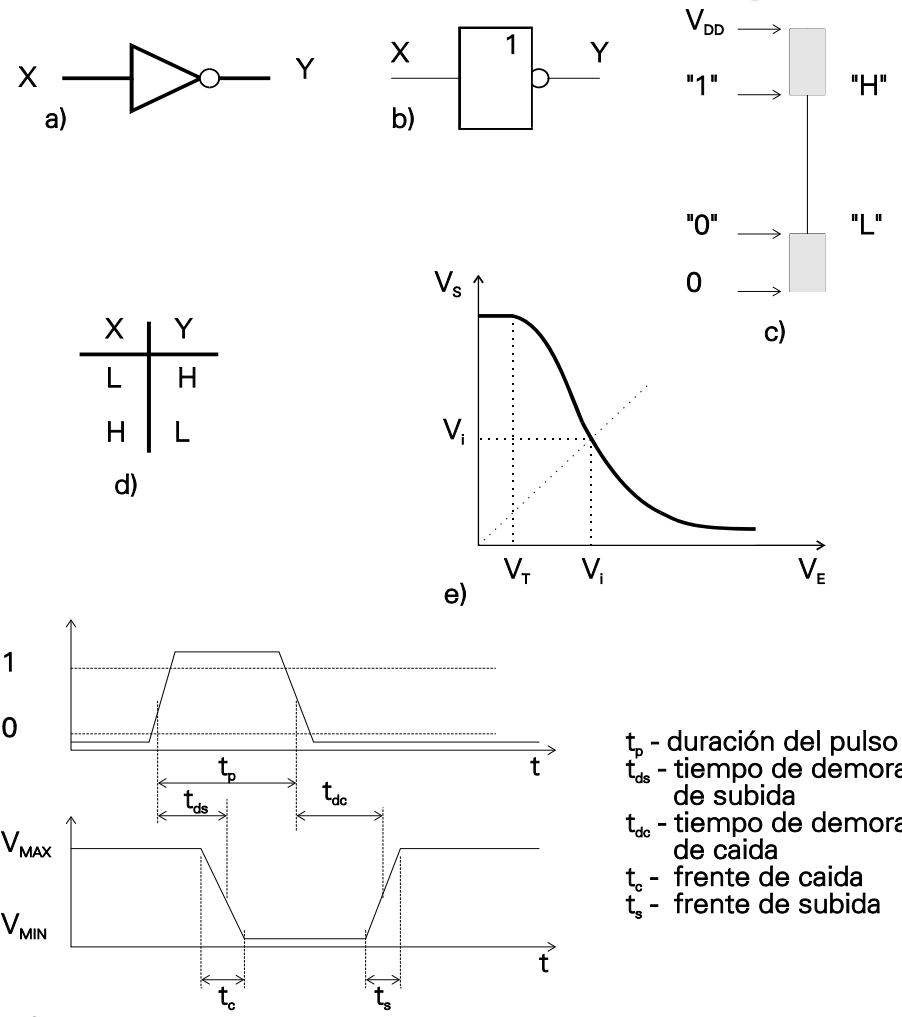


2.2 NMOS con carga resistiva (resistor-load NMOS)

Aún más simple: la carga superior es un resistor. El depleción-load es una mejora frente a este caso.

TMOS

Bloques circuitales básicos: Inversor



CARACTERÍSTICAS TRANSFERENCIALES. - La característica transferencial de un circuito dado es la característica para corriente directa, que muestra la relación entre el voltaje de salida VS y el de entrada VE. Se muestra el ejemplo para un inversor. En la misma se indican algunos puntos significativos como son el voltaje umbral, a partir del cual comienza a caer el voltaje de salida, el voltaje Vi para el cual VS=VE=Vi.

DIAGRAMA DE TIEMPOS. - La descripción de la variación de los voltajes en las entradas y en las salidas de un circuito con el tiempo se realiza a través de los diagramas de tiempo. Se muestra el ejemplo de un inversor. Los momentos principales que se señalan en estos diagramas son los tiempos de subida y de caída de los voltajes, los cuales se miden entre los niveles correspondientes al 10% y el 90% de los voltajes máximos, Vmax y Vmin. Los tiempos de demora de los frentes de subida y de caída. Los tiempos de demora de los frentes desde que se aplican a la entrada, hasta que se definen a la salida. Para tener una definición se utilizan los niveles de 0.5(Vmax-Vmin) como referencias de tiempo.

Es totalmente claro que Vmax > H y Vmin < L .

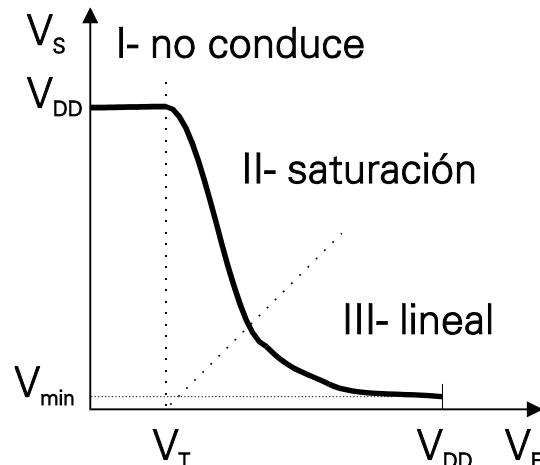


Fig. 4.5 Característica transferencial para el caso de carga no saturada, mostrando las tres regiones de operación del TMOS de control.

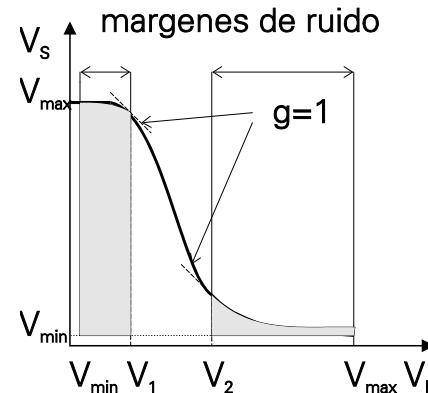


Fig. 4.6 Margenes de ruido de un inversor:
- para el "0" es de $V_{min}-V_1$;
- para el "1" es de V_2-V_{max} .

MÁRGENES DE RUIDO. - Una de los parámetros que se definen para los inversores es el llamado margen de ruido. Este parámetro se define del siguiente modo; en la característica transferencial, se definen los dos momentos (voltajes) en los cuales el factor de ganancia $g = VS/VE = 1$, V_1 y V_2 . La zona activa de transición se considera la zona en la cual $g > 1$, donde se supone que el inversor pase a un estado u otro. En la zona desde V_{min} hasta V_1 , $g < 1$, es lo que se llama margen de ruido del "0", ya que cualquier variación del "0" que no sobrepase V_1 no debe causar una transición. El margen de ruido del "1" será en este caso del V_2 hasta V_{DD} . Ambas zonas aparecen rayadas en la figura. Se consideran mejores aquellos inversores en que los márgenes de ruido son mayores.

TMOS

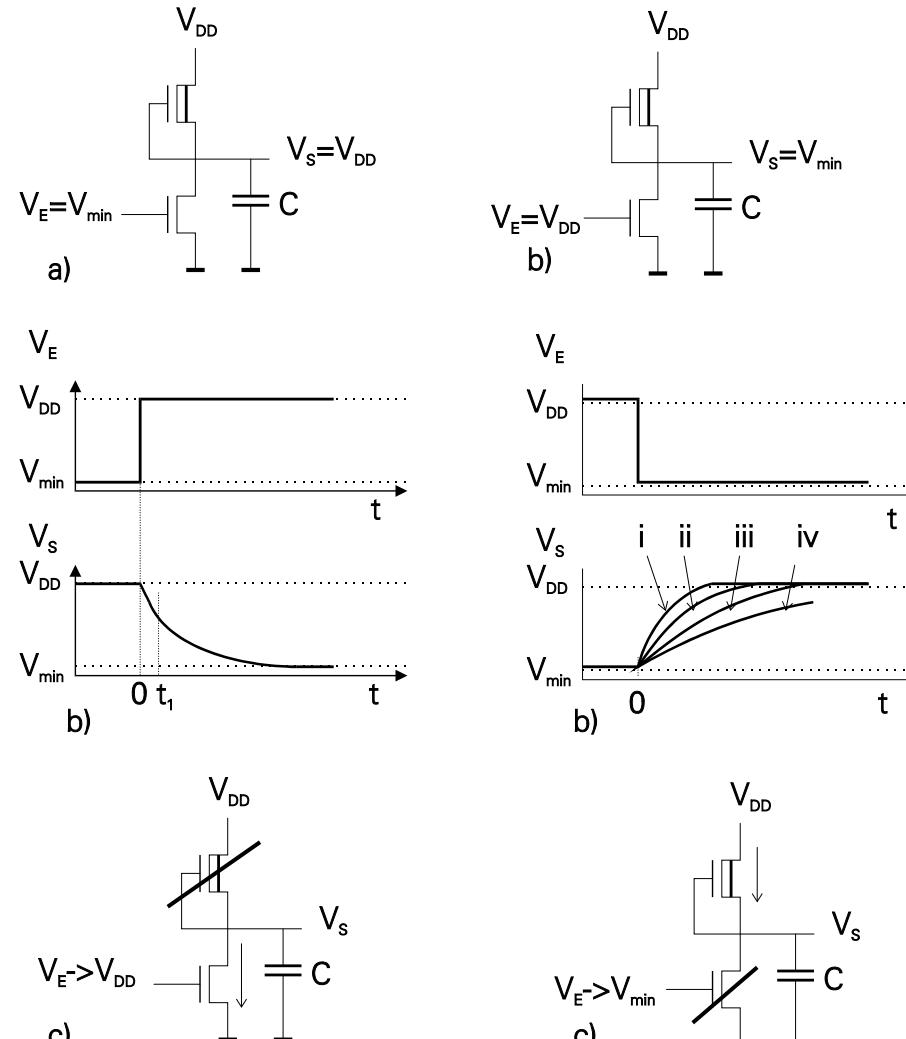


Fig. 4.7 Descarga del capacitor de salida C.

Fig. 4.8 Carga del capacitor de salida C.

Bloques circuitales básicos: Inversor

TIEMPOS DE RESPUESTA. - Siempre hay asociado un capacitor equivalente a la salida de un inversor que tiene en cuenta la capacitancia de entrada de la etapa posterior, de interconexión, etc. Los tiempos de carga y de descarga de estos capacitores definen el llamado tiempo de respuesta del inversor.

LÓGICA DINÁMICA. - Lógica estática, es la cual donde los niveles lógicos se conservan en el tiempo, en el estado de los transistores. En su momento se buscaron soluciones circuitales para aumentar la velocidad de operación y disminuir el consumo de energía, desarrollándose lo que se llamó lógica dinámica. Los principios en los que se basa son:
1) la alimentación no es continua, sino en forma de pulsos;
2) un estado dado se mantiene por la carga de los capacitores de interconexión, por lo tanto, como esa carga se pierde en el tiempo, se requiere recargar esos capacitores para mantener el estado.

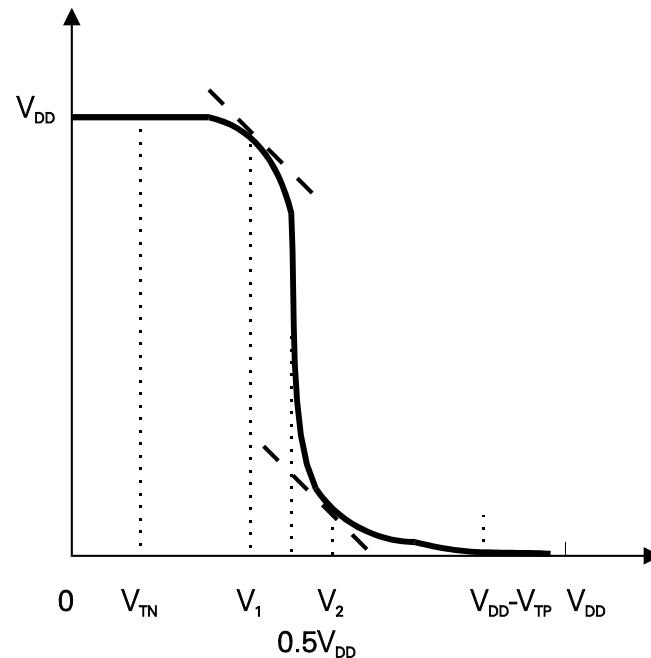


Fig. 4.10 Característica transferencial de inversor CMOS donde se muestra el voltaje de transición cerca del centro y los márgenes de ruido que se amplían.

La característica transferencial en este caso es bastante simétrica. Los niveles lógicos del “0” y del “1” no dependen de la relación de aspecto, correspondiendo al 0 y al VDD, por lo cual es “ratioless”. También hay un aumento en los márgenes de ruido de ambos niveles, que es algo muy útil. Finalmente, un resultado de esta forma de conexión es que el voltaje de VDD puede variar en un rango amplio, normalmente entre 3 y 15 V. Es la tecnología en que el inversor trabaja más independiente de los voltajes de alimentación.

Como la movilidad para el canal N es aproximadamente el doble que la movilidad en el canal P, entonces el ancho del transistor de carga será el doble del de control, con iguales longitudes de canal. Esta es la condición óptima desde el punto de vista de la inmunidad de ruido y la velocidad de comutación. Pero si estas características no son críticas, se puede obtener transistores de dimensión mínima con resultados de ahorro de espacio y de capacitancia de entrada del inversor. Cambiando la relación de aspecto se varía el voltaje de comutación entre estados.

Las memorias de acceso aleatorio (“**Random Access Memory**”-RAM) son la fuerza motriz de la tecnología de la microelectrónica por dos causas:

- 1) se requieren en cantidades muy grandes, obligando a aumentar constantemente el número de bits por chip de silicio, o sea la integración;
- 2) para lograr ese mayor grado de integración con rendimientos altos se requiere de un elevado desarrollo tecnológico. Por estas causas las memorias RAM son el acicate de la industria microelectrónica permitiéndole duplicar el nivel de integración aproximadamente cada dos años desde 1970.

Se diferencian dos tipos de memorias RAM de acuerdo con la forma en que la celda de memoria guarda la información: las RAM dinámicas y la RAM estáticas.

En el caso de la memoria RAM dinámicas la información se guarda en forma de la carga de un capacitor MOS, por lo cual se requiere de un refrescamiento de la información para mantenerla vigente. Para la memoria RAM estática la celda se conforma por un circuito biestable (“flip-flop”), manteniéndose la información mientras esté energizado el circuito.



SRAM: celda “latch” con dos inversores cruzados

Una celda SRAM es básicamente dos inversores CMOS realimentados (back-to-back), formando un biestable (“latch”).

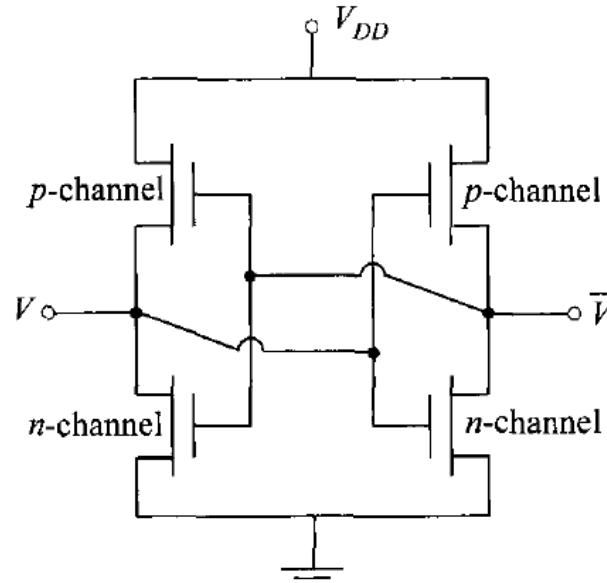
Propiedad clave: es estable mientras haya alimentación: guarda 0 o 1 como estado del biestable.

Costo: requiere más transistores. Cuatro para el núcleo (dos inversores) y típicamente seis si cuentas los transistores de acceso/control para word line y bit lines.

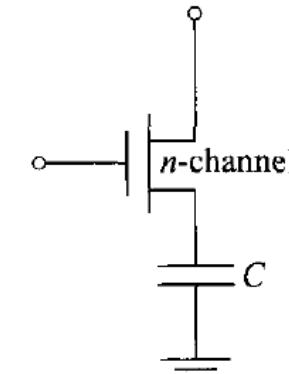
Interpretación de circuito (útil para entenderla):

Las dos bit-lines y transistores de acceso permiten leer el estado sin destruirlo (idealmente) y escribir forzando uno de los nodos.

SRAM



DRAM



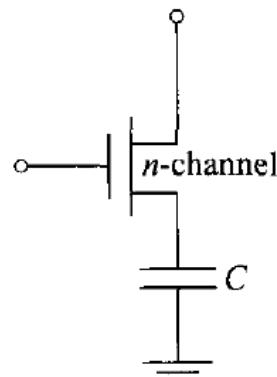
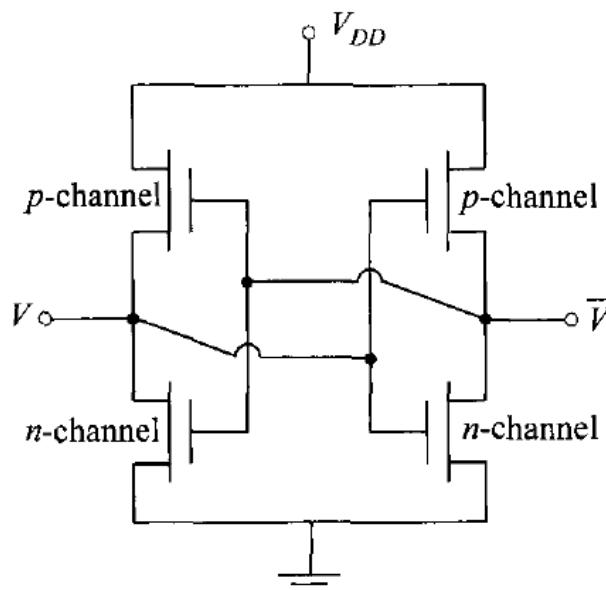
DRAM: 1 transistor + capacitor (1T1C)

Una celda DRAM básica usa solo un transistor, lo que permite altísima densidad.

El “bit” se guarda como carga en un capacitor.

Problema físico inevitable: el capacitor no es ideal, hay fuga (leakage), así que la carga se pierde con el tiempo.

Por eso DRAM necesita refresco periódico, de orden típico una frecuencia ~ 100 Hz (esto es, refrescar muchas veces por segundo).



Cómo se lee/escribe (conceptual):

Escritura: conectas el capacitor a la bit-line a través del transistor y lo cargas/descargas.

Lectura: es típicamente destructiva en el sentido de que perturba la carga, por eso debe restaurarse (refresco).



FIN DEL TEMA 3

(Curso Microelectrónica Parte I)