



PONTIFÍCIA UNIVERSIDADE CATÓLICA DE MINAS GERAIS

Instituto de Ciências Exatas e Informática – ICEI

Engenharia de Computação | Arquitetura de Computadores II

Professor: Romanelli Lodron Zuim

Hernane Velozo Rosa¹

hernane.rosa@sga.pucminas.br¹

TRABALHO PRÁTICO 01

Belo Horizonte

2022

Meio somador e sua tabela verdade

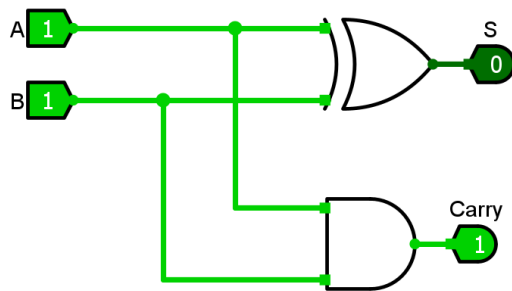


Figura 1.0: Meio somador

A	B	S	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Figura 1.1: Tabela Verdade

Os componentes que possuem as portas lógicas para composição de um meio somador (XOR, AND e OR) são:

- 74HC86: Porta lógica XOR
- 74LS08: Porta lógica AND
- 74LS32: Porta lógica OR

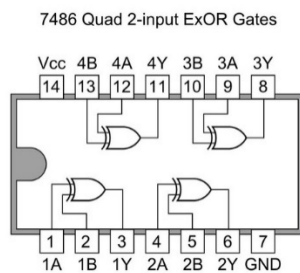


Figura 1.2: Porta XOR

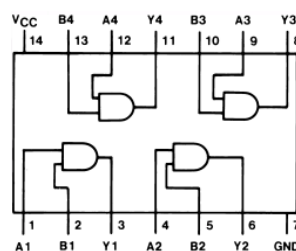


Figura 1.3: Porta AND

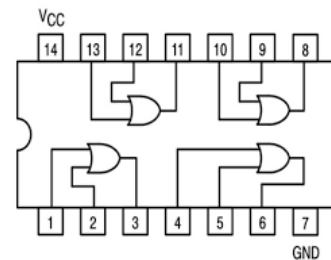


Figura 1.4: Porta OR

Pinos de entrada e saída das portas

O pino de alimentação VCC é o 14 e GND o 7. Os pinos de entrada são: 1 + 2, 4 + 5, 9 + 10, 12 + 13. Já os pinos de saída são: 3, 6, 8 e 11.

Procure no simulador-97 os mesmos componentes

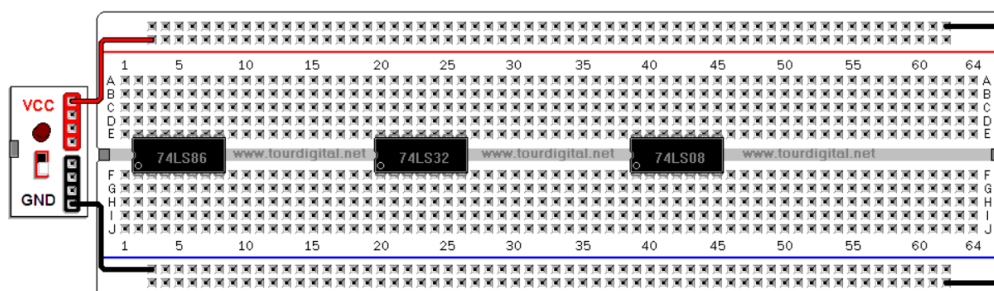


Figura 1.5: Porta AND

Pergunta 01 (resposta):

Quando um de seus terminais não for conectado, seu nível lógico será 1.

Atividade 6

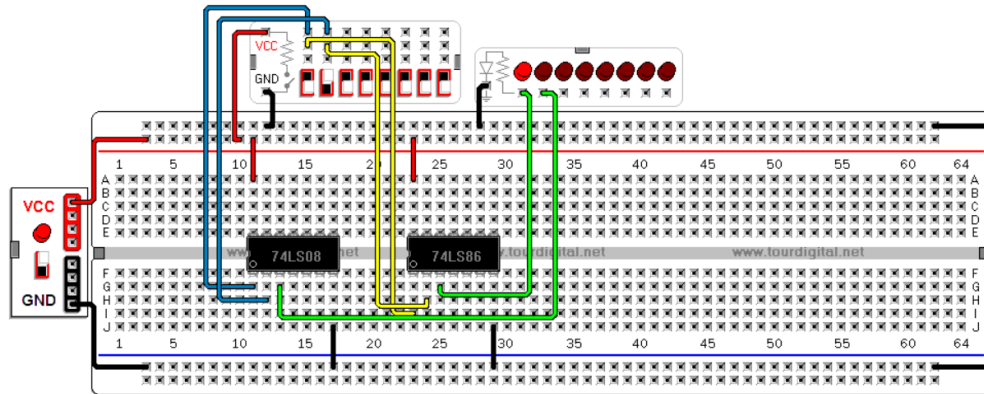


Figura 1.6 – Meio somador Simulador-97

Atividade 7

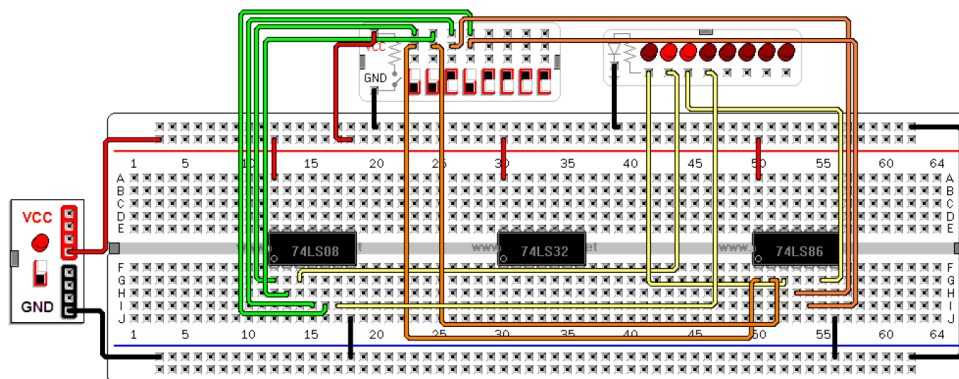


Figura 1.7 – Outro meio somador (Simulador-97)

Atividade 8

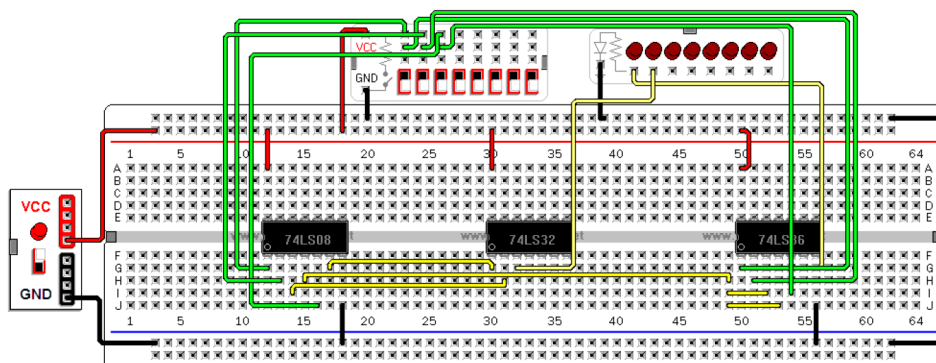


Figura 1.8 – Somador completo (Simulador-97)

Atividade 9

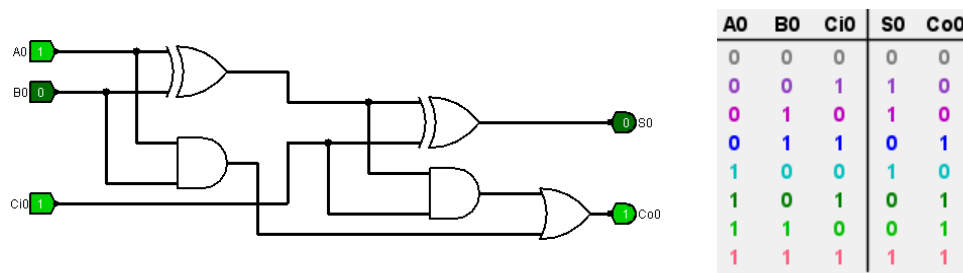


Figura 1.9 – Tabela verdade do circuito somador completo (Logisim)

Atividade 10

É necessário montar quatro somadores completos em paralelo. As entradas terão o valor da soma sendo executadas de forma isolada/individual dentro de cada um dos circuitos somadores e, então, são realizadas operações a “bit-a-bit”, onde seu resultado é enviado por meio de Carry in e Carry out até completar o ciclo.

Perguntas 2 (respostas):

- 2) Ocorre um “delay” de 30ns no primeiro somador.
- 3) Cada porta possui atraso de 10ns, então o somador de quatro bits terá um tempo de 90ns visto que o primeiro somador sofre o “delay” de 30ns e, para os demais, será de 60ns (3x20ns), logo, 90ns.
- 4) Montar oito somadores de quatro bits.
- 5) O seu tempo de atraso será de 50ns. (30ns para o primeiro somador e 20ns para o segundo). Multiplicando pelos trinta e um somadores, totaliza 650ns. Com base na fórmula $1/T = F$, teremos que frequência será, aproximadamente, 1,5Mhz.
- 6) Sim. Com a implementação do método “Carry Look-ahead”, cujo sinais que possuem maior peso serão antecipados, atentando-se aos bits de menor peso.

Circuitos/Subcircuitos Que Compõem a Calculadora de Quatro Bits (Logisim)

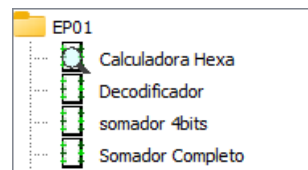


Figura 2.0 – Visão geral dos circuitos do projeto (Logisim)

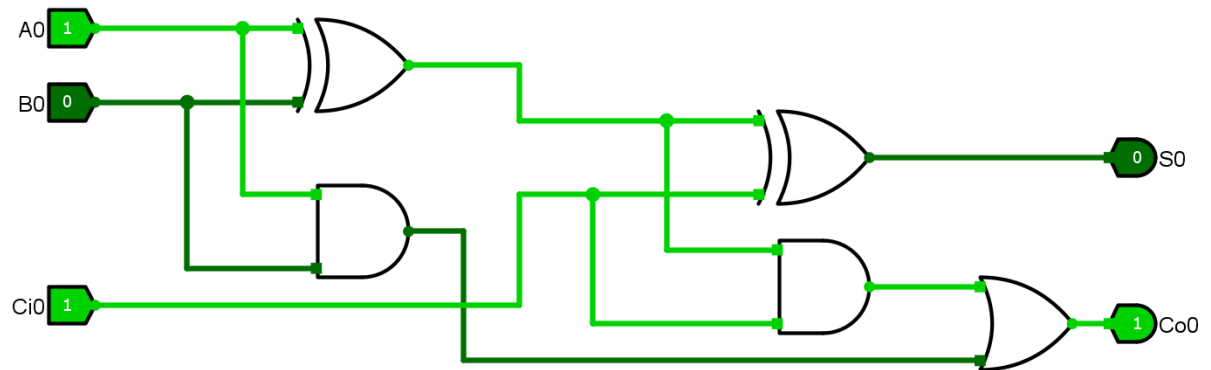


Figura 2.1 – Circuito do somador completo (Logisim)

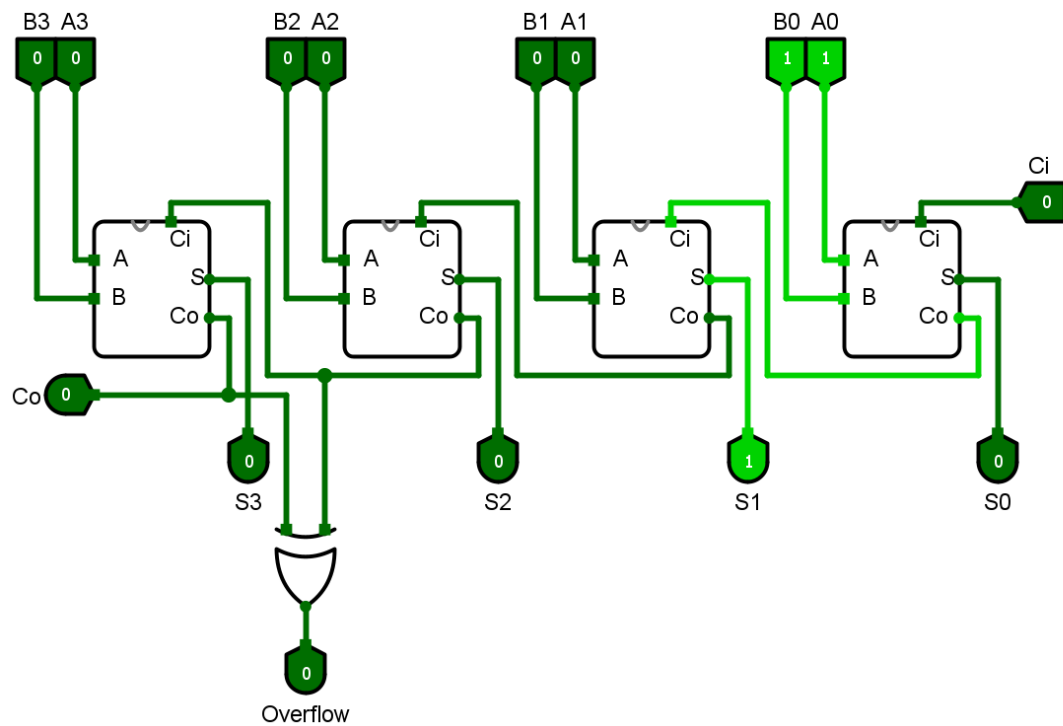


Figura 2.2 – Circuito do somador de quatro bits (Logisim)

Circuitos/Subcircuitos Que Compõem a Calculadora de Quatro Bits (Logisim)

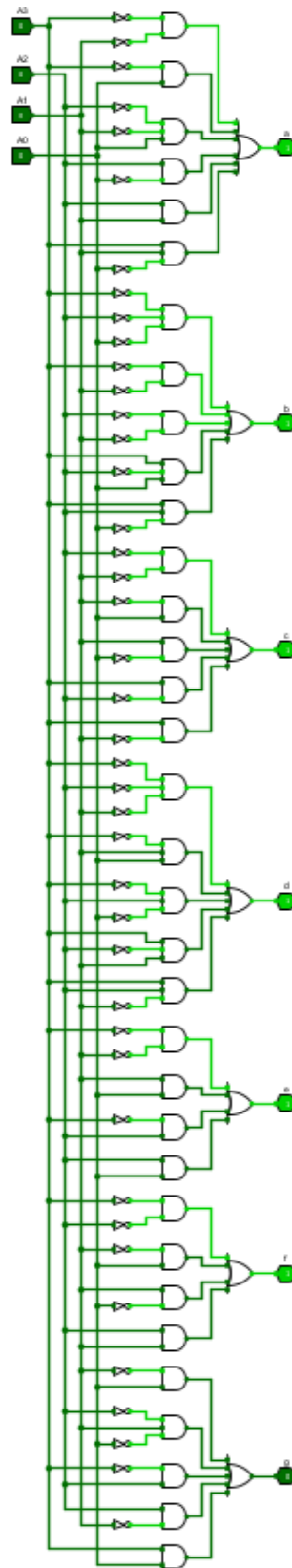


Figura 2.3 – Circuito do somador de quatro bits (Logisim)

Calculadora de 4 bits (Logisim)

Matrícula Hernane: 743640

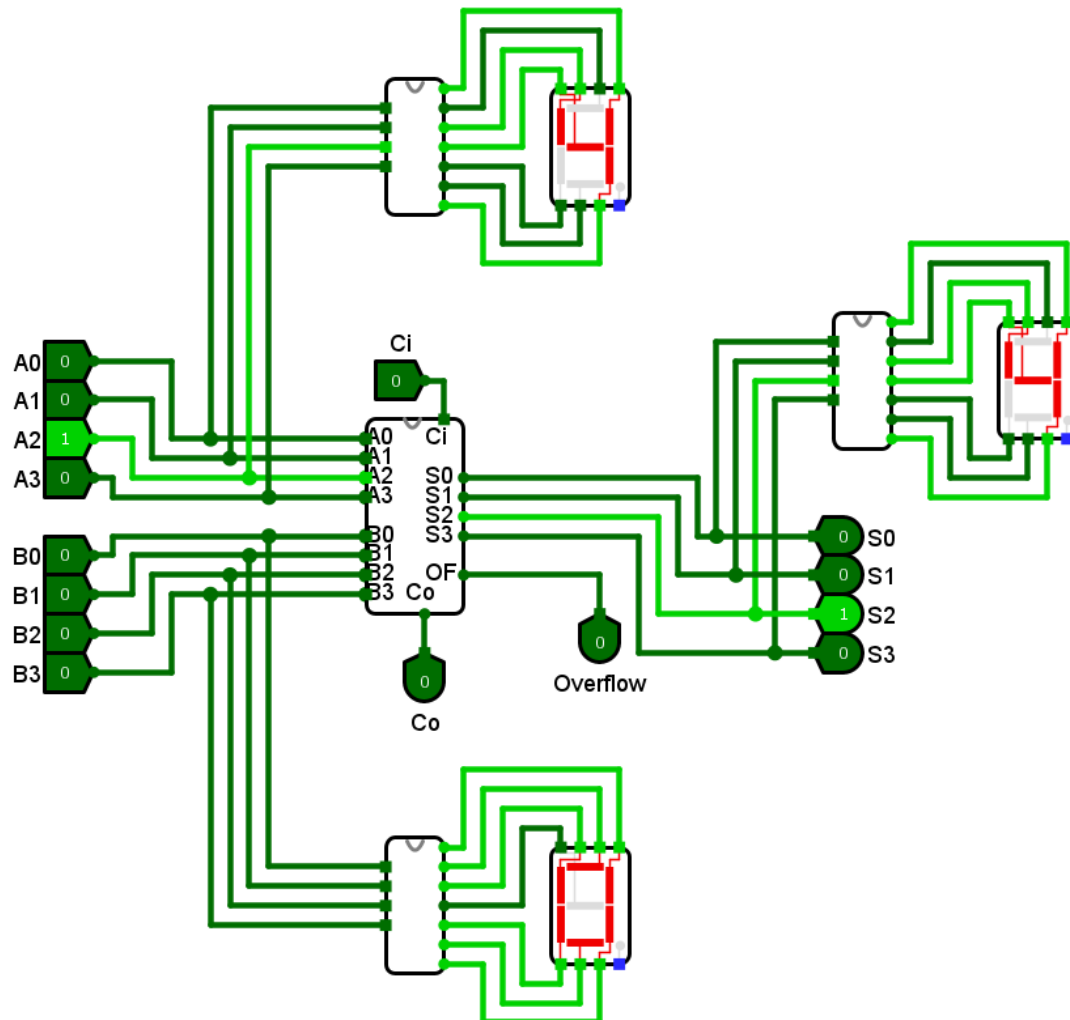


Figura 2.4 – Circuito da Calculadora de Quatro Bits (Logisim)

Referências:

Figura Porta XOR (74HC86 ou 74LS86)

<https://www.datasheetq.com/view.jsp?pn=74LS86&fac=Motorola&lang=en>

Figura Porta AND (SN7400N ou 74LS08)

<https://embarcados.com.br/cis-de-portas-logicas/>

Figura Porta OR (74LS32)

<http://www.datasheetcafe.com/74ls32-datasheet-quad-or-gate/>