

Organización del Computador 1

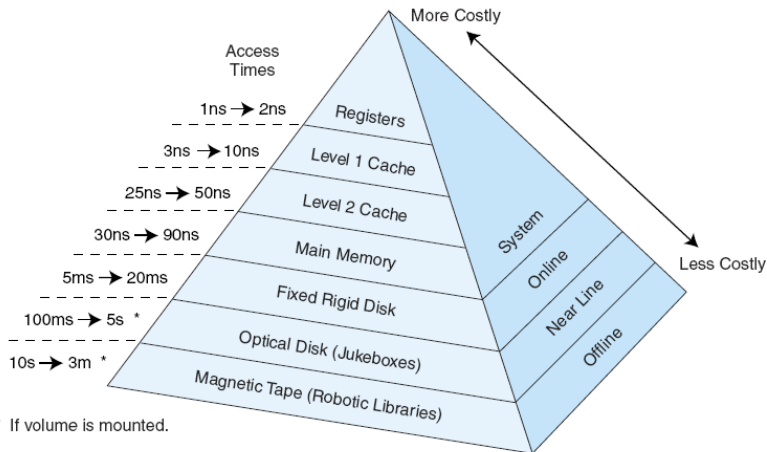
Memorias

Dr. Marcelo Risk

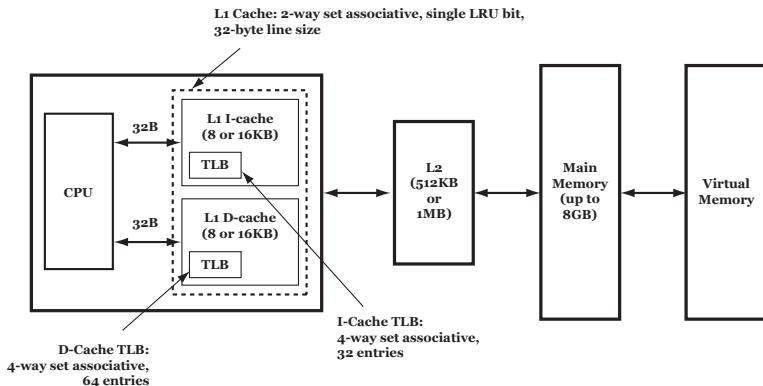
Departamento de Computación
Facultad de Ciencias Exactas y Naturales
Universidad de Buenos Aires

2017

Jerarquía de las memorias



Jerarquía de memorias en un Pentium



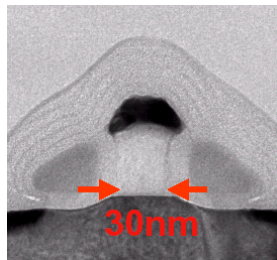
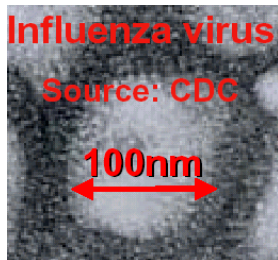
Métricas de las memorias

- ▶ Capacidad de almacenamiento: en bytes o múltiplos (kB, MB, TB)
- ▶ Tiempo de acceso: en segundos o submúltiplos (ns, ms)
- ▶ Velocidad de transferencia de datos: en bytes/seg o múltiplos
- ▶ Consumo de energía: en Watts
- ▶ Tamaño físico: en cm³
- ▶ Costo total y costo por MB: en \$ y \$/MB

Tipos y tecnología de memorias

- ▶ Memorias ROM
- ▶ Memorias RAM
- ▶ RAM estáticas vs dinámicas
- ▶ RAM volátiles vs no volátiles
- ▶ Memorias DRAM
- ▶ Memorias PROM, EPROM y EEPROM
- ▶ Memorias FLASH
- ▶ Memorias CACHE

Tecnología de Integración Actual



Imágenes obtenidas con TEM (Transmission Electron Microscope) de una cepa del virus de la gripe, y de un transistor construido con la tecnología de 65 nm utilizada desde el año 2005 en el Procesador Pentium IV y posteriores.

Tecnología de memorias: RAM Dinámica

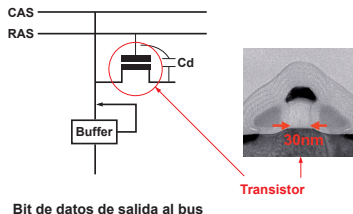
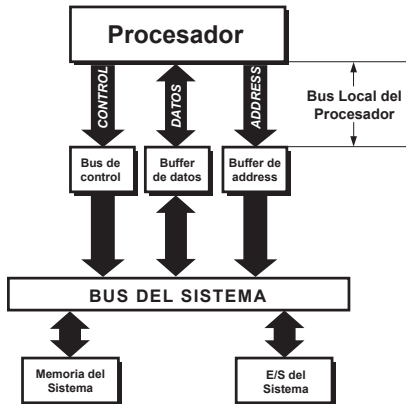


Figura: Diagrama de un bit elemental de DRAM (Dynamic RAM)

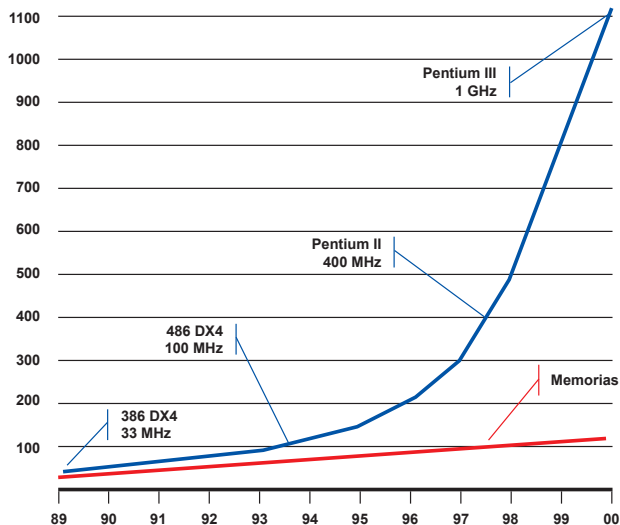
- ▶ Almacena la información como una carga en una capacidad espuria de un transistor.
- ▶ Una celda (un bit) se implementa con un solo transistor ? máxima capacidad de almacenamiento por chip.
- ▶ Ese transistor consume mínima energía ? Muy bajo consumo.
- ▶ Al leer el bit, se descarga la capacidad ? necesita regenerar la carga ? aumenta entonces el tiempo de acceso de la celda.

Estructura de Bus clásica



- ▶ Desde fines de los años 80, los procesadores desarrollaban velocidades muy superiores a los tiempos de acceso a memoria.
- ▶ En este escenario, el procesador necesita generar *wait states* para esperar que la memoria esté lista (READY) para el acceso.
- ▶ Tiene sentido lograr altos clocks en los procesadores si no puede aprovecharlos por tener que esperar (*wait*) a la memoria?

Crecimiento de la velocidad de clock de las CPU versus memoria



Memorias dinámicas vs estáticas

- ▶ RAM dinámica (DRAM)
 - ▶ Consumo mínimo.
 - ▶ Capacidad de almacenamiento comparativamente alta.
 - ▶ Costo por bit bajo.
 - ▶ Tiempo de acceso alto (lento), debido al circuito de regeneración de carga.
 - ▶ Si construimos el banco de memoria utilizando RAM dinámica, no aprovechamos la velocidad del procesador.
- ▶ RAM estática (SRAM)
 - ▶ Alto consumo relativo.
 - ▶ Capacidad de almacenamiento comparativamente baja.
 - ▶ Costo por bit alto.
 - ▶ Tiempo de acceso bajo (es mas rápida).
 - ▶ Si construimos el banco de memoria utilizando RAM estática, el costo y el consumo de la computadora son altos.

Memorias cache

- ▶ Se trata de un banco de SRAM de muy alta velocidad, que contiene una copia de los datos e instrucciones que están en memoria principal.
- ▶ El arte consiste en que esta copia esté disponible justo cuando el procesador la necesita, permitiéndole acceder a esos ítems sin recurrir a wait states.
- ▶ Combinada con una gran cantidad de memoria DRAM, para almacenar el resto de códigos y datos, resuelve el problema mediante una solución de compromiso típica.
- ▶ Requiere de hardware adicional que asegure que este pequeño banco de memoria cache contenga los datos e instrucciones más frecuentemente utilizados por el procesador.

Ejemplo memoria OTP EPROM

Features

- Fast Read Access Time – 90 ns
- Dual Voltage Range Operation
 - Low Voltage Power Supply Range, 3.0V to 3.6V
 - or Standard 5V \pm 10% Supply Range
- Compatible with JEDEC Standard AT27C512R
- Low Power CMOS Operation
 - 20 μ A Max (Less than 1 μ A Typical) Standby for $V_{CC} = 3.6V$
 - 29 mW Max Active at 5 MHz for $V_{CC} = 3.6V$
- JEDEC Standard Packages
 - 32-lead PLCC
 - 28-lead SOIC
 - 28-lead TSOP
- High Reliability CMOS Technology
 - 2,000V ESD Protection
 - 200 mA Latchup Immunity
- Rapid Programming Algorithm – 100 μ s/Byte (Typical)
- CMOS and TTL Compatible Inputs and Outputs
 - JEDEC Standard for LVTTTL
- Integrated Product Identification Code
- Industrial Temperature Range
- Green (Pb/Halide-free) Packaging Option



**512K (64K x 8)
Low Voltage
OTP EPROM**

AT27LV512A

Ejemplo memoria OTP EPROM

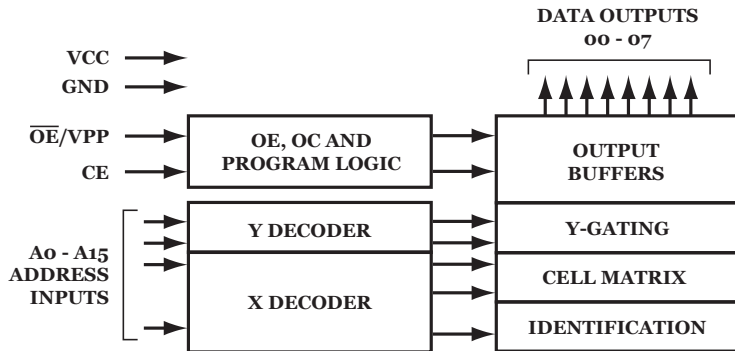
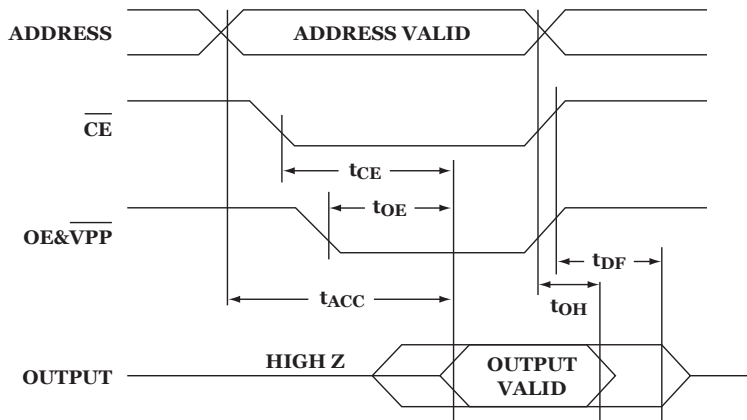
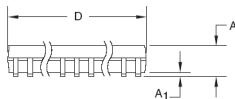
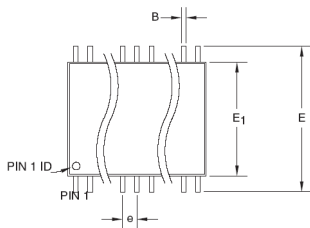


Diagrama de tiempos de la EPROM



Características físicas de la EPROM



Note: 1. Dimensions D and E1 do not include mold Flash or protrusion. Mold Flash or protrusion shall not exceed 0.25 mm (0.010").

COMMON DIMENSIONS
(Unit of Measure = mm)

SYMBOL	MIN	NOM	MAX	NOTE
A	2.39	—	2.79	
A1	0.050	—	0.356	
D	18.00	—	18.50	Note 1
E	11.70	—	12.50	
E	1 8.59	—	8.79	Note 1
B	0.356	—	0.508	
C	0.203	—	0.305	
L	0.94	—	1.27	
e	1.27 TYP			

Ejemplo EEPROM

Features

- 2.7V to 3.6V Supply
 - Full Read and Write Operation
- Low Power Dissipation
 - 8 mA Active Current
 - 50 μ A CMOS Standby Current
- Read Access Time - 300 ns
- Byte Write - 3 ms
- Direct Microprocessor Control
 - DATA Polling
 - READY/BUSY Open Drain Output
- High Reliability CMOS Technology
 - Endurance: 100,000 Cycles
 - Data Retention: 10 Years
- JEDEC Approved Byte-Wide Pinout
- Commercial and Industrial Temperature Ranges

Description

The AT28BV64 is a low-voltage, low-power Electrically Erasable and Programmable Read Only Memory specifically designed for battery powered applications. Its 64K of memory is organized 8,192 words by 8 bits. Manufactured with Atmel's advanced nonvolatile CMOS technology, the device offers access times to 200 ns with power dissipation less than 30 mW. When the device is deselected the standby current is less than 50 μ A.

(continued)



64K (8K x 8)
Battery-Voltage[™]
Parallel
EEPROMs

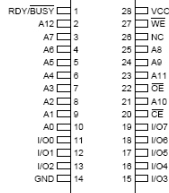
AT28BV64

Ejemplo EEPROM

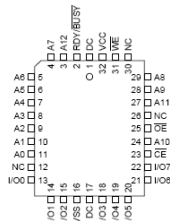
Pin Configurations

Pin Name	Function
A0 - A12	Addresses
\overline{CE}	Chip Enable
\overline{OE}	Output Enable
\overline{WE}	Write Enable
I/O0 - I/O7	Data Inputs/Outputs
RDY/ \overline{BUSY}	Ready/Busy Output
NC	No Connect
DC	Don't Connect

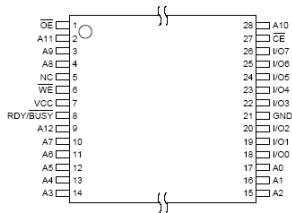
PDIP, SOIC
Top View



PLCC
Top View



TSOP
Top View



Ejemplo memoria FLASH

Features

- Single Supply Voltage Range, 2.7V to 3.6V
- Single Supply for Read and Write
- Fast Read Access Time – 90 ns
- Internal Program Control and Timer
- 8K Bytes Boot Block with Lockout
- Fast Erase Cycle Time – 10 Seconds
- Byte-by-byte Programming – 30 μ s/Byte Typical
- Hardware Data Protection
- DATA Polling for End of Program Detection
- Low Power Dissipation
 - 25 mA Active Current
 - 50 μ A CMOS Standby Current
- Typical 10,000 Write Cycles
- Green (Pb/Halide-free) Packaging Option

1. Description

The AT49BV512 is a 3-volt only, 512K Flash memories organized as 65,536 words of 8 bits each. Manufactured with Atmel's advanced nonvolatile CMOS technology, the devices offer access times to 90 ns with power dissipation of just 90 mW over the commercial temperature range. When the devices are deselected, the CMOS standby current is less than 50 μ A.

To allow for simple in-system reprogrammability, the AT49BV512 does not require high input voltages for programming. Three-volt only commands determine the read and programming operation of the device. Reading data out of the device is similar to reading from an EPROM. Reprogramming the AT49BV512 is performed by erasing the entire 1 megabit of memory and then programming on a byte-by-byte basis. The typical byte programming time is a fast 30 μ s. The end of a program cycle can be optionally detected by the DATA polling feature. Once the end of a byte program cycle has been detected, a new access for a read or program can begin. The typical number of program and erase cycles is in excess of 10,000 cycles.



**512K (64K x 8)
Single 2.7-volt
Battery-Voltage
Flash Memory**

AT49BV512

Ejemplo memoria SRAM

DATA SHEET

NEC

MOS INTEGRATED CIRCUIT

μ PD43256B

256K-BIT CMOS STATIC RAM
32K-WORD BY 8-BIT

Description

The μ PD43256B is a high speed, low power, and 262,144 bits (32,768 words by 8 bits) CMOS static RAM.

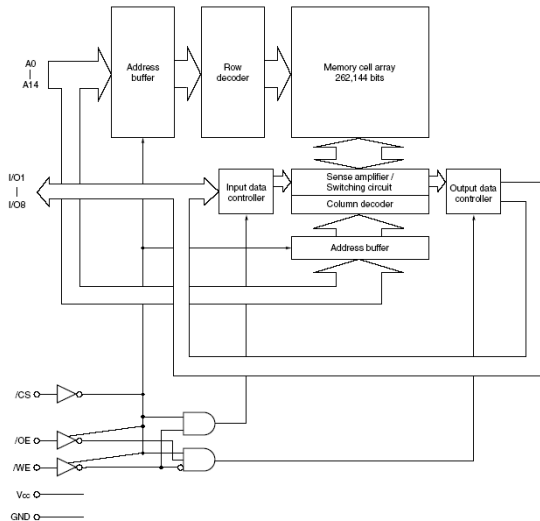
Battery backup is available. And A and B versions are wide voltage operations.

The μ PD43256B is packed in 28-pin PLASTIC DIP, 28-pin PLASTIC SOP and 28-pin PLASTIC TSOP (I) (8 x 13.4 mm).

Features

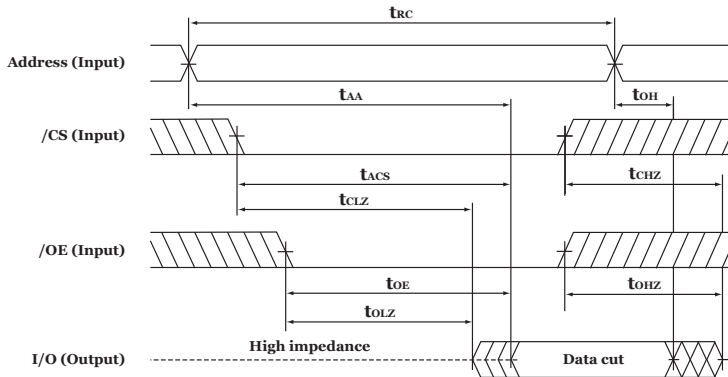
- 32,768 words by 8 bits organization
- Fast access time: 70, 85, 100, 120, 150 ns (MAX.)
- Low voltage operation (A version: $V_{CC} = 3.0$ to 5.5 V, B version: $V_{CC} = 2.7$ to 5.5 V)
- Low V_{CC} data retention: 2.0 V (MIN.)
- $/OE$ input for easy application

Ejemplo memoria SRAM



Ejemplo memoria SRAM

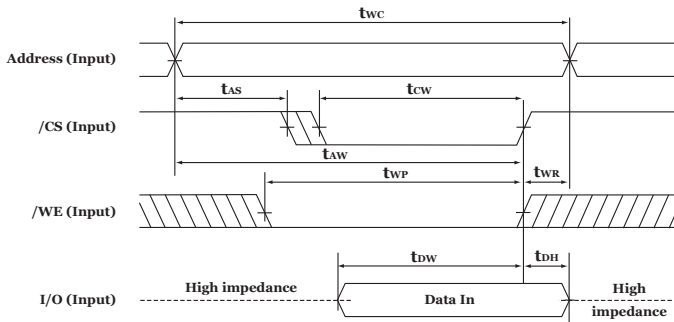
Read Cycle Timing Chart



Remark: Inread cycle, /WE should be fixed to high level.

Ejemplo memoria SRAM

Write Cycle Timing Chart 2 (/CS Controlled)



Cautions 1. $\overline{\text{CS}}$ or $\overline{\text{WE}}$ should be fixed to high level during address transition.

2. When I/O pins are in the output state, therefore the input signals must not be applied to the output

Ejercicio

- ▶ Dado un espacio de memoria de 64 K x 8 bits, y el siguiente mapa de memoria, diseñar el circuito lógico de selección.
- ▶ Mapa de memoria:
0000 a 2000 hex => EPROM
2000 a 8000 hex => RAM
8000 a FFFF hex => FLASH