

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
A61B 6/03 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910089258.2

[43] 公开日 2009 年 12 月 23 日

[11] 公开号 CN 101606846A

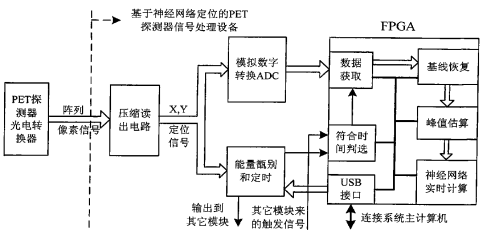
[22] 申请日 2009.7.10
[21] 申请号 200910089258.2
[71] 申请人 中国科学技术大学
地址 230026 安徽省合肥市金寨路 96 号
[72] 发明人 王永纲 都军伟 周忠辉 杨 阳
张丽君

[74] 专利代理机构 北京科迪生专利代理有限责任
公司
代理人 成金玉 卢 纪

权利要求书 3 页 说明书 9 页 附图 3 页

[54] 发明名称
基于神经网络定位器的 PET 探测器信号处理设备

[57] 摘要
一种基于神经网络定位器的 PET 探测器信号处理设备，该设备集成实现了从探测器输出的光电转换信号到用神经网络实时计算 γ 射线作用位置坐标之间的一系列信号处理过程，包括对光电转换器输出的阵列像素信号的压缩读出处理电路、模拟数字转换电路、能量甄别和定时电路、符合时间判选电路、基线恢复电路、信号峰值估算电路，神经网络实时计算电路、以及 USB 接口电路等。由于基于 FPGA 的各种数字核信号处理技术的实现，特别是神经网络实时计算的实现，系统的实时性和集成度大大提高。本发明结构紧凑、性能完备，在线处理数据能力强，可以方便地和 PET 探测器组成完整的探测器模块，这样的模块是实现基于神经网络定位的新型 PET 成像设备研发的重要中间设备。



1、基于神经网络定位器的 PET 探测器信号处理设备，其特征在于：包括压缩读出电路、模拟数字转换电路、能量甄别和定时电路和 FPGA 电路，FPGA 电路包括符合时间判选电路、基线恢复电路、信号峰值估算电路，神经网络实时计算电路、以及 USB 接口电路，其中：

所述压缩读出电路，将 PET 探测器中光电转换器输出的像素阵列信号 $m \times n$ 积分成形放大，再通过行、列相加电路将阵列信号中对应相同行和列的像素信号求和，从而得到比像素阵列信号通道数量大为减少的 X 维定位信号和 Y 维定位信号，并把它们传输给模拟数字转换电路、能量甄别和定时电路，X 维定位信号共 m 路，Y 维定位信号共 n 路，m 和 n 均为大于等于 1 的自然数；

所述能量甄别和定时电路，分别将 m 路的 X 定位信号，n 路的 Y 定位信号求和，所得到的模拟信号的幅度值代表该次探测到的核事例的能量值，该能量值与预先设定好的能量阈值进行比较，如果能量值大于阈值，则输出前沿定时的触发信号给符合时间判选电路，同时该信号还输出到本系统外，作为其它模块电子学的符合时间判选电路使用；

所述模拟数字转换电路，共有 $m+n$ 通道，用于将输入的 X 和 Y 定位信号数字化，输出结果发送给 FPGA 电路内的数据获取电路；

所述数据获取电路，实现在符合时间判选电路输出的有效事例信号的控制下，获取模拟数字转换电路连续送来的 $m+n$ 通道数据流中的有效波形信号，并将有效波形信号输出到基线恢复电路；

所述基线恢复电路，用于将获取的有效波形信号的基线恢复到零值，基线恢复后的波形数据送入峰值估算电路中；

所述峰值估算电路，用于实时估算 $m+n$ 路有效波形信号的幅度值，并发送给神经网络实时计算电路；

所述神经网络实时计算电路，对有效波形信号的幅度值实时在线计算神经网络，得到该次 γ 射线击中探测器的位置信息，即 X、Y 坐标，该信息通过 USB 接口被系统主计算机读取；

所述符合时间判选电路，结合本系统能量甄别电路送来的触发信号和其它探测器模块送来的触发信号，对该次探测到的事例的有效性作时间符合判选，输出的判选结果用于控制数据获取电路获取有效波形信号；

所述 USB 接口电路, 用于连接主计算机和本电子学系统进行数据交流, 主计算机通过该 USB 接口向系统中的一些电路发送控制命令和参数, 同时读取神经网络实时计算电路的输出结果。

2、根据权利要求 1 所述的基于神经网络定位器的 PET 探测器信号处理设备, 其特征在于: 所述的能量甄别和定时电路包括由两套相同的运算放大器组成求和电路、比较器电路和两个数字模拟转换器 DAC; 两套相同的运算放大器组成的求和电路分别将 X 定位信号和 Y 定位信号求和, 求和结果分别通过比较器电路与预先设定的能量阈值作比较, 能量阈值由两个数字模拟转换器 DAC 的输出提供, DAC 的输入值由主计算机通过 USB 接口设定, 通过设定两个 DAC 的输入值可以设定事例的能量值窗, 只有在输入事例的能量值处于设定的能量窗内, 能量甄别和定时电路才输出有效的事例到来触发信号。

3、根据权利要求 1 所述的基于神经网络定位器的 PET 探测器信号处理设备, 其特征在于: 所述的符合时间判选电路接收本系统能量甄别和定时电路发来的触发信号和其它探测器模块发来的触发信号, 如果这两个信号的到达时间在预先设定的时间窗内, 就输出好事例到来信号给数据获取电路; 时间窗的设定和判断是在 FPGA 内部利用可预置数字计数器来实现的, 先到来的触发信号使能计数器开始减法计数, 如果另一个触发信号在计数器到零之前到来, 则认为该两个触发信号在一个时间窗内到达, 系统探测到了一个好事例, 就输出好事例到来触发信号。

4、根据权利要求 1 所述的基于神经网络定位器的 PET 探测器信号处理设备, 其特征在于: 所述的数据获取电路只有在接到符合时间判选电路输出的事例有效信号后才获取和缓存 ADC 送来的 $m+n$ 通道波形采样数据; 获取的信号波形采样数据点的总个数、以及获取的采样点相对于事例有效信号到达时刻的位置都是由主计算机程控设定的; 所获取的 $m+n$ 通道的波形数据被缓存在 $m+n$ 个 FIFO 中。

5、根据权利要求 1 所述的基于神经网络定位器的 PET 探测器信号处理设备, 其特征在于: 所述的基线恢复电路共有 $m+n$ 路, 是用各路信号波形基线的 4 个采样点的算术平均值作为基线的估计值, 然后该波形所有数据点减去基线估计值, 如果两个核信号脉冲间的基线采样点数小于 4, 将借用前一个脉冲的基线采样点补齐 4 点。

6、根据权利要求 1 所述的基于神经网络定位器的 PET 探测器信号处理设备, 其特征在于: 所述的峰值估算电路共有 $m+n$ 路, 峰值估算的实现是在 FPGA 内部, 采用比较采样值求最大值法、或 4 点数值平均低通滤波器法。

7、根据权利要求 1 所述的基于神经网络定位器的 PET 探测器信号处理设备, 其特征在于: 所述的神经网络实时计算包括两套结构相同的计算模块, 一套用 m 个 X 定位信号

的峰值计算 X 坐标，另一套用 n 个 Y 定位信号的峰值计算 Y 坐标；每一套计算模块包括输入数据归一化计算单元和神经网络计算单元两部分；

所述输入数据归一化计算单元是通过将每个输入数据除以所有输入数据的总和实现输入数据归一化的；

所述神经网络计算单元的网络结构为前向、全连接、无反馈、固定权值的多层感知器神经网络，它包含一个具有 m 个或 n 个输入节点的输入层、两个隐藏层和具有一个神经元的线性输出层，其中每个隐藏层具有 12 个神经元，传输函数为双曲正切函数。

8、根据权利要求 7 所述的基于神经网络定位器的 PET 探测器信号处理设备，其特征在于：所述的神经网络实时计算是利用 FPGA 内部硬件资源完成神经网络的实时计算，每一个神经元中的乘法运算由 FPGA 内部的硬件乘法器实现，每一个神经元中的传输函数采用一阶 piecewise 函数逼近实现；每一个神经元占用一个乘法器，神经元的输入与权重值的乘积运算与一阶 piecewise 函数逼近中的乘法运算分时复用该硬件乘法器。

9、根据权利要求 7 所述的基于神经网络定位器的 PET 探测器信号处理设备，其特征在于：所述的数据归一化实现过程为，先求出 m 个或 n 个输入数据之和的倒数，然后将每个输入数据分别乘以该倒数；其中，采用一阶 piecewise 函数逼近来计算倒数；每一个输入数据归一化计算单元占用一个硬件乘法器，归一化运算采用流水线结构完成。

10、根据权利要求 7 或 8 或 9 所述的基于神经网络定位器的 PET 探测器信号处理设备，其特征在于：所述的神经网络实时计算的硬件实现结构为，每一个神经元的运算采用流水线结构完成，同一层神经元的计算采用并行结构完成，不同层计算和输入数据归一化计算采用流水线结构完成。

基于神经网络定位器的 PET 探测器信号处理设备

技术领域

本发明涉及核信号处理领域，进一步划分属于高分辨 PET 探测器模块实时信号处理电子学设备。

背景技术

正电子发射计算机断层扫描 PET (Positron Emission Tomography) 是一种核医学成像技术，在疾病的早期发现和检查中具有重要的作用。用于生命现象本质研究、疾病病理研究以及药物机理研究的小动物 PET 近年来越来越得到重视。和临床疾病诊断用的人体 PET 相比，小动物 PET 对探测器的位置分辨率有较高的要求。目前，高分辨率 PET 探测器模块的位置分辨率可以做到 2mm 以下，晶体结构大多采用分割晶体的方法。由于分割晶体方法需要在晶体间填充隔光材料，降低晶体条之间的光串扰，造成探测器有效探测面积的减小，导致了探测效率的降低。采用单块连续晶体减少了死空间，可以明显提高探测效率和能量分辨率，但 γ 射线在大块闪烁体上的作用位置的定位精度问题一直是基于大块闪烁体探测器研究开发的重点。由多通道光电转换器将闪烁光的分布转化为电信号读出，由光分布信息通过神经网络算法确定作用位置的做法近年来被证明可以获得和分隔晶体方法相当的高分辨率 (P. Bruyndonckx, C. Lemaitre, D. J. van der Laan, et al., "Evaluation of Machine Learning Algorithms for Localization of Photons in Undivided Scintillator Blocks for PET Detectors", IEEE Translation on Nuclear Science, vol. 55, no. 3, pp. 918-924, June 2008)。但基于大块闪烁体的探测器模块，探测器的信号读出、获取和计算处理都要复杂的多。目前国际上基于大块闪烁体和神经网络定位算法的信号读出、数字化采集和计算处理均是基于实验室的通用核信号处理插件、数字化采集仪器，以及通用计算机组合而成。这样的组合系统集成度低、不具有实时计算能力，不能满足将多个 PET 探测器模块组合起来构成新型高分辨 PET 成像仪器的需要。

发明内容

本发明解决的技术问题：克服现有技术的不足，提供一种基于神经网络定位器的 PET 探测器信号处理设备，该电子学设备结构紧凑、性能完备，特别是使用 FPGA 实现了神经网络的在线实时计算。

本发明的技术解决方案：基于神经网络定位器的 PET 探测器信号处理设备，其特征在于：包括压缩读出电路、模拟数字转换电路、能量甄别和定时电路和 FPGA 电路，FPGA

电路包括符合时间判选电路、基线恢复电路、信号峰值估算电路，神经网络实时计算电路、以及 USB 接口电路，其中：所述压缩读出电路，将 PET 探测器中光电转换器输出的像素阵列信号 $m \times n$ 积分成形放大，再通过行、列相加电路将阵列信号中对应相同行和列的像素信号求和，从而得到比像素阵列信号通道数量大为减少的 X 维定位信号和 Y 维定位信号，并把它们传输给模拟数字转换电路、能量甄别和定时电路，X 维定位信号共 m 路，Y 维定位信号共 n 路，m 和 n 均为大于等于 1 的自然数；所述能量甄别和定时电路，分别将 m 路的 X 定位信号，n 路的 Y 定位信号求和，所得到的模拟信号的幅度值代表该次探测到的核事例的能量值，该能量值与预先设定好的能量阈值进行比较，如果能量值大于阈值，则输出前沿定时的触发信号给符合时间判选电路，同时该信号还输出到本系统外，作为其它模块电子学的符合时间判选电路使用；所述模拟数字转换电路，共有 $m+n$ 通道，用于将输入的 X 和 Y 定位信号数字化，输出结果发送给 FPGA 电路内的数据获取电路；所述数据获取电路，实现在符合时间判选电路输出的有效事例信号的控制下，获取模拟数字转换电路连续送来的 $m+n$ 通道数据流中的有效波形信号，并将有效波形信号输出到基线恢复电路；所述基线恢复电路，用于将获取的有效波形信号的基线恢复到零值，基线恢复后的波形数据送入峰值估算电路中；所述峰值估算电路，用于实时估算 $m+n$ 路有效波形信号的幅度值，并发送给神经网络实时计算电路；所述神经网络实时计算电路，对有效波形信号的幅度值实时在线计算神经网络，得到该次 γ 射线击中探测器的位置信息，即 X、Y 坐标，该信息通过 USB 接口被系统主计算机读取；所述符合时间判选电路，结合本系统能量甄别电路送来的触发信号和其它探测器模块送来的触发信号，对该次探测到的事例的有效性作时间符合判选，输出的判选结果用于控制数据获取电路获取有效波形信号；所述 USB 接口电路，用于连接主计算机和本电子学系统进行数据交流，主计算机通过该 USB 接口向系统中的一些电路发送控制命令和参数，同时读取神经网络实时计算电路的输出结果。

所述的能量甄别和定时电路包括由两套相同的运算放大器组成求和电路、比较器电路和两个数字模拟转换器 DAC；两套相同的运算放大器组成的求和电路分别将 X 定位信号和 Y 定位信号求和，求和结果分别通过比较器电路与预先设定的能量阈值作比较，能量阈值由两个数字模拟转换器 DAC 的输出提供，DAC 的输入值由主计算机通过 USB 接口设定，通过设定两个 DAC 的输入值可以设定事例的能量值窗，只有在输入事例的能量值处于设定的能量窗内，能量甄别和定时电路才输出有效的事例到来触发信号。

所述的符合时间判选电路接收本系统能量甄别和定时电路发来的触发信号和其它探测器模块发来的触发信号，如果这两个信号的到来时间在预先设定的时间窗内，就输

出好事例到来信号给数据获取电路；时间窗的设定和判断是在 FPGA 内部利用可预置数字计数器来实现的，先到来的触发信号使能计数器开始减法计数，如果另一个触发信号在计数器到零之前到来，则认为该两个触发信号在一个时间窗内到达，系统探测到了一个好事例，就输出好事例到来触发信号。

所述的数据获取电路只有在接到符合时间判选电路输出的事例有效信号后才获取和缓存 ADC 送来的 $m+n$ 通道波形采样数据；获取的信号波形采样数据点的总个数、以及获取的采样点相对于事例有效信号到达时刻的位置都是由主计算机程控设定的；所获取的 $m+n$ 通道的波形数据被缓存在 $m+n$ 个 FIFO 中。

所述的基线恢复电路共有 $m+n$ 路，是用各路信号波形基线的 4 个采样点的算术平均值作为基线的估计值，然后该波形所有数据点减去基线估计值，如果两个核信号脉冲间的基线采样点数小于 4，将借用前一个脉冲的基线采样点补齐 4 点；

所述的峰值估算电路共有 $m+n$ 路，峰值估算的实现是在 FPGA 内部，采用比较采样值求最大值法、或 4 点数值平均低通滤波器法；

所述的神经网络实时计算包括两套结构相同的计算模块，一套用 m 个 X 定位信号的峰值计算 X 坐标，另一套用 n 个 Y 定位信号的峰值计算 Y 坐标；每一套计算模块包括输入数据归一化计算单元和神经网络计算单元两部分；

所述输入数据归一化计算单元是通过将每个输入数据除以所有输入数据的总和实现输入数据归一化的；

所述神经网络计算单元的网络结构为前向、全连接、无反馈、固定权值的多层感知器神经网络，它包含一个具有 m 个或 n 个输入节点的输入层、两个隐藏层和具有一个神经元的线性输出层，其中每个隐藏层具有 12 个神经元，传输函数为双曲正切函数。

所述的神经网络实时计算是利用 FPGA 内部硬件资源完成神经网络的实时计算，每一个神经元中的乘法运算由 FPGA 内部的硬件乘法器实现，每一个神经元中的传输函数采用一阶 piecewise 函数逼近实现；每一个神经元占用一个乘法器，神经元的输入与权重值的乘积运算与一阶 piecewise 函数逼近中的乘法运算分时复用该硬件乘法器。

所述的数据归一化实现过程为，先求出 m 个或 n 个输入数据之和的倒数，然后将每个输入数据分别乘以该倒数；其中，采用一阶 piecewise 函数逼近来计算倒数；每一个输入数据归一化计算单元占用一个硬件乘法器，归一化运算采用流水线结构完成。

所述的神经网络实时计算的硬件实现结构为，每一个神经元的运算采用流水线结构完成，同一层神经元的计算采用并行结构完成，不同层计算和输入数据归一化计算采用流水线结构完成。

本发明与现有技术相比的有益效果如下：本发明的有益效果主要表现在信号处理实时性的提高，以及系统集成度的提高两个方面：

(1) 用通用核信号处理插件、仪器和通用计算机构成的基于大块闪烁晶体和神经网络定位算法的实验测试系统结构庞大，信号处理时间长，不能应用到实际 PET 成像设备中。本发明大量使用数字信号处理技术实现了传统上由模拟电路实现的核信号处理过程，例如数字符合时间判选、数字基线恢复、数字信号峰值估算等。特别是神经网络的在线实时计算，通过并行和流水线结构，在 FPGA 内部实现了每秒大于 15M 个有效事例的计算能力，因而整个系统的实时处理能力大为提高，能够满足基于神经网络定位器的 PET 探测器在实用仪器中对实时性的要求。

(2) 本发明功能完备，结构紧凑，集成度高，整个系统可以集成在一块电路板上。本系统可以和闪烁晶体以及光电转换器件集成构成体积小、功能全的探测器模块，这样的探测器模块是研发新型 PET 成像设备的中间设备。

附图说明

图 1 本发明的系统功能框图；

图 2 为根据本发明的一个实施例的光电转换器 8×8 阵列像素示意图；

图 3 为根据本发明的一个实施例的结构框图；

图 4 为根据本发明的一个实施例的偏置调节电路；

图 5 为根据本发明的一个实施例的 FPGA 逻辑功能框图；

图 6 为根据本发明的一个实施例的神经网络结构图；

图 7 为根据本发明的一个实施例的数据归一化计算示意图；

图 8 为根据本发明的一个实施例的图 5 中的第一隐藏层神经元计算结构图；

图 9 为根据本发明的一个实施例的图 5 中的第二隐藏层神经元计算结构图；

图 10 为根据本发明的一个实施例的图 5 中的输出层神经元计算结构图；

图 11 为根据本发明的一个实施例的隐藏层乘法器数据计算时序图；

图 12 为根据本发明的一个实施例和 LYSO 晶体+H7546BPMT 结合构成的符合探测器模块测得的 ^{22}Na 符合能谱图。

具体实施方式

下面详细描述本发明的实施例，所述实施例的示例在附图中示出。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

本发明旨在实现基于神经网络定位的 PET 探测器的信号处理设备，完成从信号读出到计算出探测事例作用位置的实时信号处理功能，该系统要和探测器结合，形成结构简

洁的探测器模块。作为本发明的一个实施例，针对的 PET 探测器是由多通道光电倍增管（PMT，Hamamatsu H7546）和闪烁晶体 LYSO 组成。PMT 的像素阵列为 8×8 ，共有 64 路光电转换输出信号，该 64 路信号呈 8×8 阵列形式，如图 2 所示。

作为本发明的一个实施例，图 3 是针对图 2 所示的光电转换器件输出信号进行压缩读出、信号采集、能量甄别和符合时间判选、数据获取、基线恢复，以及神经网络实时计算出作用点坐标的整个电子学设备的原理框图。图 3 可以看作是图 1 的一种具体电路实现示意图，它除了包括图 1 中本发明重点强调的系统框架外，还包括系统电子学设计实现中的一些必要辅助电路。图 3 所描述的整个系统由两块电路板组成，一块称为“64 路压缩读出电路板”（图 3 左侧），主要包括信号压缩读出电路；另一块称为“信号采样数字化处理计算电路板”（图 3 右侧），主要包括模拟数字转换电路、能量甄别和定时电路、以及 FPGA 电路，FPGA 内部包括的具体电路功能模块详见图 5。两块电路板之间用 16 对差分信号线连接。64 路压缩读出电路板直接和 PMT 的管座相连，和 PMT 一起密封在避光的金属盒内，16 对差分信号线的扁平电缆从盒内将信号引出，连接后面的信号采样数字化处理计算电路板。信号采样数字化处理计算电路板的输出通过 USB 接口连接到系统的主计算机，主计算机经由 USB 实现对整个系统的配置、控制和数据交换。

作为本发明的一个实施例，64 路压缩读出电路板包括 64 通道信号积分成形电路和行相加、列相加电路。64 通道信号积分成形采用 64 个结构完全相同的由低噪声运算放大器组成的积分器完成，针对实施例所采用的是 LYSO 闪烁晶体，积分时间选择为 90ns。行相加电路和列相加电路各分别由 8 路信号相加电路完成，相加电路是由高带宽的运算放大器构成的加法电路。8 个列相加电路将像素阵列中各列的 8 个信号相加，形成 8 路 X 定位信号，8 个行相加电路将像素阵列中各行的 8 个信号相加，形成 8 路 Y 定位信号，最后 64 路阵列像素信号被压缩成 16 路 X、Y 定位信号，通过 32 芯扁平电缆输出，其中包括 16 根信号线和 16 根地线。

作为本发明的一个实施例，图 3 的右边部分是压缩后的信号的采样、获取、计算处理以及系统控制的功能结构。它包括 16 路的模拟数字转换电路、能量甄别和定时电路（两套）、符合时间判选电路（在 FPGA 内部）、基线恢复电路（在 FPGA 内部）、信号峰值估算电路（在 FPGA 内部），神经网络实时计算电路（在 FPGA 内部）、以及 USB 接口电路（在 FPGA 内部）。

64 路光电倍增管信号经过压缩读出后成为 8 路 X 定位信号和 8 路 Y 定位信号。为了消除前端电路的直流偏置，该 16 路信号先经过偏置调节电路将其直流偏置调节为零。偏置调节电路共有 16 路，图 4 是其中一路偏置调节电路的实现方法，电压基准产生的

基准电平经放大器缓冲后作为偏置量和输入信号进行相加实现偏置电平的调节。

为满足后续模拟到数字转换器(ADC)对信号电平的要求,图3模拟数字转换电路中单端到差分转换电路单元共有16路,用于将输入的单端信号转换为对称的差分信号,该电路用高精度的差分放大器实现,转换后的信号送入两片8通道的12bitADC芯片。

模拟数字转换电路中两片8通道12bitADC组成16路模拟数字转换电路,对X和Y定位的16路信号进行采样,AD变换率为50MSPS,变换后数字信号以LVDS电平串行格式输出,由FPGA接收并实现串并转换等一系列的进一步数据获取和处理,ADC所需要的配置信号以及采样时钟等信号由FPGA提供。

能量甄别和定时电路由图3中的能量求和电路模块、比较器电路模块和12bitDAC电路模块组成。能量甄别和定时电路有两套,结构完全相同,一套接收X定位信号实现能量甄别和定时输出,另一套接收Y定位信号实现能量甄别和定时输出。电路的工作原理是将经过偏置调节以后的8路X定位信号和8路Y定位信号,各通过一个由高速运算放大器构成的求和电路进行求和(即能量求和,8路输入,一路输出),两套电路求和结果的幅度均代表该次探测到的事例的总能量值。求和信号再通过和预先设定好的由12bitDAC控制的能量阈值信号进行比较(输出称为能量甄别信号,也称作前沿定时触发信号),比较结果Trig_X和Trig_Y送入FPGA作为FPGA内部能量窗判选和符合时间判选的输入信号,DAC的输入DAC-SPI_X和DAC-SPI_Y来自于FPGA,是由主计算机经由USB接口和FPGA实现控制的。

FPGA在整个电子学设备中承担着系统控制、数据获取、数据处理和神经网络实时计算等功能,作为本发明的一个实施例,FPAG内部功能结构如图5所示。FPGA内部除了包括在权力要求中强调的数字符合时间判选电路、数据获取、数字基线恢复电路、峰值估算电路,以及神经网络实时计算电路以外,还包括将这些电路模块连接构成一个完整的整体所必须的一些辅助电路功能。

按照数据流的顺序,FPGA完成的第一个功能是同时并行连续接收两片ADC采样输出的16路LVDS串行信号,根据ADC输出的数据时钟DCLK_X、DCLK_Y和帧时钟FCLK_X、FCLK_Y信号对两片ADC串行采样数据进行串并转换,并把转换后的并行数据送入给数据获取单元。

符合时间判选&能量窗判选单元用于判别一个事例是否是一个好事例,即事例的能量是否在选定的能量窗之内、两个探测器探测到的两个 γ 射线到达的时间是否在符合时间窗内。该单元接收本电路板内能量甄别输出(Trig_X, Trig_Y)的信号、和本电路板外送的能量窗判选信号(Trig in),对事例做出判选,一个好事例要满足以下条件:

-) 控制能量甄别电路中两个 DAC 的直流输出电平, 可以剔除不感兴趣的能量范围, 对感兴趣能量范围 (即能量窗) 内的事例产生触发信号, 该信号送给符合时间判选单元用作对事例作进一步判选, 同时还由 LEMO 插头输出电路板外, 给其它探测器的电子学设备用作时间符合判选使用。
-) 如果板内触发信号的到达时间和板外触发信号到达时间差在设定的时间复合窗以内就认为是一次有效的双 γ 光子探测事例, 双 γ 光子探测是 PET 探测器判断好事例的重要依据。

符合时间窗在 FPGA 内部采用数字方法实现, 当电子学设备板上触发和板外来触发中的任一信号到来时, 触发一计数器开始计数, 在设定的计数值范围内, 如果另一个触发信号到来, 就认为是符合事例。作为本发明的一个实施例, FPGA 计数时钟频率是 250MHz 时钟, 为了提高时间符合精度, 计数器对时钟的上下沿计数, 这样相当于计数时钟为 500MHz, 定时精度提高为 2ns。计数器设定的计数值范围乘以 2ns 就是符合门宽。

数据获取单元在没有符合时间判选单元输出的有效事例到来情况下, 并不接收 ADC 经串并转换单元发来的采样数据, 只有在符合时间判选&能量窗判选输出了有效事例到来的信号控制下, 数据获取单元才开始获取数据。如果事例判选信号有效, 数据获取单元根据预先设定的数据获取方式记录数据, 并把数据缓存在 16 路的 FIFO 中。数据获取预先设定的方式主要包括通过主计算机控制设定的记录触发前的采样点数、总波形记录点数。数据获取单元还可被设定接收来自调试数据产生和控制单元发来的测试数据, 用系统自己产生的调试数据, 来代替 ADC 的采样数据可以很方便地调试系统, 测试系统各部分功能。

基线恢复功能用于将数据获取部分获取的 16 路波形数据的基线恢复到零值, 它的实现原理是: 认为每次好事例触发信号到来 3 个采样数据点前的数据是基线数据, 4 个基线数据的算术平均为基线电平值, 将信号波形的采样值减去基线电平值后就实现了基线恢复。如果连续两个事例脉冲间的基线数据不足 4 点, 则由前一脉冲的基线采样点补齐。

基线恢复后的波形数据送给峰值估计单元估算各波形信号的幅度值, 作为本发明的一个实施例, 峰值估算有二种方法: 一是直接比较采样点数据取最大值法; 二是连续 4 点平均低通滤波后取最大值法。

由于核事例到来的随机性, FPGA 内部多处使用 FIFO 存储器对数字信号进行缓存。例如图 5 中神经网络实时计算前的 FIFO 用于缓存峰值估计送来的每个事例 16 个波形幅度值, 神经网络实时计算后 FIFO, 用于缓存网络计算后的计算结果, 即 X、Y 坐标值, 等待主计算机通过 USB 读取计算结果。

图 5 中的神经网络实时计算单元包含两套图 6 所示的 MLP (Multilayer perceptron, 多层感知器) 型神经网络的计算, 分别计算 γ 射线作用位置的 X、Y 两维坐标, 所有在 FPGA 内部的硬件计算均是定点计算算法。

图 6 所示的计算单元, 包括输入数据归一化计算单元和 MLP 神经网络计算单元。数据归一化计算单元接收一个事例中的 8 个 X 定位 (或 Y 定位) 波形信号的幅度值, 将每一个输入值除以 8 个输入值的和得到 8 个归一化后的值送给下面的网络计算。图 7 是归一化运算在 FPGA 内部硬件实现的原理图, 寄存器中 D1, D2, ... D8 代表着 8 个输入数据, 硬件求得的和用 S 表示, 每一个输入量除以 S, 就得到归一化的输出量 P1, P2, ... P8。为了实现除法运算, 在 FPGA 内部先求出 $1/S$, 然后去乘每一个输入量。求倒数的运算采用一阶 piecewise 函数逼近方法实现。一个输入数据归一化计算单元占用一个 FPGA 内部的硬件乘法器, 归一化运算采用流水线结构完成。

作为本发明的一个实施例, 图 6 中的 MLP 网络为前向、全连接、无反馈、固定权值的多层感知器神经网络, 它包含一个具有 8 个输入节点的输入层、两个隐藏层和具有一个神经元的线性输出层, 其中每个隐藏层具有 12 个神经元, 传输函数为双曲正切函数。神经网络的实时计算是利用 FPGA 内部硬件资源完成的, 每一个神经元中的乘法运算由 FPGA 内部的硬件乘法器实现, 每一个神经元中的传输函数采用一阶 piecewise 函数逼近实现, 每一个神经元占用一个乘法器, 神经元的输入与权重值的乘积运算与一阶 piecewise 函数逼近中的乘法运算分时复用该硬件乘法器。

图 8-10 分别显示了图 6 所示的 MLP 网络第一隐藏层、第二隐藏层和输出层的一个神经元的计算结构, 其中双曲正切型传输函数的计算均采用一阶 piecewise 函数逼近方法实现。由于 MLP 神经网络计算需要大量的乘法单元, 考虑到 PET 探测器所需的处理事例率、网络规模和 FPGA 内部的硬件乘法器能够达到的速度, 我们用一个乘法器实现一个神经元所需的所有乘法计算。这些乘法计算包含输入和权重的相乘以及传输函数中的乘法计算。

图 8 是第一隐藏层神经元的计算过程, 图 9 是第二隐藏层神经元的计算过程, 两者实现过程相似, 差别在于第一隐藏层每神经元具有 8 个输入, 第二隐藏层每神经元具有 12 个输入。每个输入数据依次与对应的权重相乘, 结果和前面所有乘法结果相加, 直到所有输入数据计算结束, 获得所有输入权重积之和。第一隐藏层需要进行 8 次权重输入求和计算, 第二隐藏层需要进行 12 次权重输入求和计算。然后利用一阶 piecewise 函数逼近方法实现神经元的超越函数计算。由于网络输出层为线性输出层, 无需做超越函数计算 (如图 10), 只做乘加计算即可。因此, 网络计算的速率受第二隐藏层乘法器的

计算量限制。对一个事例而言，第二隐藏层每个神经元乘法器需做 13 次乘法，所以每 13 个时钟周期输出一个事例的计算结果。

对每个神经元而言，乘法器需进行重复利用，因而乘法器每个时钟周期都进行有效工作是提高数据计算率的关键。乘法器的工作时序如图 11 所示，由于对每次事例数据，所有权重和输入数据积进行求和计算后才能进行下一步的传输函数计算，而进行传输函数的计算需要提取 ROM 中存储的 piecewise 参数值，这一过程需一定数量的时钟周期。因此，采用流水线技术充分利用乘法器（如图 11 所示）。具体为：在 $mac_n = \sum_i d_{n,i} w_i + b$ 计算过程中，从 ROM 中提取进行上次 mac_{n-1} 的超越函数计算所需的 piecewise 分段参数值；当 mac_n 计算完毕后，接着计算 $\tanh(mac_{n-1})$ 的值，然后进入下一个数据的 mac_{n+1} 计算。其中 d 和 w 分别代表一个神经元的输入数据和相关联的权重，也是乘法器做乘法计算的两个输入数据； b 为神经元的偏置值。

图 6 中每一层各个神经元内部的计算采用的是流水线处理结构，同一层的神经元之间独立并行运算，采用的是并行计算结构，各层之间采用的又是流水线结构。这样网络计算的整体速度取决于第二隐含层神经元的计算速度。

作为本发明的一个实施例，FPGA 还集成实现了本信号处理设备中的所有数字逻辑功能，除了前面详细介绍的神经网络实时计算等功能之外，FPGA 内部还集成实现了整个系统的控制和调试功能，例如，主计算机通过 USB 接口逻辑可以控制调试数据产生和控制单元产生已知的波形数据用于代替 ADC 的采样数据送入数据获取以后的电路部分，以测试各部分电路功能的正确性；主计算机通过 USB 接口逻辑设置系统各有关电路参数，例如通过系统控制单元配置 DAC、ADC 的工作方式、配置信号的采样模式、配置系统的工作模式，以及设置能量窗、时间窗对事例进行在线判选等；主计算机还通过 USB 接口逻辑直接读取 FPGA 内部集成的各功能单元的输出数据，这样便于分别测试各部分逻辑单元。

作为该电路系统应用的一个例子，用 LYSO、Hamamatsu PMT H7546B 多通道光电倍增管和本信号处理设备组成两个探头，构成一对符合探测器，用 ^{22}Na 作为激发源，测得了 ^{22}Na 的 511Kev 能谱，如图 12 所示。在 10ns 的符合窗下， ^{22}Na 的 511Kev 能谱的分辨率为 14%。

尽管已经示出和描述了本发明的实施例，对于本领域的普通技术人员而言，可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型，本发明的范围由所附权利要求及其等同限定。

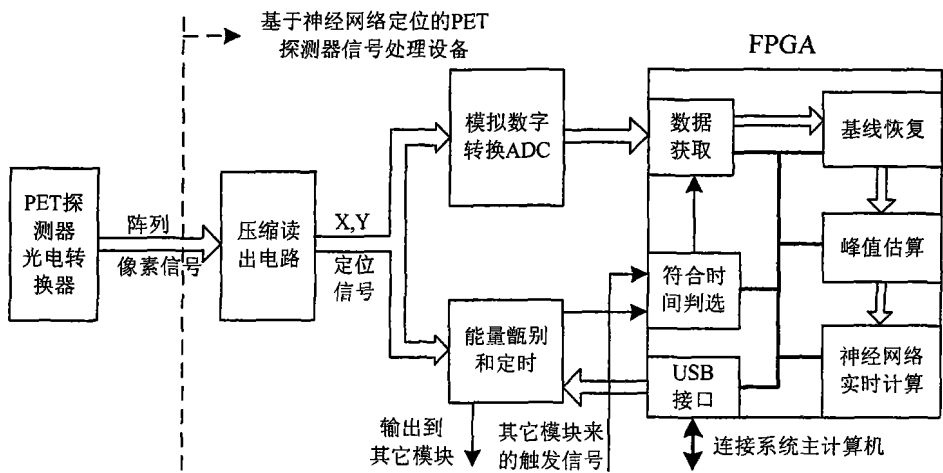


图 1

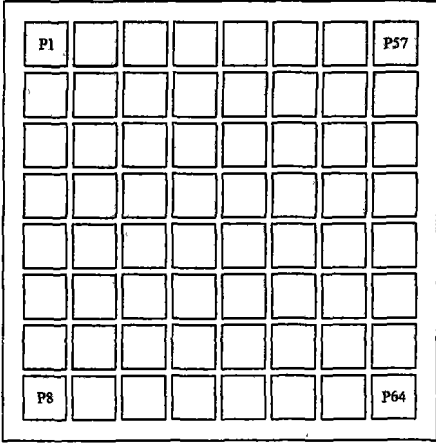


图 2

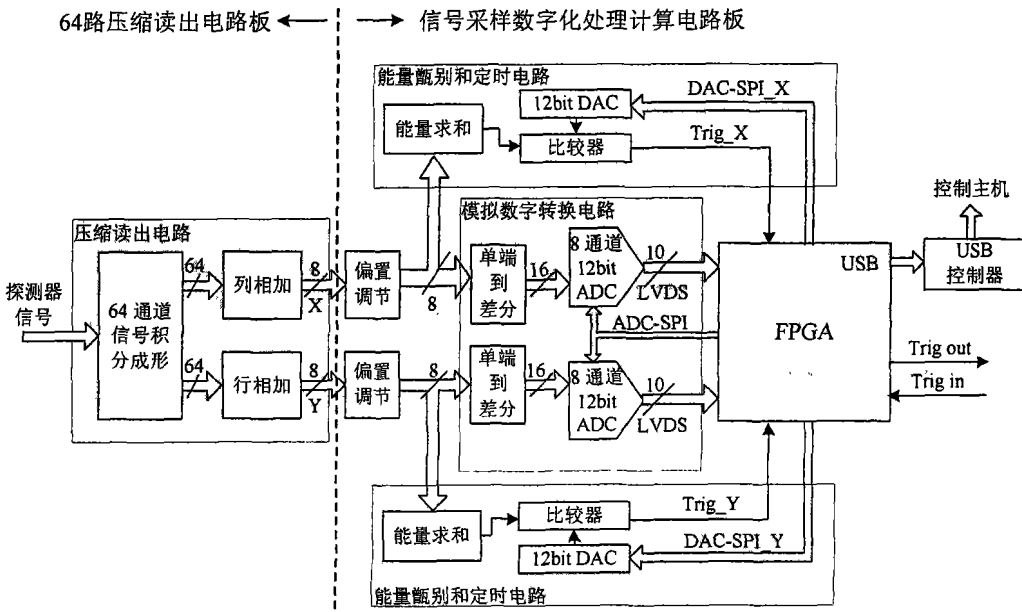


图 3

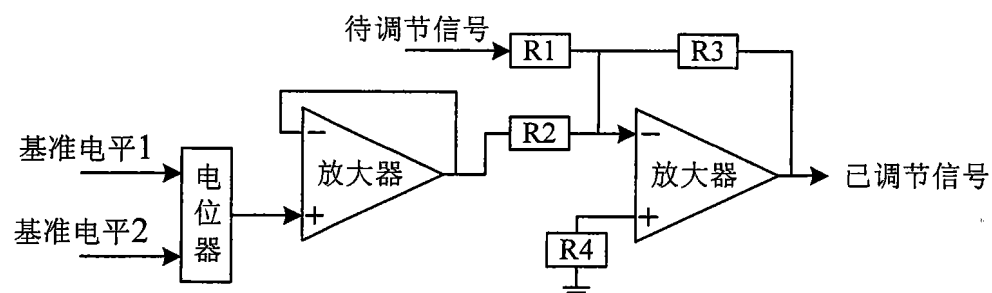


图 4

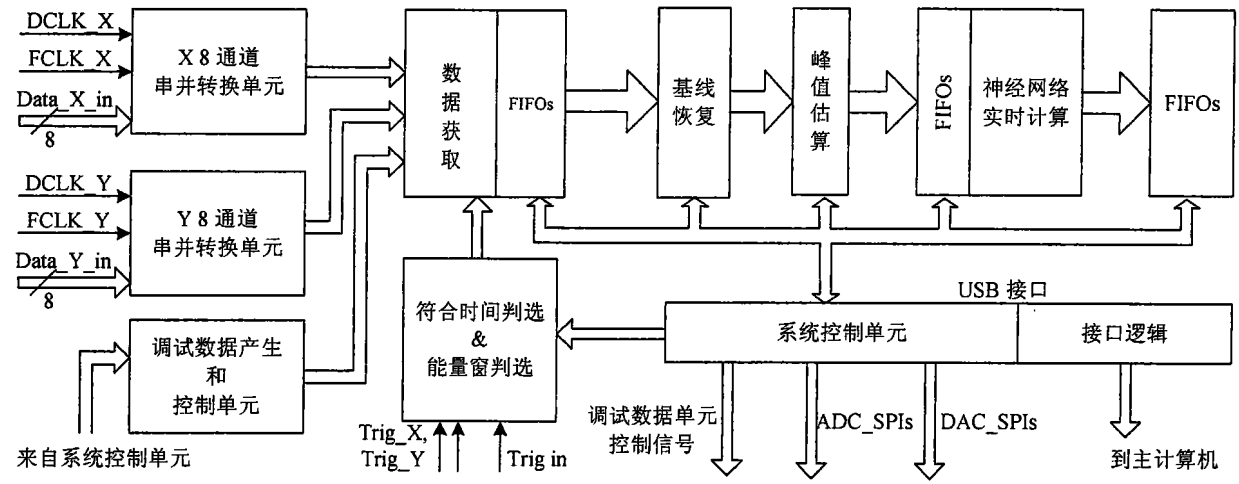


图 5

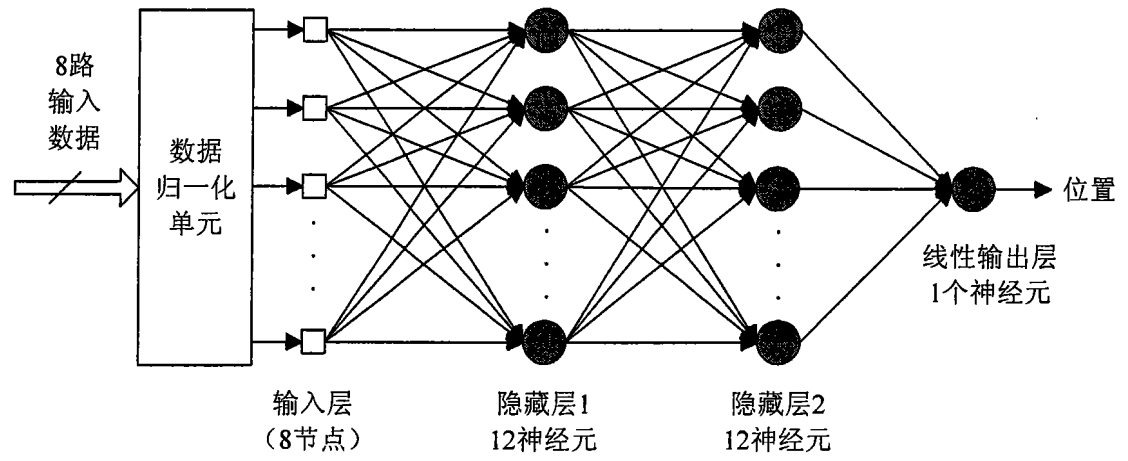


图 6

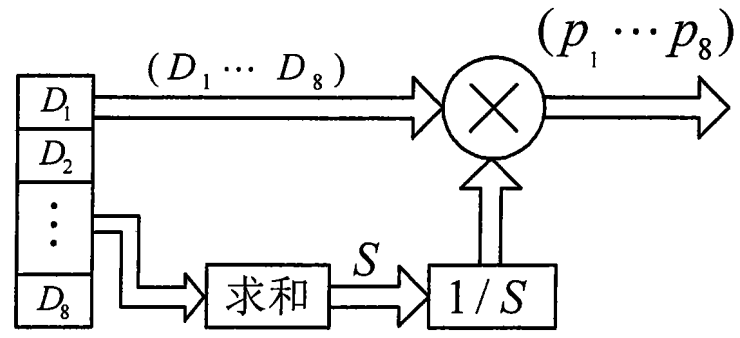


图 7

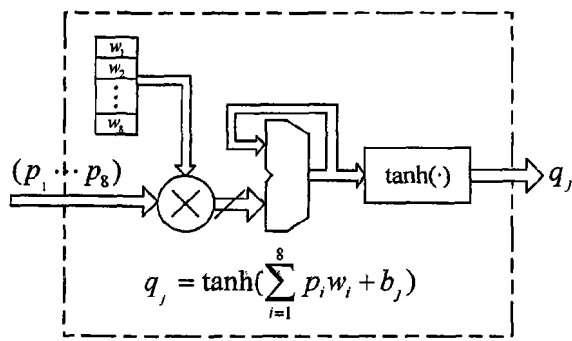


图 8

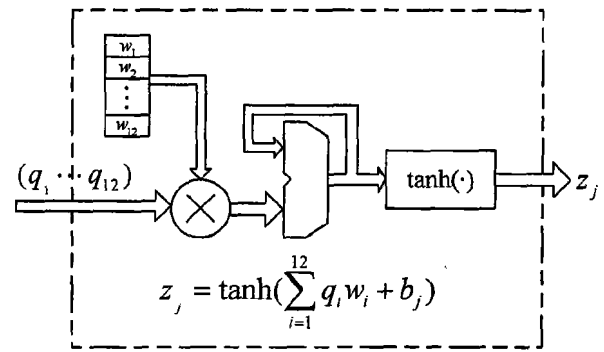


图 9

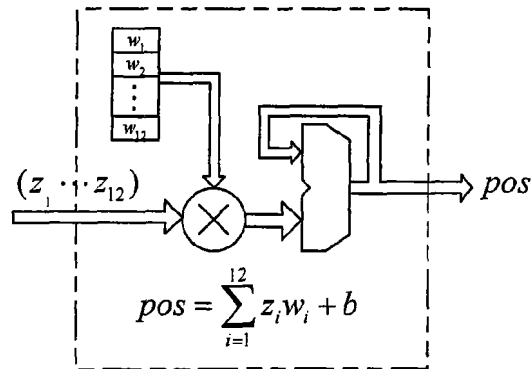


图 10

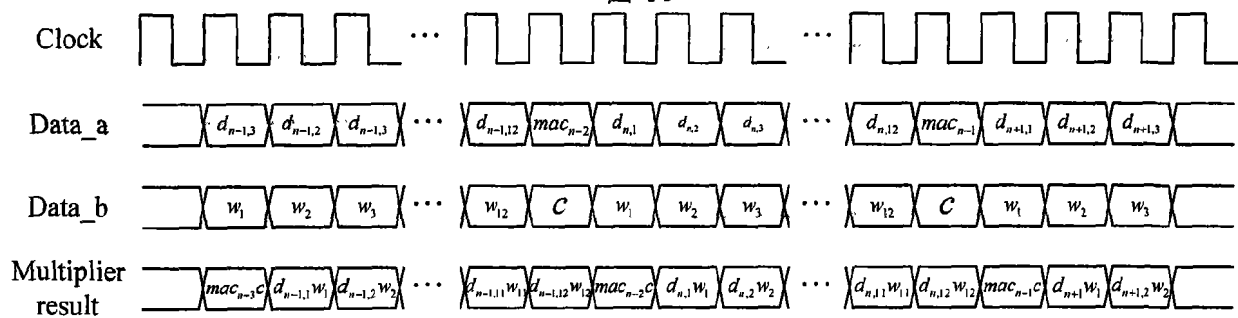


图 11

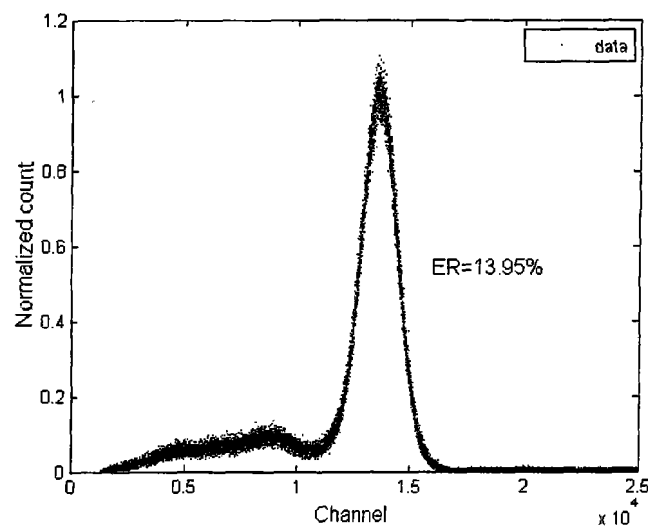


图 12