

Signal Name	Width	Direction	Description
clk	1	Input	时钟信号
rst(n)	1	Input	总体复位信号
en	1	CPU->cache	总使能，该信号为 1 表示当前存在请求
wen	1	CPU->cache	写使能，该信号为 1 表示当前请求为写
addr	[31:0]	CPU->cache	地址
wdata	[31:0]	CPU->cache	待写的的数据
rdata	[31:0]	cache->CPU	读到的数据
wbyte	[3:0]	CPU->cache	写字节使能
ok	1	cache->CPU	当前操作完成，持续一个周期（读：数据返回，写：数据写完成）

表 1: cache 转 CPU 读写接口定义

上表 1 为 cache 和 CPU 的接口。除 clk 和 rst(n) 外，其他信号均有两套，其中指令和数据各一套