

Signal Name	Width	Direction	Description
clk	1	Input	时钟信号
rstn	1	Input	总体复位信号，低有效
en	1	Cache->axi	总使能，该信号为 1 表示当前存在请求
wen	1	Cache->axi	写使能，该信号为 1 表示当前请求为写
addr	[31:0]	Cache->axi	地址
write_data	[31:0]	Cache->axi	待写的的数据
read_data	[31:0]	axi->Cache	读到的数据
addr_ok	1	axi->Cache	地址是否被接受
data_ok	1	axi->Cache	当前数据有效（读: 数据返回，写: 数据被接受）
burst_ok	1	axi->Cache	该 burst 完成（读: 最后一个数据返回的后一个周期，写: 数据写入完成）

表 1: cache 转 axi 读写接口定义

上表 1 为 cache 与内存一侧连接的接口，该接口转成真正的 axi 总线的工作已经完成