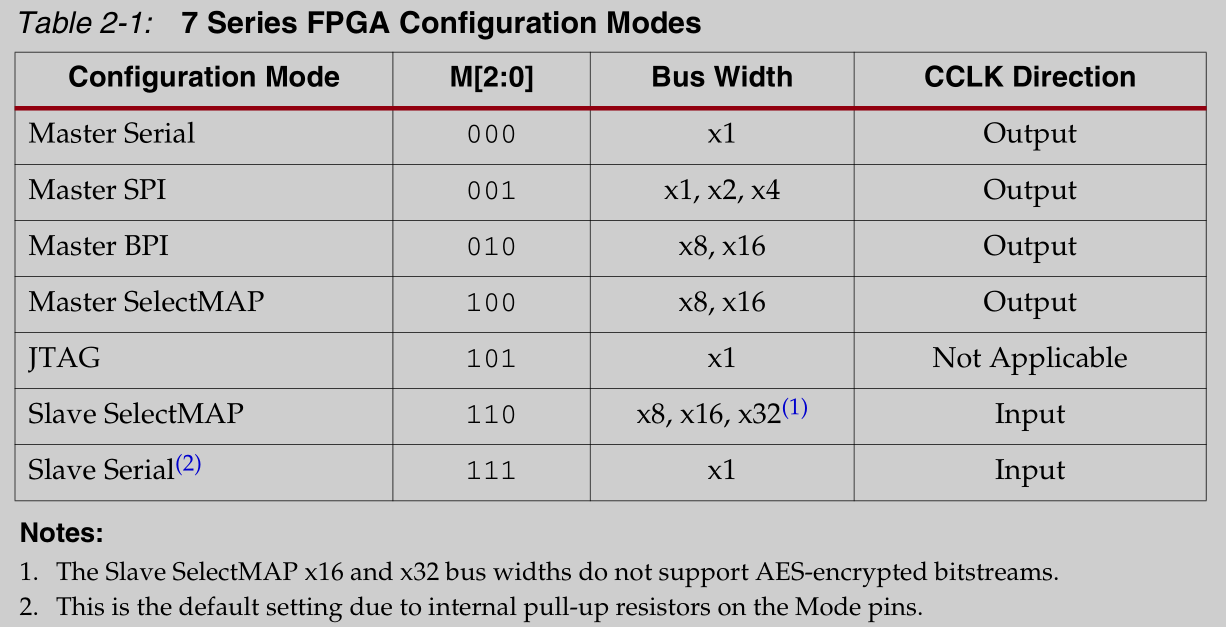
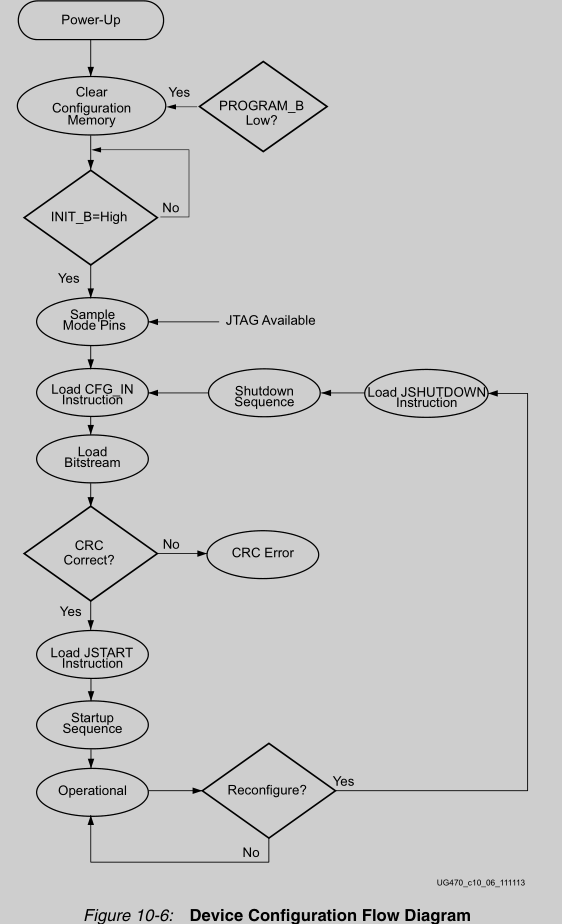
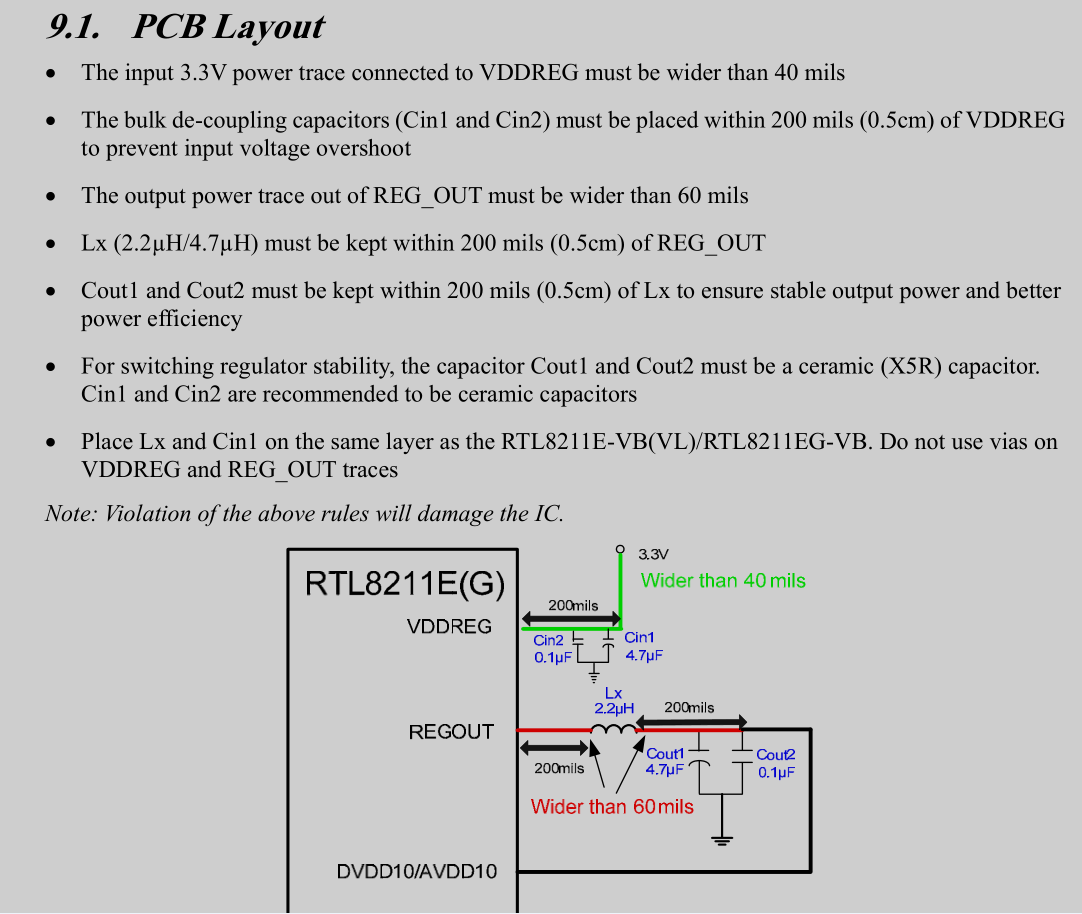
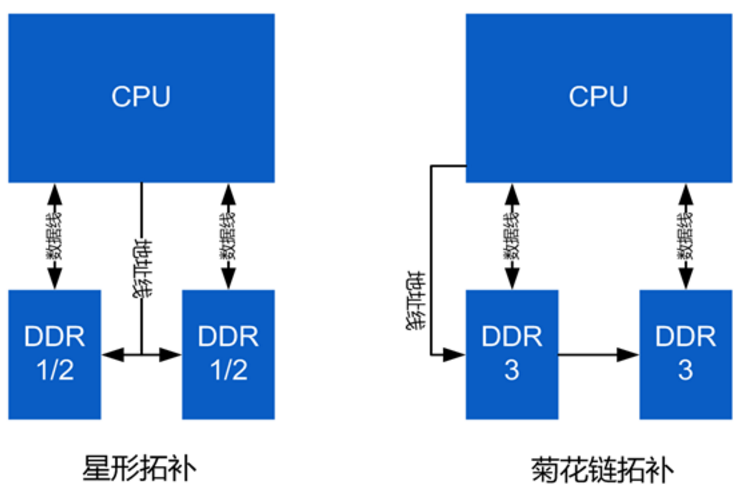
配置（详见UG470）

1. Xilinx@ 7系列FPGA配置模式选择接口M[2:0]可以用不大于1K的电路上拉或者下拉，或者直接接地或VCCO\_0；
2. 对于特定的FPGA型号，配置的比特流文件是定长的，如ARTIX7系列，12T和25T所需最小外部存储空间为16Mb，15T/35T/50T/75T/100T为32Mb，200T为128Mb
3. 
4. CFGBVS：Configuration Banks Voltage Select，如果VCCO\_0为3.3V或者2.5V，则CFGBVS接高，如果VCCO\_0为1.8V或者1.5V，则CFGBVS接地，如果使用到bank14或bank15的配置口，则VCCO\_14、VCCO\_15要和VCCO\_0匹配
5. PROGRAM\_B：配置信号，拉低则开始重新配置，需要用不大于4.7K的电阻上拉到VCCO\_0。
6. PUDC\_B：Pull-Up During Configuration
7. 
8. 
9. DDR1/2采用星形结构，DDR3采用菊花链结构。拓补结构只影响地址线的走线方式，不影响数据线。考虑拓补结构，仔细查看CPU地址线的位置，使得地址线有利于相应的拓补结构。地址线上的匹配电阻靠近CPU，数据线上的匹配电阻靠近DDR，将DDR芯片摆放并旋转，使得DDR数据线尽量短，也就是，DDR芯片的数据引脚靠近CPU，如果有VTT端接电阻，将其摆放在地址线可以走到的最远的位置。一般来说，DDR2不需要VTT端接电阻，只有少数CPU需要；DDR3都需要VTT端接电阻。DDR芯片的去耦电容放在靠近DDR芯片相应的引脚。
10. 一些差分线的线距和线宽:(1)LVDS布线规则。要求LVDS信号差分走线，线宽7mil，线距6mil，目的是控制HDMI的差分信号对阻抗为100+-15%欧姆;(2)USB布线规则。要求USB信号差分走线，线宽10mil，线距6mil，地线和信号线距6mil;(3)HDMI布线规则。要求HDMI信号差分走线，线宽10mil，线距6mil，每两组HDMI差分信号对的间距超过20mil;(4)DDR布线规则。DDR1走线要求信号尽量不走过孔，信号线等宽，线与线等距，走线必须满足2W原则，以减少信号间的串扰，对DDR2及以上的高速器件，还要求高频数据走线等长，以保证信号的阻抗匹配。保持信号传输的完整性，防止由于地线分割引起的“地弹现象”。
11. MARK点要求：