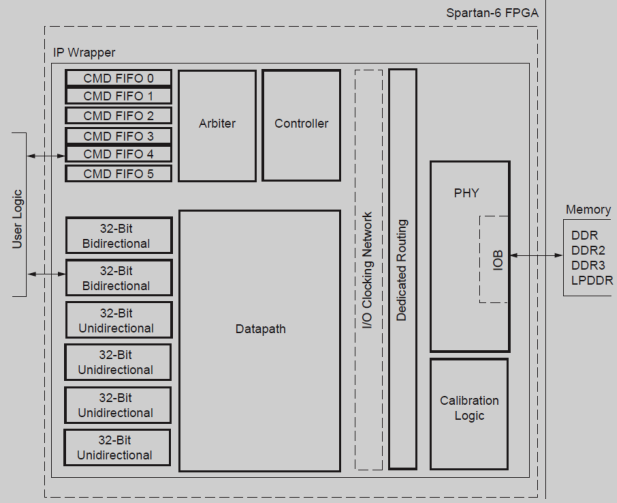
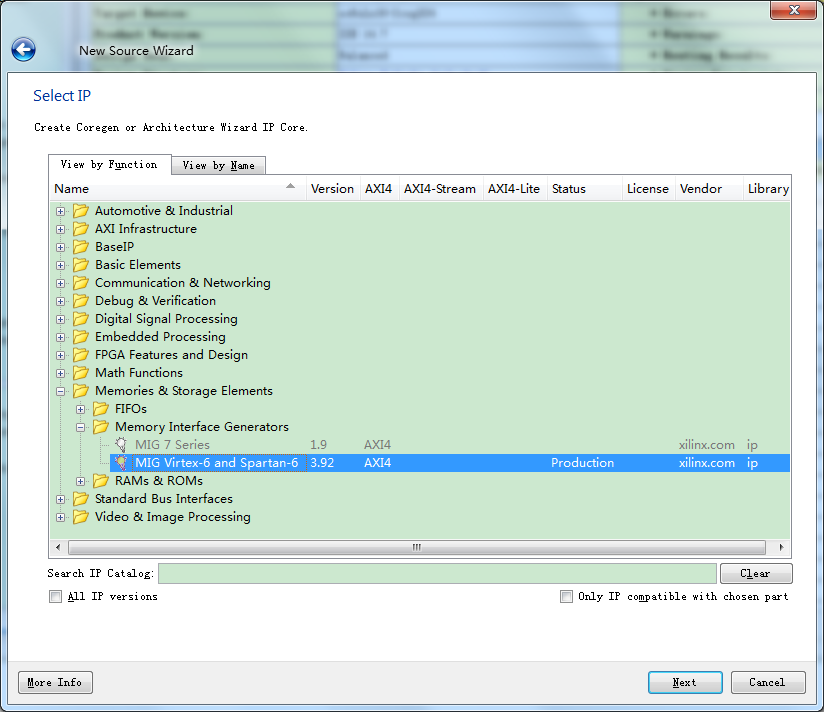
1. DDR配置

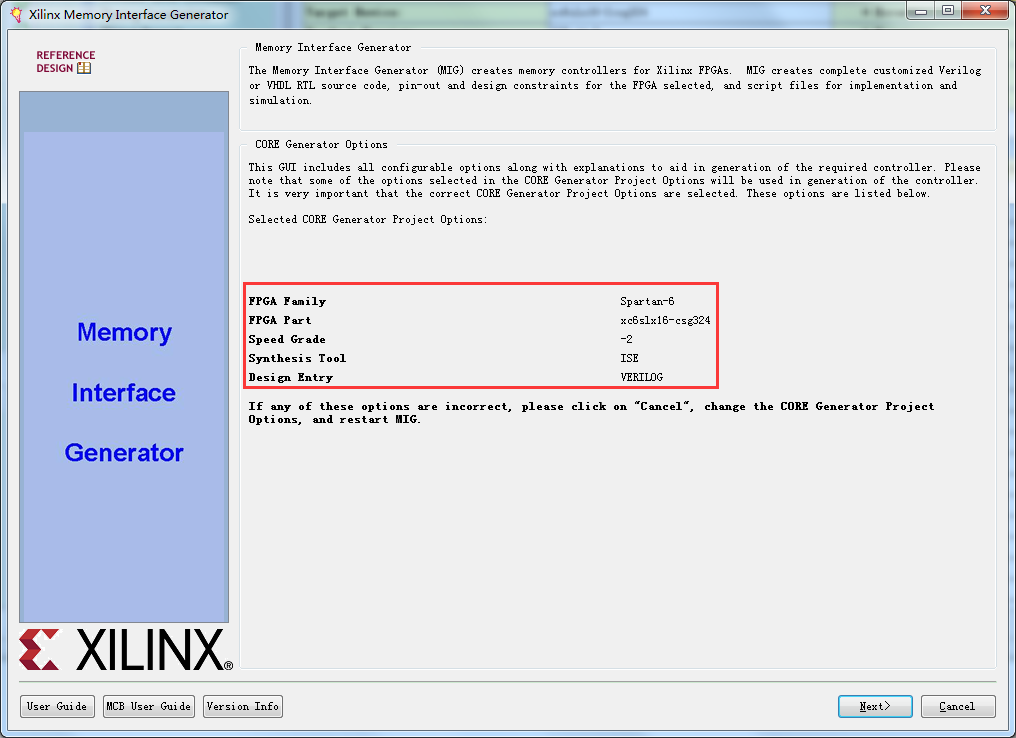


MIG控制器框图

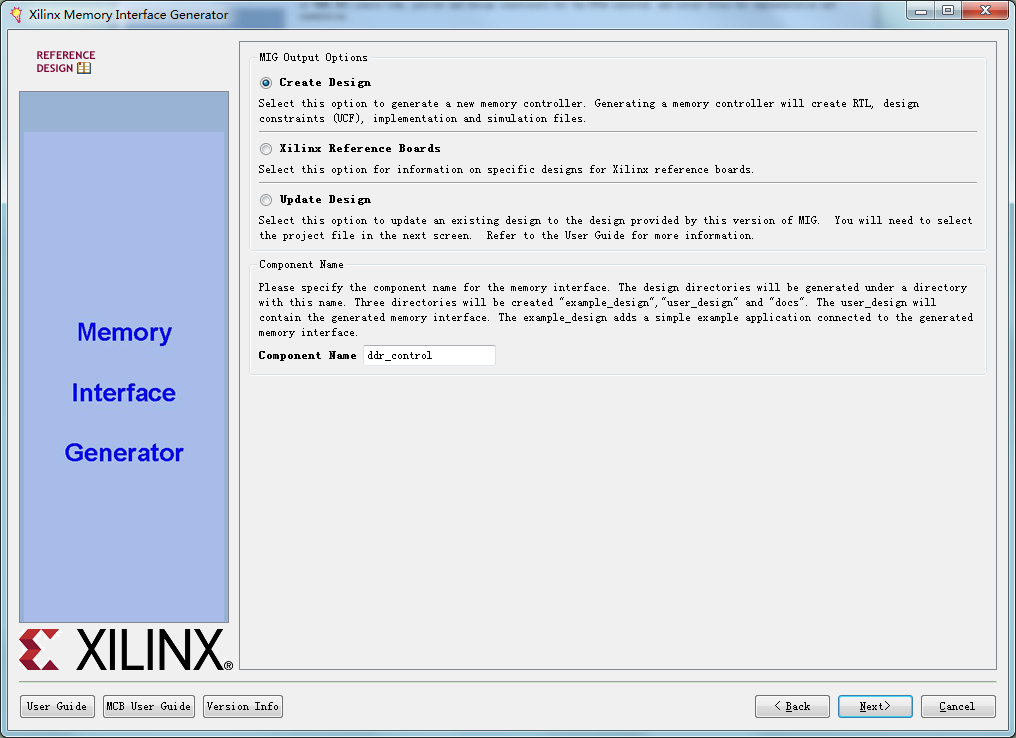
下面将介绍如何生成MIG的IP核：



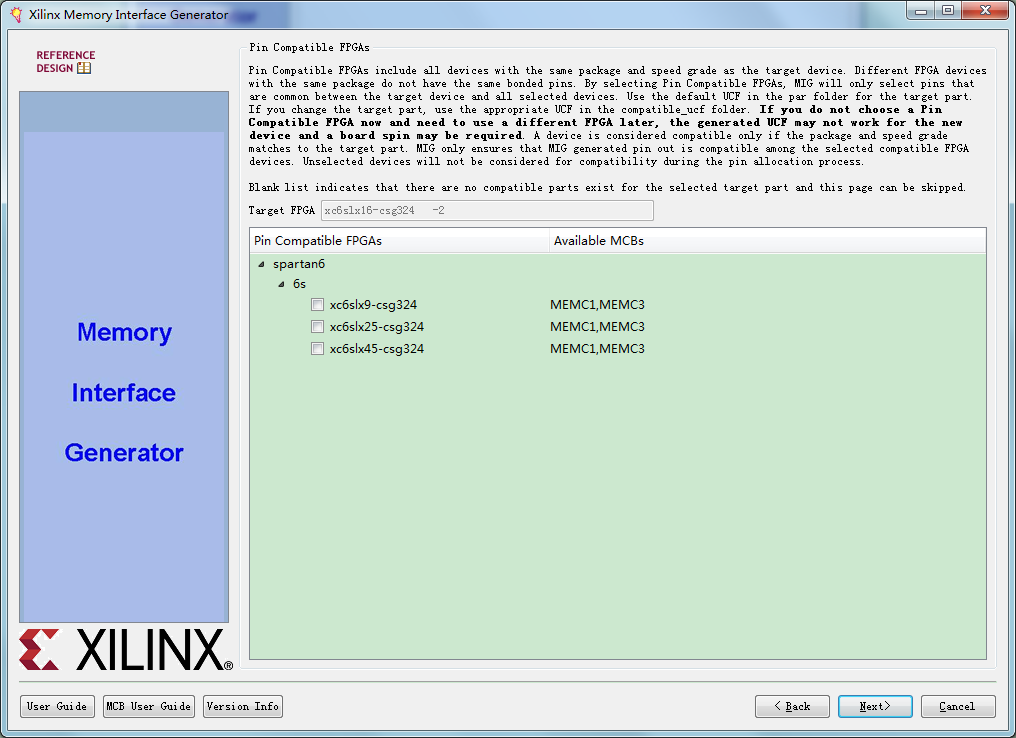
首先，选择合适的IP核，这里以SPARTAN6为例



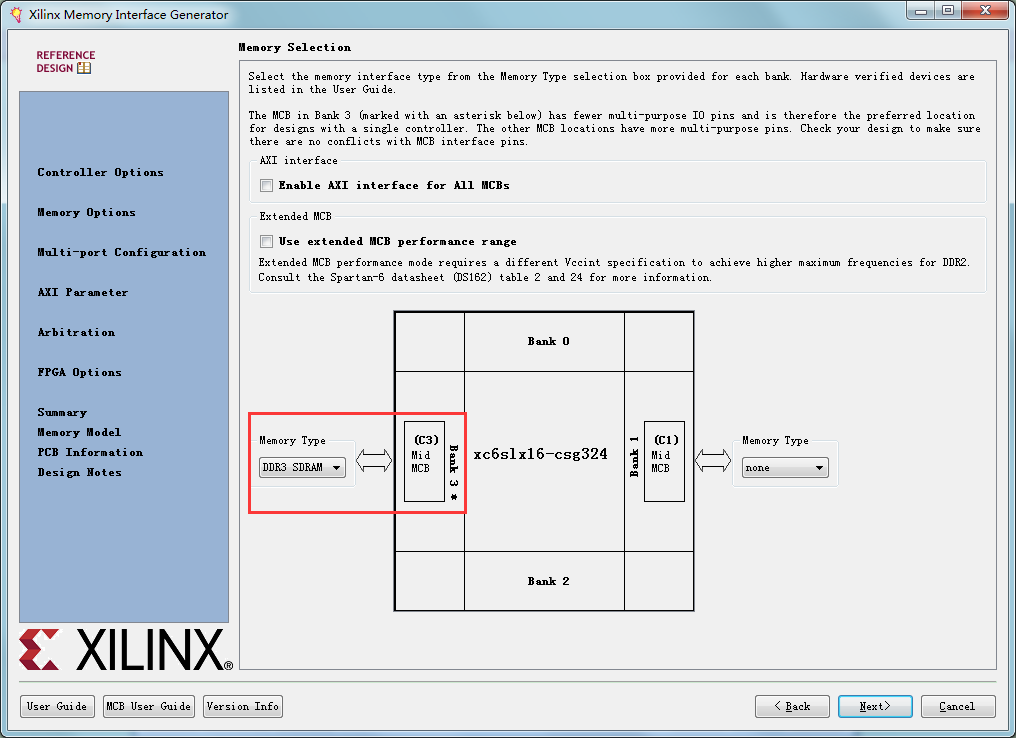
上图是FPGA芯片的一些信息，确保和所建工程使用的芯片一致，然后NEXT；



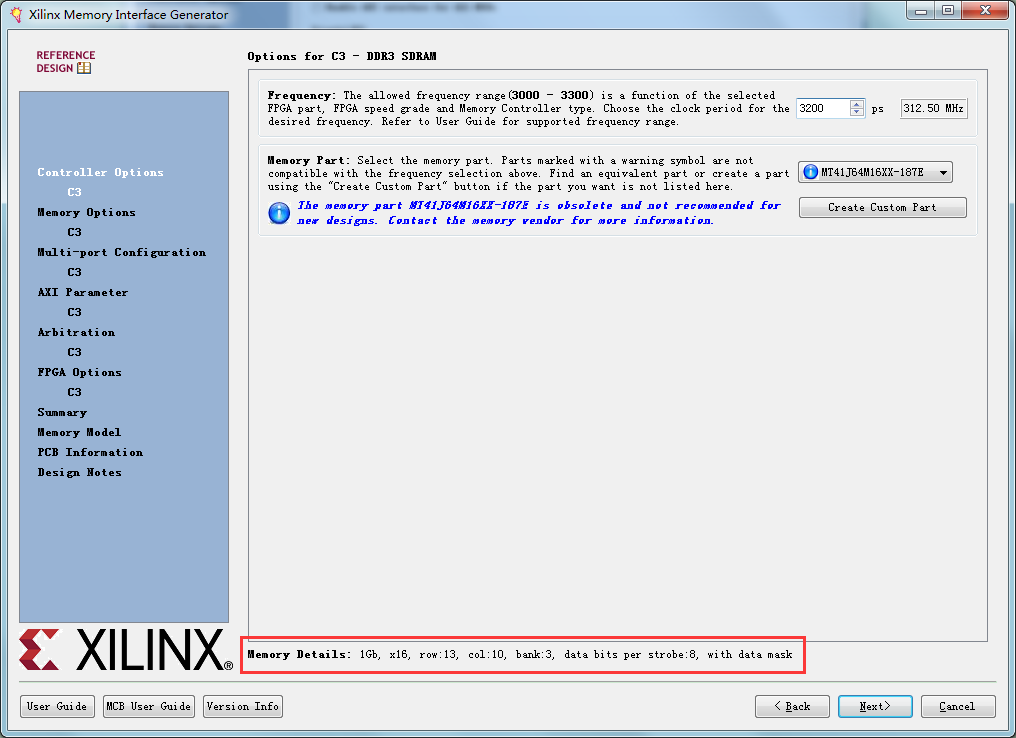
这里可以选择建立新的设计、赛灵思参考板设计或是更新已有的设计，然后是模块名称；



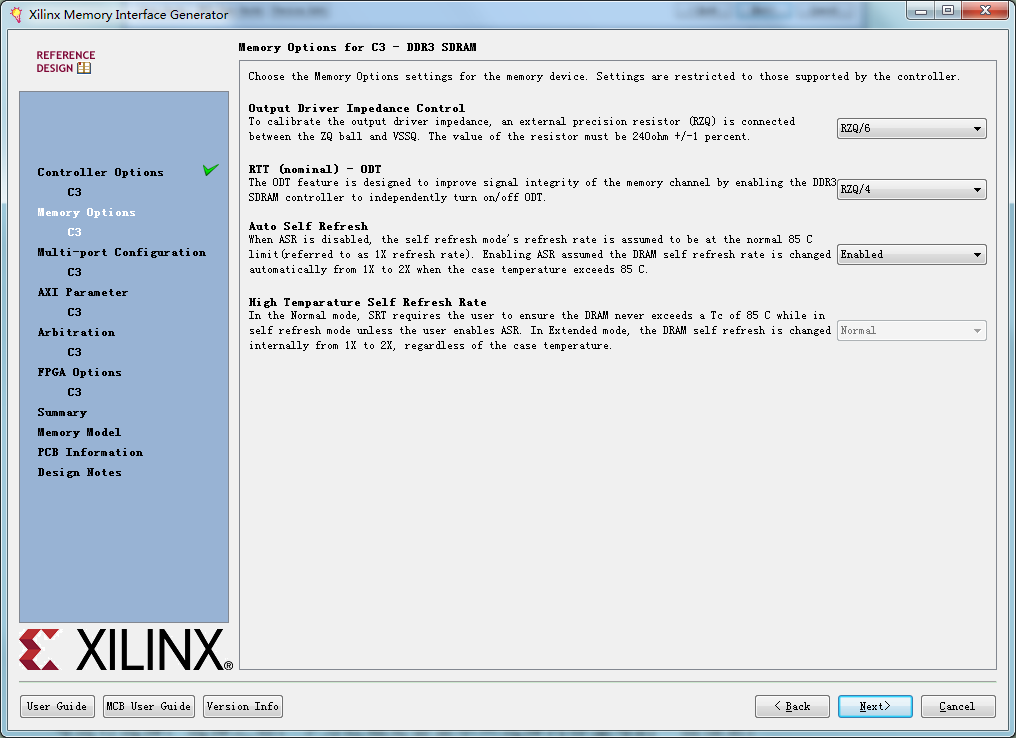
这一步是选择引脚适配的其他FPGA芯片，通常不选直接下一步；



XC6SLX16-CSG324有两个MCB，都可以选作DDR的控制接口，通常优先选择MCB3，开发板电路是连接的MCB3，DDR3内存；

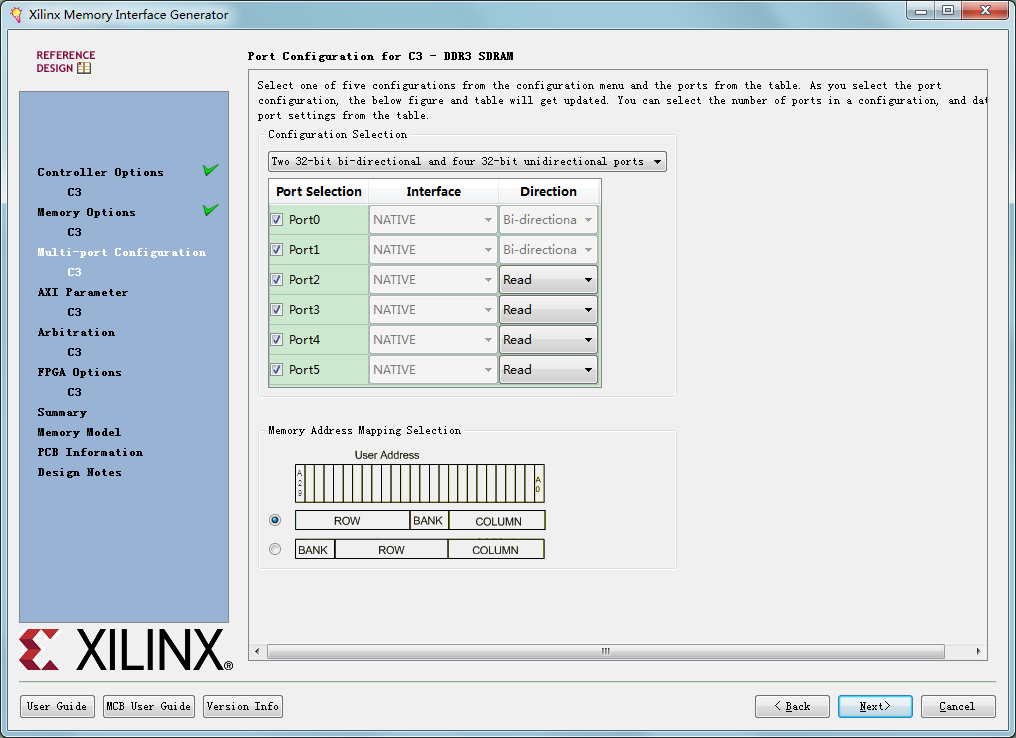


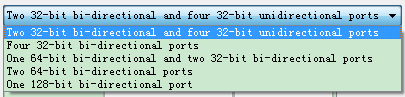
DDR3工作频率选择，3000ps-3300ps对应303MHz-333MHz，内存的型号按照实际使用的型号进行选择，选择之后，下方红框处会显示所选择内存型号的一些信息；



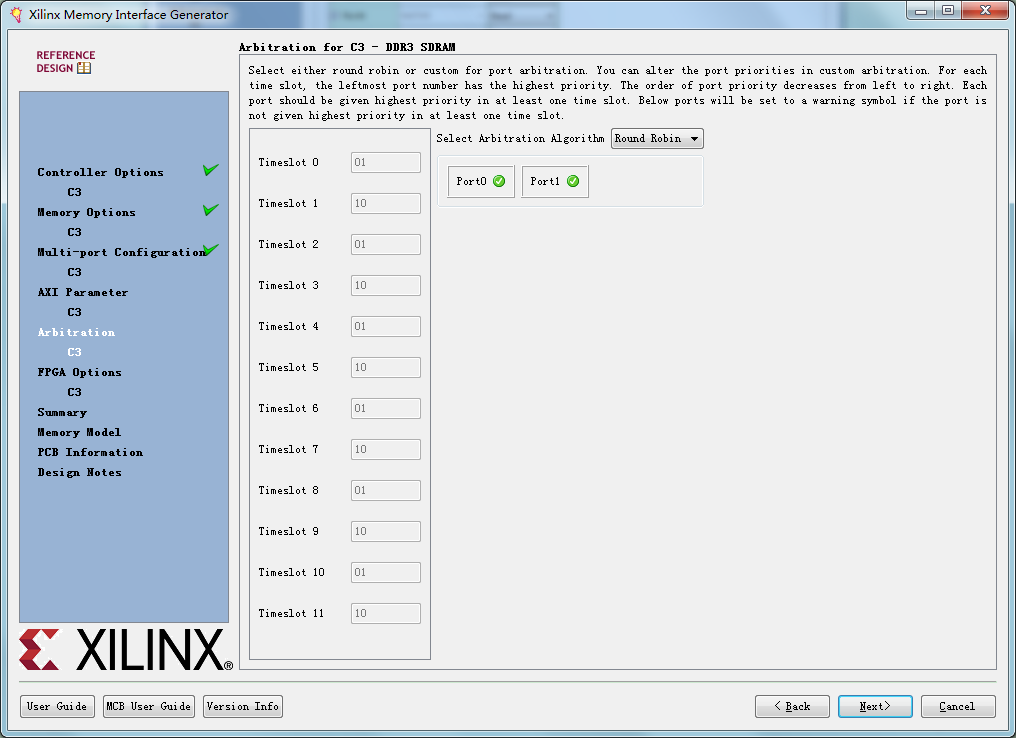
这里是设置输出阻抗值和内部的 ODT 内部上拉电阻值来改善 DDR3 的信号完整性，一般

不需要修改；

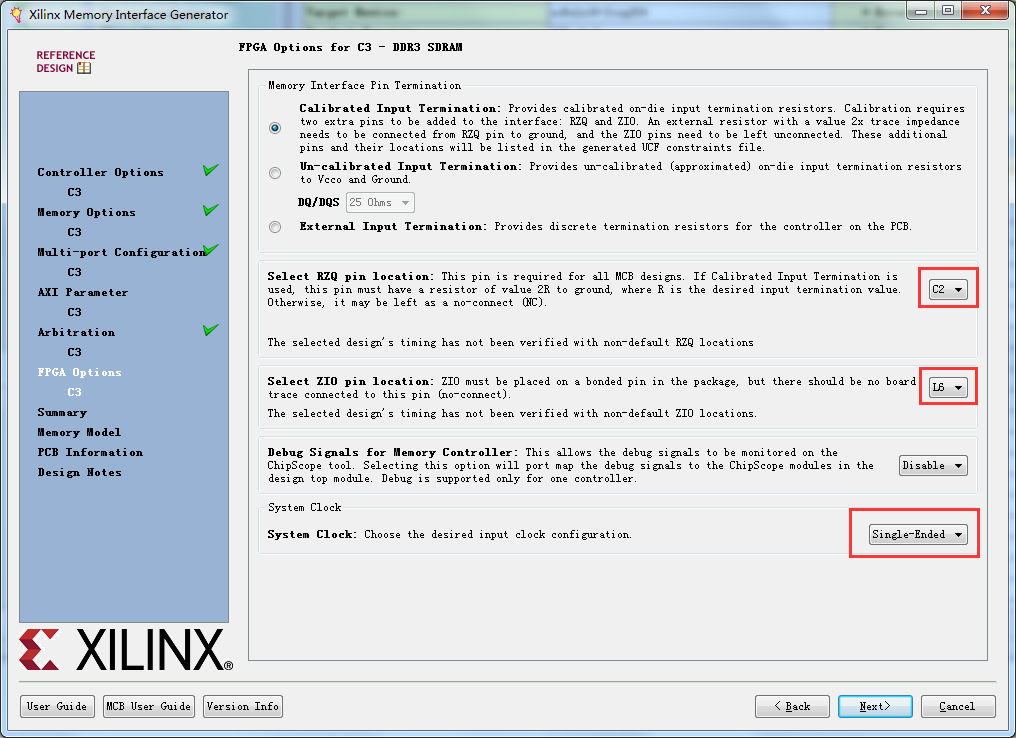


选择用户接口配置，共支持5种接口配置：

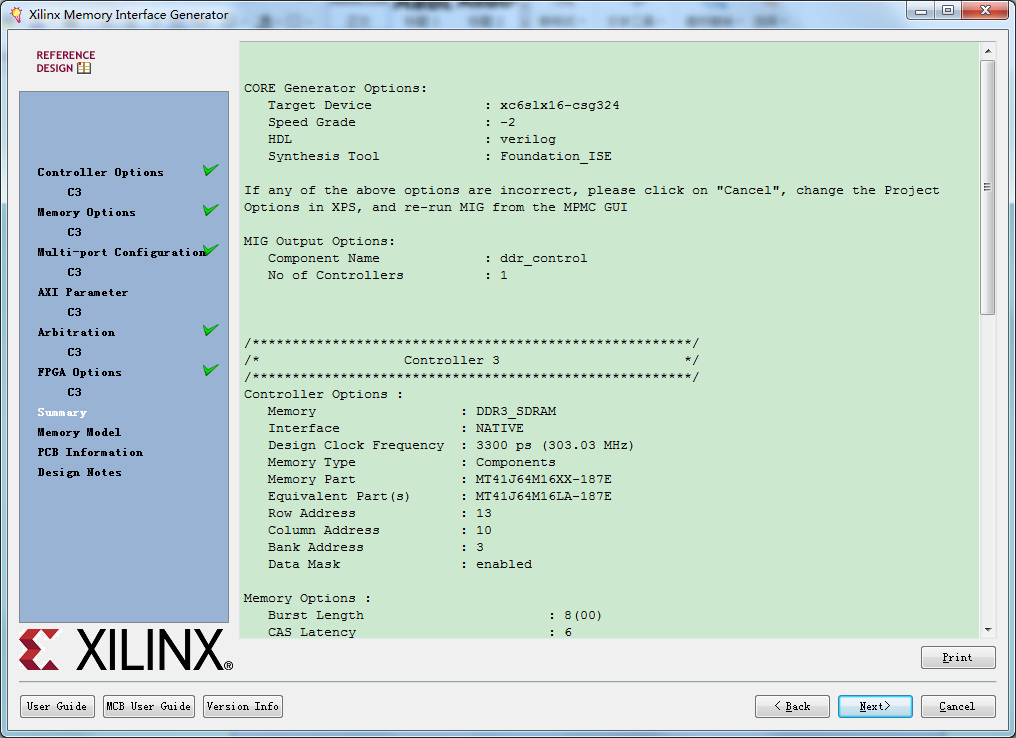
下方是内存地址映射选择，然后点击下一步



接口优先级排序，默认，直接下一步；



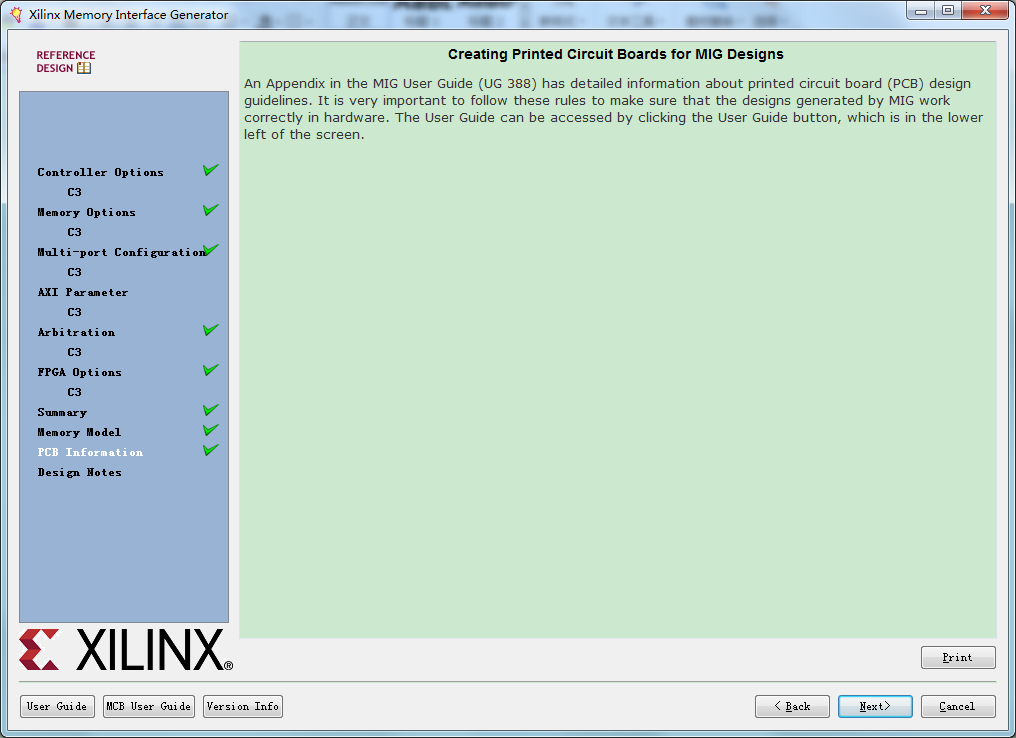
这里需根据硬件电路的具体连接选择RZQ和ZIO的连接引脚，系统时钟选择差分输入还是单端输入；

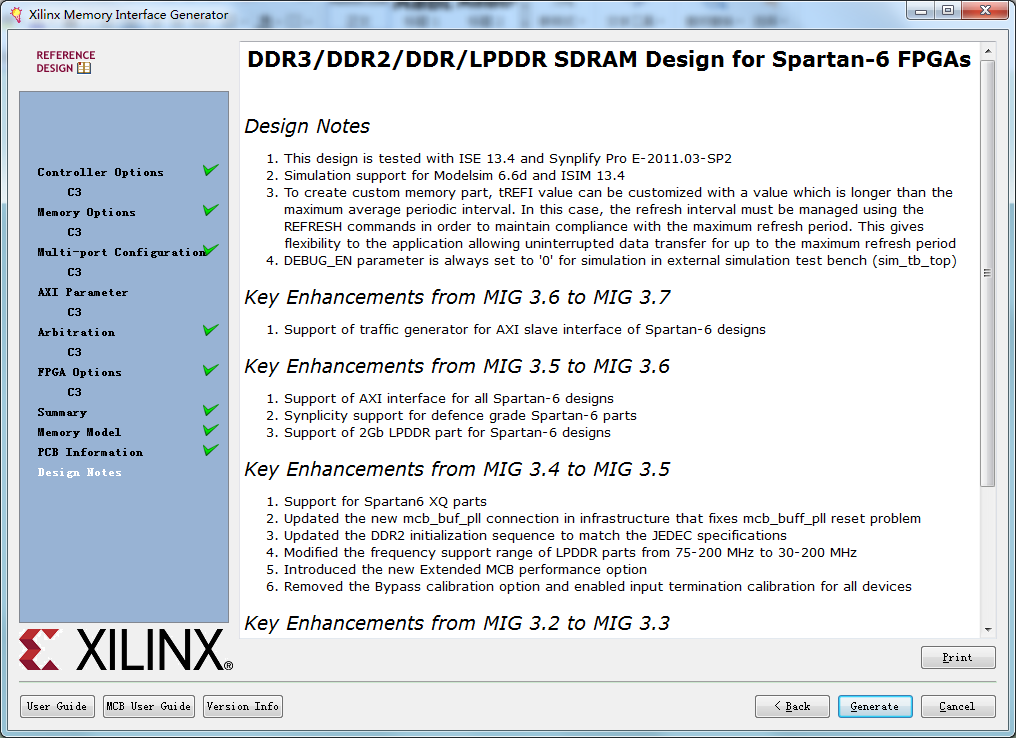


IP核的总结信息，不符合要求可返回修改，确认则下一步；



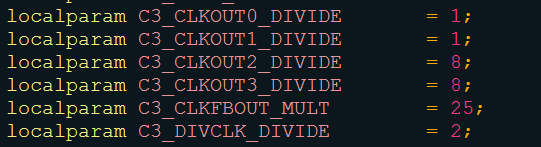
选择接受，下一步；

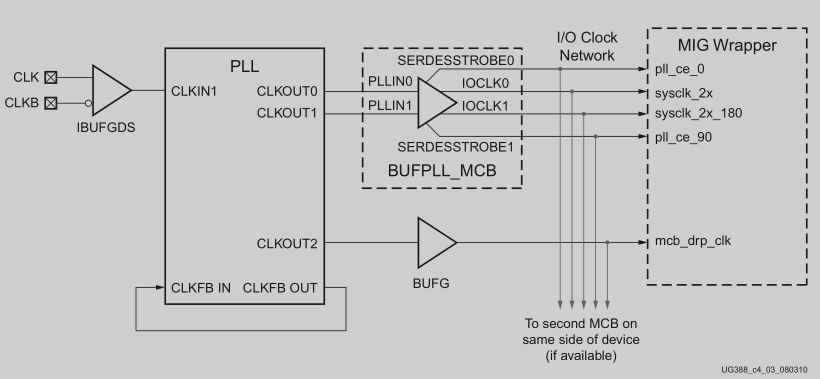




最后单击 Generate即可生成MIG核。

1. DDR时钟配置：



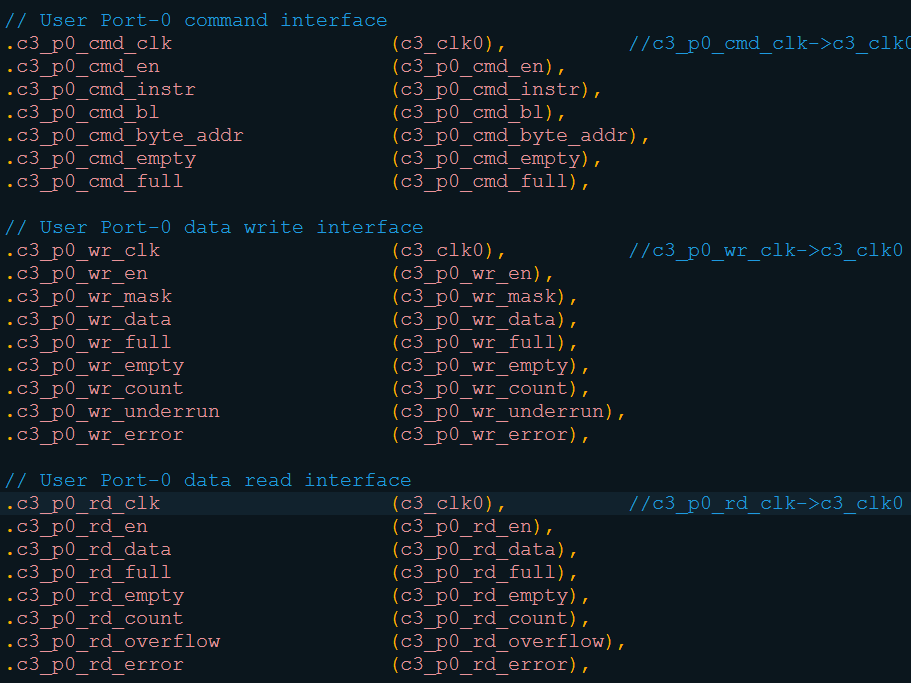


输入时钟可选单端输入还是差分输入，进过PLL模块生成6个时钟C\_CLKOUT0~C\_CLKOUT5，C\_CLKOUT0\_DIVIDE~ C\_CLKOUT5\_DIVIDE分别为6个时钟的分频系数，输入频率经过C3\_CLKFBOUT\_MULT倍频然后C3\_DIVCLK\_DIVIDE分频得到DDR控制器的时钟频率，因为 DDR3 是上下沿采样，这样 FPGA 内部的 DDR3控制器的时钟需要为 DDR3 时钟频率的2倍；

C\_CLKOUT0和C\_CLKOUT1等于控制器的时钟频率，输入BUFPLL\_MCB模块产生sysclk\_2x、sysclk\_2x\_180、pll\_ce\_0、pll\_ce\_90四个时钟；C\_CLKOUT2作为用户接口频率，可为DDR读写提供参考时钟；C\_CLKOUT3经过BUFG产生calibration的时钟mcb\_drp\_clk，C\_CLKOUT4和C\_CLKOUT5可分频得到用户想要的时钟；输出的时钟要进过BUFG缓存；

例如开发板上的时钟输入为 50Mhz, DDR3 工作频率是312.5MHz，这样FPGA内部的 DDR3控制器的时钟需要625MHz，所以这里我们需要倍频25（C3\_CLKFBOUT\_MULT）, 再分频2（C3\_DIVCLK\_DIVIDE），得到625Mhz（50MHz\*25/2）的CLKOUT0和CLKOUT1， 再分频 8 分别得到 user interface（C3\_CLKOUT2\_DIVIDE） 的时钟和 calibration（C3\_CLKOUT3\_DIVIDE） 的时钟 78.125Mhz（625MHz/8）；

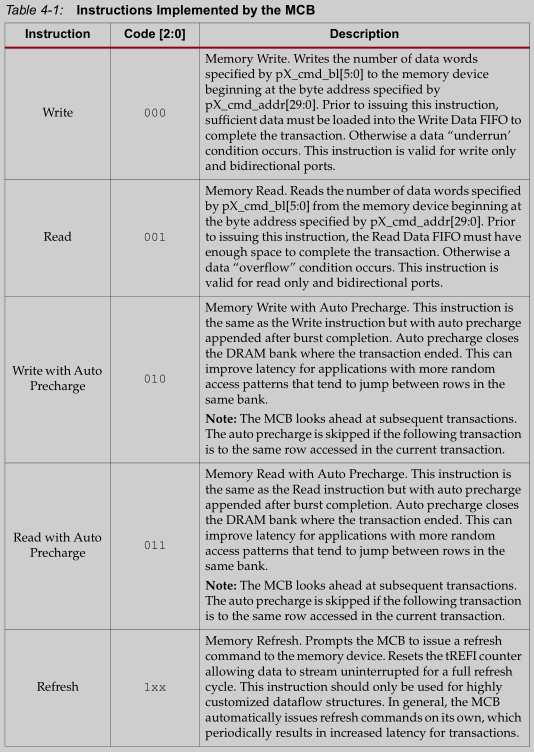
DDR的每个用户接口的时钟都可以不一样，每个接口的读、写以及命令时钟也可以不相同，时钟信号可以根据需要灵活配置。



用户接口信号

1. DDR读写时序

写：首先是使用wr\_en数据写使能信号将数据写入数据FIFO中（FIFO深度为64），然后再使用cmd\_en写命令使能信号将FIFO中数据单个或者Burst写入DDR中，cmd\_en信号使能之前需确定突发长度c3\_p0\_cmd\_bl（取值为0-63对应1-64个突发长度）、写命令c3\_p0\_cmd\_instr（3’b010）、写地址cmd\_byte\_addr（30位）以及命令FIFO不满（cmd\_full为低，命令FIFO深度为4）



读写命令cmd\_instr

cmd\_en使能后FIFO中数据会根据所给定的地址写入DDR中（要保证突发长度不大于写数据FIFO中数据的个数）；

读：与写的顺序相反，先使用读命令将数据从DDR中读到数据FIFO中，然后再使用rd\_en从数据FIFO中逐个读出数据，需要注意的是，当cmd\_en使能之后，数据不会立马从DDR进入FIFO，还需要等待一定的周期

