

Câu 1.c.

Biến đổi biểu thức Y:

Ta có

$$Y = (D+B)(\bar{C}+\bar{A})(\bar{D}+\bar{B}) = \overline{(D+B)(\bar{C}+\bar{A})(\bar{D}+\bar{B})}$$
$$= \overline{(D+B) + (\bar{C}+\bar{A}) + \bar{D}+\bar{B}}$$

Mà

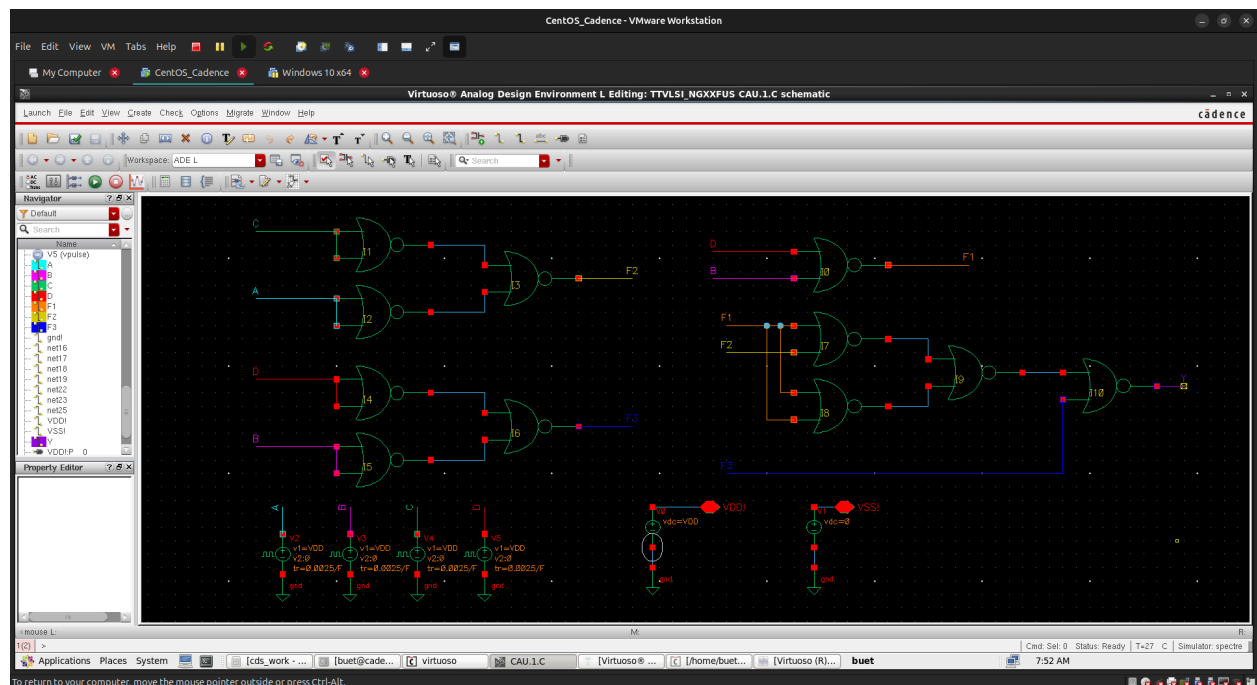
$$A+B+C = \overline{\overline{A+B+C}} = \overline{\overline{A+B} + \overline{A+B} + C}$$

Do đó

$$Y = \overline{F_1 + F_2} + \overline{F_1 + F_2} + F_3$$

Với $F_1 = \overline{D+B}$, $F_2 = \overline{\bar{C}+\bar{C} + \bar{A}+\bar{A}}$, $F_3 = \overline{D+\bar{D} + \bar{B}+\bar{B}}$

Vẽ mạch trên Cadence Virtuoso:



Các thông số mô phỏng:

- Nguồn xung vuông cơ sở: Nguồn có tần số cao nhất, tần số $F=50\text{MHz}$, thời gian cạnh lên, cạnh xuống $t_{\text{raising}} = t_{\text{falling}} = 0.0025/F$ (giây). Nguồn được cấp vào A.

- Các nguồn xung cấp vào B, C, D có tần số lần lượt là $F/2$; $F/4$; $F/8$; Có cùng thời gian cạnh lên/xuống.

- Nguồn DC: $VDD=1$ (V); $VSS = 0$ (V).

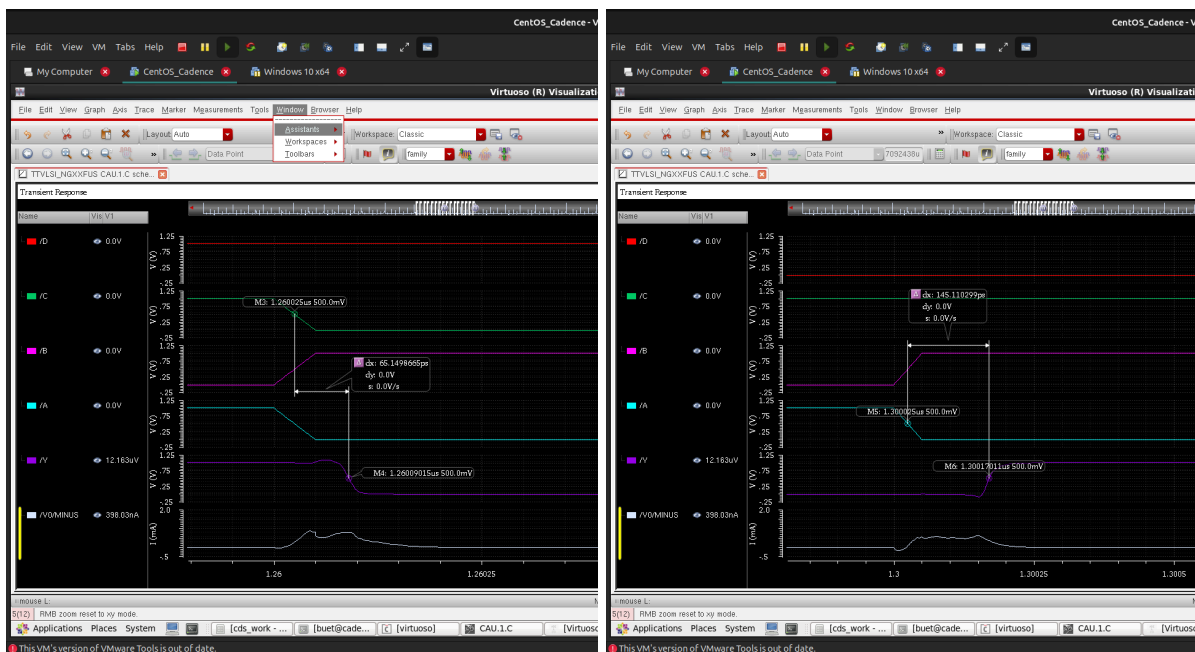
Kết quả mô phỏng:



Nhận xét: Mạch hoạt động đúng với bảng trạng thái. Ngoài ra dạng sóng có nhiều đềm vượt ngưỡng.

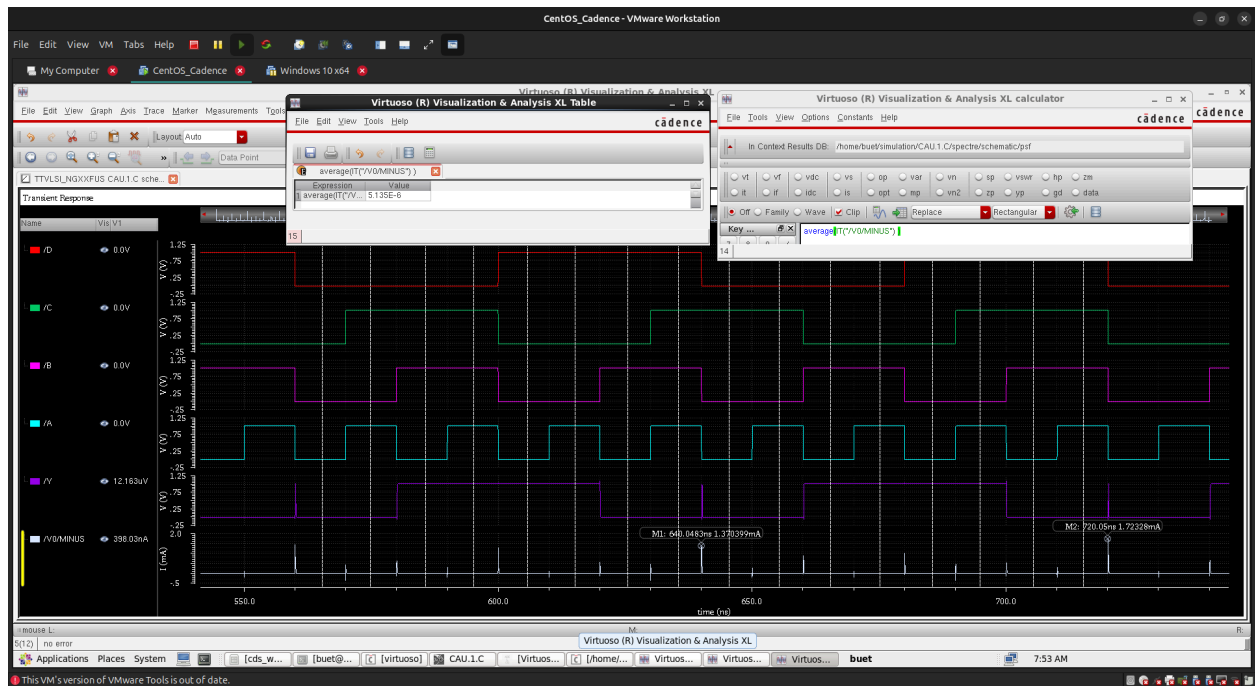
Độ trễ:

Khảo sát độ trễ lan truyền ở một số điểm:



Nhận xét: Độ trễ lan truyền lên đến 145 (ps).

Công suất:

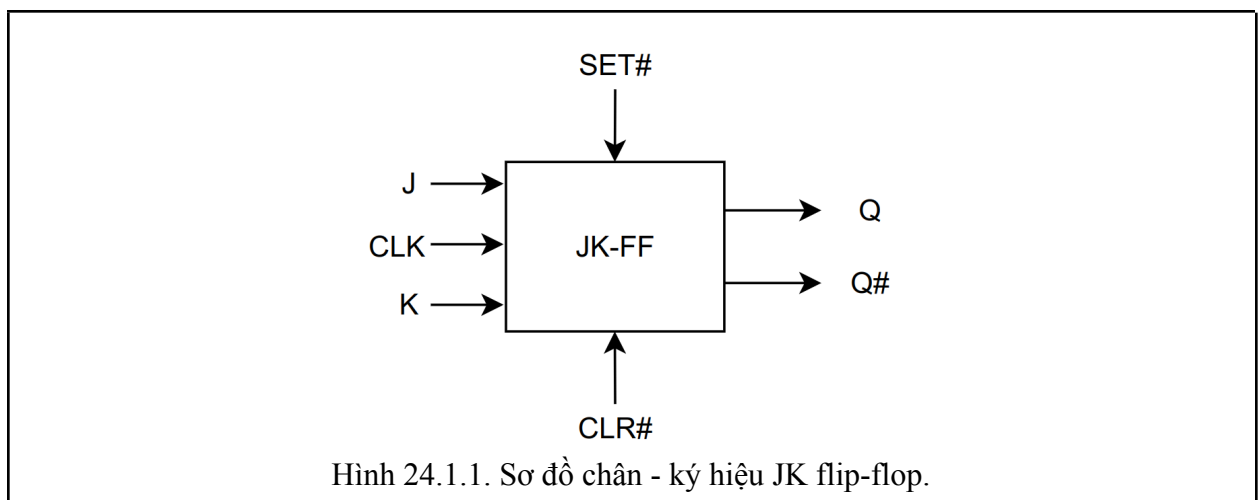


Nhận xét:

- Công suất cực đại: 1,72mW,
- Công suất trung bình: 5,14uW.

Câu 2.

JK Flip-flop, sơ đồ chân - ký hiệu, bảng trạng thái

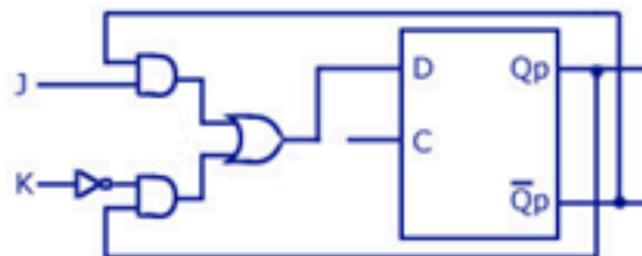


Bảng . Bảng trạng thái JK-FF:

J-K Input		Outputs		D Input
J	K	Q_p	Q_{p+1}	
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

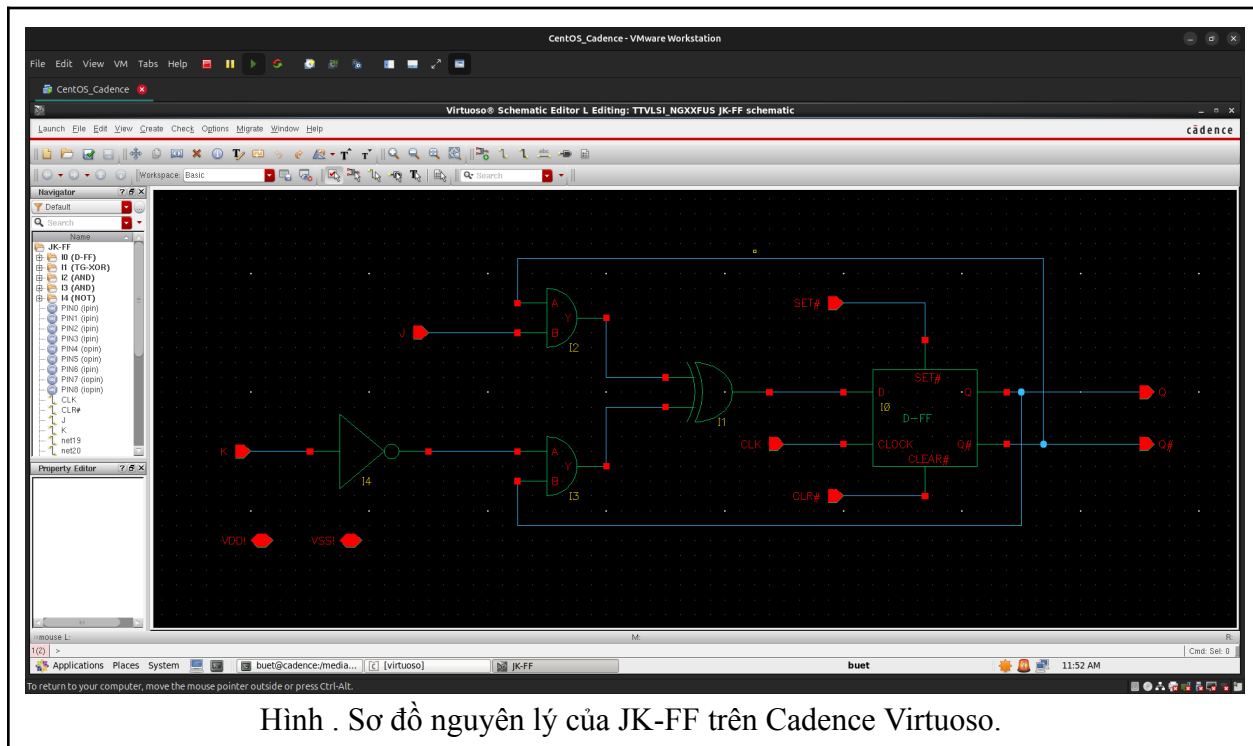
Chuyển đổi D-FF thành JK-FF

Có thể tạo JK-FF (T viết tắt cho toggle - lật) từ D-FF bằng cách thực hiện phép XNOR giữa ngõ ra trước đó với đầu vào T hiện tại thành ngõ vào D như hình 24.2.1. bên dưới.

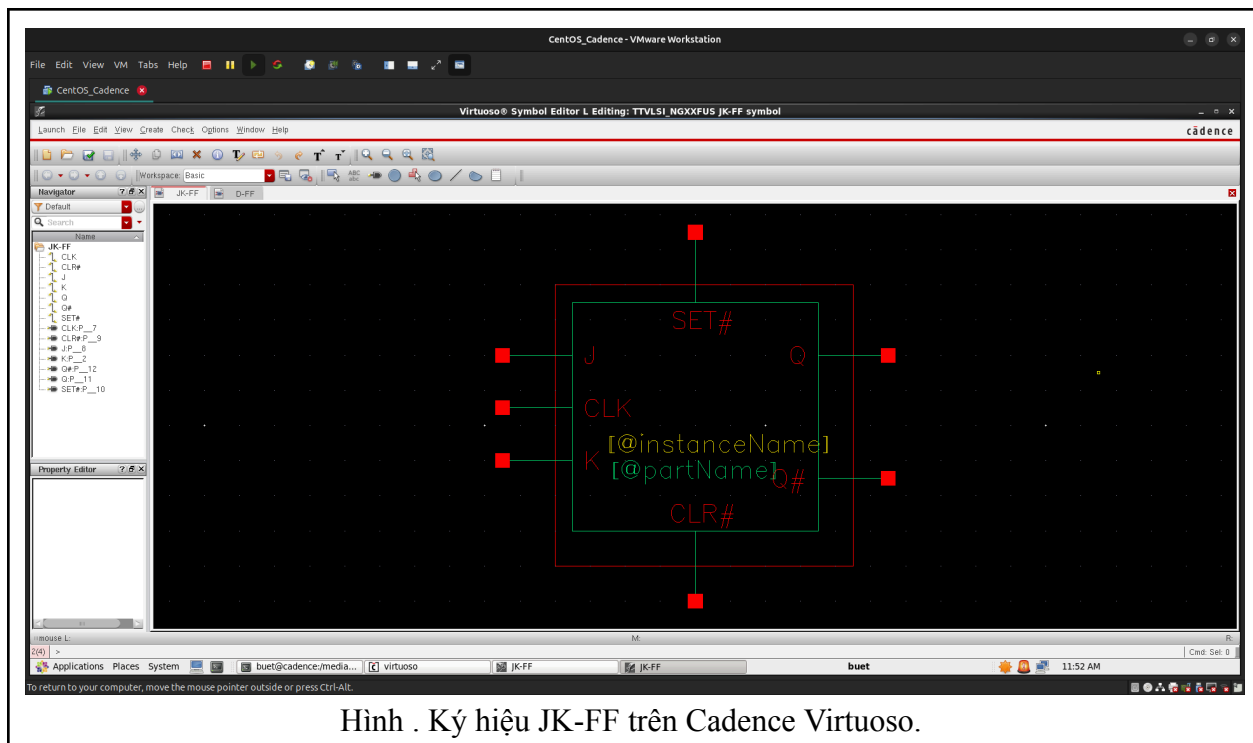


Hình . Sơ đồ JK-FF tạo từ D-FF.

Vẽ sơ đồ nguyên lý JK-FF trên Cadence Virtuoso



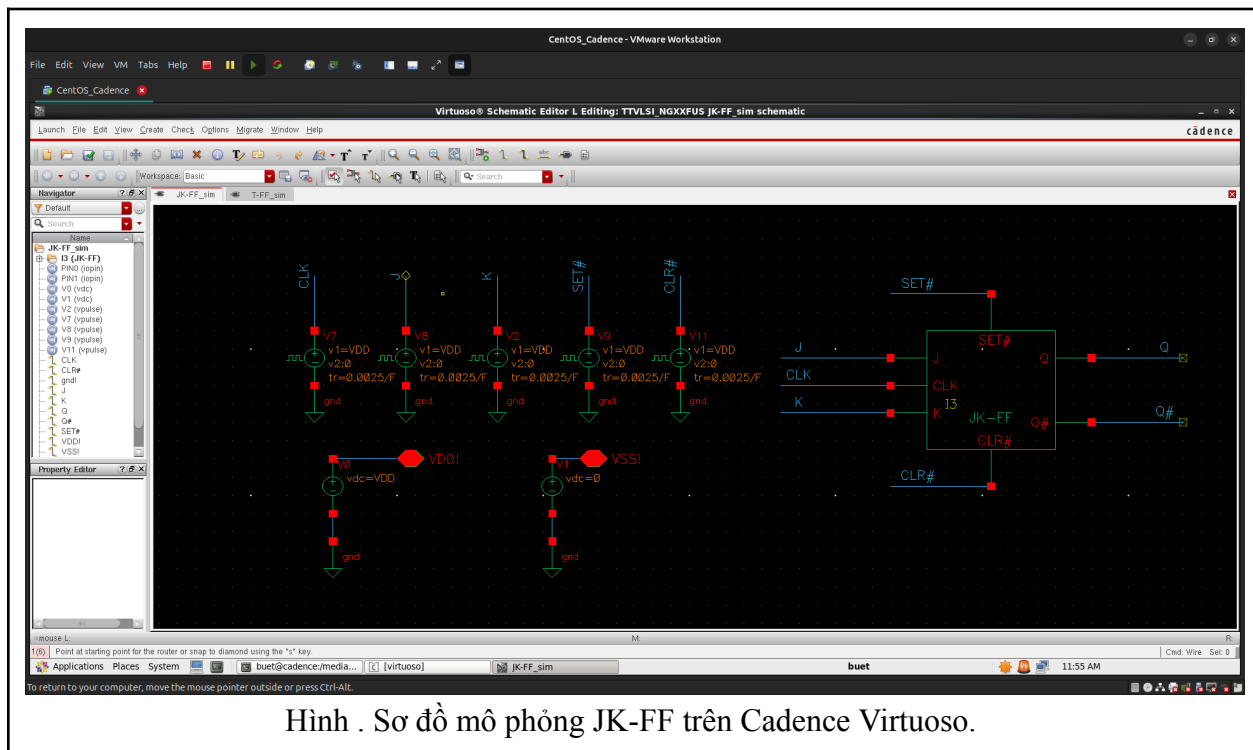
Hình . Sơ đồ nguyên lý của JK-FF trên Cadence Virtuoso.



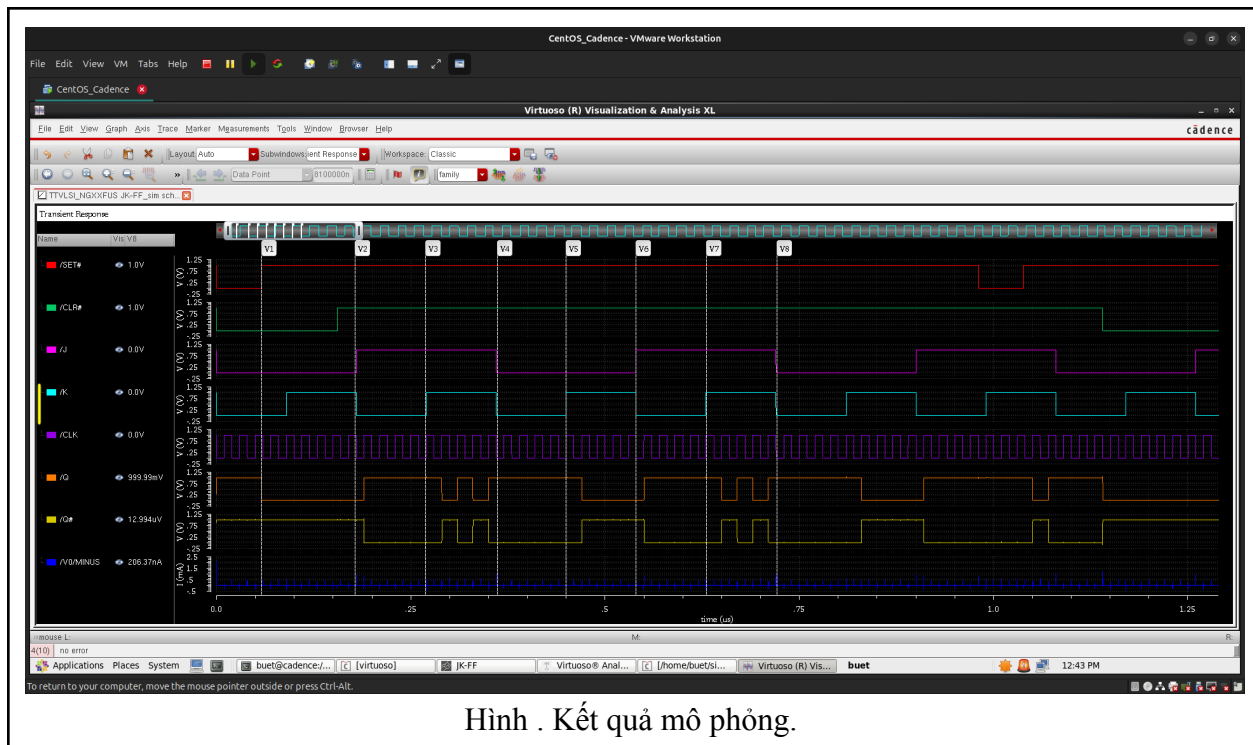
Hình . Ký hiệu JK-FF trên Cadence Virtuoso.

Mô phỏng JK-FF trên Cadence Virtuoso

Vẽ mạch mô phỏng JK-FF trên Cadence Virtuoso với $V_{DD} = 1V$; $F_{CLK} = 50MHz$;
 $F_T = F_{CLK} / 9$; $F_{SET\#} = F_{CLK} / 29$; $F_{CLR\#} = F_{CLK} / 39$; $t_{raising} = t_{falling} = 0.0025/F$.



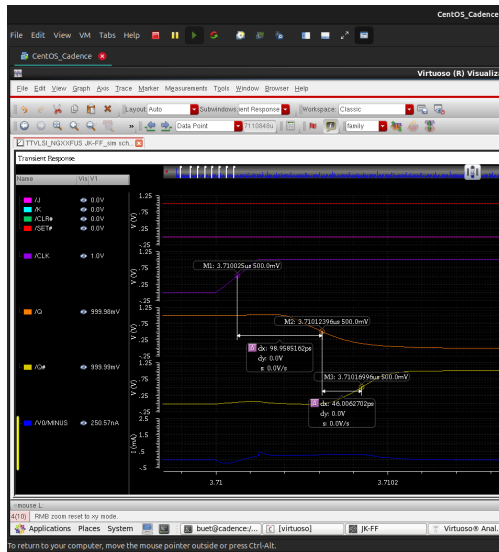
Kết quả mô phỏng:



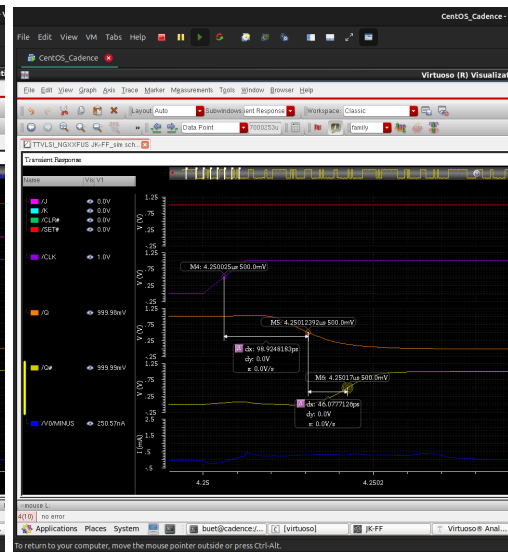
Nhận xét: JK-FF hoạt động đúng với lý thuyết.

Độ trễ:

Thực hiện chọn ngẫu nhiên một vài vị trí cạnh lên / cạnh xuống trên đồ thị và ghi nhận thời gian trễ:



a.

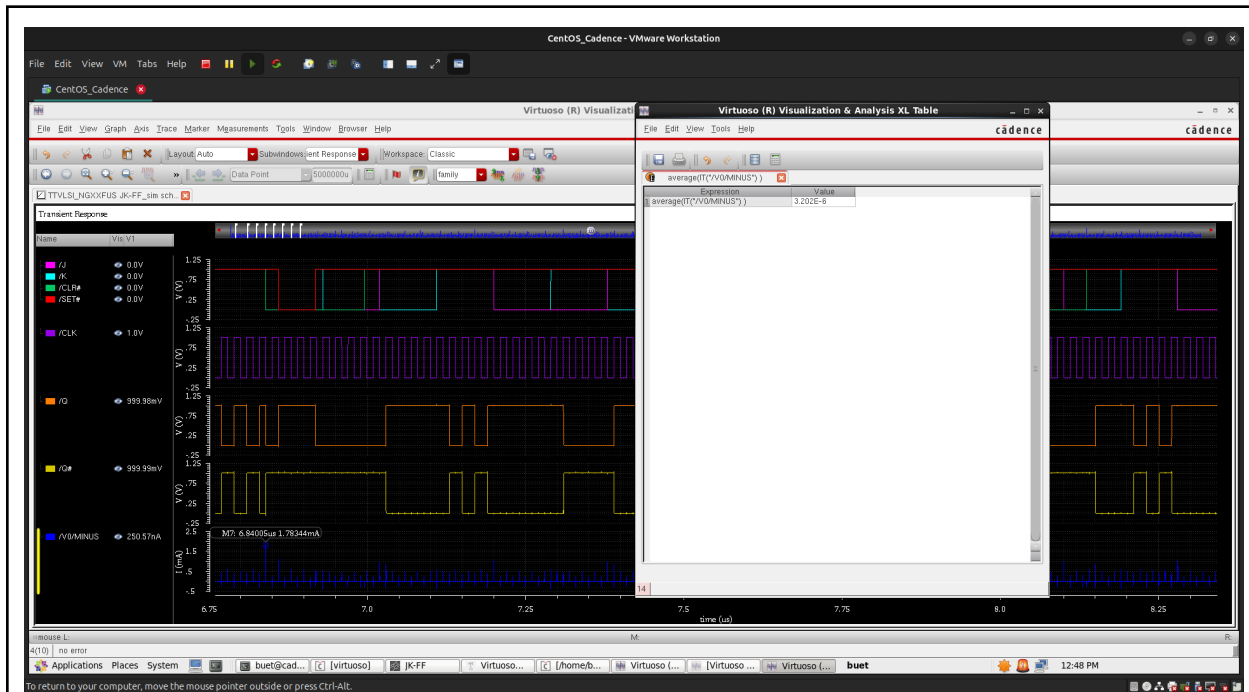


b.

Hình . (a,b) Độ trễ ngõ ra tại cạnh lên CLK với ngõ ra Q_{N-1} khác nhau.

Nhận xét: $t_{\text{pdr}} = \sim 100\text{ps}$ cho Q và 140ps cho Q#.

Công suất:



Hình . Dạng sóng công suất và công suất trung bình.

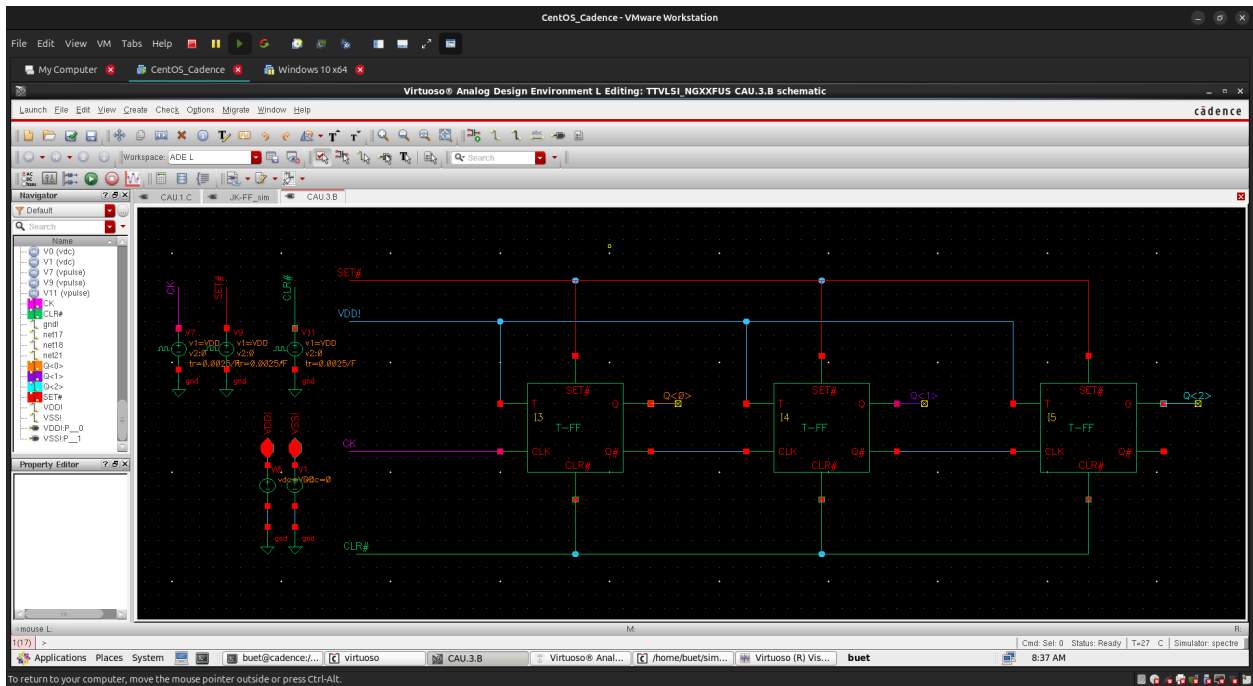
Nhận xét: Công suất cực đại lên đến $1,78\text{mW}$, công suất trung bình: $3.2\mu\text{W}$.

Câu 3.

Bảng trạng thái:

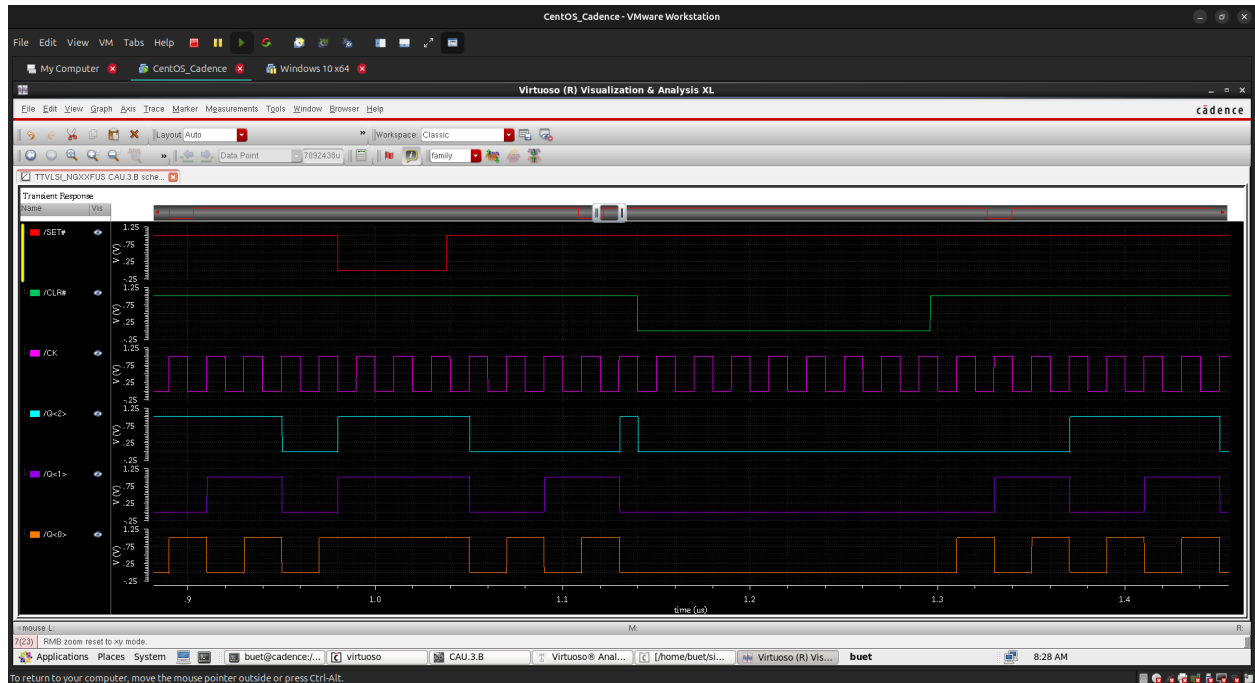
SET#	CLR#	CK	Q<2>	Q<1>	Q<0>	CHÚ THÍCH
0	0	X	1	1	1	Cấm!
1	0	X	0	0	0	Reset về 000.
0	1	X	1	1	1	Reset về 111.
1	1	↑	0	0	0	Đếm lên bất đồng bộ 03 bit.
1	1	↑	0	0	1	
1	1	↑	0	1	0	
1	1	↑	0	1	1	
1	1	↑	1	0	0	
1	1	↑	1	0	1	
1	1	↑	1	1	0	
1	1	↑	1	1	1	
1	1	↑	0	0	0	

Sơ đồ nguyên lý:



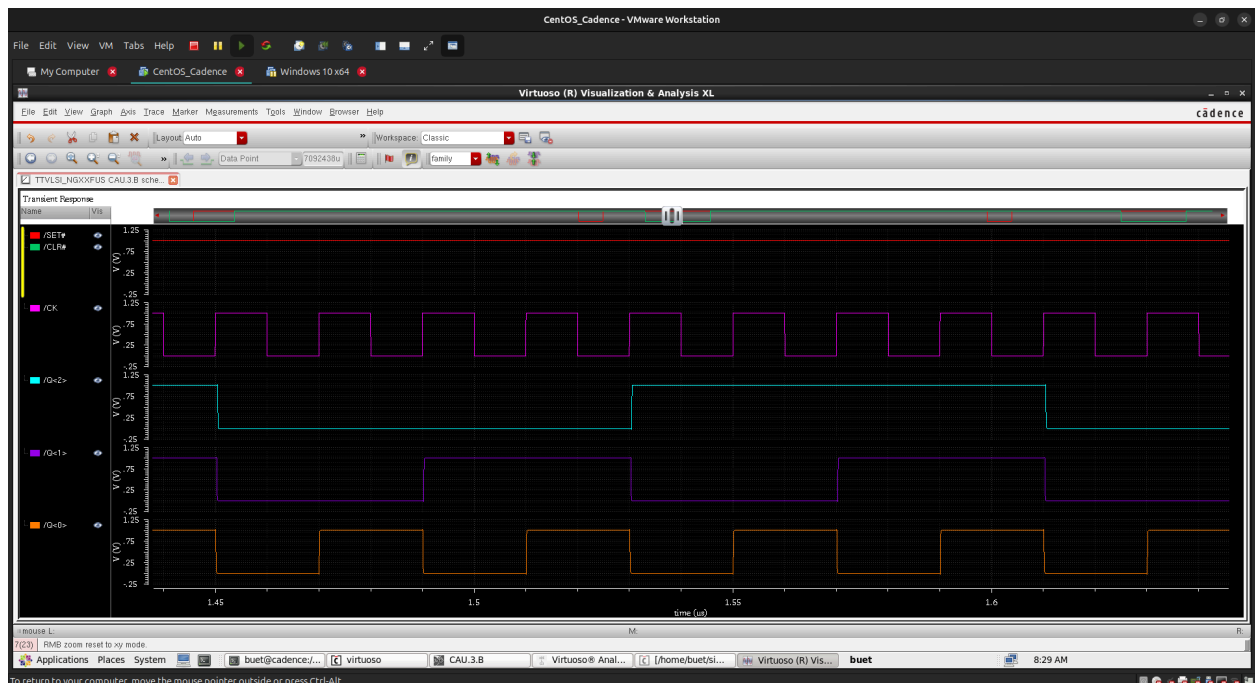
Kết quả:

Các tín hiệu RESET tác động



Nhận xét: Mạch hoạt động đúng khi tín hiệu RESET tác động.

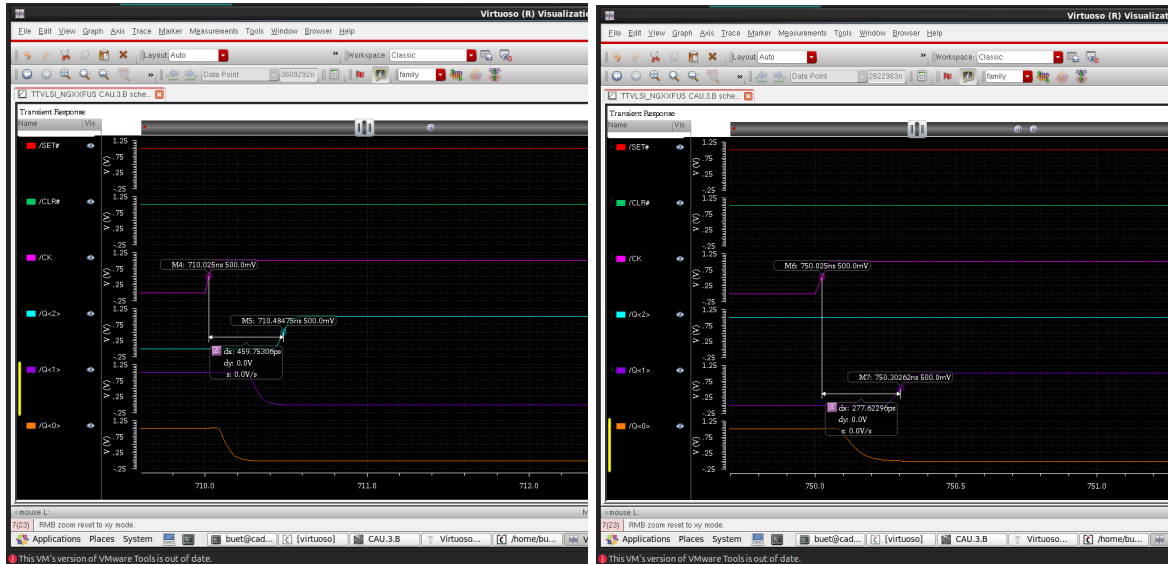
Các tín hiệu RESET không tác động:



Nhận xét: Mạch đếm đếm đúng với bảng trạng thái.

Độ trễ:

Chọn ngẫu nhiên một vài vị trí cạnh lên trên ở dạng sóng ngõ ra:



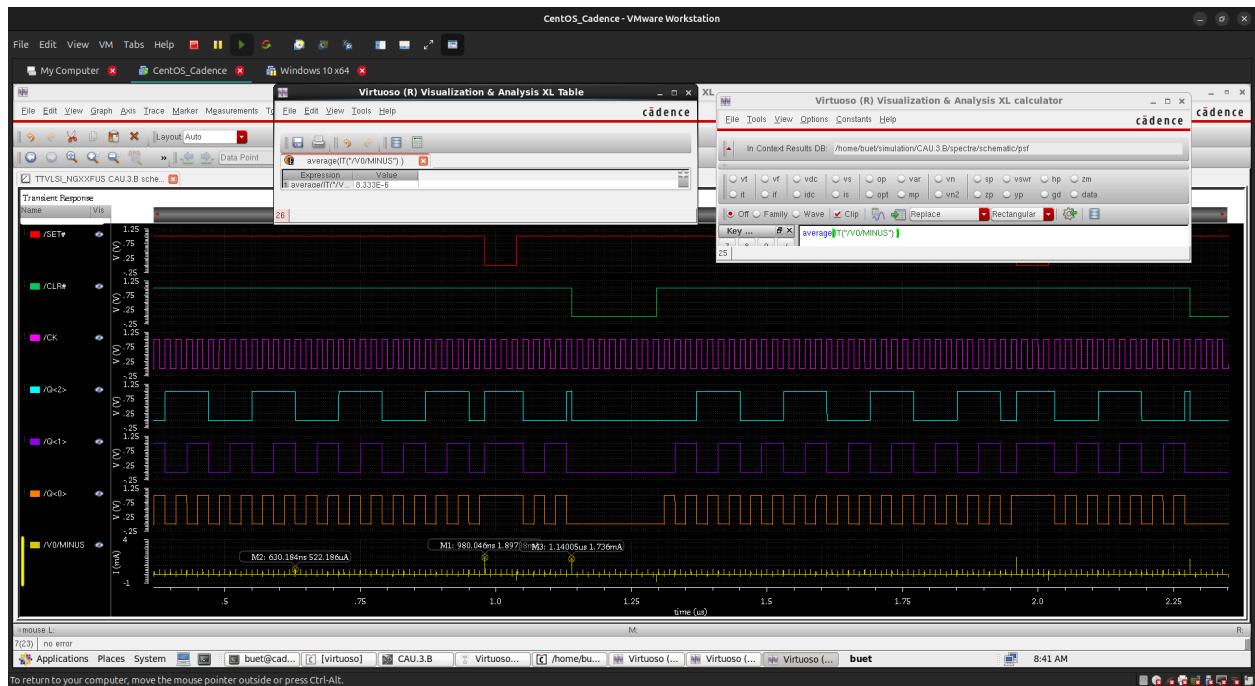
Nhận xét: Độ trễ lan truyền đến lên 459ps.



Nhận xét:

- Thời gian cạnh lên: 113 ps.
- Thời gian cạnh xuống: 49ps.

Công suất:



Nhận xét:

- Công suất cực đại khi đếm 522uW. Khi CLR# tác động, công suất 1,7mW.
- Công suất trung bình: 8.33uW.