

TRƯỜNG	ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP HCM
MÔN HỌC	TT VLSI
GVHD	LÊ MINH THÀNH
SINH VIÊN	NGUYỄN THANH PHÚ
MSSV	22119211
LỚP	CHIỀU THỨ HAI, D304A

<b>1. CỔNG INVERTER .....</b>	<b>1</b>
1.2 Ký hiệu.....	1
1.2. Bảng sự thật .....	1
1.3. Sơ đồ nguyên lý.....	1
1.4. Thông số CMOS.....	1
1.5. Vẽ mạch nguyên lý trên Cadence Virtuoso.....	1
1.6. Vẽ ký hiệu của cổng Inverter trên Cadence Virtuoso.....	2
1.7. Phân tích dạng sóng của cổng Inverter (không tải) với xung vuông 50MHz....	3
1.7.1. Mạch mô phỏng và các thông số mô phỏng.....	3
1.7.2. Kết quả mô phỏng, phân tích AC .....	4
1.7.3. Công suất.....	6
1.7.4. Phân tích DC.....	7
1.8. Phân tích dạng sóng của cổng Inverter (ghép cascade).....	9
1.8.1. Mạch mô phỏng và các thông số mô phỏng.....	9
1.8.2. Kết quả mô phỏng, phân tích AC .....	10
1.8.3. Công suất.....	13
1.8.4. Phân tích DC.....	13
1.9. Phân tích dạng sóng của cổng Inverter, tải RC ở ngõ ra.....	16
1.9.1 Mạch mô phỏng và các thông số mô phỏng.....	16
1.9.2. Kết quả mô phỏng, phân tích AC .....	17
1.9.3. Công suất.....	18
1.9.4. Phân tích DC.....	19
1.10. Tổng kết.....	21
1.11. Kết luận .....	22
<b>2. Cổng NAND .....</b>	<b>23</b>
2.1. Ký hiệu .....	23
2.2. Bảng trạng thái.....	23
2.3. Sơ đồ nguyên lý .....	23
2.4. Thông số CMOS .....	24
2.5. Vẽ mạch nguyên lý trên Cadence Virtuoso .....	24
2.6. Đóng gói, vẽ ký hiệu của cổng NAND trên Cadence Virtuoso .....	25
2.7. Phân tích dạng sóng của cổng NAND (không tải).....	25
2.8. Phân tích dạng sóng của cổng NAND với tải RC.....	30
<b>3. Cổng NOR.....</b>	<b>34</b>
3.1. Ký hiệu và BTT của cổng NOR.....	34
3.2. Sơ đồ nguyên lý.....	34

3.3. Thiết kế cổng NOR trên Cadence Virtuoso.....	35
3.4. Mô phỏng cổng NOR trên Cadence Virtuoso .....	36
3.4.1. Thông số nguồn .....	36
3.4.2. Mô phỏng cổng NOR độc lập.....	37
3.4.3. Mô phỏng cổng NOR với tải RC.....	43
4. Cổng AND .....	47
4.1. Ký hiệu và BTT của cổng AND .....	47
4.2. Sơ đồ nguyên lý.....	47
4.3. Thiết kế cổng AND trên Cadence Virtuoso .....	47
4.4. Mô phỏng cổng AND trên Cadence Virtuoso.....	48
4.4.1. Thông số nguồn .....	48
4.4.2. Mô phỏng cổng AND độc lập .....	49
4.4.3. Mô phỏng cổng AND với tải RC .....	53
5. Cổng OR .....	58
5.1. Ký hiệu và BTT của cổng OR .....	58
5.2. Sơ đồ nguyên lý.....	58
5.3. Thiết kế cổng OR trên Cadence Virtuoso .....	59
5.4. Mô phỏng cổng OR trên Cadence Virtuoso .....	60
5.4.1. Thông số nguồn .....	60
5.4.2. Mô phỏng cổng OR độc lập.....	61
5.4.3. Mô phỏng cổng OR với tải RC .....	64
6. Cổng XOR .....	68
6.1. Ký hiệu và BTT của cổng XOR .....	68
6.2. Sơ đồ nguyên lý.....	68
6.3. Thiết kế cổng XOR trên Cadence Virtuoso .....	68
6.4. Mô phỏng cổng XOR trên Cadence Virtuoso.....	70
6.4.1. Thông số nguồn .....	70
6.4.2. Mô phỏng cổng XOR độc lập .....	71
6.4.3. Mô phỏng cổng XOR với tải RC .....	75
7. Cổng XNOR .....	80
7.1. Ký hiệu và BTT của cổng XNOR .....	80
7.2. Sơ đồ nguyên lý.....	80
7.3. Thiết kế cổng XNOR trên Cadence Virtuoso .....	80
7.4. Mô phỏng cổng XNOR trên Cadence Virtuoso .....	82
7.4.1. Thông số nguồn .....	82
6.4.2. Mô phỏng cổng XNOR độc lập.....	83
6.4.3. Mô phỏng cổng XNOR với tải RC .....	88

8. Mạch Schmitt-Trigger .....	93
8.1. Ký hiệu và chức năng của mạch Schmitt-Trigger .....	93
8.2. Mạch nguyên lý.....	93
8.2.1. Mạch Schmitt-Trigger sử dụng pMOS.....	93
8.2.2. Mạch Schmitt-Trigger sử dụng nMOS.....	94
8.2.3. Mạch Schmitt-Trigger sử dụng CMOS (pMOS & nMOS) .....	94
8.3. Mô phỏng trên Cadence Virtuoso .....	95
8.3.1. Thông số CMOS, thông số nguồn.....	95
8.3.2. Vẽ mạch nguyên lý trên Cadence Virtuoso .....	97
8.3.3. Mô phỏng với nguồn Sin .....	99
8.4. Kết luận .....	101
9. Multiplexer-2-1 (MUX-2-1).....	102
9.1. Ký hiệu, bảng trạng thái.....	102
9.2. Hàm ngõ ra, biến đổi của MUX-2-1 .....	102
9.3. Mạch nguyên lý của MUX-2-1.....	102
9.3. Vẽ bộ MUX-2-1 trên Virtuoso.....	103
Bảng 9.3.1. Thông số CMOS: .....	103
9.4. Mô phỏng bộ MUX-2-1 trên Cadence Virtuoso .....	104
10. Multiplexer-4-1 (MUX-4-1).....	105
10.1. Ký hiệu, bảng trạng thái.....	105
10.2. Hàm ngõ ra của MUX-4-1 .....	105
10.3. Vẽ bộ MUX-2-1 trên Virtuoso.....	105
Bảng 10.3.1. Thông số CMOS: .....	105
10.4. Mô phỏng bộ MUX-2-1 trên Cadence Virtuoso .....	107
Bảng 10.4.1.Thông số nguồn DC:.....	107
Bảng 10.4.2. Thông số nguồn cung cấp xung vuông cho ngõ vào IN<0>:.....	107
11. Multiplexer-8-1 (MUX-8-1).....	110
11.1. Ký hiệu, bảng trạng thái.....	110
11.2. Hàm ngõ ra của MUX-4-1 .....	110
11.3. Vẽ bộ MUX-8-1 trên Virtuoso.....	111
11.4. Mô phỏng bộ MUX-2-1 trên Cadence Virtuoso .....	111
Bảng 11.4.1.Thông số nguồn DC:.....	111
Bảng 11.4.2. Thông số nguồn cung cấp xung vuông cho ngõ vào IN<0>:.....	112
12. Full-Adder.....	114
12.1. Sơ đồ chân, bảng trạng thái .....	114
12.2. Hàm ngõ ra của Full-Adder.....	114
12.3. Vẽ bộ Full-Adder trên Virtuoso.....	114

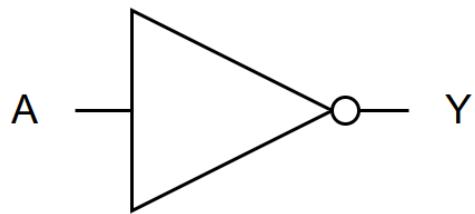
12.4. Mô phỏng bộ Full-Adder trên Cadence Virtuoso.....	115
Bảng 12.4.1.Thông số nguồn DC:.....	115
Bảng 10.4.2. Thông số nguồn cấp xung vuông cho ngõ vào A: .....	115
Kết quả mô phỏng bộ Full-Adder độc lập:.....	116
Kết quả mô phỏng bộ Full-Adder kết hợp cổng XOR:.....	118
13. Full-Adder.....	120
13.1. Sơ đồ chân, bảng trạng thái .....	120
13.2. Mạch nguyên lý, ký hiệu bộ ADDER-4BIT .....	120
13.3. Mô phỏng bộ Adder-4bit. ....	121
13.3.1. Thông số nguồn DC và nguồn xung cơ sở .....	121
13.3.2. Mạch mô phỏng bộ Adder-4bit.....	121
13.3.3. Kết quả mô phỏng bộ Adder-4bit .....	122
14. Half-Subtraction.....	125
14.1. Sơ đồ chân, bảng trạng thái .....	125
14.2. Hàm ngõ ra của Half-Subtraction.....	125
14.3. Vẽ bộ Half-Subtraction trên Virtuoso .....	125
14.4. Mô phỏng bộ Half-Subtraction trên Cadence Virtuoso.....	126
15. Full-Subtraction .....	127
15.1. Sơ đồ chân, bảng trạng thái .....	127
15.2. Vẽ bộ Full-Subtraction trên Virtuoso .....	127
15.4. Mô phỏng bộ Full-Subtraction trên Cadence Virtuoso .....	128
Bảng 15.4.1.Thông số nguồn DC:.....	128
Bảng 15.4.2. Thông số nguồn cấp xung vuông cho ngõ vào A: .....	128
Kết quả mô phỏng bộ Half-Subtraction và Full-Subtraction: .....	129
16. Sub-4bit.....	132
16.1. Sơ đồ chân, bảng trạng thái .....	132
16.2. Mạch nguyên lý, ký hiệu bộ ADDER-4BIT .....	133
16.3. Mô phỏng bộ Sub-4bit. ....	134
16.3.1. Thông số nguồn DC và nguồn xung cơ sở .....	134
16.3.2. Mạch mô phỏng bộ Sub-4bit .....	134
16.3.3. Kết quả mô phỏng bộ Sub-4bit.....	135
17. Cổng TG.....	139
17.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu, bảng trạng thái.....	139
17.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso .....	139
17.3. Mô phỏng cổng TG. ....	140
17.3.1. Thông số nguồn DC và nguồn xung cơ sở .....	140
Bảng 17.3.1.1. Thông số nguồn DC:.....	140

Bảng 17.3.1.2. Thông số nguồn cấp xung vuông cơ sở: .....	140
17.3.2. Mạch mô phỏng cổng TG.....	141
17.3.3. Kết quả mô phỏng cổng TG .....	141
18. Các ứng dụng của cổng TG .....	144
18.1. Bộ đa hợp 2 sang 1 (TG-MUX-2-1) .....	144
18.1.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu, bảng trạng thái .....	144
18.1.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso.....	144
18.1.3. Mô phỏng bộ TG-MUX-2-1.....	145
18.2. Bộ đa hợp 4 sang 1 (TG-MUX-4-1) .....	148
18.2.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu, bảng trạng thái .....	148
18.2.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso.....	149
18.2.3. Mô phỏng bộ TG-MUX-4-1.....	150
18.2. Cổng XOR/XNOR sử dụng cổng TG (TG-XOR, TG-XNOR) .....	152
18.3.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu TG-XOR, TG-XNOR.....	152
18.3.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso.....	154
18.3.3. Mô phỏng cổng TG-XOR và TG-XNOR. ....	155
19. Flip-Flops và Flow-through Latches .....	159
19.1. Cặp cổng đảo mắc chéo (Cross-coupled inverter).....	159
19.2. Mạch chốt nhạy mức (level-sensitive latch) .....	160
19.3. Mạch chốt D kích cạnh (Flip-flop D).....	164
19.4. Mạch chốt D kích cạnh (Flip-flop D) với tín hiệu không đồng bộ SET/CLEAR .....	166
20. T Flip-flop .....	168
20.1. T Flip-flop, sơ đồ chân - ký hiệu, bảng trạng thái.....	168
20.2. Chuyển đổi D-FF thành T-FF.....	168
20.3. Vẽ sơ đồ nguyên lý T-FF trên Cadence Virtuoso.....	169
20.4. Mô phỏng T-FF trên Cadence Virtuoso .....	170
Kết quả:.....	170
21. Thanh ghi dịch 4 bit SISO (REG-4BIT-SISO) .....	172
21.1. REG-4BIT-SISO, sơ đồ chân - ký hiệu, bảng trạng thái .....	172
21.2. Sơ đồ nguyên lý REG-4BIT-SISO .....	172
21.3. Vẽ sơ đồ nguyên lý REG-4BIT-SISO trên Cadence Virtuoso .....	173
21.4. Mô phỏng REG-4BIT-SISO trên Cadence Virtuoso .....	174
Kết quả:.....	174
22. Mạch đếm lên 4bit (UP-COUNTER-4BIT) .....	176
22.1. UP-COUNTER-4BIT, sơ đồ chân - ký hiệu, bảng trạng thái .....	176
22.2. Sơ đồ nguyên lý UP-COUNTER-4BIT .....	177

22.3. Vẽ sơ đồ nguyên lý UP-COUNTER-4BIT trên Cadence Virtuoso.....	177
22.4. Mô phỏng UP-COUNTER-4BIT trên Cadence Virtuoso.....	178
Kết quả:.....	179
23. Layout cổng Inverter (not) .....	181
24. JK Flip-flop .....	185
24.1. JK Flip-flop, sơ đồ chân - ký hiệu, bảng trạng thái.....	185
24.2. Chuyển đổi D-FF thành JK-FF.....	185
24.3. Vẽ sơ đồ nguyên lý JK-FF trên Cadence Virtuoso.....	186
24.4. Mô phỏng JK-FF trên Cadence Virtuoso .....	187
Kết quả:.....	188

## 1. CÔNG INVERTER

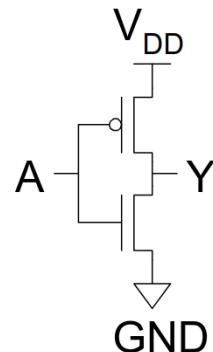
### 1.2 Ký hiệu



### 1.2. Bảng sự thật

INPUT (A)	OUTPUT (Y)
H	L
L	H

### 1.3. Sơ đồ nguyên lý

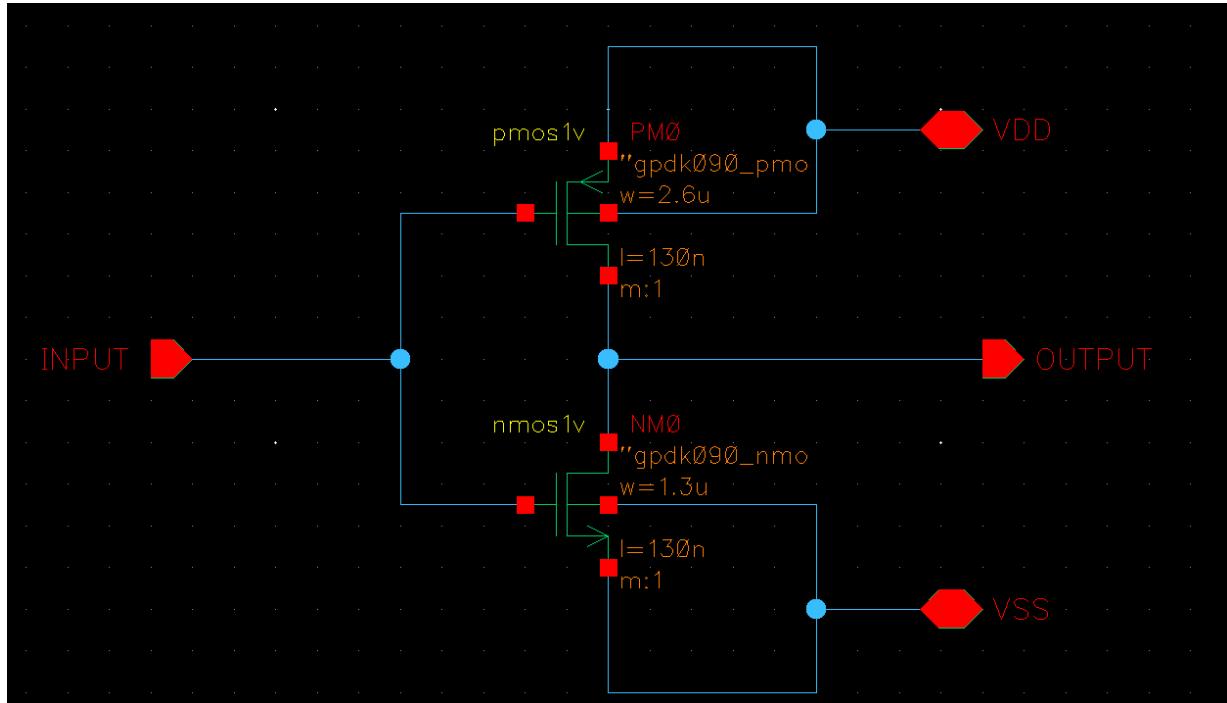


### 1.4. Thông số CMOS

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		

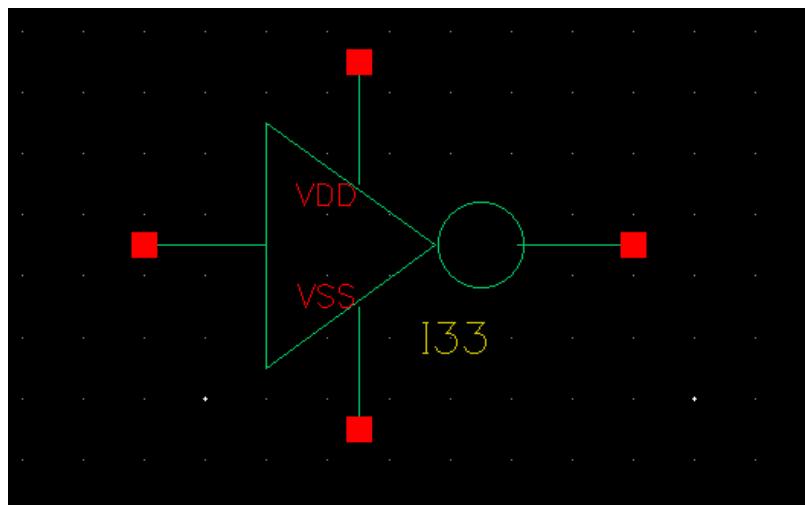
### 1.5. Vẽ mạch nguyên lý trên Cadence Virtuoso

Ghi chú: Nhiệt độ trong các mô phỏng: 27oC.



Hình 5.1. Sơ đồ nguyên lý của cổng Inverter.

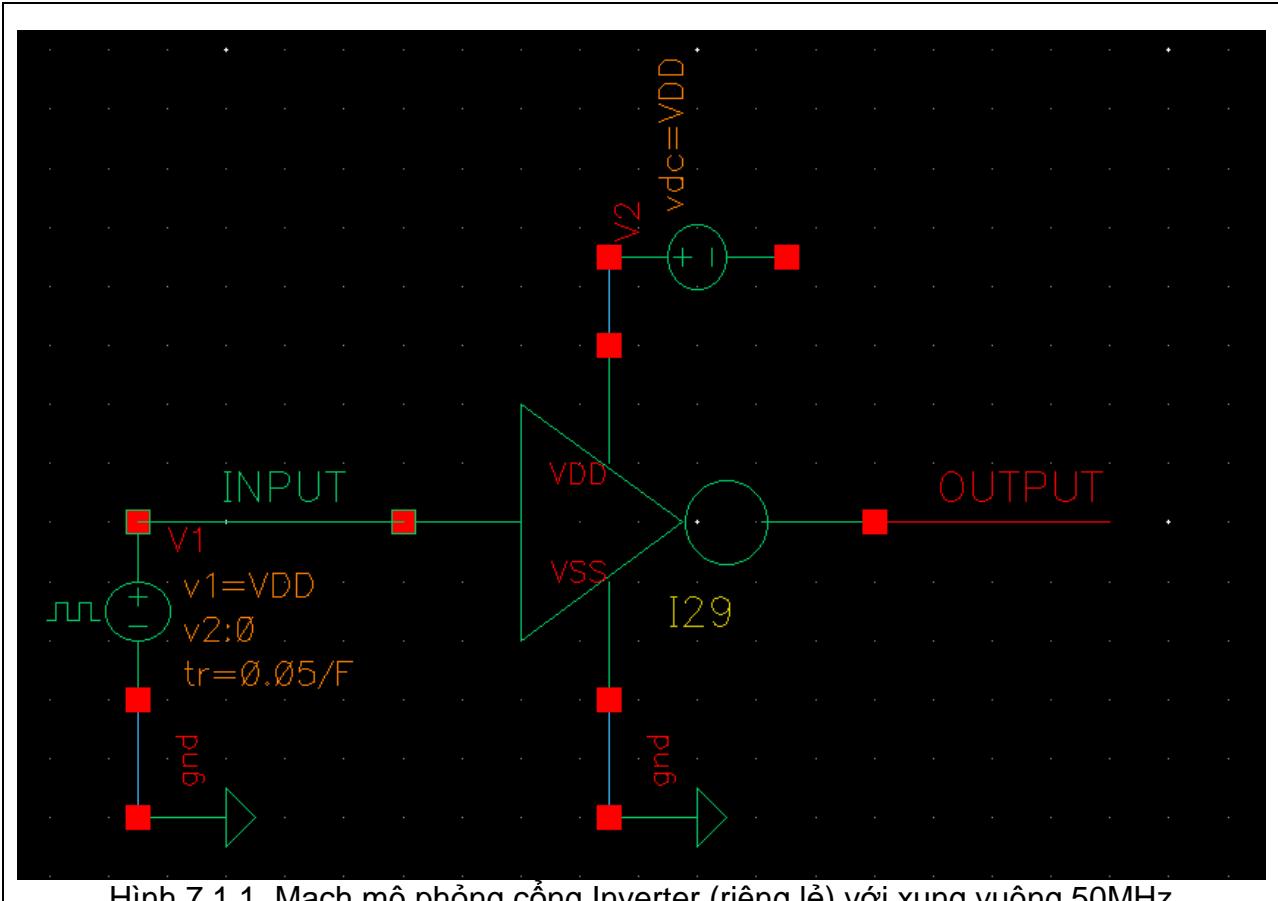
### 1.6. Vẽ ký hiệu của cổng Inverter trên Cadence Virtuoso



Hình 6.1. Ký hiệu của cổng Inverter

## 1.7. Phân tích dạng sóng của cỗng Inverter (không tải) với xung vuông 50MHz

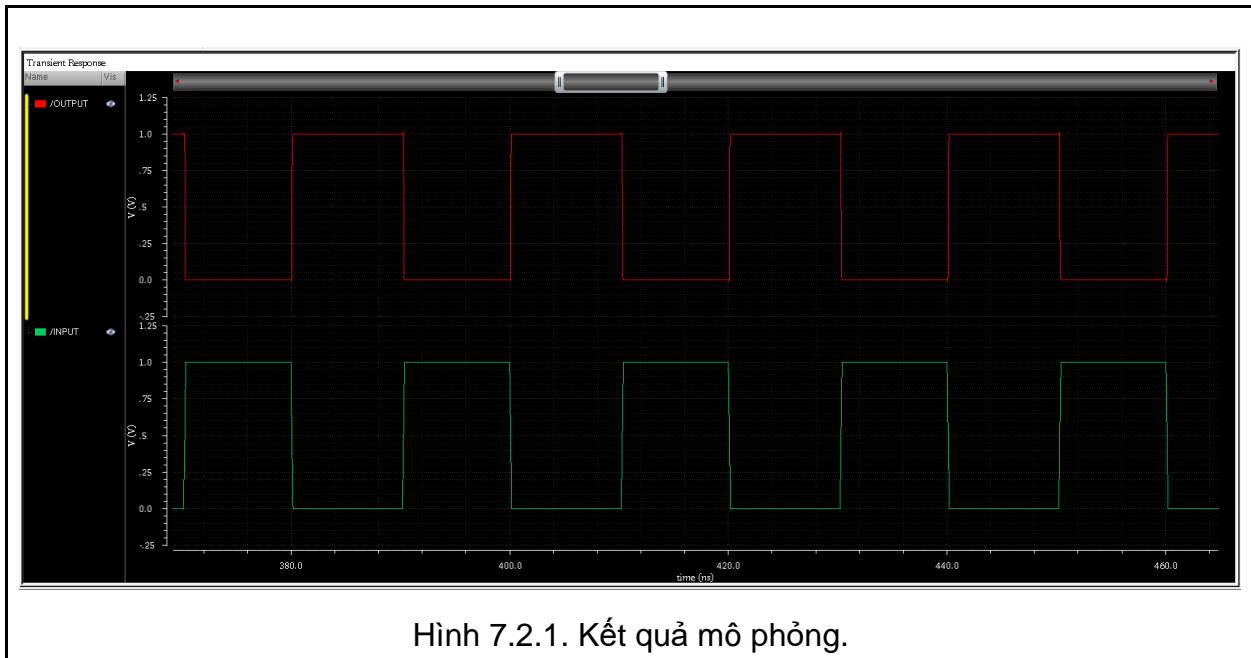
### 1.7.1. Mạch mô phỏng và các thông số mô phỏng



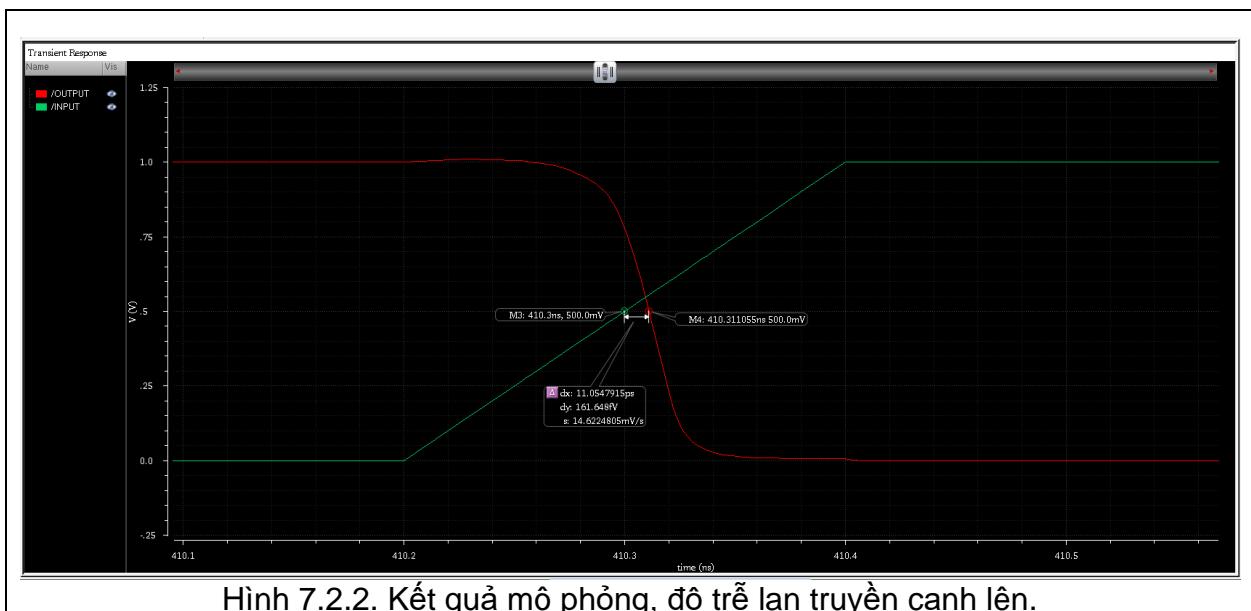
Bảng 7.1.1. Thông số mô phỏng

Thông số	Ký hiệu	Giá trị / Biểu thức	Đơn vị
Điện áp guồn cung cấp	VDD	1	V
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	F	50M	Hz
Thời gian cạnh lên.	t_r	0.01/F	s
Thời gian cạnh xuống.	t_f	0.01/F	
Độ rộng xung	--	0.5/F	

### 1.7.2. Kết quả mô phỏng, phân tích AC

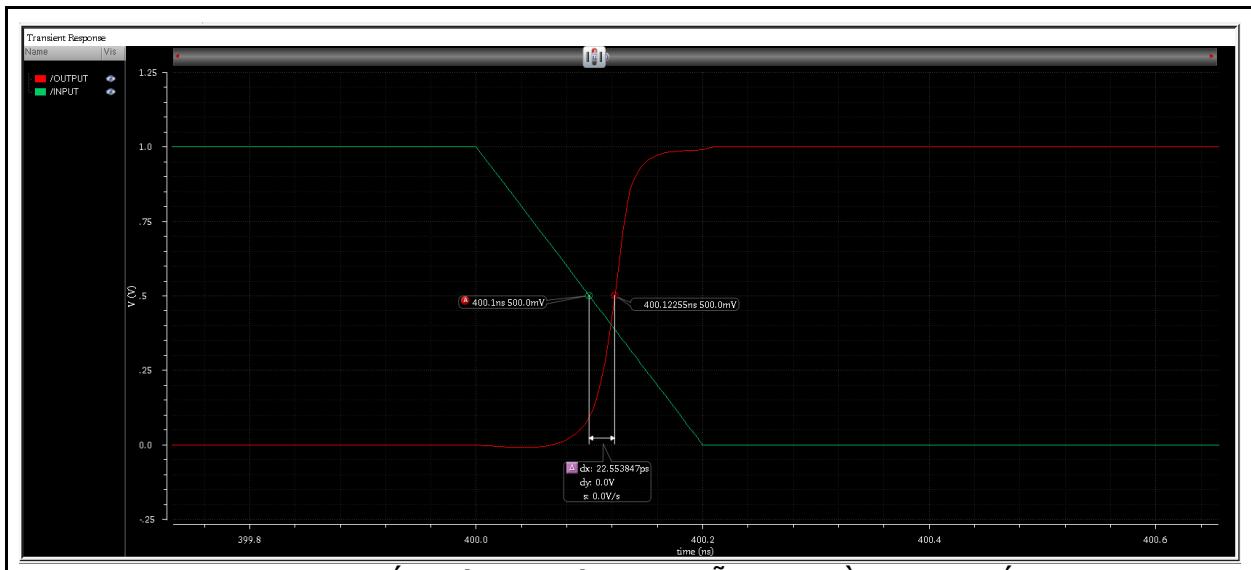


Hình 7.2.1. Kết quả mô phỏng.



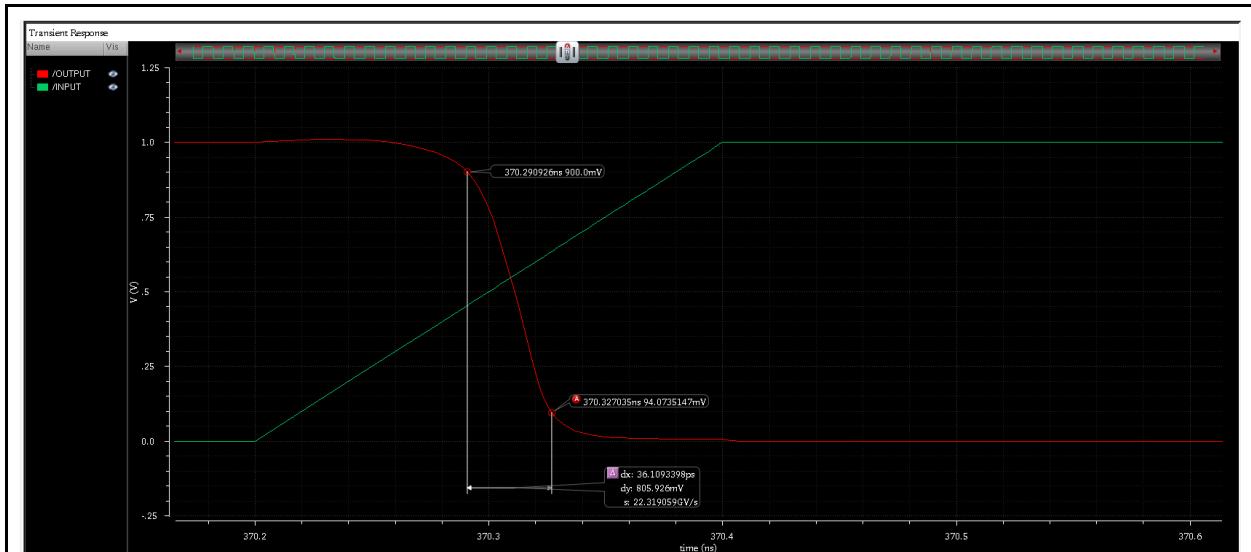
Hình 7.2.2. Kết quả mô phỏng, độ trễ lan truyền cạnh lên.

$$t_{pdf} = dx = 11.0547915\text{ps}$$



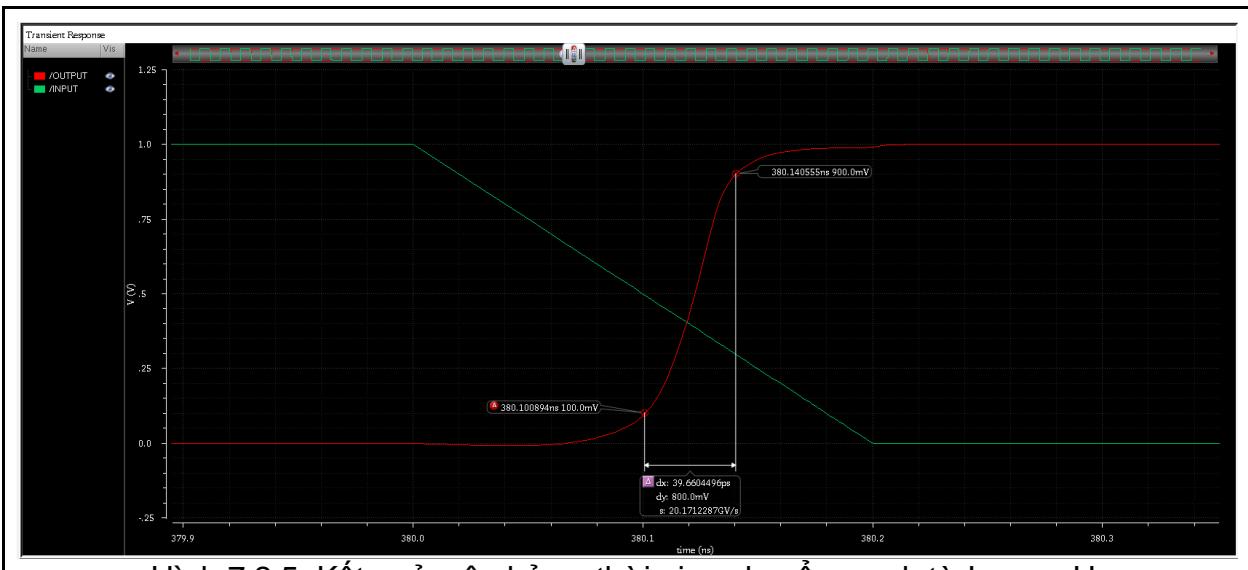
Hình 7.2.3. Kết quả mô phỏng, độ trễ lan truyền cạnh xuống.

$$t_{pdf} = dx = 22.553847\text{ps}$$



Hình 7.2.4. Kết quả mô phỏng, thời gian chuyển từ H sang L.

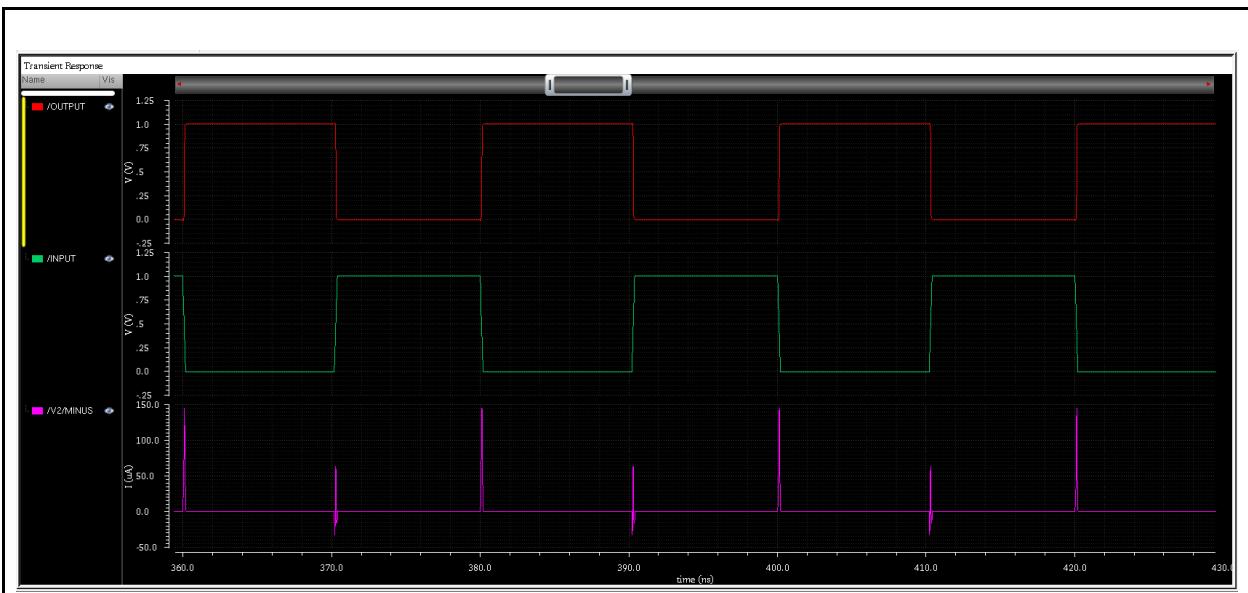
$$t_{falling} = 36.1093398\text{ps}$$



Hình 7.2.5. Kết quả mô phỏng, thời gian chuyển mạch từ L sang H.

$$t_{\text{raising}} = 39.6604496\text{ps}$$

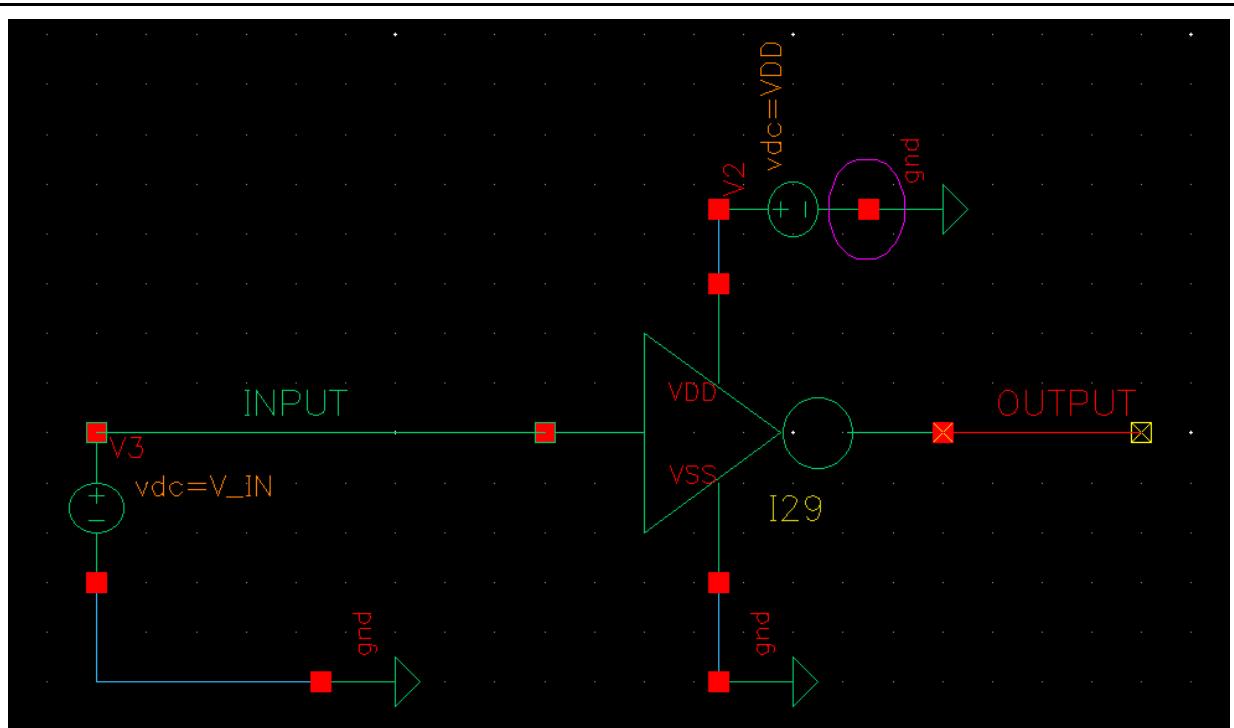
### 1.7.3. Công suất



Hình 7.5.1. Kết quả mô phỏng công suất.

$$\text{Công suất trung bình: } 880.3 \times 10^{-9} \text{W} = 311.1 \text{nW}$$

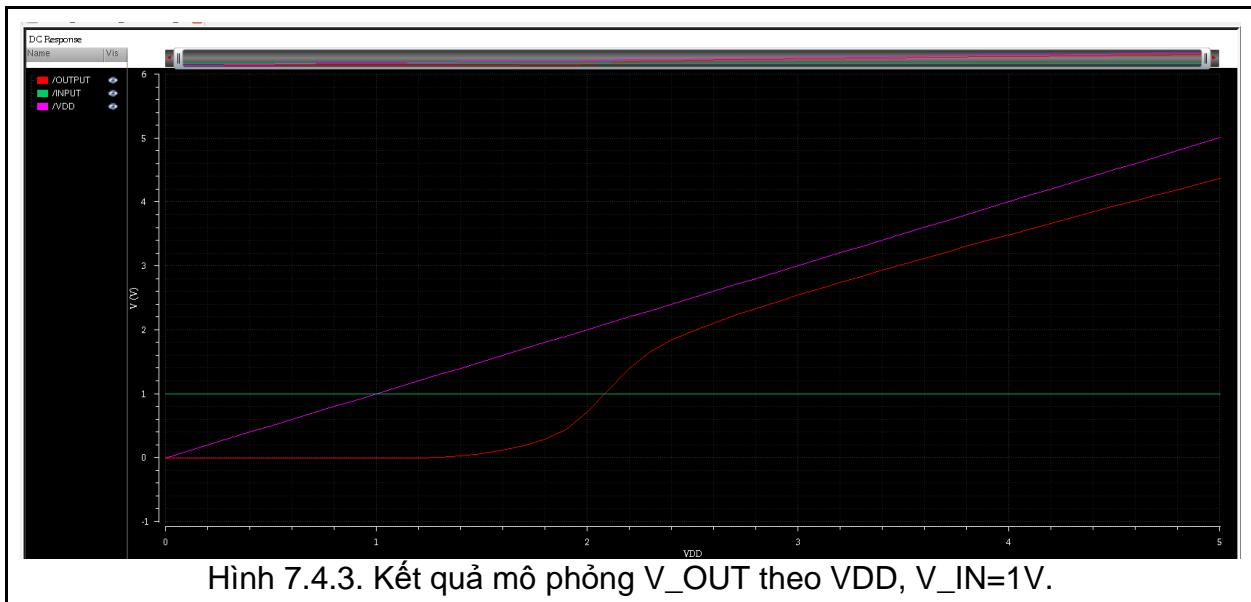
#### 1.7.4. Phân tích DC



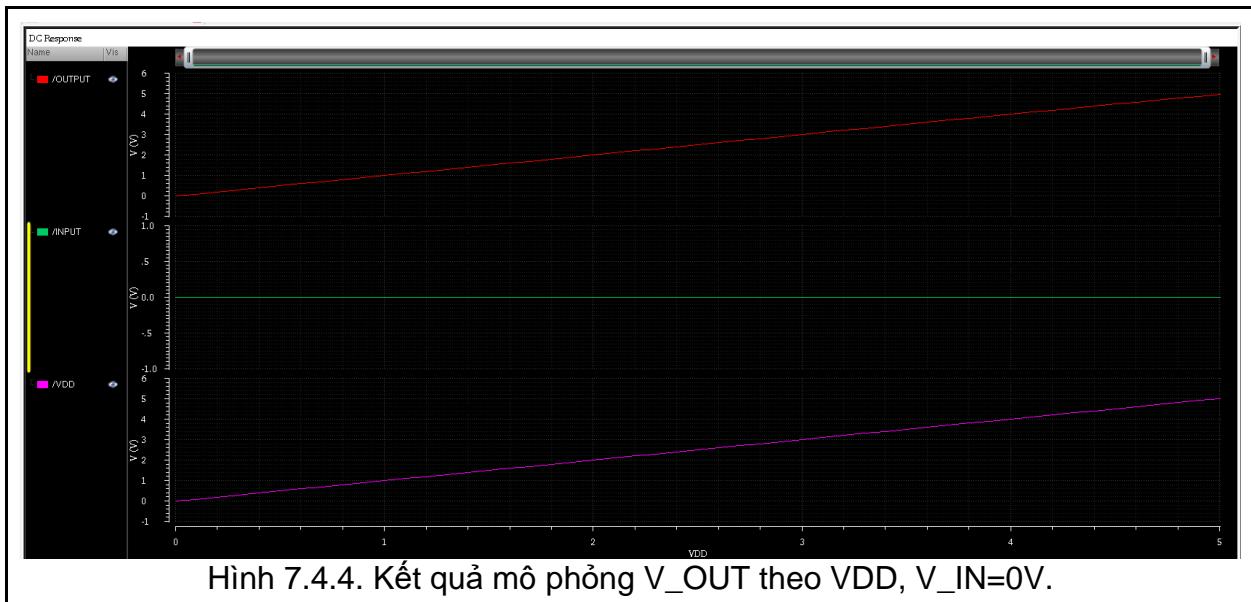
Hình 7.4.1. Mạch mô phỏng phân tích DC.



Hình 7.4.2. Kết quả mô phỏng  $V_{OUT}$  (OUTPUT) theo  $V_{IN}$  (INPUT),  $VDD=1V$ .



Hình 7.4.3. Kết quả mô phỏng  $V_{OUT}$  theo  $V_{DD}$ ,  $V_{IN}=1V$ .



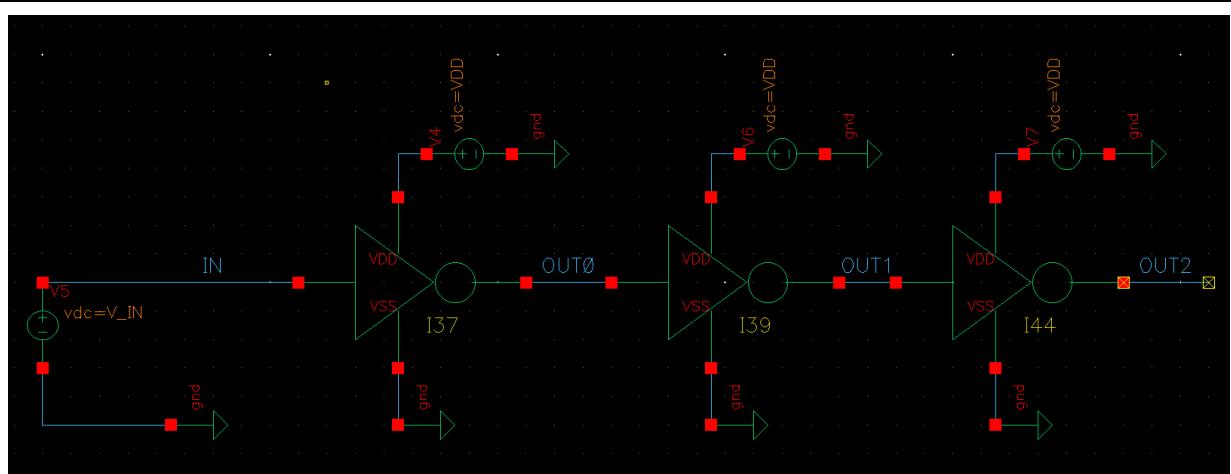
Hình 7.4.4. Kết quả mô phỏng  $V_{OUT}$  theo  $V_{DD}$ ,  $V_{IN}=0V$ .

## 1.8. Phân tích dạng sóng của cỗng Inverter (ghép cascade) với xung vuông 50MHz

### 1.8.1. Mạch mô phỏng và các thông số mô phỏng

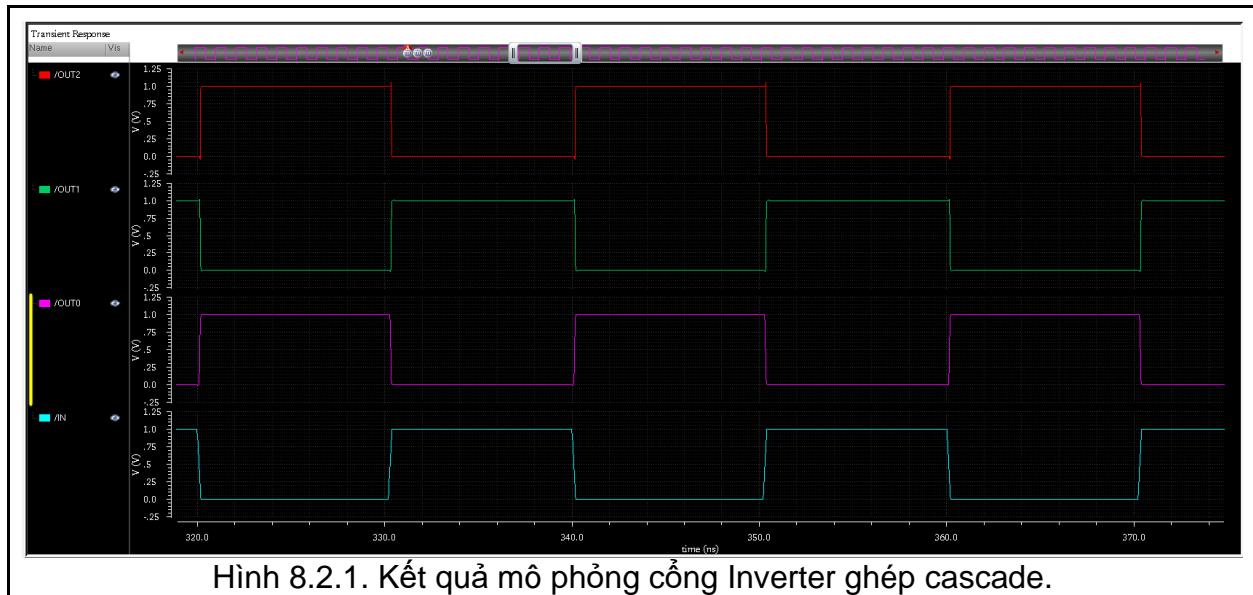
Bảng 8.1.1. Thông số mô phỏng:

Thông số	Ký hiệu	Giá trị / Biểu thức	Đơn vị
Điện áp guồn cung cấp	VDD	1	V
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	F	50M	Hz
Thời gian cạnh lên.	t_r	0.01/F	s
Thời gian cạnh xuống.	t_f	0.01/F	
Độ rộng xung	--	0.5/F	
Nhiệt độ	temp	27	oC

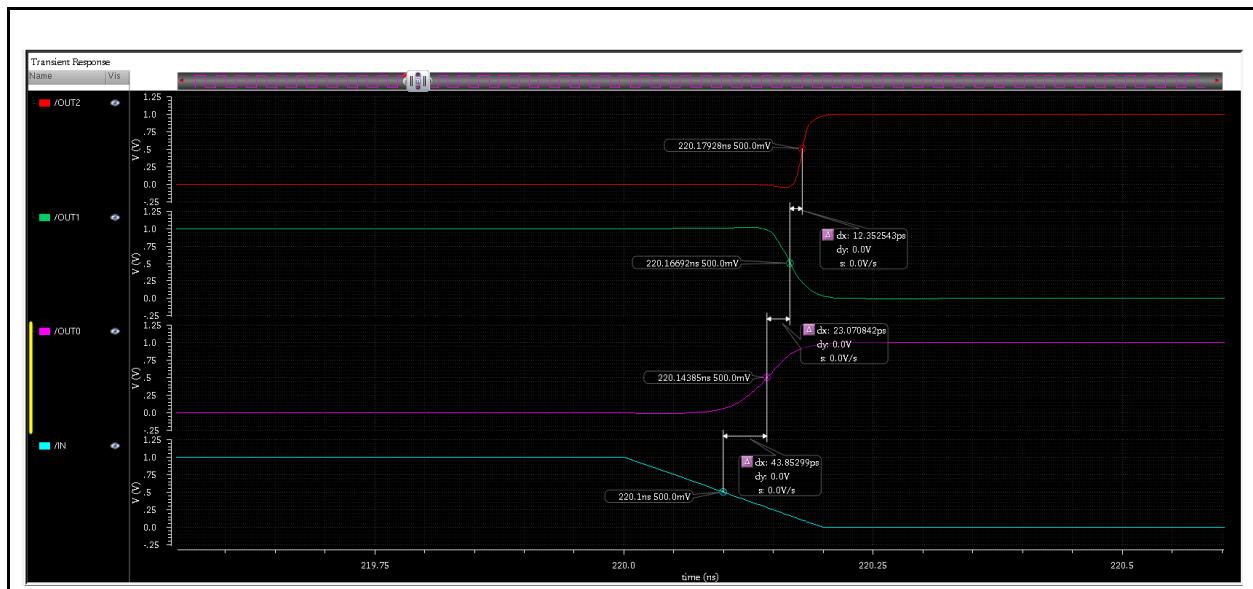


Hình 8.1.1. Mạch mô phỏng ghép cascade ba cỗng Inverter.

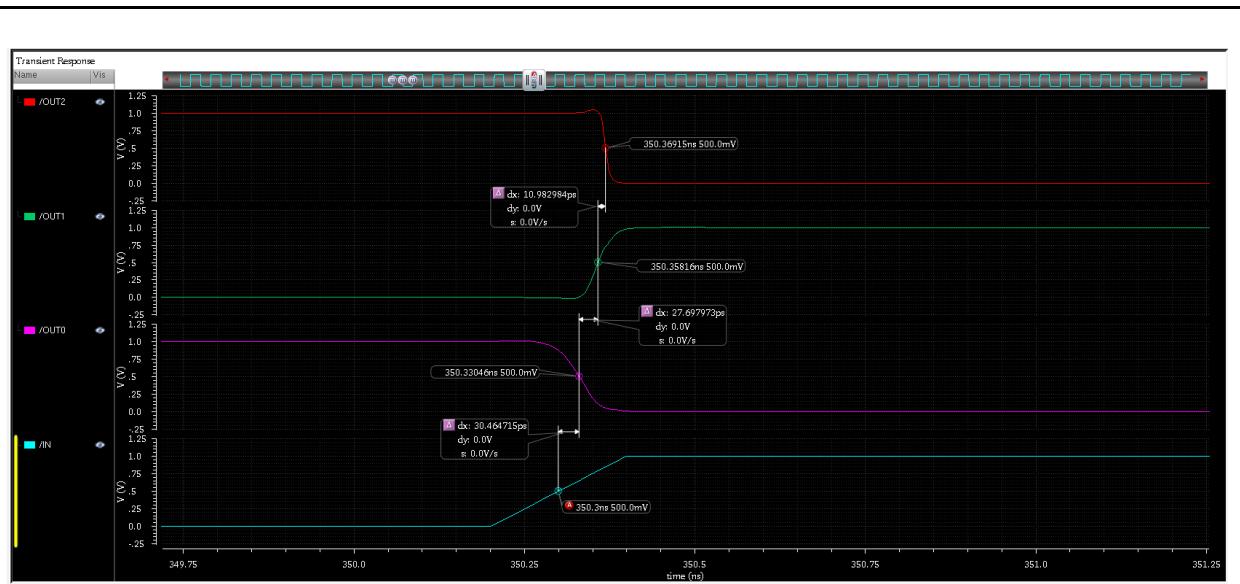
### 1.8.2. Kết quả mô phỏng, phân tích AC



Hình 8.2.1. Kết quả mô phỏng cỗng Inverter ghép cascade.



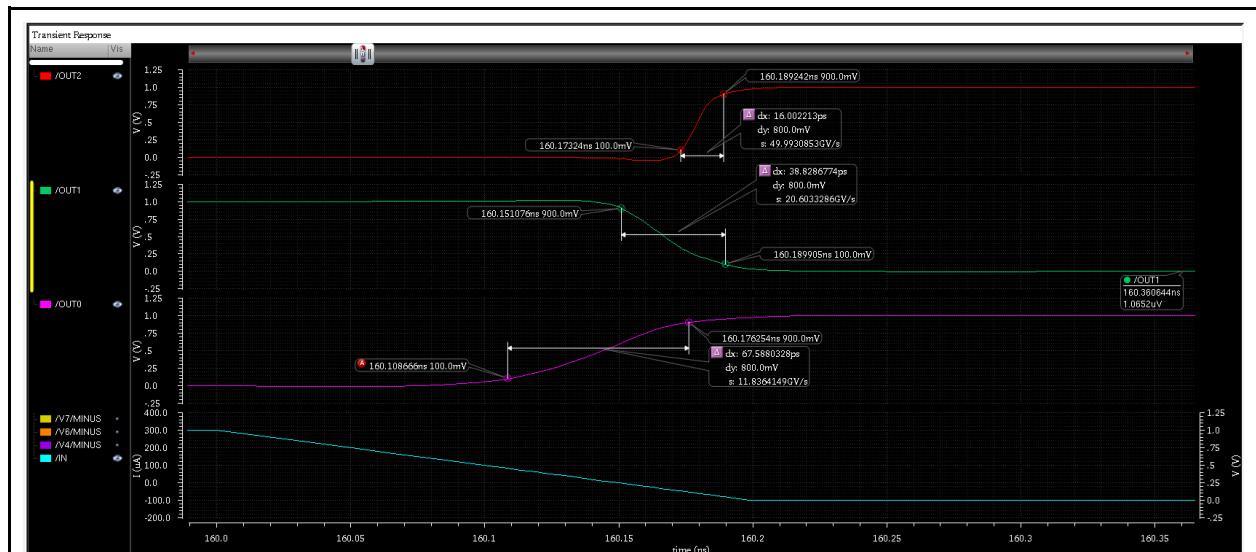
Hình 8.2.2. Phóng to (trục thời gian) kết quả mô phỏng cỗng Inverter ghép cascade.



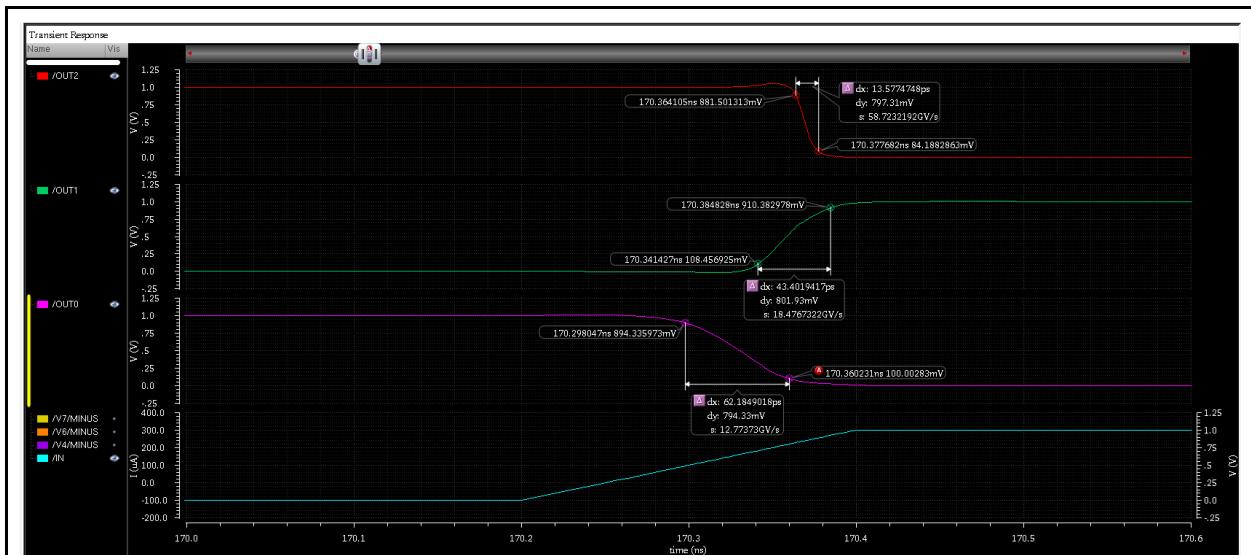
Hình 8.2.3. Phóng to (trục thời gian) kết quả mô phỏng cỗng Inverter ghép cascade.

Bảng 8.2.1. Độ trễ lan truyền của các cỗng Inverter.

Inverter	I37	I39	I44
t_pdr (ps)	30.464715	23.070842	10.982984
t_pdf (ps)	43.85299	27.697973	12.352543



Hình 8.2.4. Phóng to (trục thời gian) kết quả mô phỏng cỗng Inverter ghép cascade.

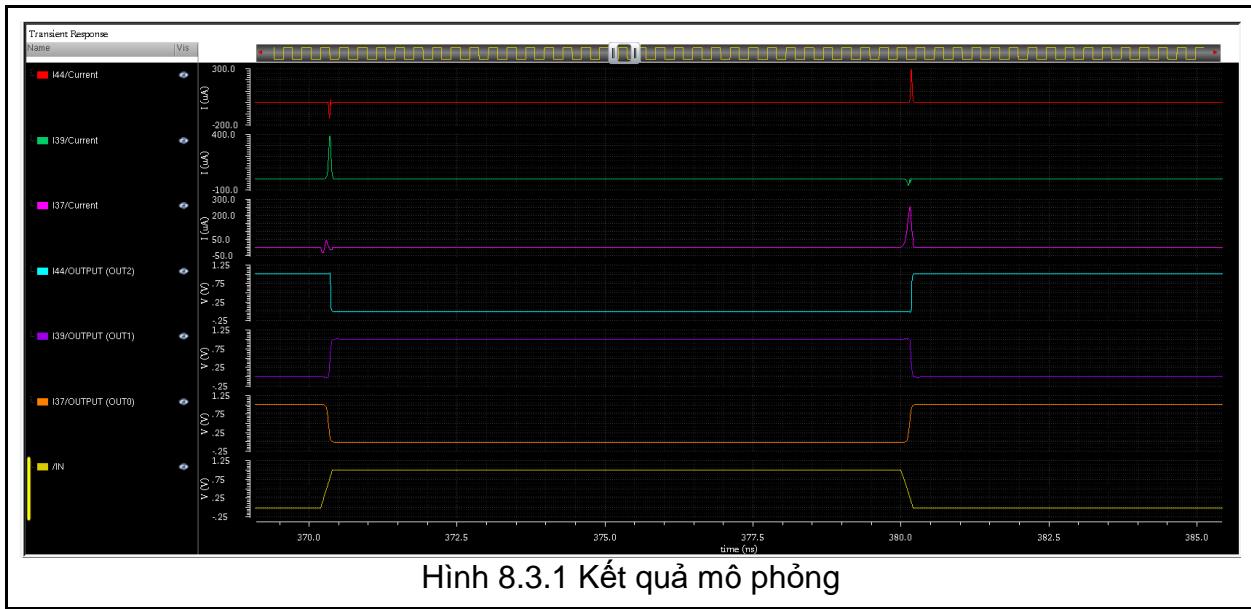


Hình 8.2.5. Phóng to (trục thời gian) kết quả mô phỏng cỗng Inverter ghép cascade.

Bảng 8.2.2. Thời gian chuyển mạch:

Inverter	I37	I39	I44
t_raising	67.5880328	43.4019417	16.002213
t_falling	62.1849018	38.8286774	13.5774748
Đơn vị	ps	ps	ps

### 1.8.3. Công suất

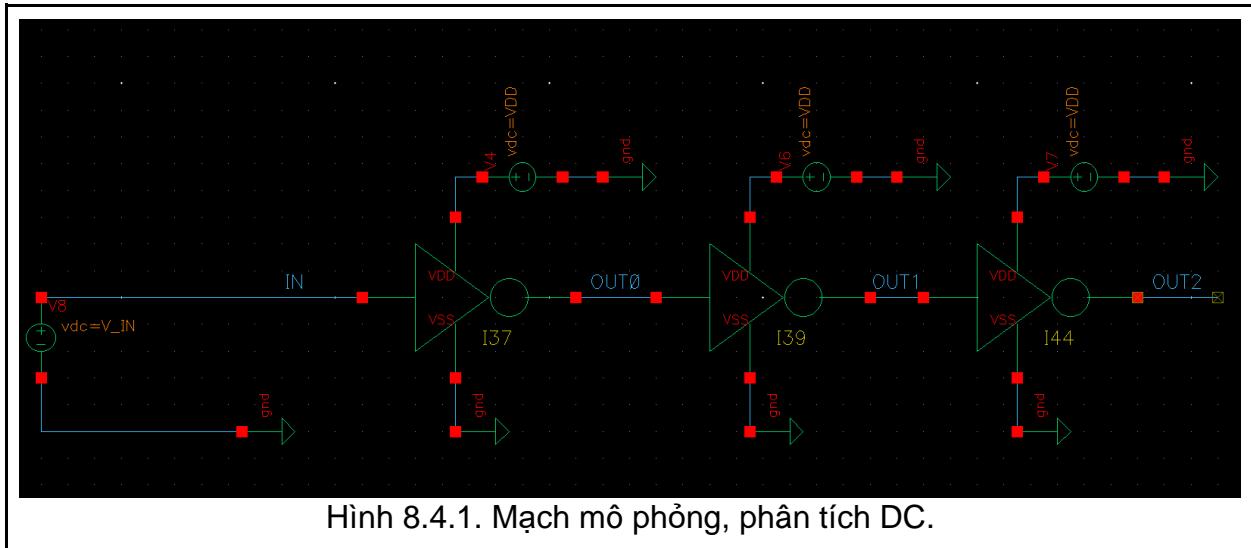


Hình 8.3.1 Kết quả mô phỏng

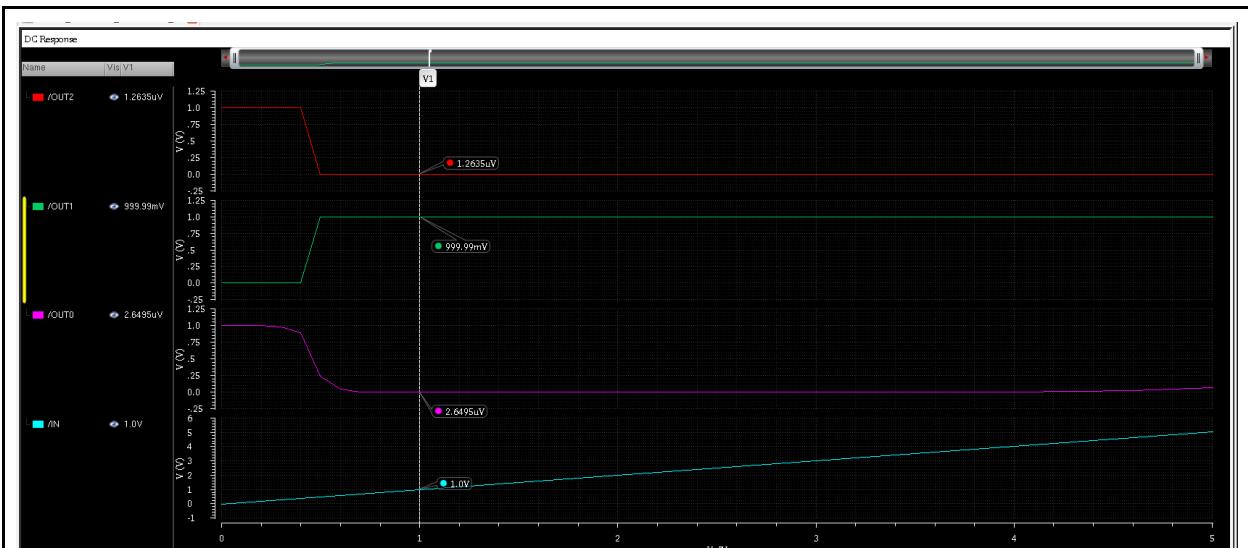
Công suất trung bình:

Inverter	I37	I39	I44
average_power	1.052E-6	847.0E-9	293.1E-9

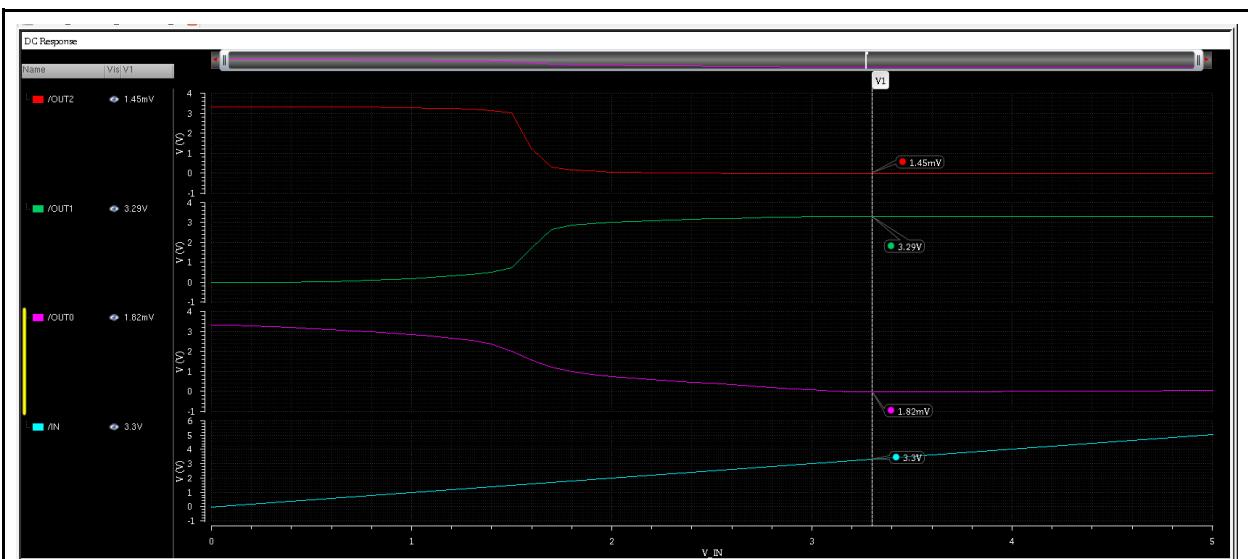
### 1.8.4. Phân tích DC



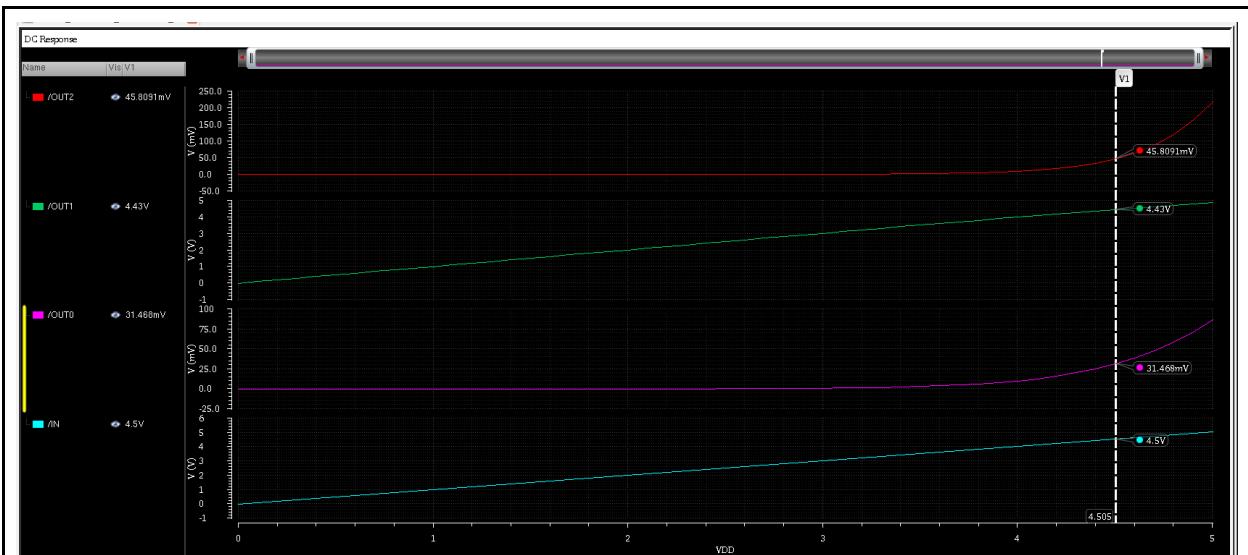
Hình 8.4.1. Mạch mô phỏng, phân tích DC.



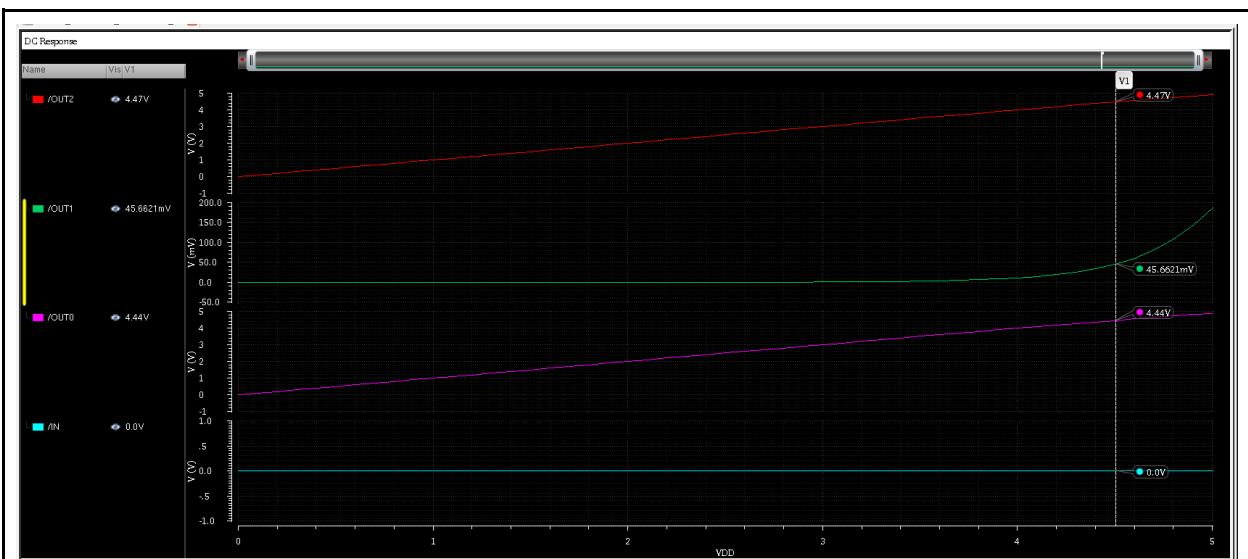
Hình 8.4.2. Kết quả mô phỏng theo  $V_{IN}$  từ 0V đến 5V,  $VDD=1V$ .



Hình 8.4.3. Kết quả mô phỏng theo  $V_{IN}$  từ 0V đến 5V,  $VDD=3.3V$ .



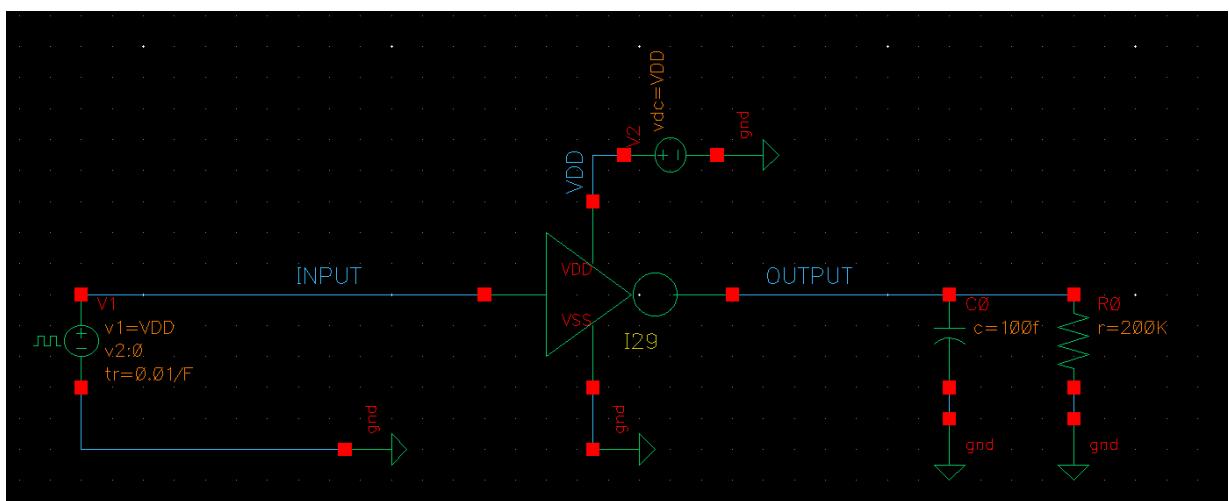
Hình 8.4.4. Kết quả mô phỏng theo VDD từ 0V đến 5V, V\_IN=VDD (Mức H).



Hình 8.4.5. Kết quả mô phỏng theo VDD từ 0V đến 5V, V\_IN=0V (Mức L).

## 1.9. Phân tích dạng sóng của cổng Inverter, tải RC ở ngõ ra, ngõ vào xung 50MHz

### 1.9.1 Mạch mô phỏng và các thông số mô phỏng

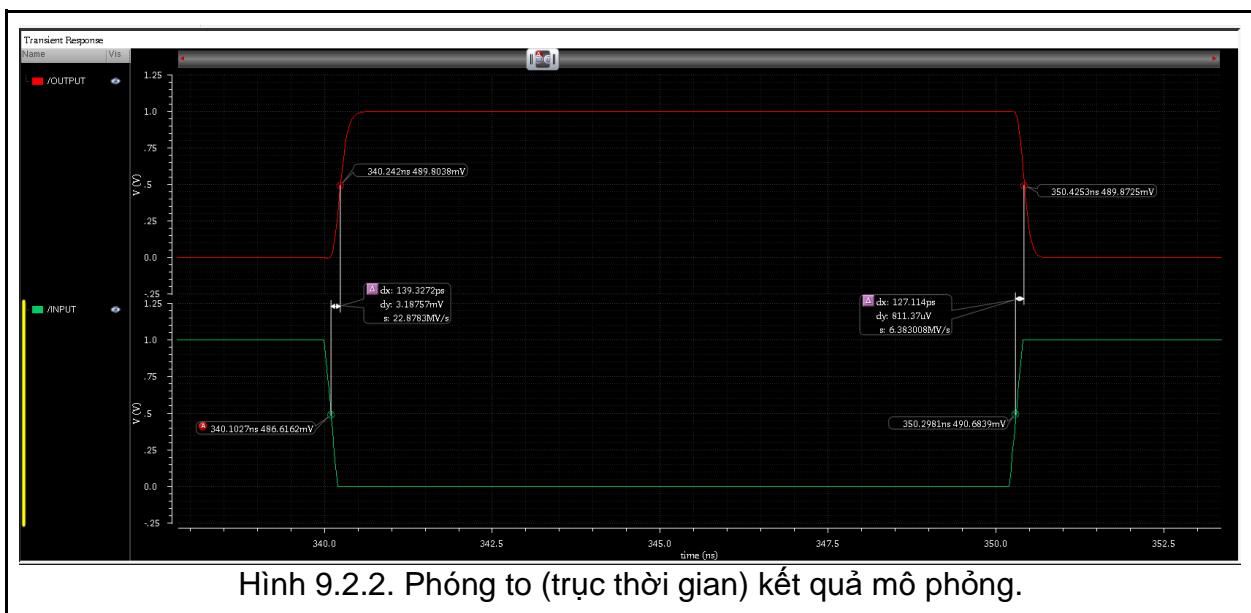
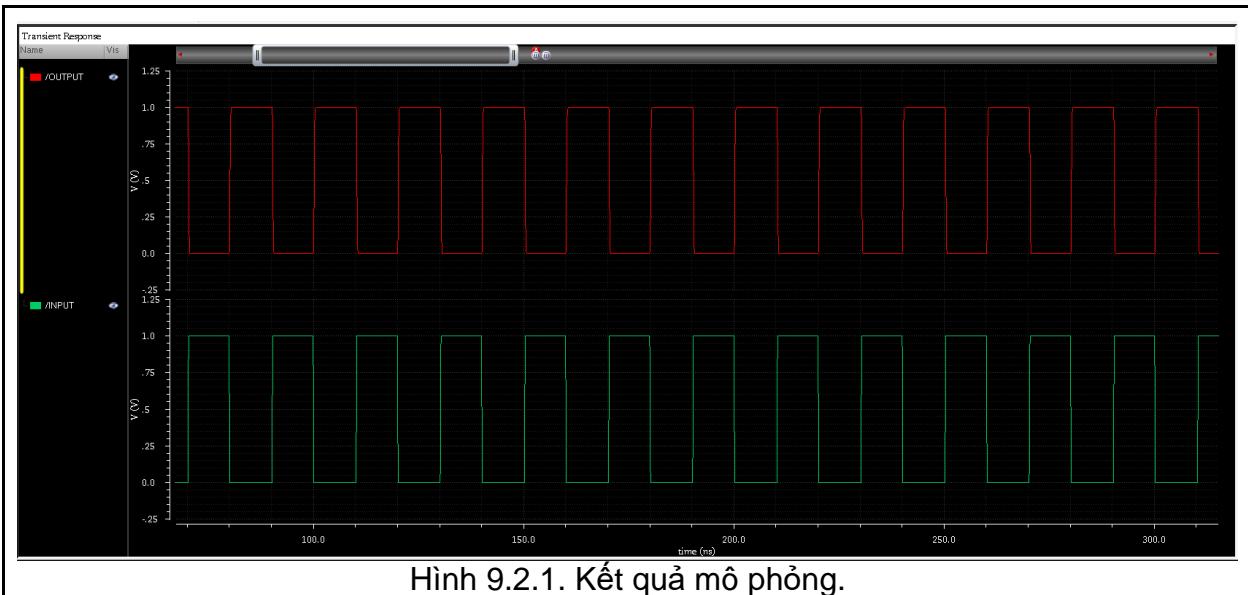


Hình 9.1.1. Mạch mô phỏng cổng Inverter với tải  $R_L$ ,  $C_L$  ở ngõ ra, ngõ vào xung vuông 50MHz.

Bảng 9.1. Các thông số mô phỏng:

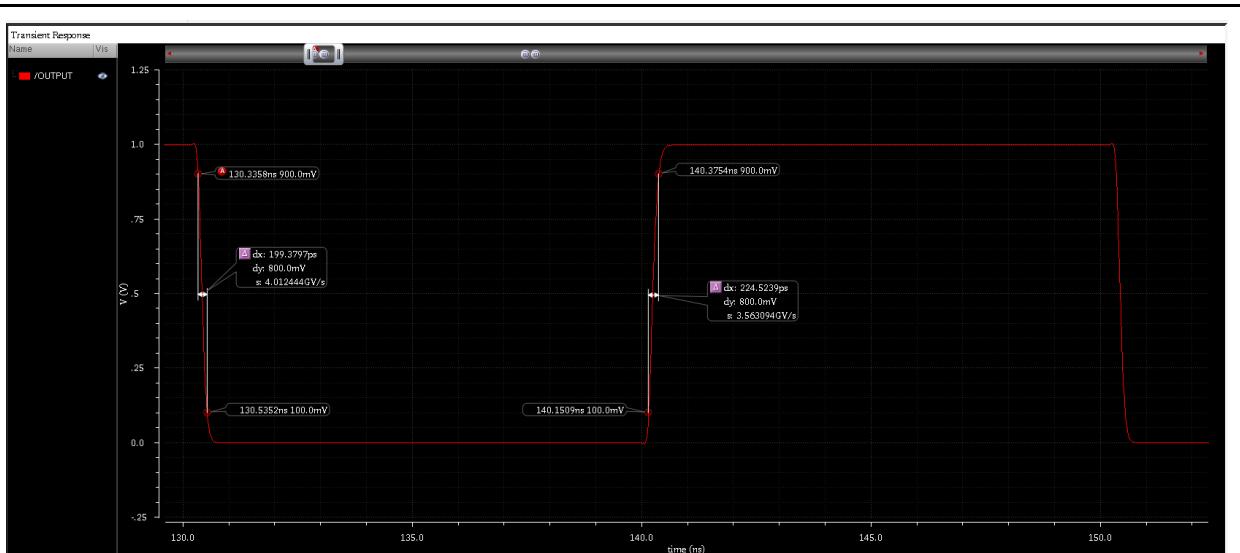
Thông số	Ký hiệu	Giá trị/Biểu thức	Đơn vị
Điện áp guồn cung cấp	VDD	1	V
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	F	50M	Hz
Giời gian thay đổi điện áp tuyến tính từ L lên H.	$t_r$	$0.01/F$	s (giây)
Giời gian thay đổi điện áp tuyến tính từ H xuống L.	$t_f$	$0.01/F$	s (giây)
Độ rộng xung	pulse_width	$0.5/F$	s (giây)
Nhiệt độ	temp	27	oC
Điện trở tải (Load resistor)	$R_L$	200K	Ohm
Tụ điện tải (Loac capacitance)	$C_L$	100f	F

### 1.9.2. Kết quả mô phỏng, phân tích AC



Từ kết quả mô phỏng, ta có:

- +  $t_{pdr} = 800,499\text{ps}$
- +  $t_{pdf} = 1,25229\text{ns}$

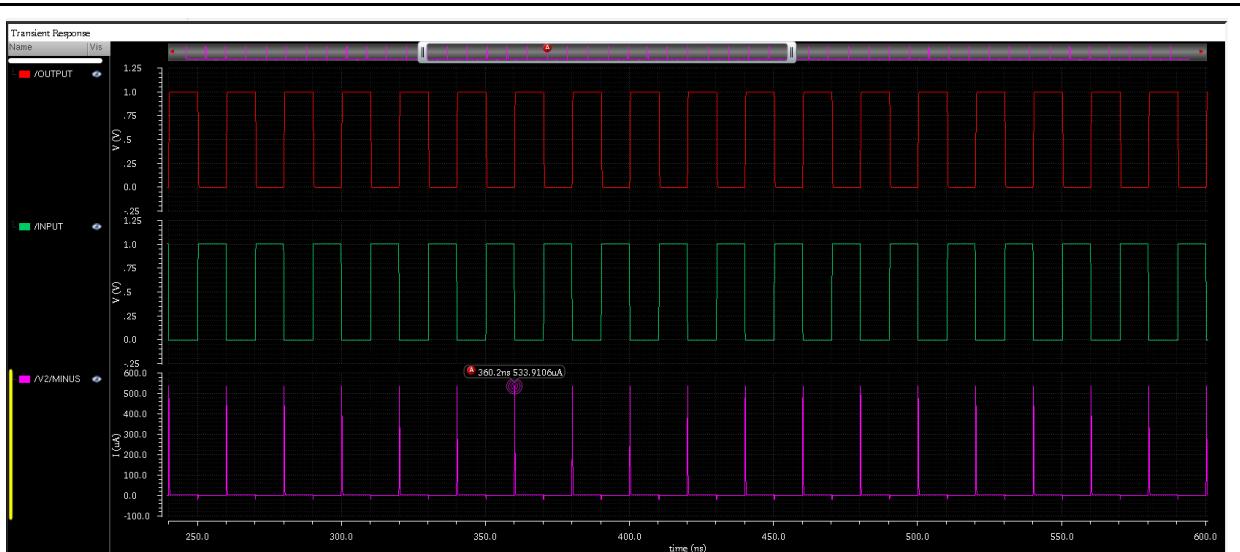


Hình 9.2.3. Phóng to (trục thời gian) kết quả mô phỏng.

Từ kết quả mô phỏng, ta có:

- +  $t_{\text{raising}} = 224.5239\text{ps}$
- +  $t_{\text{falling}} = 199.3797\text{ps}$

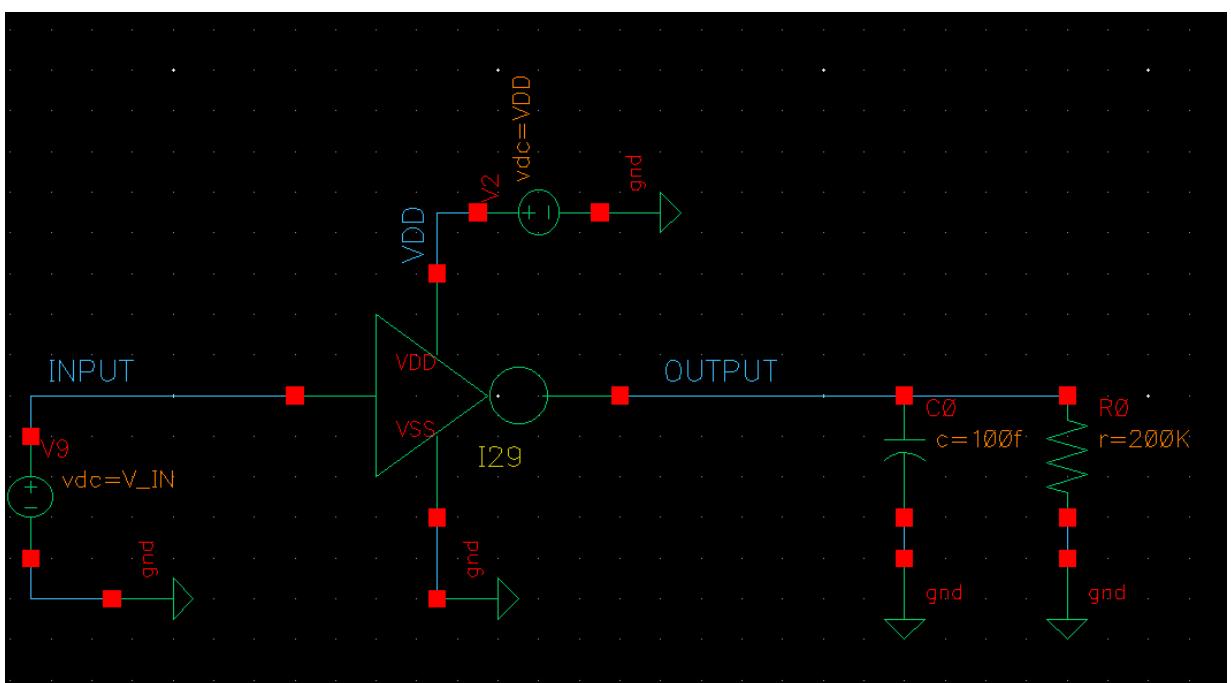
### 1.9.3. Công suất



Hình 9.3.1. Kết quả mô phỏng, công suất cổng Inverter với tải RC.

Công suất trung bình:  $7.861\text{E-}6(\text{W}) = 7.861(\mu\text{W})$

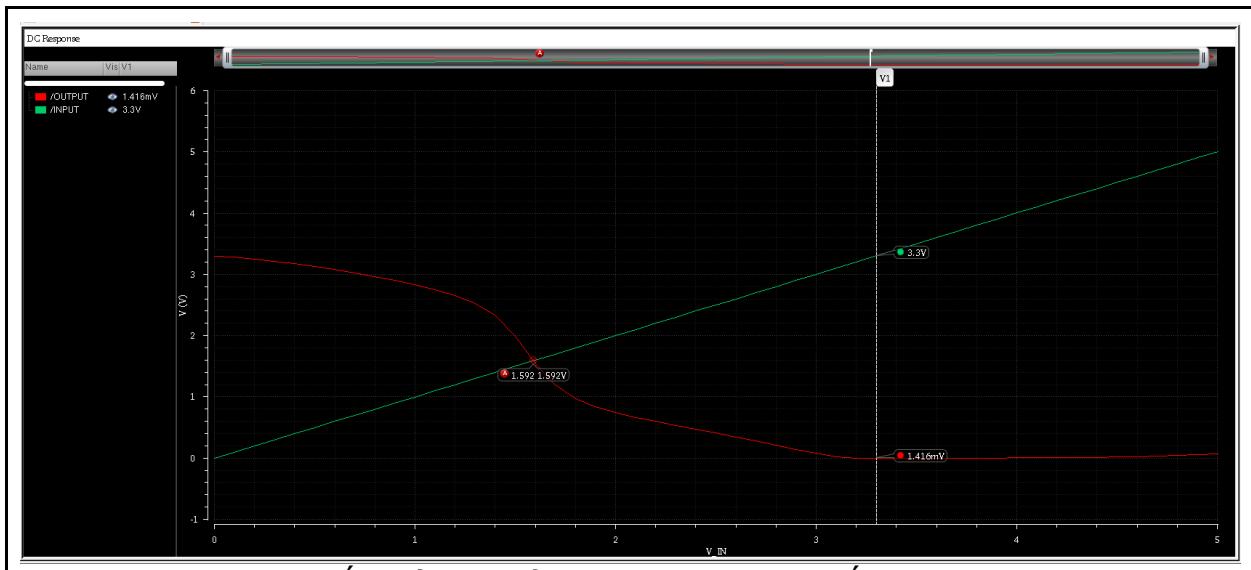
#### 1.9.4. Phân tích DC



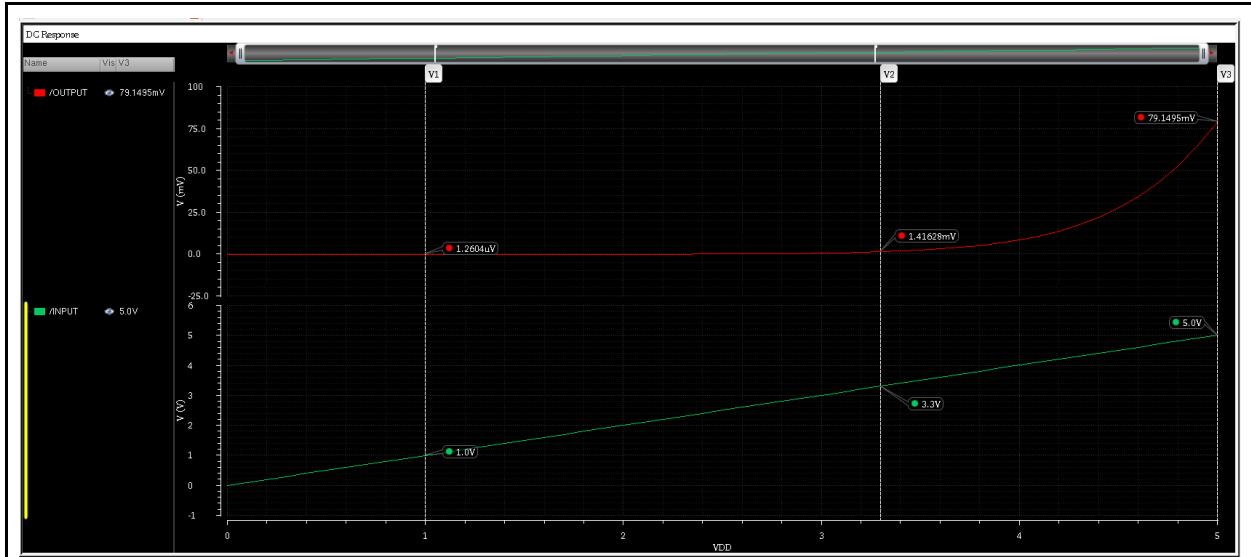
Hình 9.4.1. Mạch mô phỏng phân tích DC.



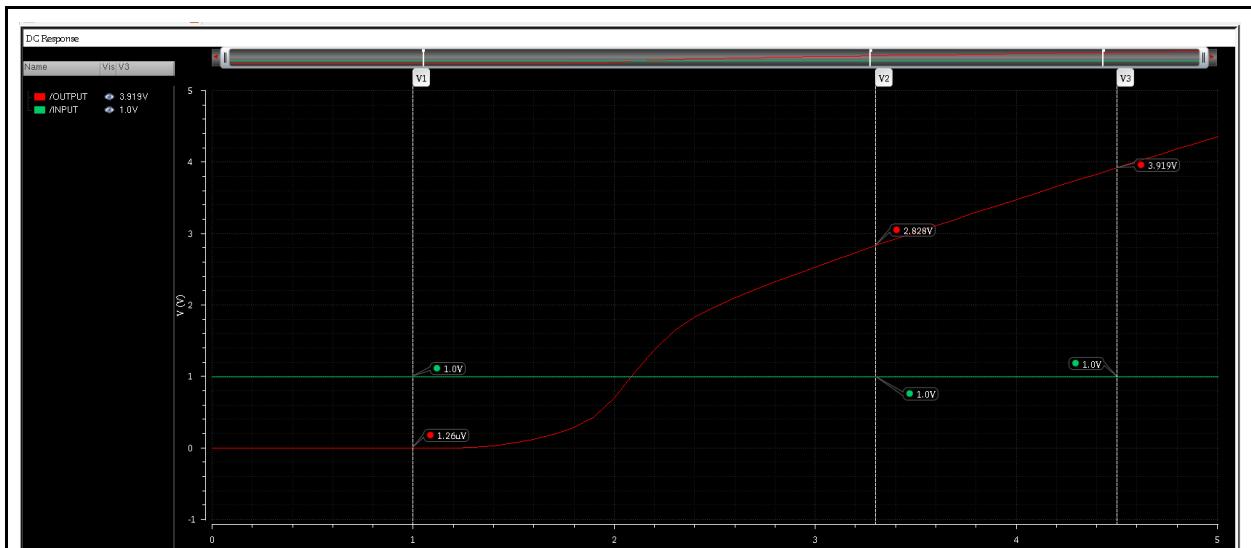
Hình 9.4.2. Kết quả mô phỏng theo  $V_{IN}$  từ 0V đến 5V,  $V_{DD}=1V$ .



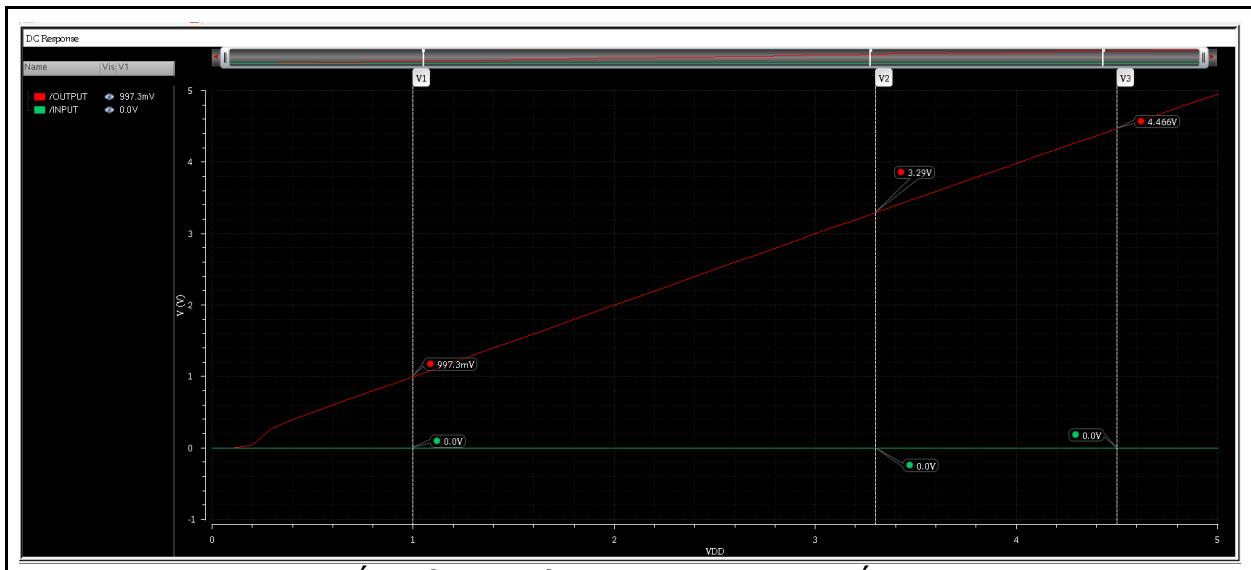
Hình 9.4.3. Kết quả mô phỏng theo  $V_{IN}$  từ 0V đến 5V,  $VDD=3.3V$ .



Hình 9.4.4. Kết quả mô phỏng theo  $V_{DD}$  từ 0V đến 5V,  $V_{IN}=VDD$ .



Hình 9.4.5. Kết quả mô phỏng theo VDD từ 0V đến 5V, V<sub>IN</sub>=1V.



Hình 9.4.6. Kết quả mô phỏng theo VDD từ 0V đến 5V, V<sub>IN</sub>=0V.

## 1.10. Tổng kết

Tần số: f=50MHz, t<sub>\_raising</sub>=0.01/f (s), t<sub>\_falling</sub>=0.01/f (s), t=25°C, RL=200K, CL=100f.

Thông số	Độc lập	Cascade	Tải RC	Đơn vị
t <sub>_raising</sub>	39.6604496	67.5880328	224.5239	ps
t <sub>_falling</sub>	36.1093398	62.1849018	199.3797	ps
t <sub>_pdr</sub>	22.553847	30.464715	800,499	ps

t_pdf	11.0547915	43.85299	1252,29	ps
P (công suất)	880.3E-9	1.052E-6	7.861E-6	W

Nhận xét:

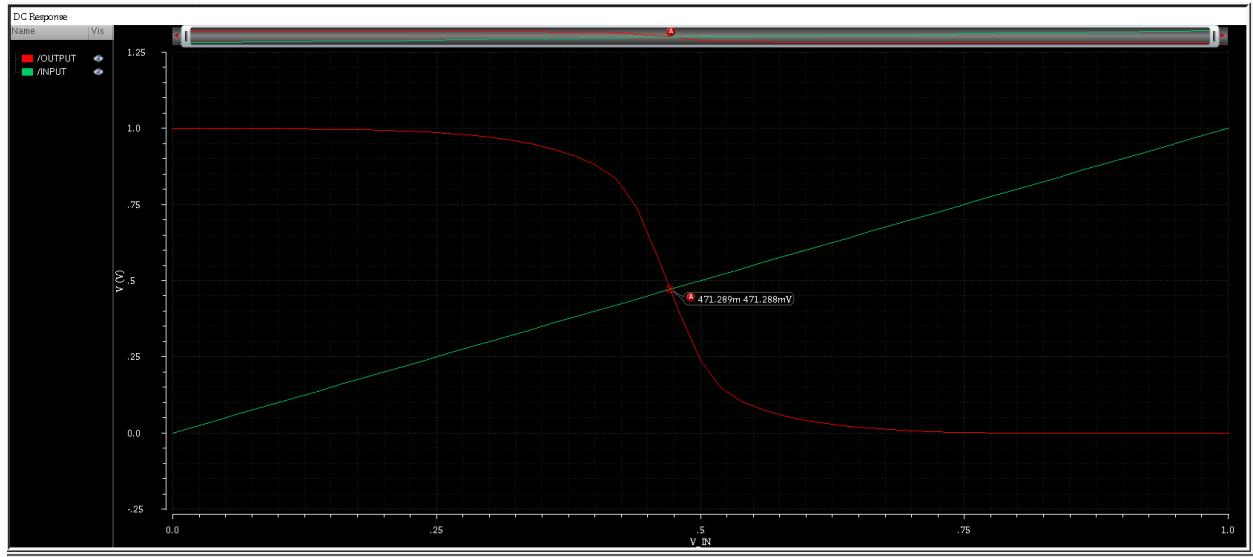
- + Khi lái (driving) một cổng Inverter cùng loại, hoặc tải RC tương đương thì thời gian trễ, thời gian chuyển mạch cũng như công suất đều tăng.

### 1.11. Kết luận

Lập bảng: DC,AC và đặc tuyến truyền đạt áp

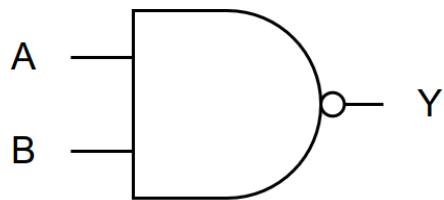
Điều kiện	pMOS	nMOS	Ngõ ra
$0 \leq V_{in} < V_{tn}$	Tuyến tính	Ngắt	$V_{out} = V_{dd}$
$V_{tn} \leq V_{in} < V_{dd}/2$	Tuyến tính	Bão hòa	$V_{out} > V_{dd}/2$
$V_{in} = V_{dd}/2$	Bão hòa	Bão hòa	$V_{out}$ giảm nhanh
$V_{dd}/2 < V_{in} \leq V_{dd}-V_{tp}$	Bão hòa	Tuyến tính	$V_{out} < V_{dd}/2$
$V_{in} > V_{dd} -  V_{tp} $	Ngắt	Tuyến tính	$V_{out} = 0$

Đặc tuyến DC của cổng Inverter:



## 2. Cổng NAND

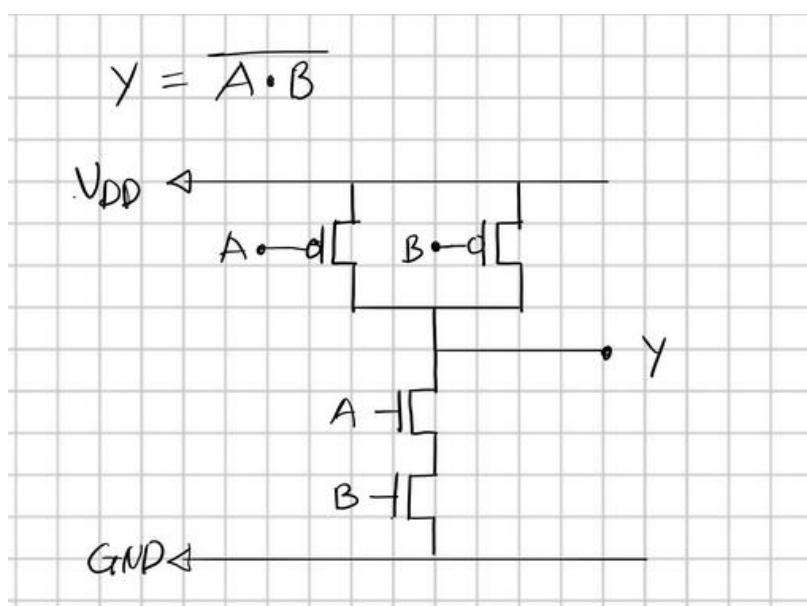
### 2.1. Ký hiệu



### 2.2. Bảng trạng thái

INPUT (A)	INPUT (B)	OUTPUT (Y)
L	L	L
L	H	L
H	L	L
H	H	H

### 2.3. Sơ đồ nguyên lý



Hình 3.1. Sơ đồ nguyên lý cổng NAND.

## 2.4. Thông số CMOS

Chọn CMOS với các thông số trong bảng 4.1.

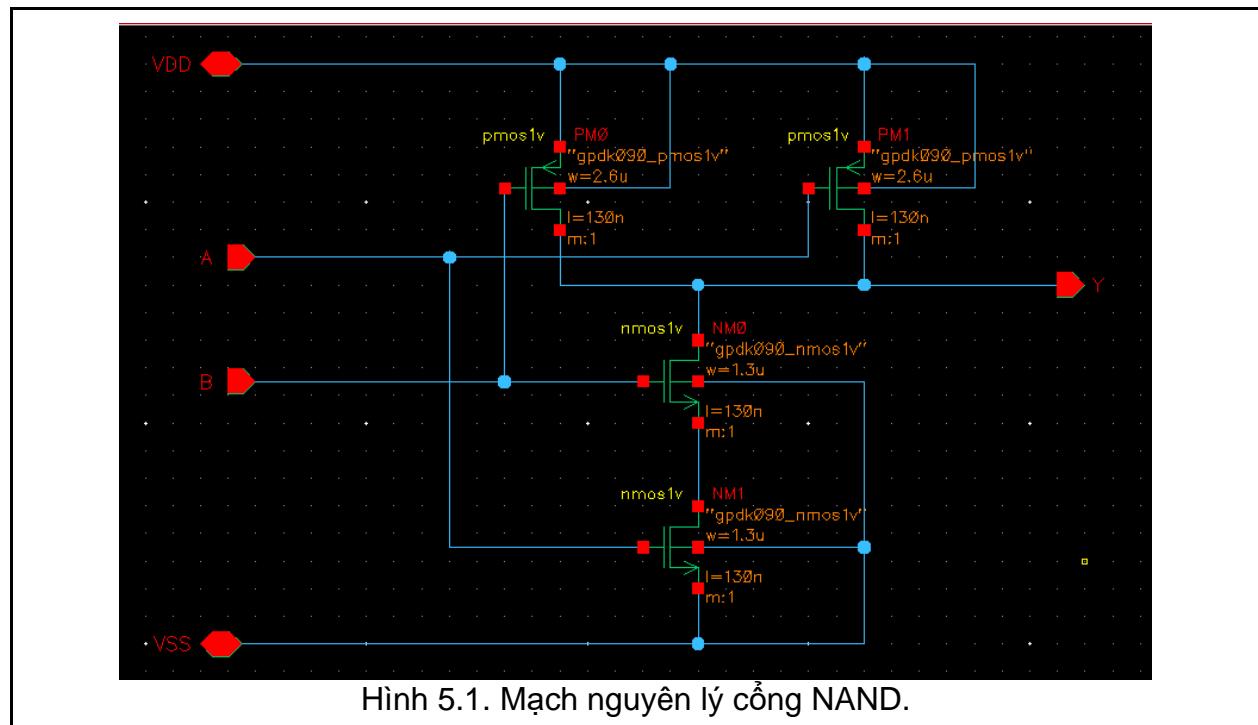
Bảng 4.1. Thông số CMOS.

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	
Length	130		
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	
S/D Metal Width	200	200	
Tech	90nm (Samsung PDK)		

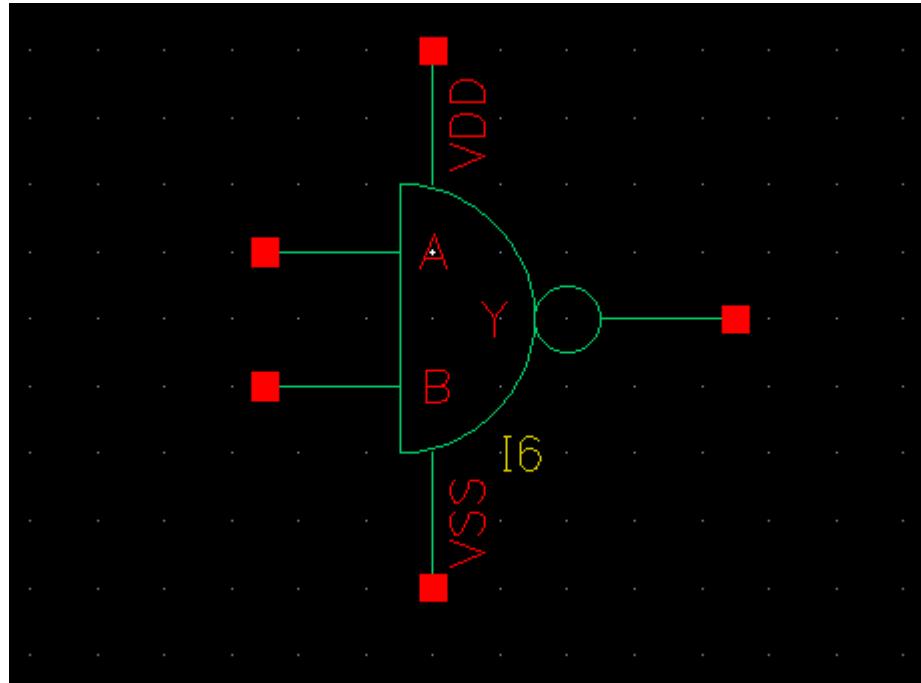
## 2.5. Vẽ mạch nguyên lý trên Cadence Virtuoso

Ghi chú:

+ Điều kiện nhiệt độ mặt định: 27oC.



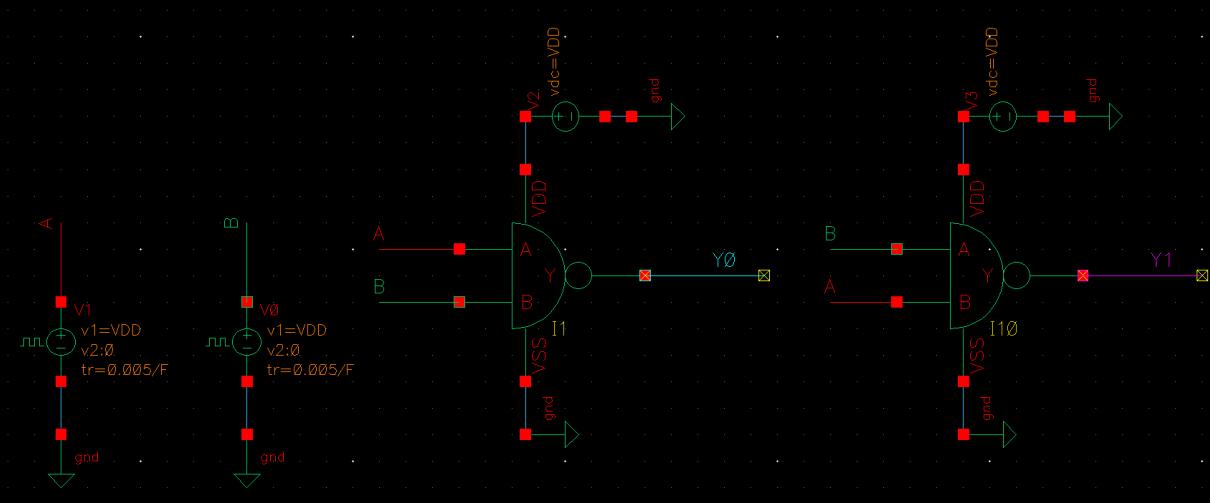
## 2.6. Đóng gói, vẽ ký hiệu của cỗng NAND trên Cadence Virtuoso



Hình 6.1. Đóng gói mạch nguyên lý, ký hiệu cỗng NAND.

## 2.7. Phân tích dạng sóng của cỗng NAND (không tải) với ngõ vào xung vuông 50MHz

### 2.7.1. Mạch mô phỏng và các thông số mô phỏng



Hình 7.1.1. Mạch mô phỏng cỗng NAND với đầu vào AB và BA.

Bảng 7.1.1. Thông số nguồn DC V2:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

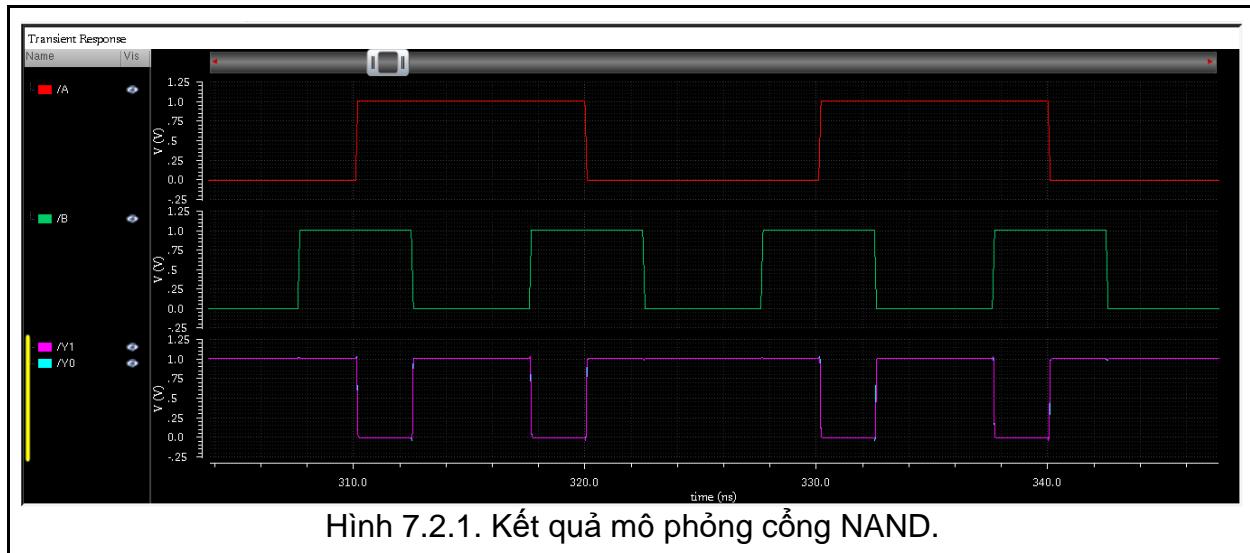
Bảng 7.1.2. Thông số nguồn cung cấp xung vuông A:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	50MHz	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

Bảng 7.1.3. Thông số nguồn cung cấp xung vuông B:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	--	0.5/F	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.25/F	s
Giá trị ban đầu	--	0.25/(2^F)	V

### 2.7.2. Kết quả mô phỏng, phân tích AC ứng với Hình 7.1.1.



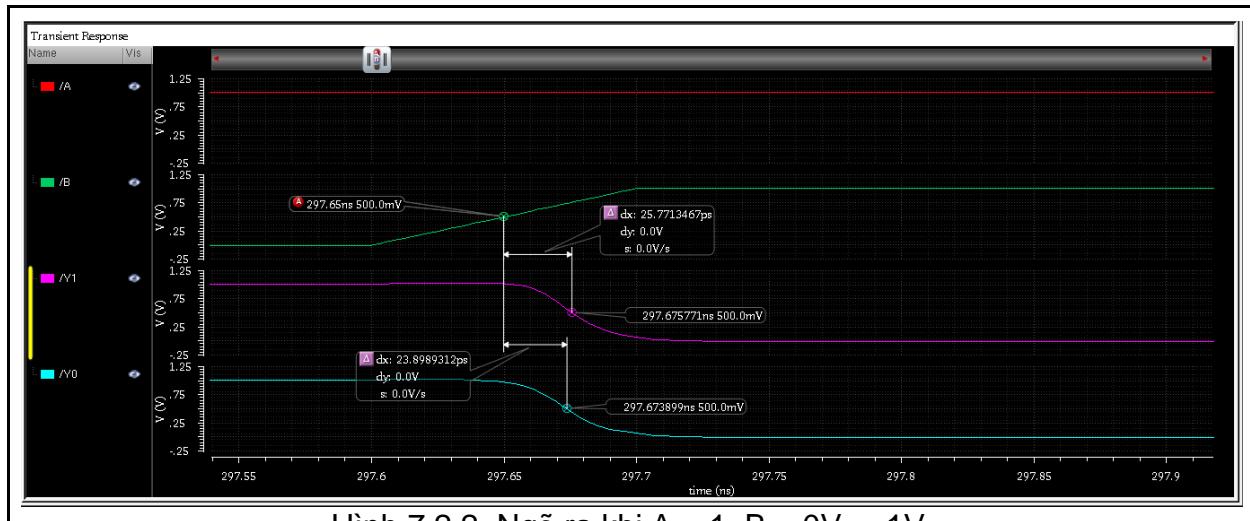
Hình 7.2.1. Kết quả mô phỏng cỗng NAND.

Chú thích:

- + A,B: Ngõ vào A, B.
- + Y0, Y1: Ngõ ra Y0 và ngõ ra Y1 (hoán vị ngõ vào so với Y0).

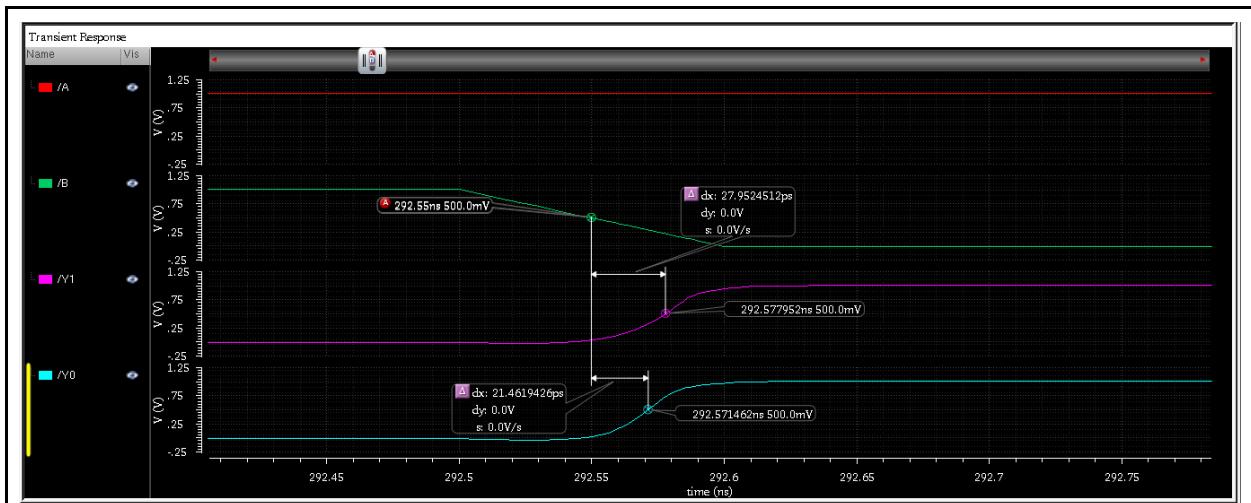
Nhận xét:

- + Tổng quan, cỗng NAND hoạt động đúng với lý thuyết, nhưng có sự khác nhau nhỏ giữa Y0 và Y1.



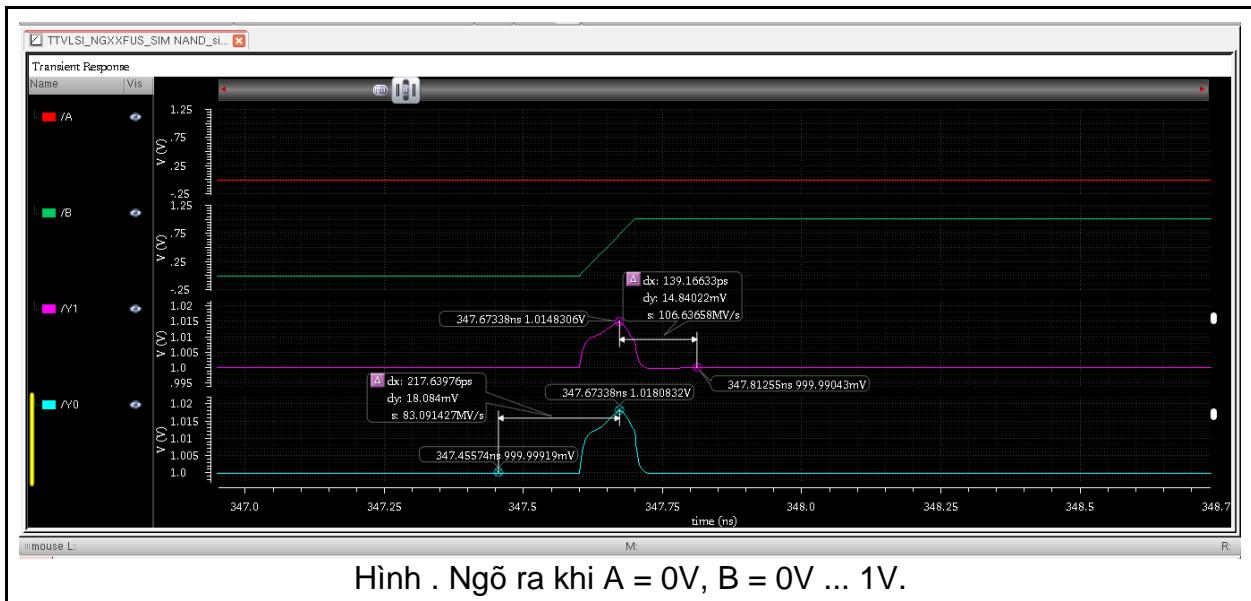
Hình 7.2.2. Ngõ ra khi A = 1, B = 0V ... 1V.

Nhận xét:  $t_{pdf} = 25,77\text{ps}$



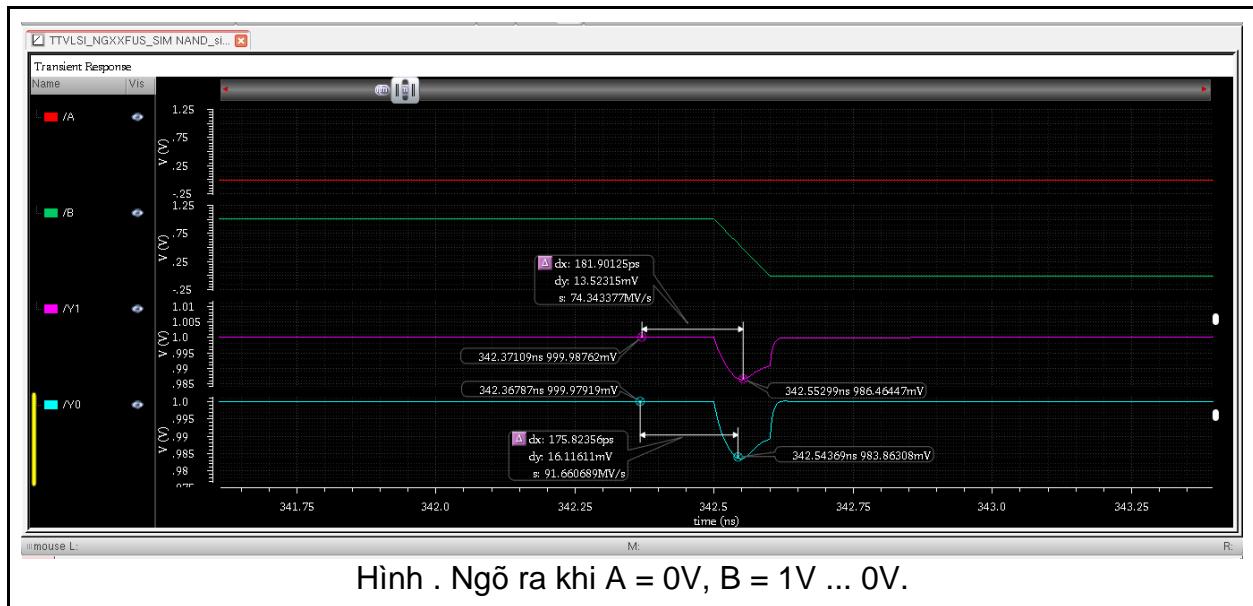
Hình . Ngõ ra khi A=1V, B = 1V ... 0V.

Nhận xét:  $t_{pdf} = 27,95\text{ps}$

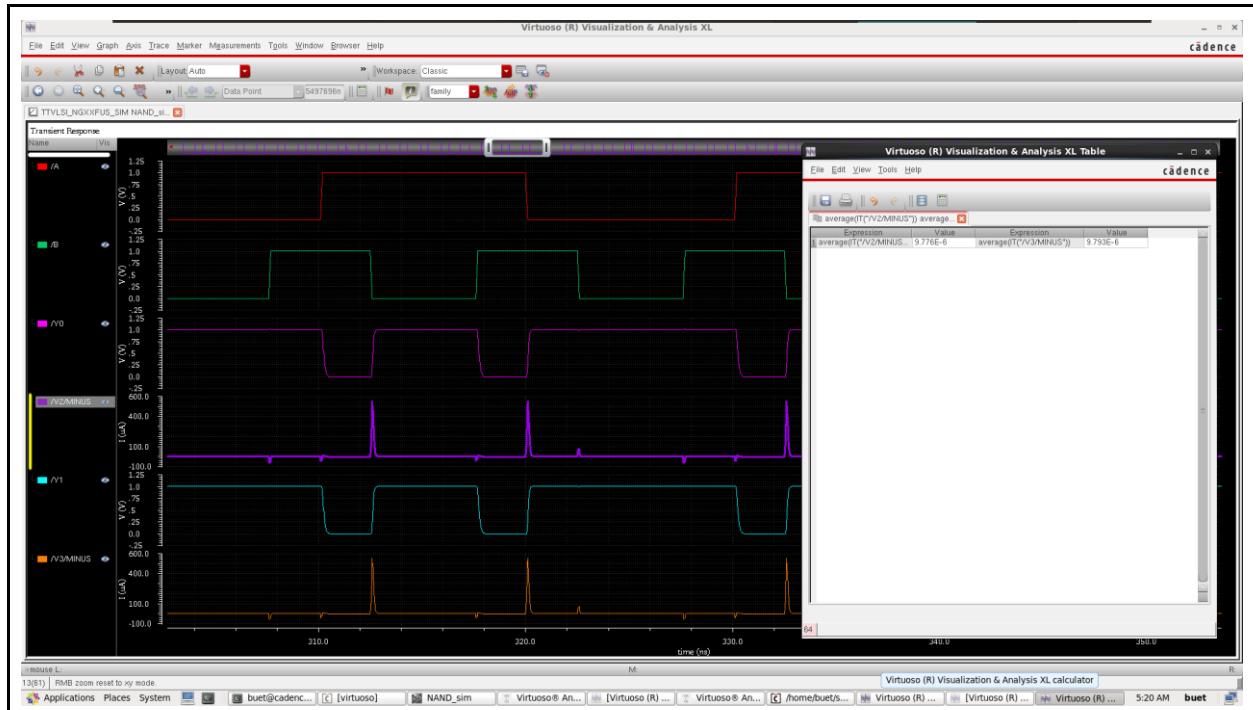


Hình . Ngõ ra khi A = 0V, B = 0V ... 1V.

Nhận xét:  $V_{overshoot} = 18\text{mV}$  ( $\sim 2\%$  VDD)



Nhận xét:  $V_{undershoot} = 16,11\text{mV}$  ( $\sim 1,5\% \text{VDD}$ )



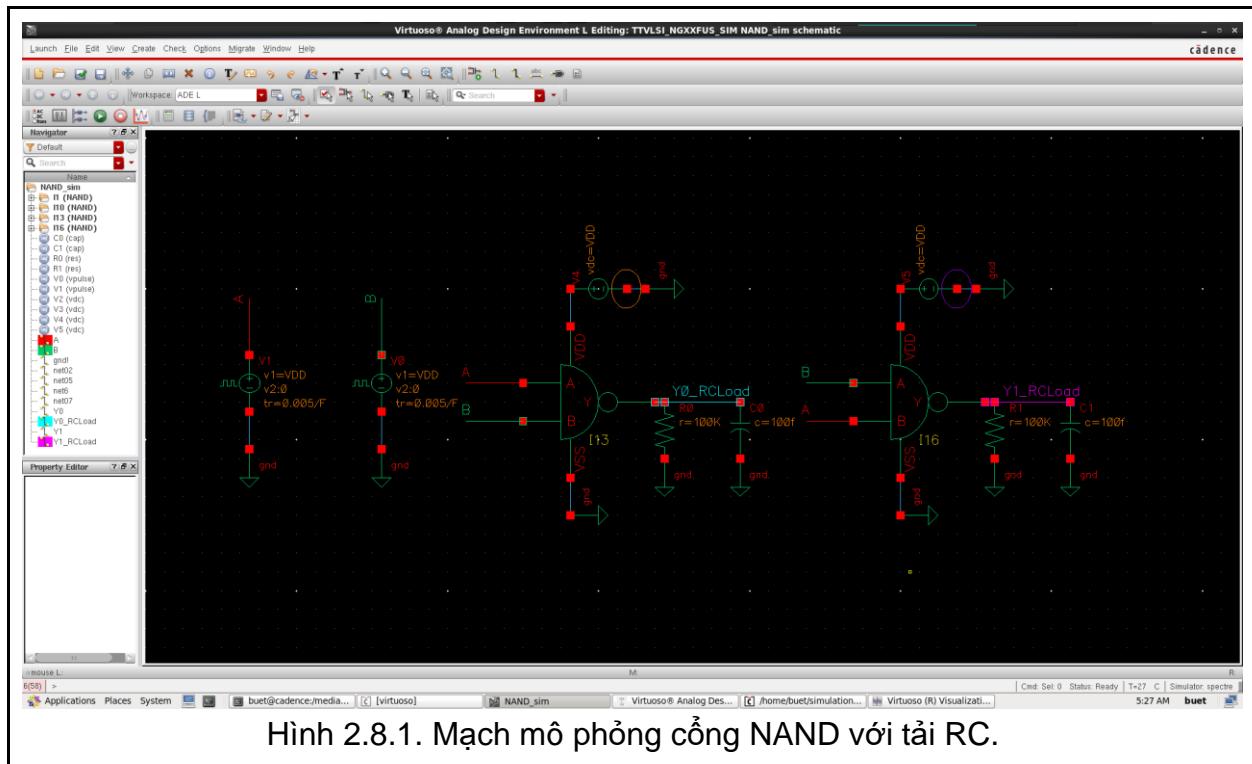
Nhận xét: Công suất trung bình là  $9,77 \mu\text{W}$ .

## 2.8. Phân tích dạng sóng của cỗng NAND với tải RC, ngõ vào xung vuông 50MHz

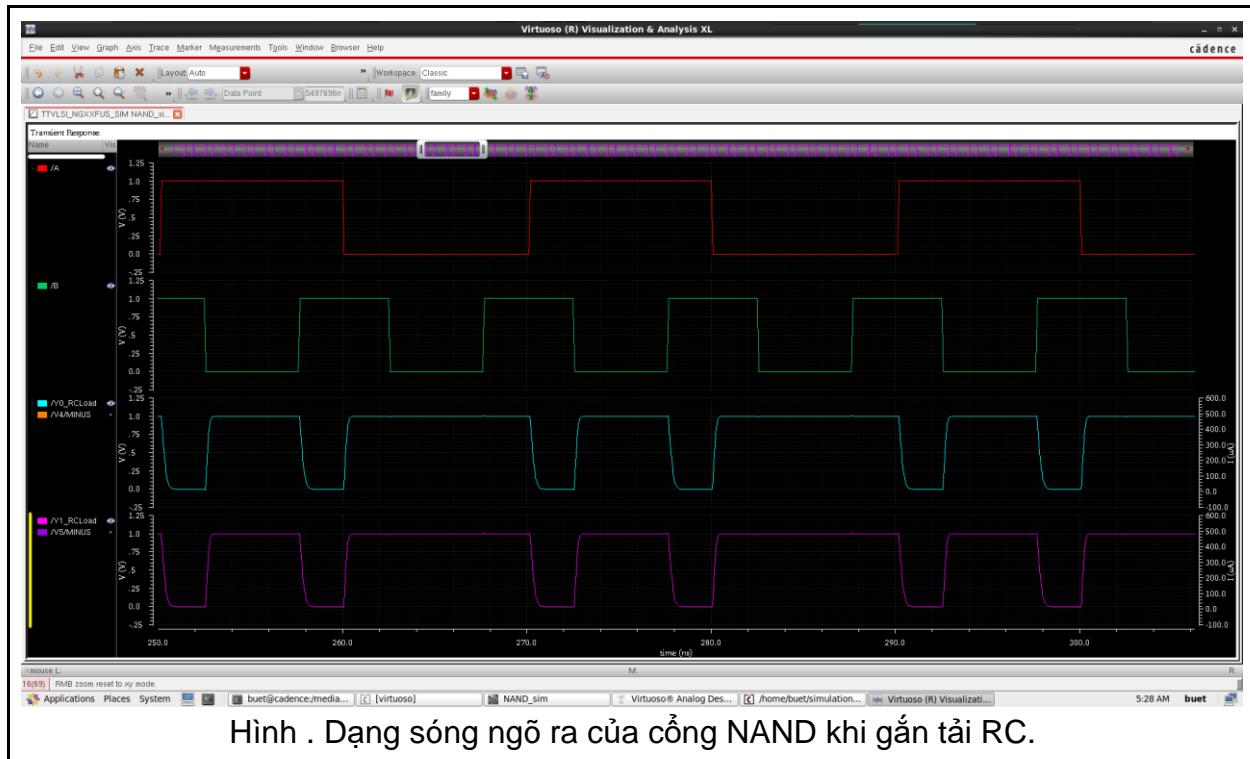
### 2.8.1. Mạch mô phỏng

Bảng 2.8.1.1. Thông số tải RC:

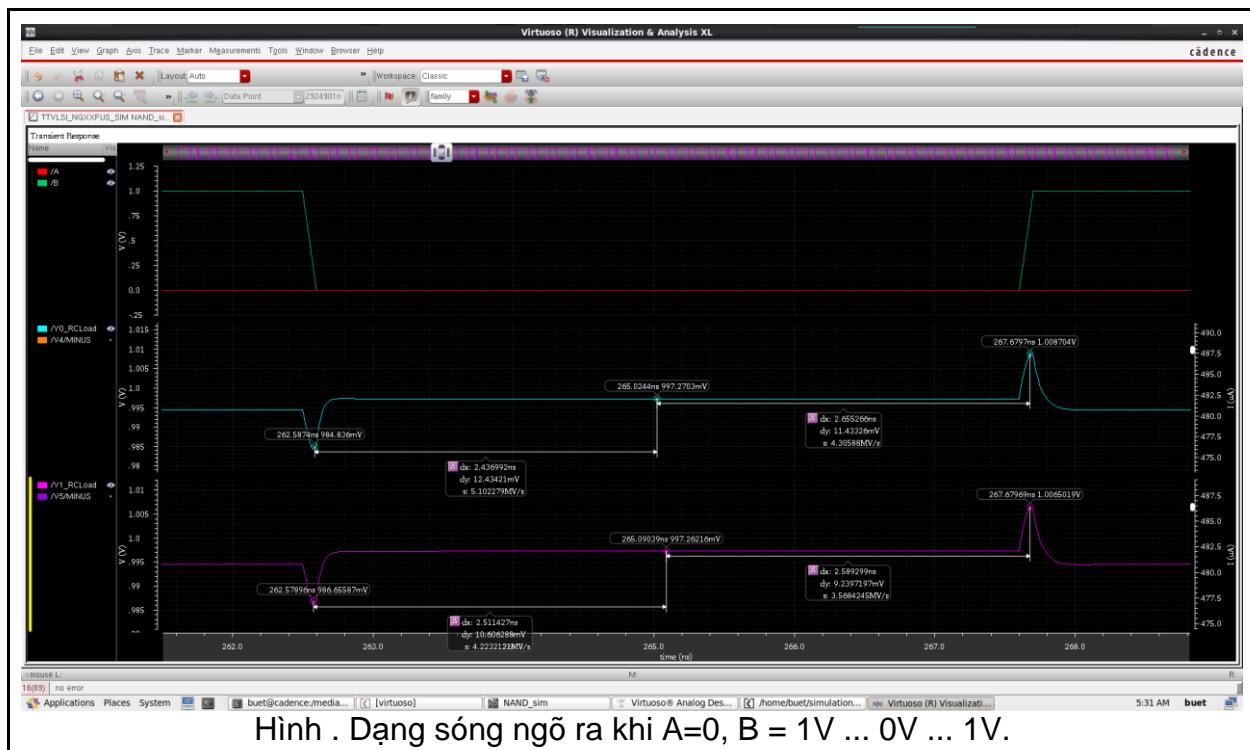
Thông số	Giá trị	Đơn vị
R_Load	100K	Ohm
C_Load	100f	F



## 2.8.2. Phân tích dạng sóng

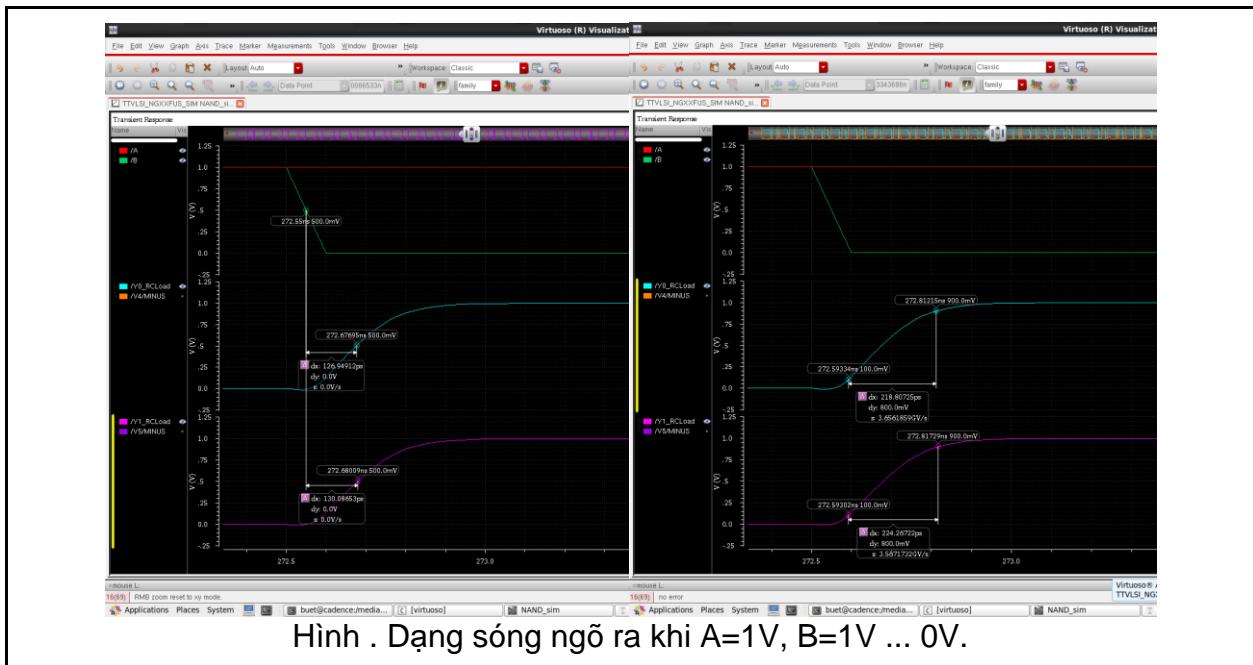


Nhận xét: Ngõ ra méo hơn khi không có tải RC



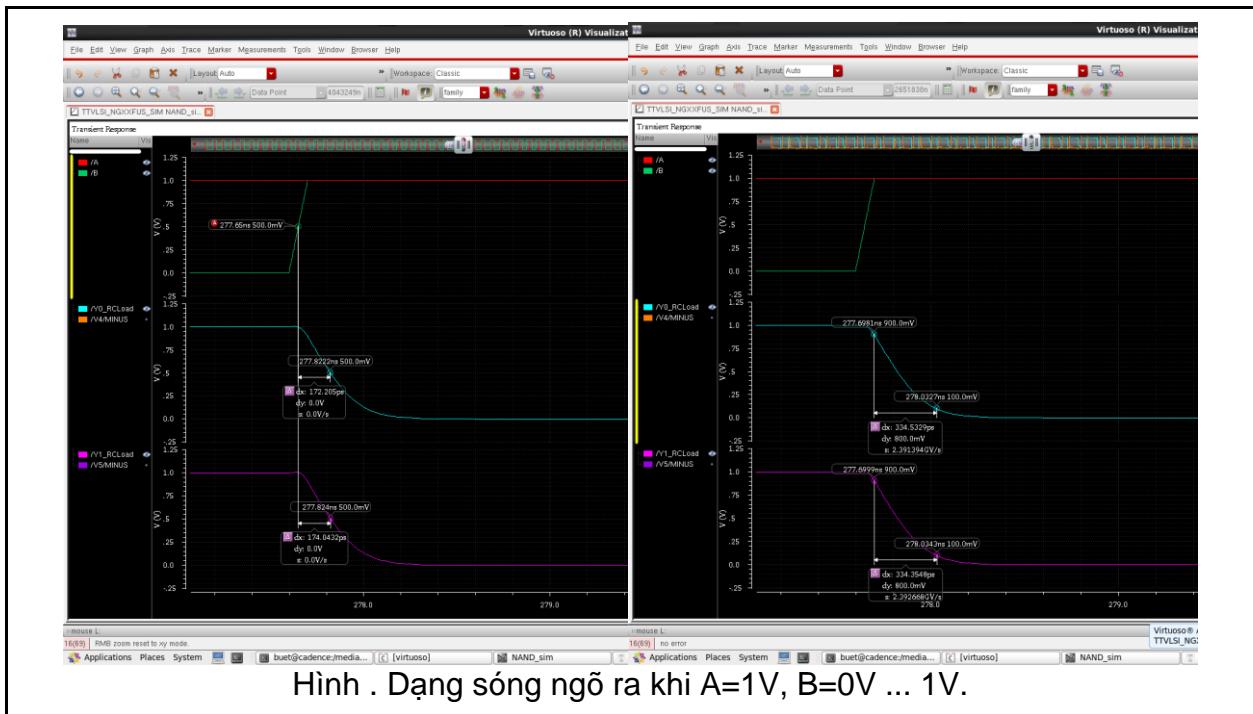
Nhận xét:

- +  $V_{overshoot} = 11,4\text{mV}$
- +  $V_{undershoot} = 12,4\text{mV}$



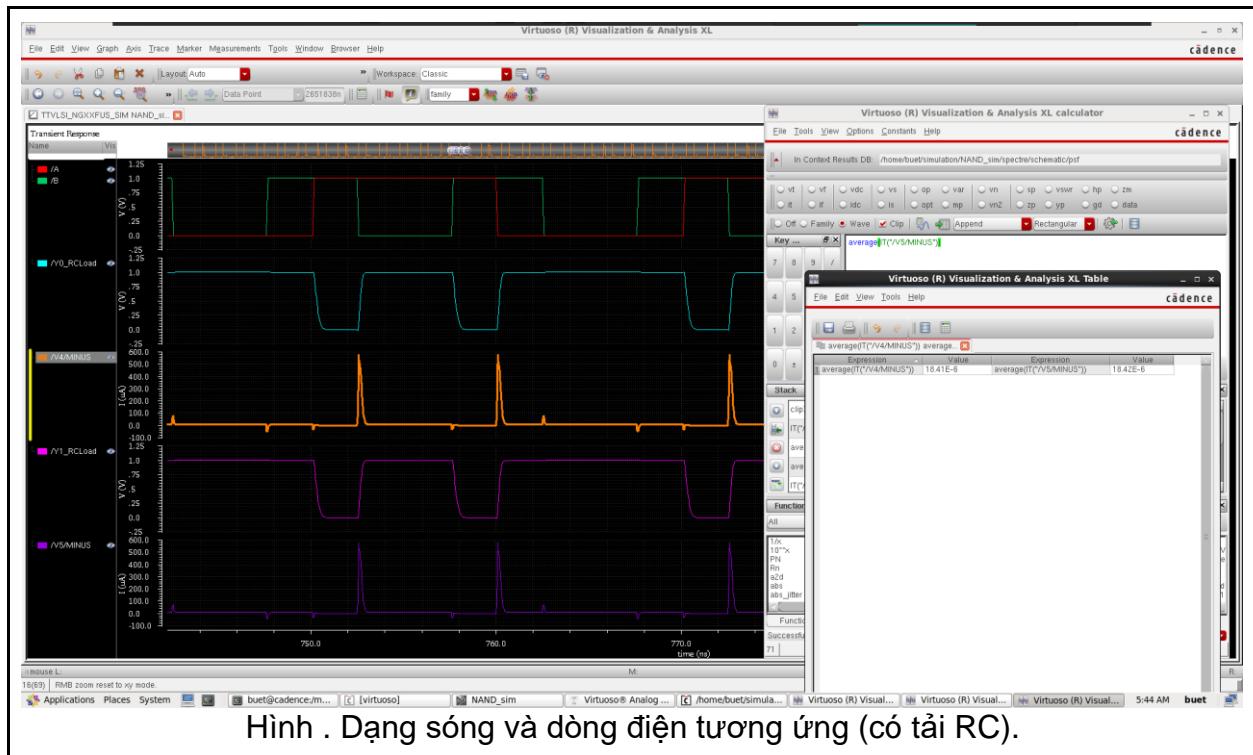
Nhận xét:

- +  $t_{pdf} = 130,09\text{ps}$
- +  $t_{raising} = 224,3\text{ps}$



Nhận xét:

- +  $t_{pdr} = 174,04\text{ps}$
- +  $t_{falling} = 334,4\text{ps}$



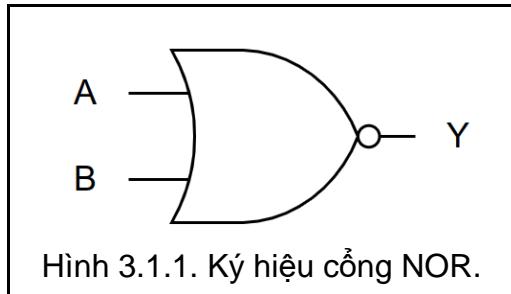
Hình . Dạng sóng và dòng điện tương ứng (có tải RC).

Nhận xét: Công suất trung bình: 18,42uW.

### 3. Cổng NOR

#### 3.1. Ký hiệu và BTT của cổng NOR

Ký hiệu cổng NOR:

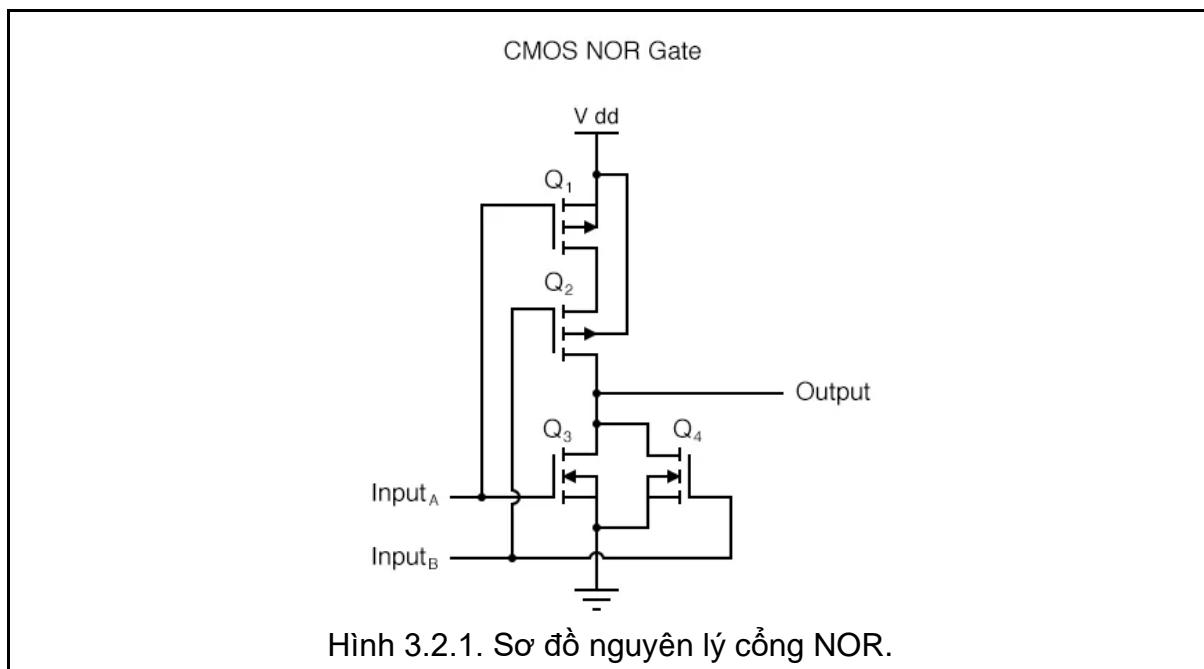


Bảng 3.1.1. Bảng trạng thái cổng NOR:

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

#### 3.2. Sơ đồ nguyên lý

Sơ đồ nguyên lý của cổng NOR [1]:

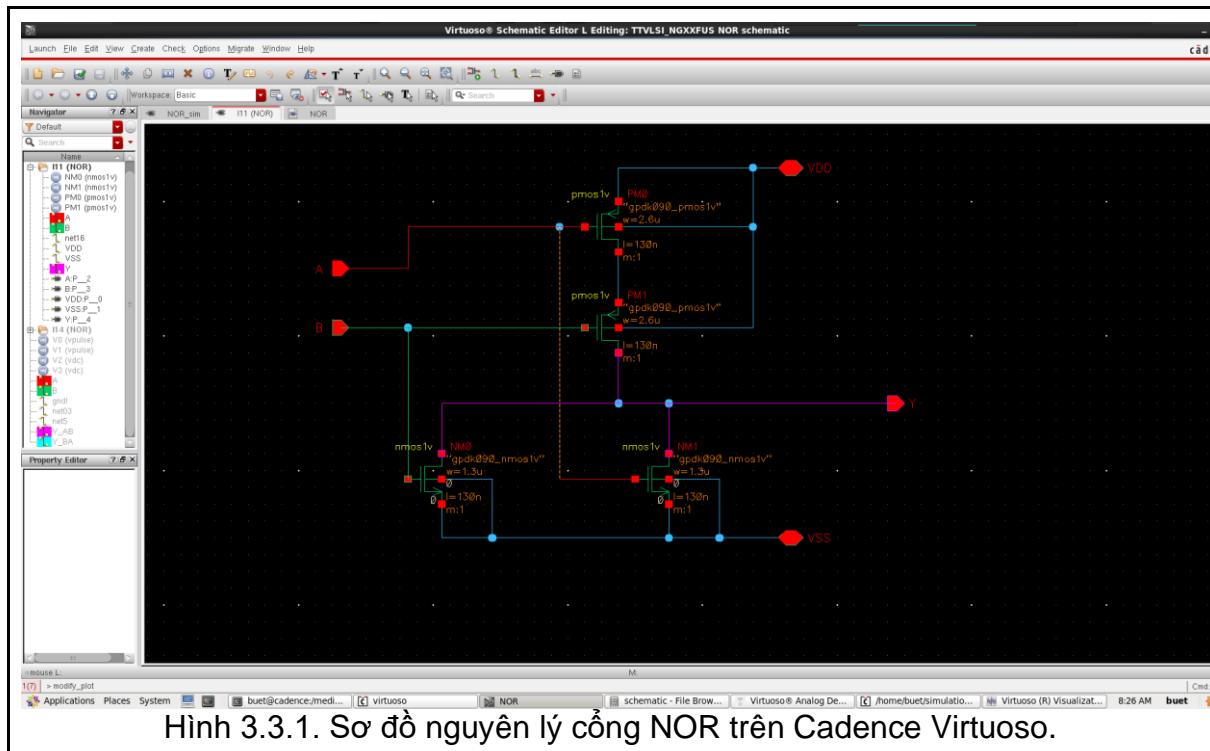


### 3.3. Thiết kế cổng NOR trên Cadence Virtuoso

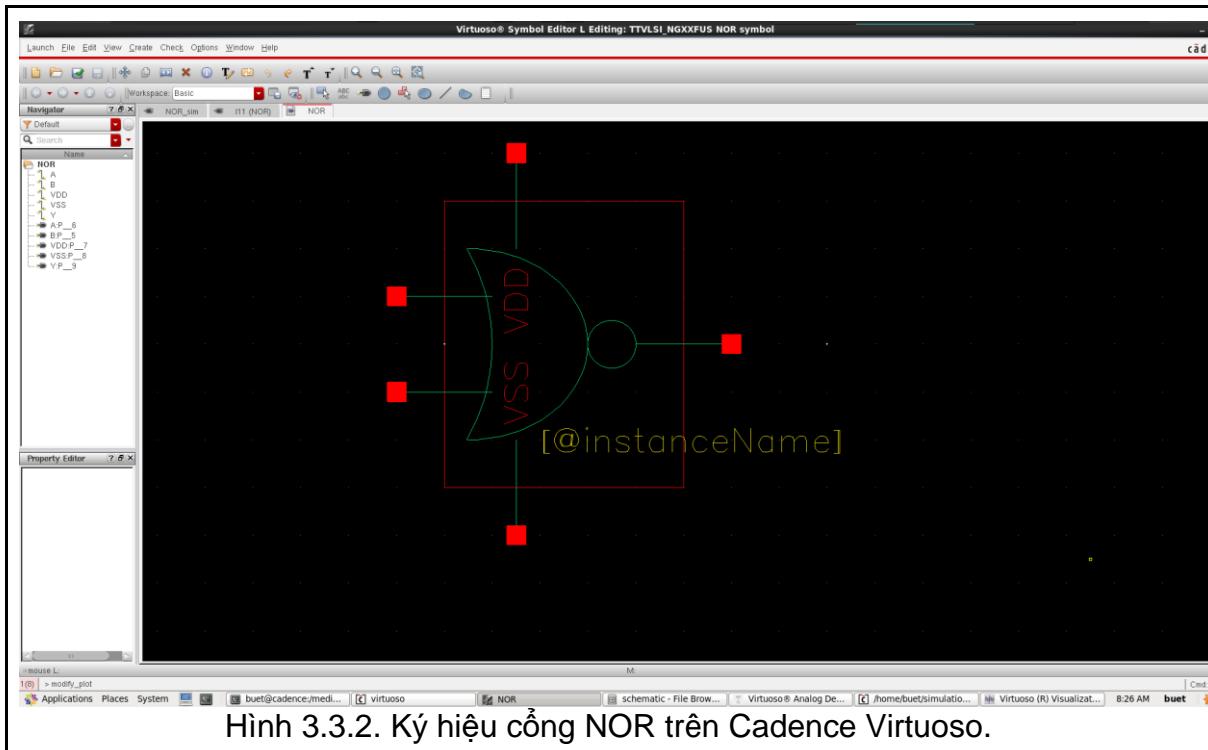
Bảng 3.3.1. Bảng các thông số CMOS.

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		
Temperature	27oC		

Vẽ sơ đồ nguyên lý của cổng NOR trên Cadence Virtuoso như Hình 3.2.1 và Bảng 3.3.1.



Vẽ sơ ký hiệu cổng NOR trên Cadence Virtuoso như Hình 3.1.1.



### 3.4. Mô phỏng cổng NOR trên Cadence Virtuoso

#### 3.4.1. Thông số nguồn

Nguồn DC cung cấp VDD cho các cổng NOR trong quá trình mô phỏng, điện áp được đặt là biến VDD, trong các mô phỏng bên dưới, VDD có giá trị 1(V).

Bảng 3.4.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

Trong quá trình mô phỏng, sử dụng hai nguồn xung A, B để cung cấp xung vuông với hai tần số khác nhau, độ trễ khác nhau. Bảng 3.4.2 và Bảng 3.4.3 mô tả các thông số của hai nguồn xung A, B.

Bảng 3.4.2. Thông số nguồn cấp xung vuông A:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	50MHz	V

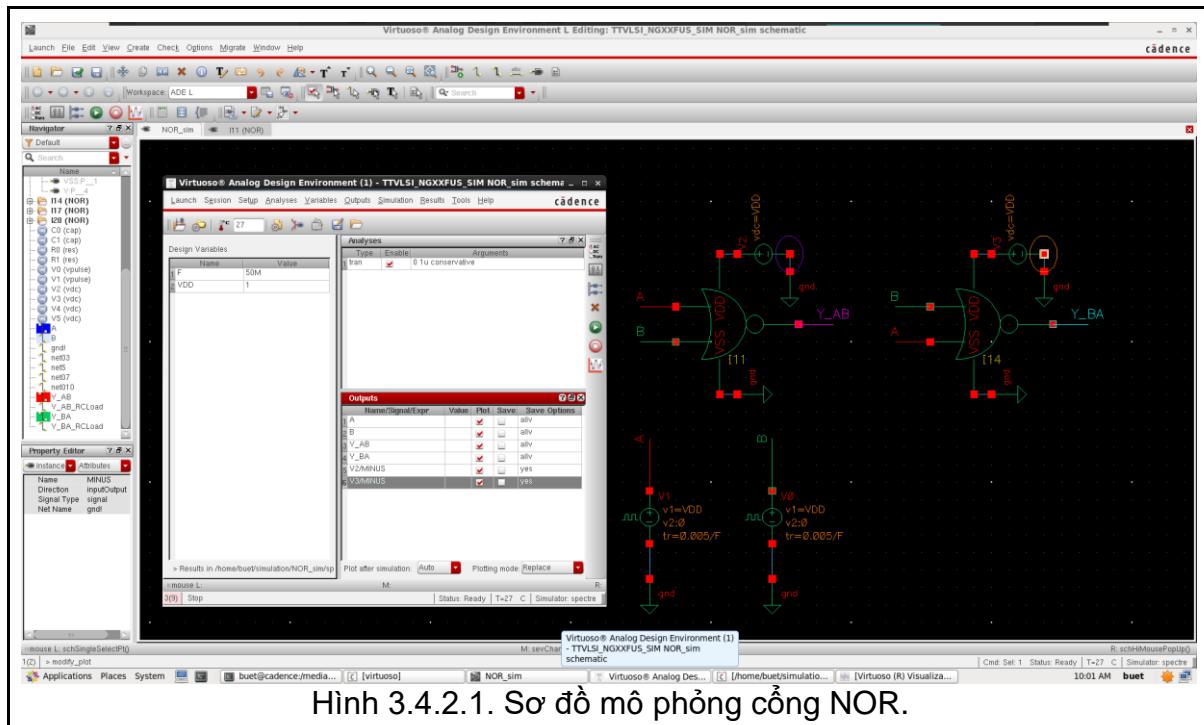
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

Bảng 3.4.3. Thông số nguồn cấp xung vuông B:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	--	1/(2F)	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.25/F	s
Giá trị ban đầu	--	0.25/(2*F)	V

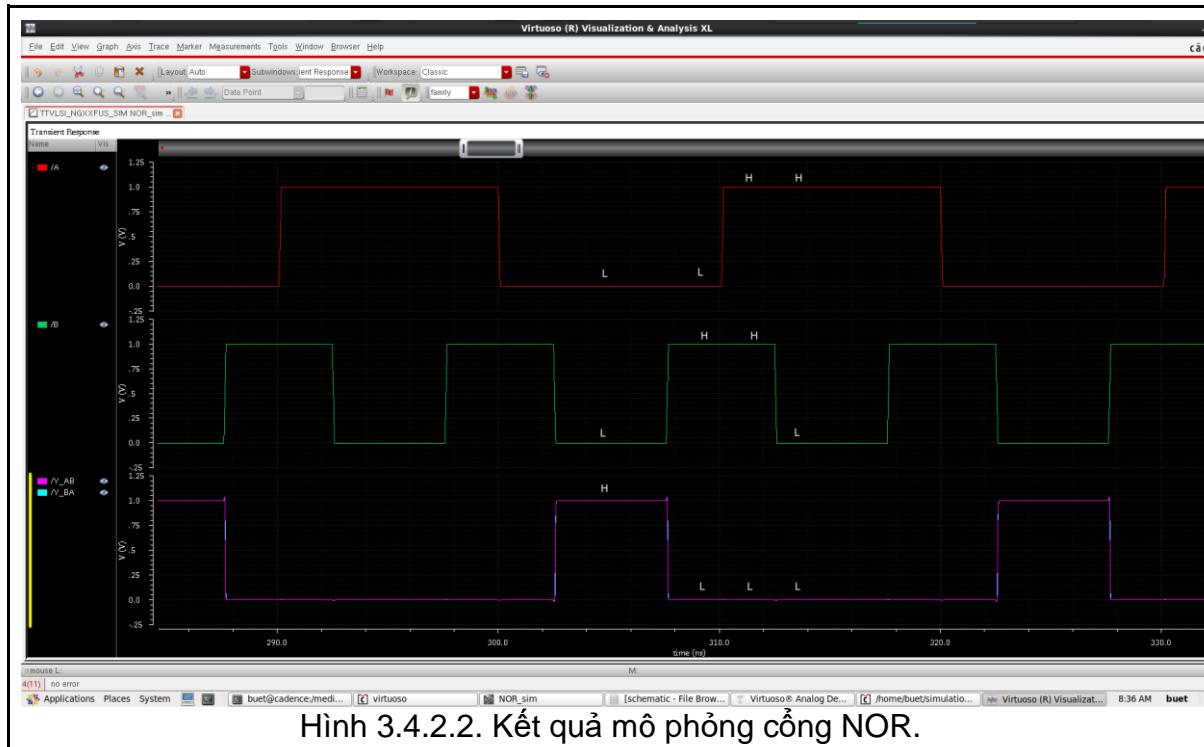
### 3.4.2. Mô phỏng cổng NOR độc lập

Thực hiện mô phỏng cổng NOR theo Hình 3.4.2.1.



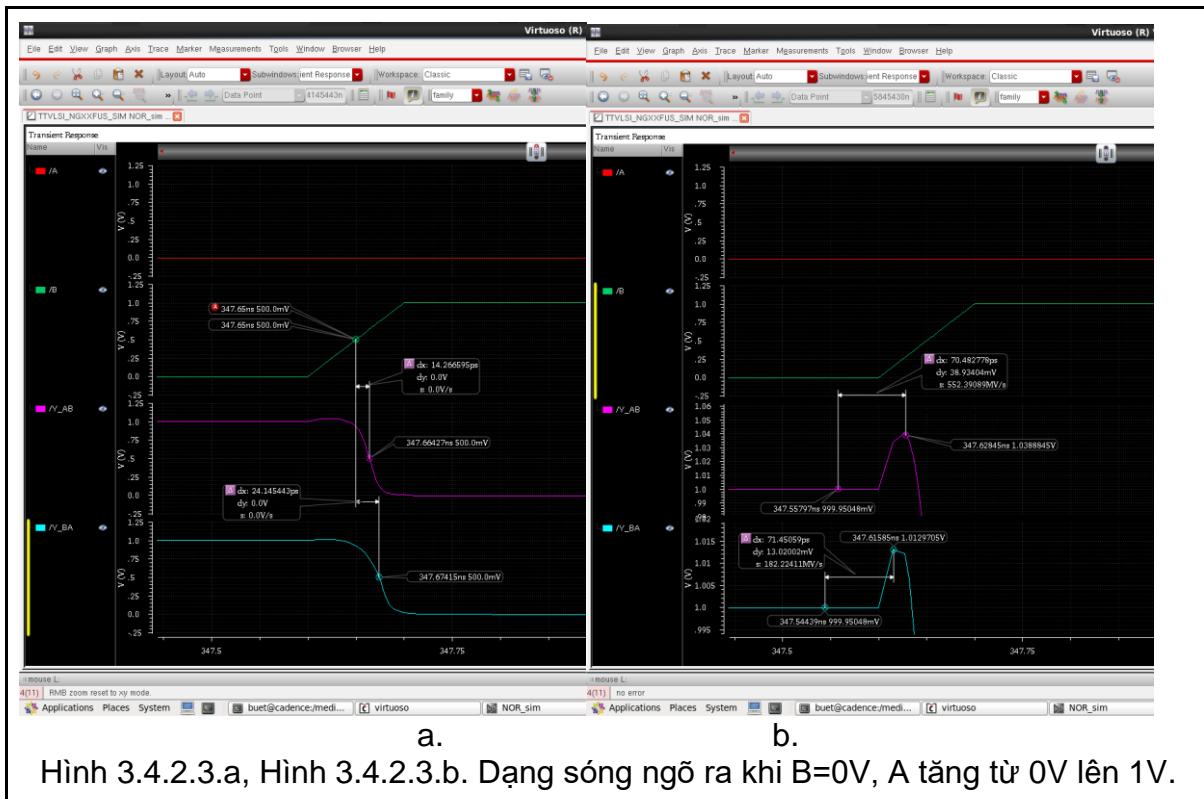
Hình 3.4.2.1. Sơ đồ mô phỏng cồng NOR.

### Kết quả mô phỏng:



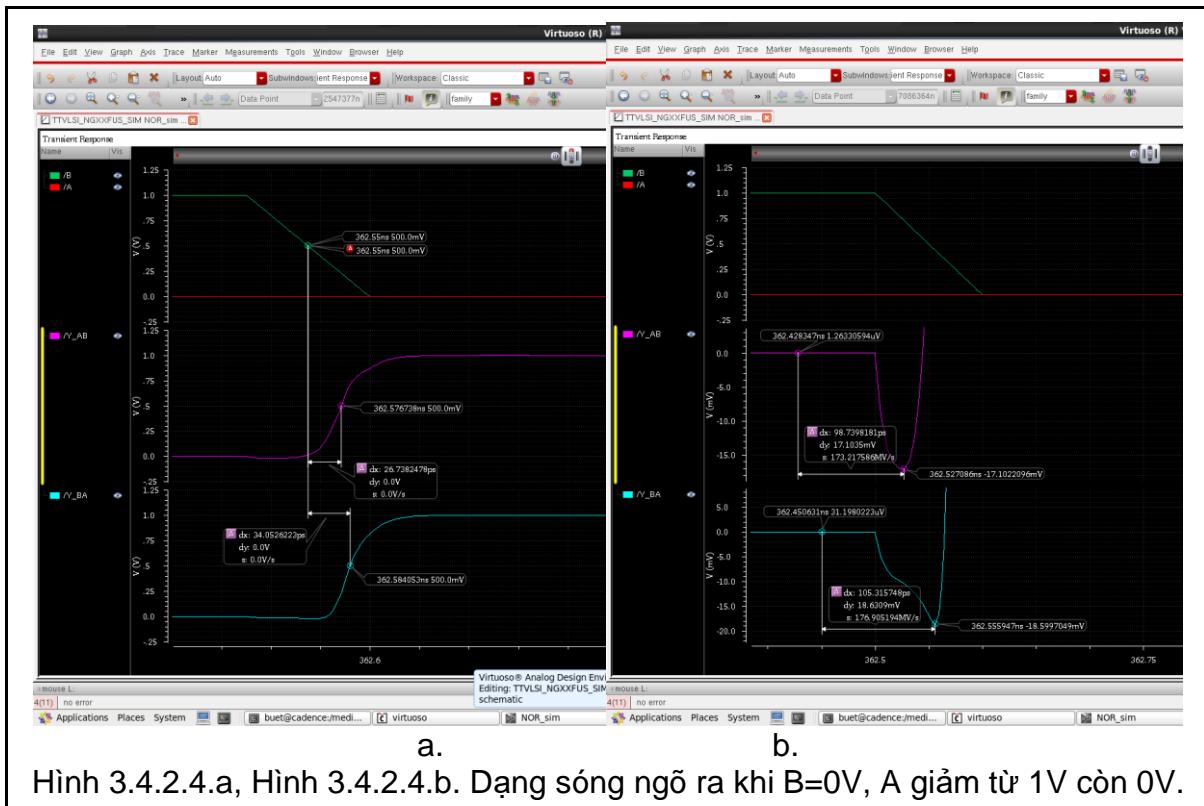
Hình 3.4.2.2. Kết quả mô phỏng cổng NOR.

Nhận xét: Cổng NOR hoạt động đúng với lý thuyết bất kề thứ tự nguồn, tuy nhiên thứ tự nguồn A, B khác nhau cũng tạo nên các điểm bất thường trên dạng sóng khác nhau.



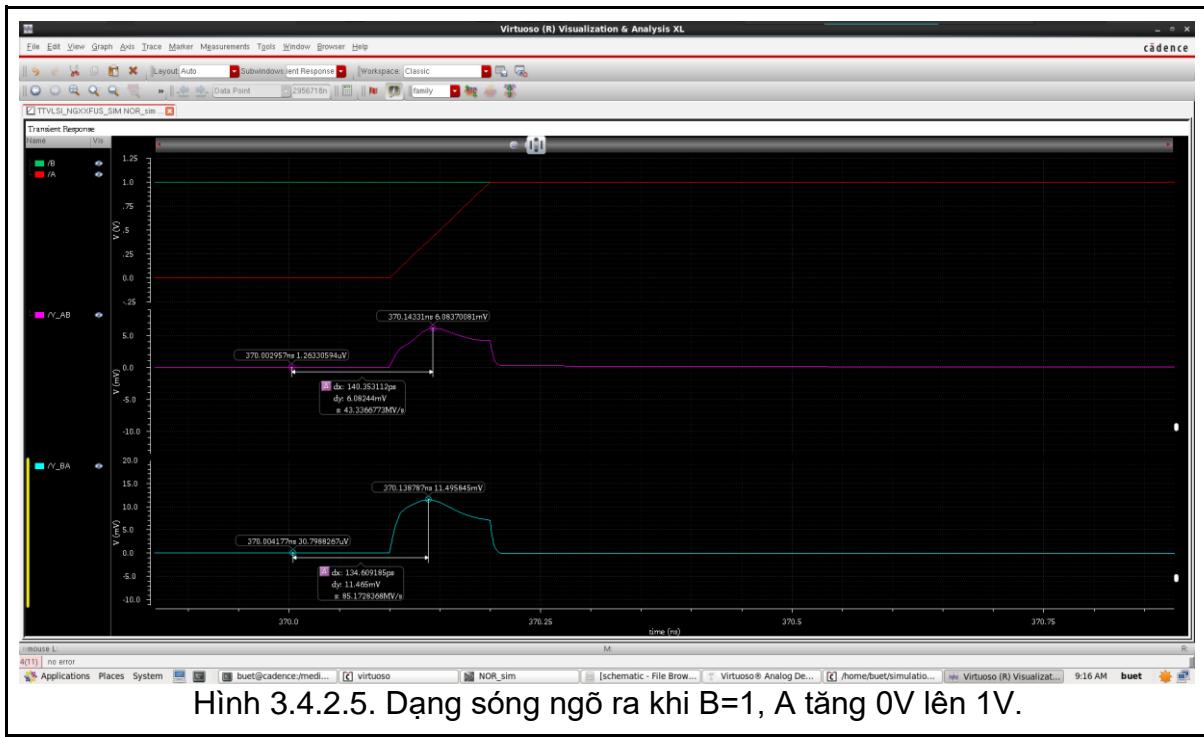
Nhận xét:

- + Xuất hiện các điểm vượt ngưỡng với biên độ đỉnh ~40mV (~4%VDD).
- + Có xuất hiện các khoảng dưới ngưỡng khi ngõ ra giảm về 0V, nhưng nhỏ hơn biên bô khoảng vượt ngưỡng rất nhiều.
- +  $t_{pdr} = 24,15ps$

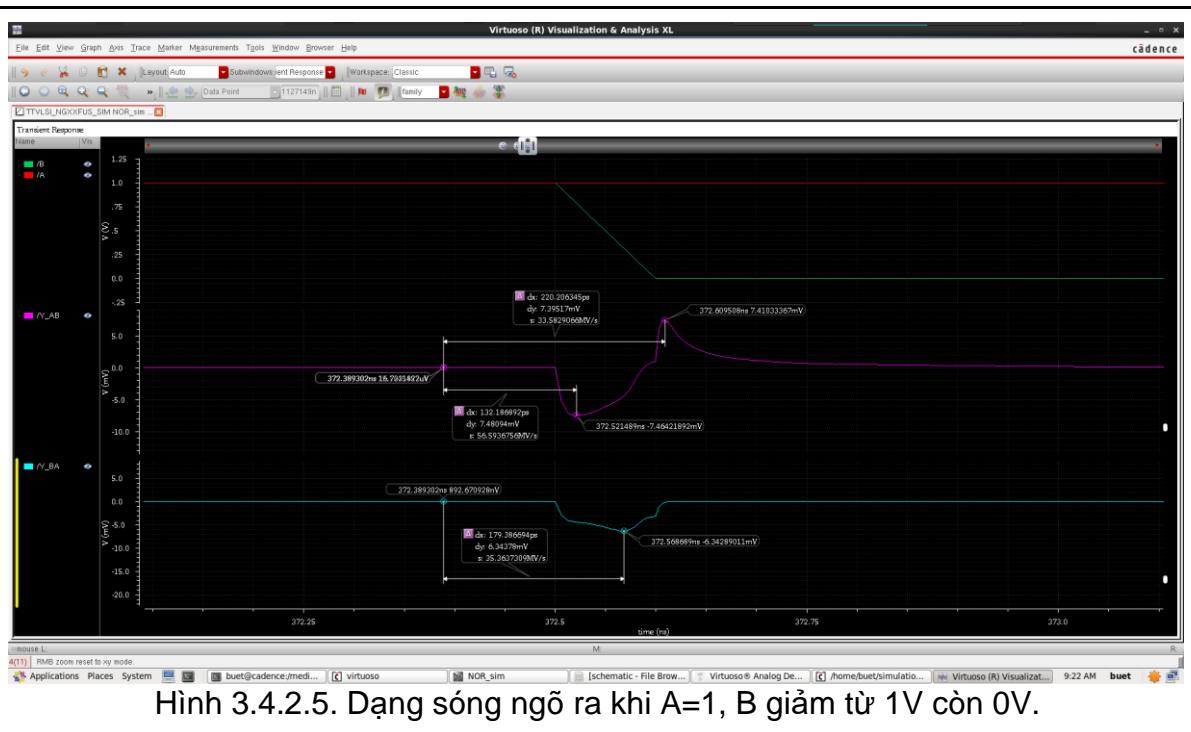


Nhận xét:

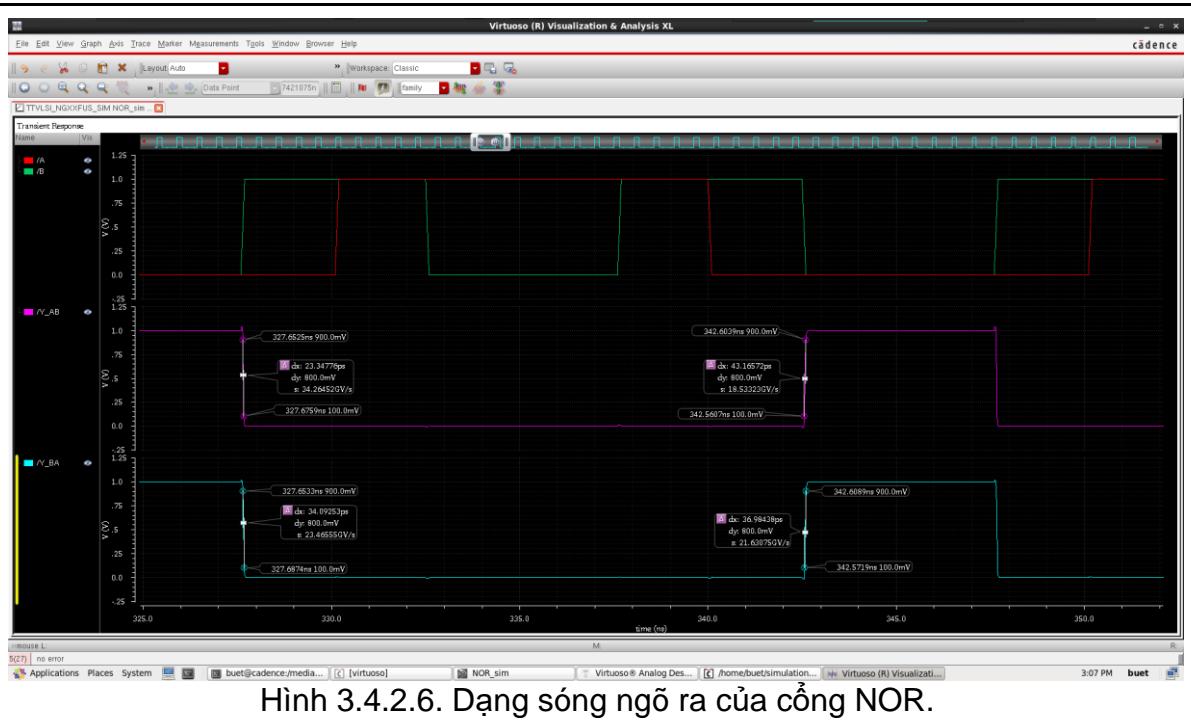
- + Xuất hiện các khoảng dưới ngưỡng với biên độ đỉnh lên đến ~18,6mV.
- +  $t_{pdf} = 34,05\text{ns}$ .



Nhận xét: Xuất hiện các khoảng vượt ngưỡng với biên độ đỉnh ~11,5mV (~1%VDD).



Nhận xét: Cùng nguồn A, B nhưng thứ tự khác nhau, xuất hiện các khoảng vượt ngưỡng và khoảng dưới ngưỡng. Biên độ đỉnh khoảng vượt ngưỡng  $\sim 7\text{mV}$ ; Biên độ đỉnh khoảng dưới ngưỡng  $\sim 7,5\text{mV}$  ( $<1\%$ VDD).



Nhận xét: Từ kết quả mô phỏng, thu được

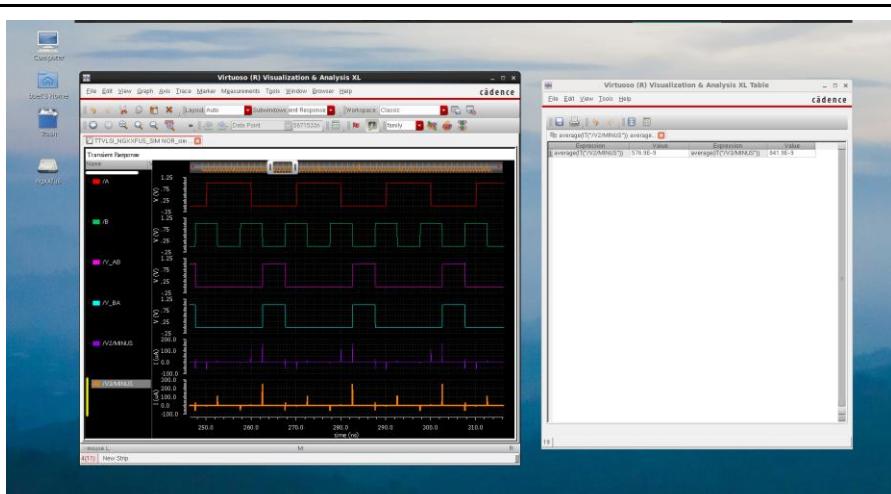
$$+ t_{\text{raising}} = 43,17\text{ps}$$

$$+ t_{\text{falling}} = 34,09\text{ps}$$



a. b. c. d.

Hình 3.4.2.6. (a-d) Dạng sóng ngõ ra và dòng điện tại các thời điểm tương ứng.



Hình 3.4.2.7. Công suất trung bình của hai cổng NOR.

Do  $V_{High} = VDD = 1V$ , nên  $Power = I$ . Do đó công suất trung bình của hai cổng NOR lần lượt là 576.9nW và 841.9nW.

Bảng 3.4.2.1. Tổng kết kết quả mô phỏng cổng NOR độc lập:

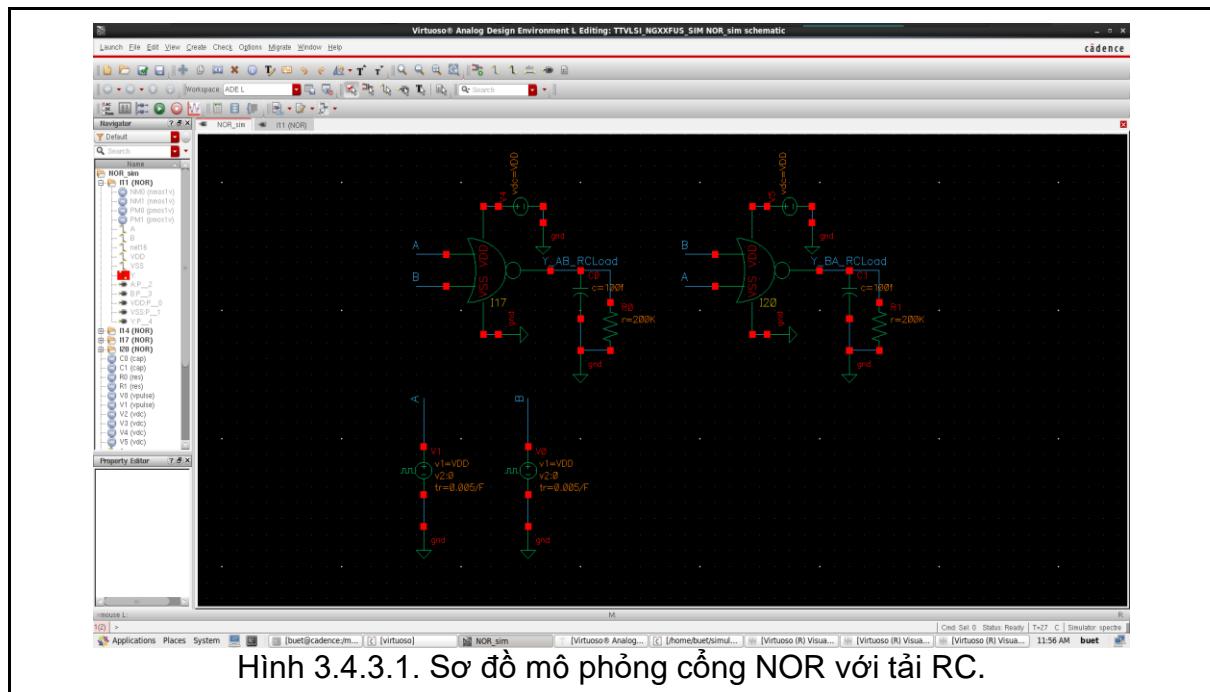
	t_pdr	t_pdf	t_rasing	t_falling	Overshoot	Undershoot	Công suất trung bình
Giá trị	24,15	34,05	43,17	34,09	40	18,6	841.9
Đơn vị	ps				mV		nW

### 3.4.3. Mô phỏng cổng NOR với tải RC

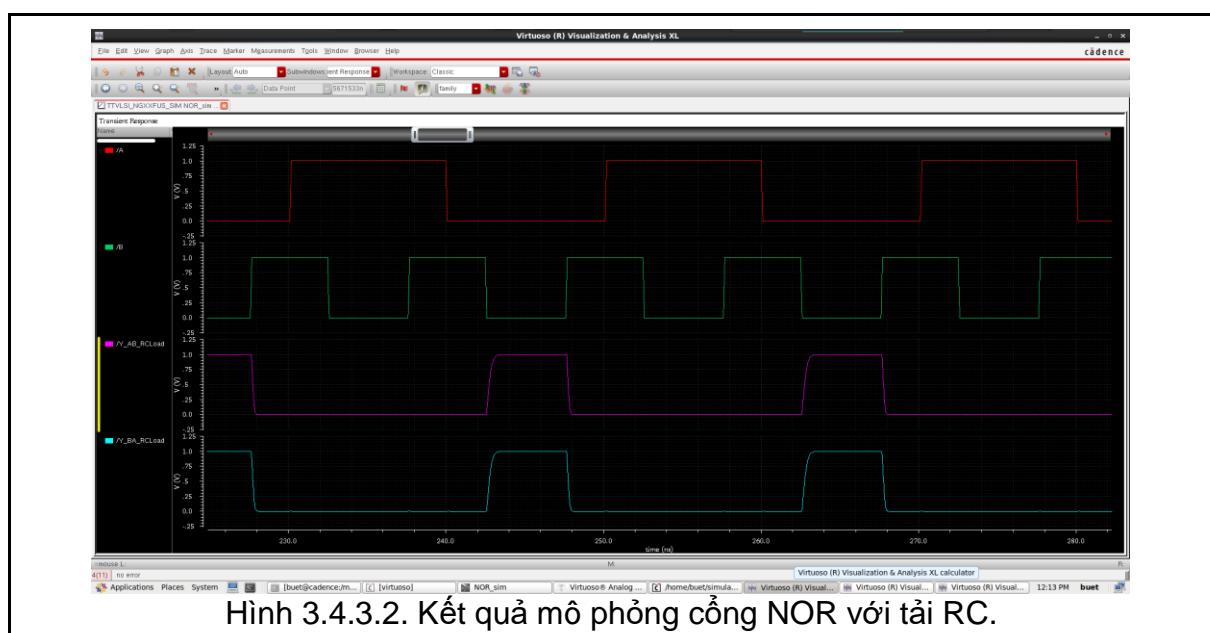
Bảng 3.4.3.1. Thông số tải RC:

Thông số	Giá trị	Đơn vị
R_Load	200K	Ohm
C_Load	100f	F

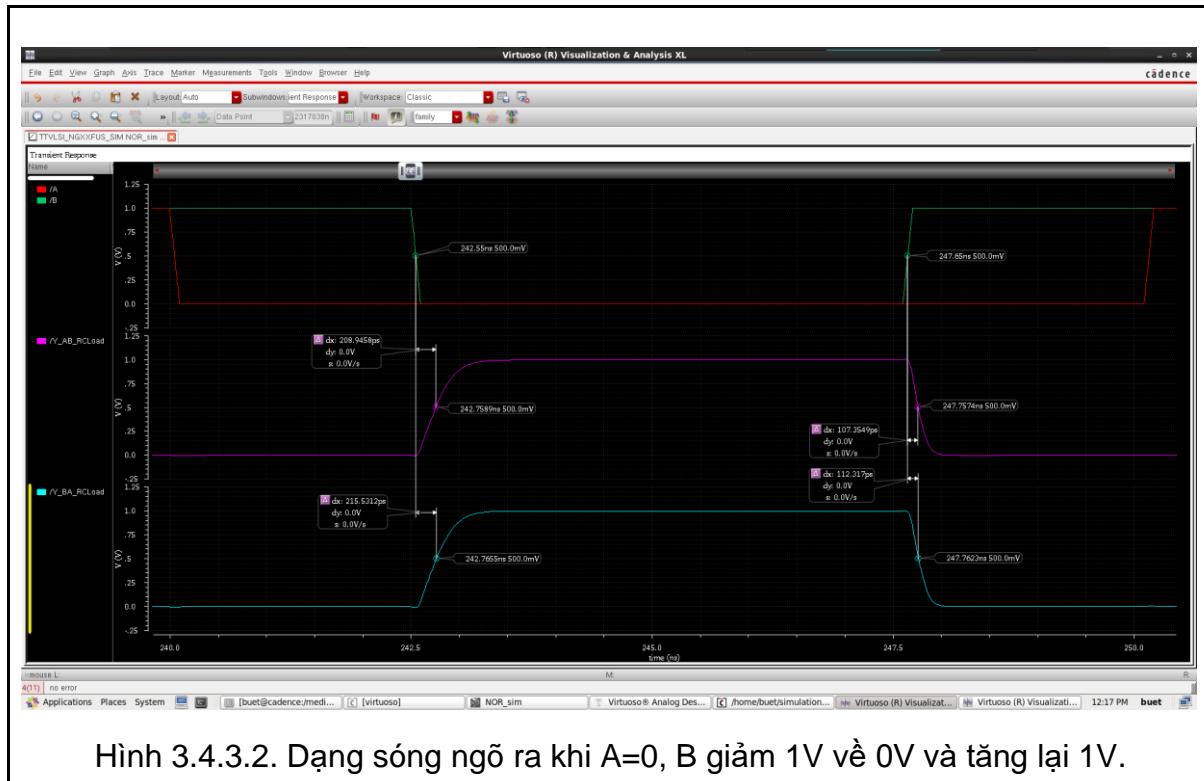
Thực hiện mô phỏng cổng NOR theo Hình 3.4.3.1 với giá trị tải RC theo Bảng 3.4.3.1.



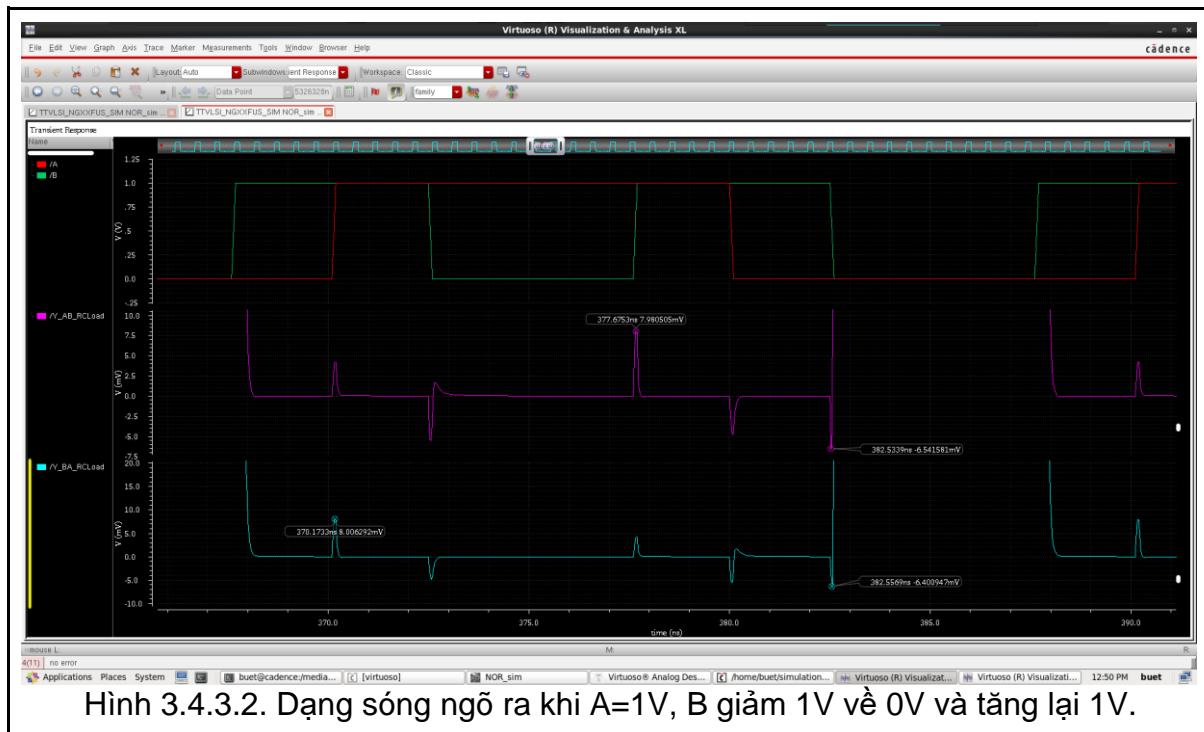
Kết quả:



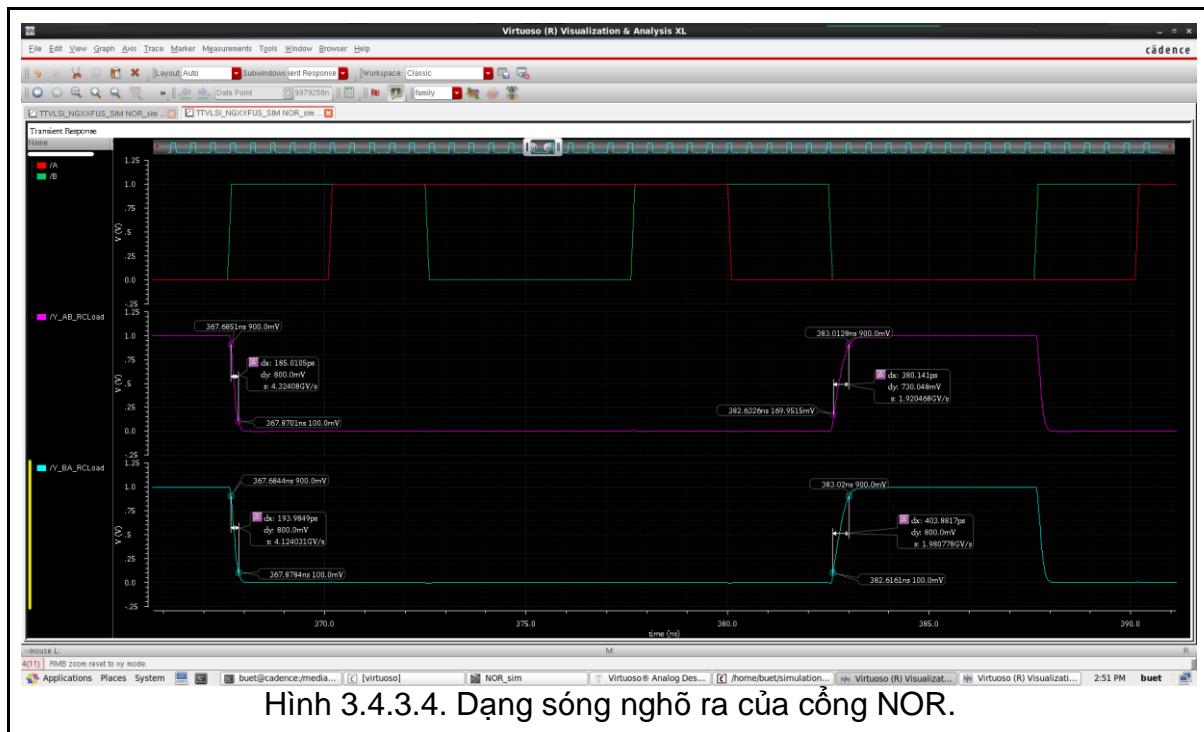
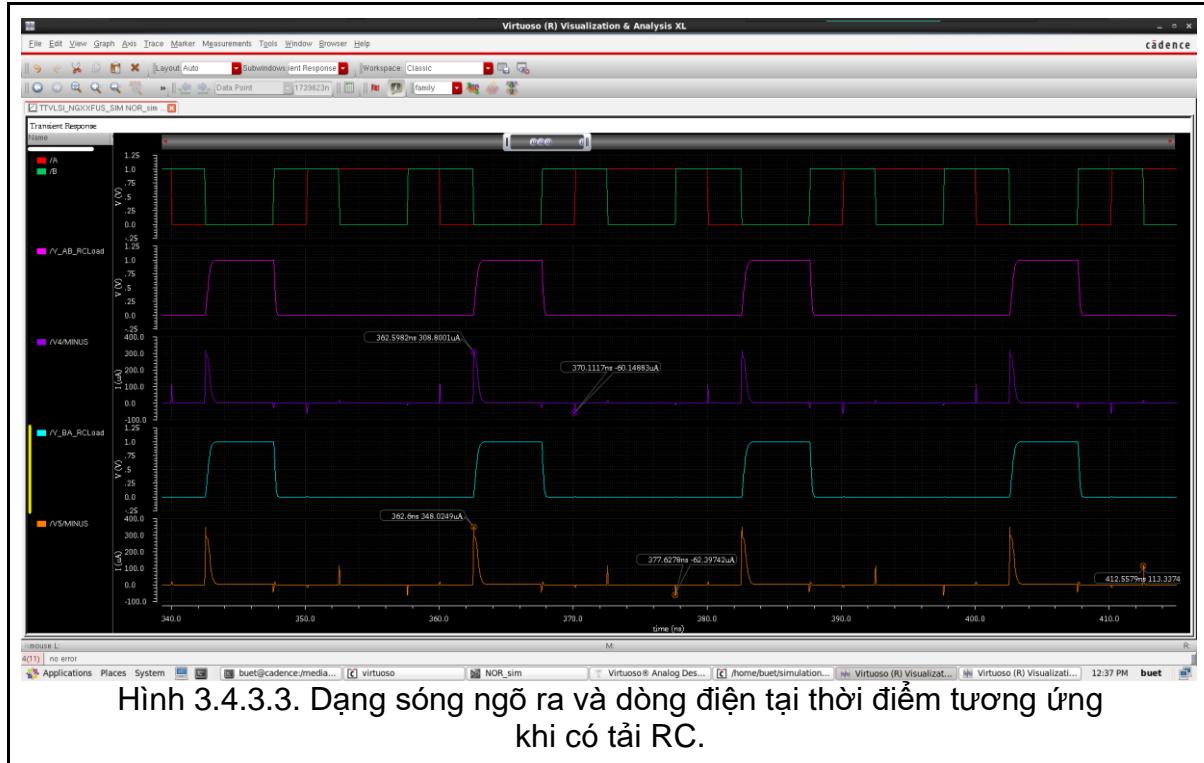
Nhận xét: Dạng sóng ngõ ra có hiện tượng méo, không phải phai phải dạng xung vuông chuẩn.



Nhận xét: Từ kết quả mô phỏng, ghi nhận độ trễ lan truyền:  $t_{pdf} = 215,2\text{ps}$ ;  $t_{pdr} = 112,3\text{ps}$ ; Khi có thêm tải RC, độ trễ lan truyền tăng.



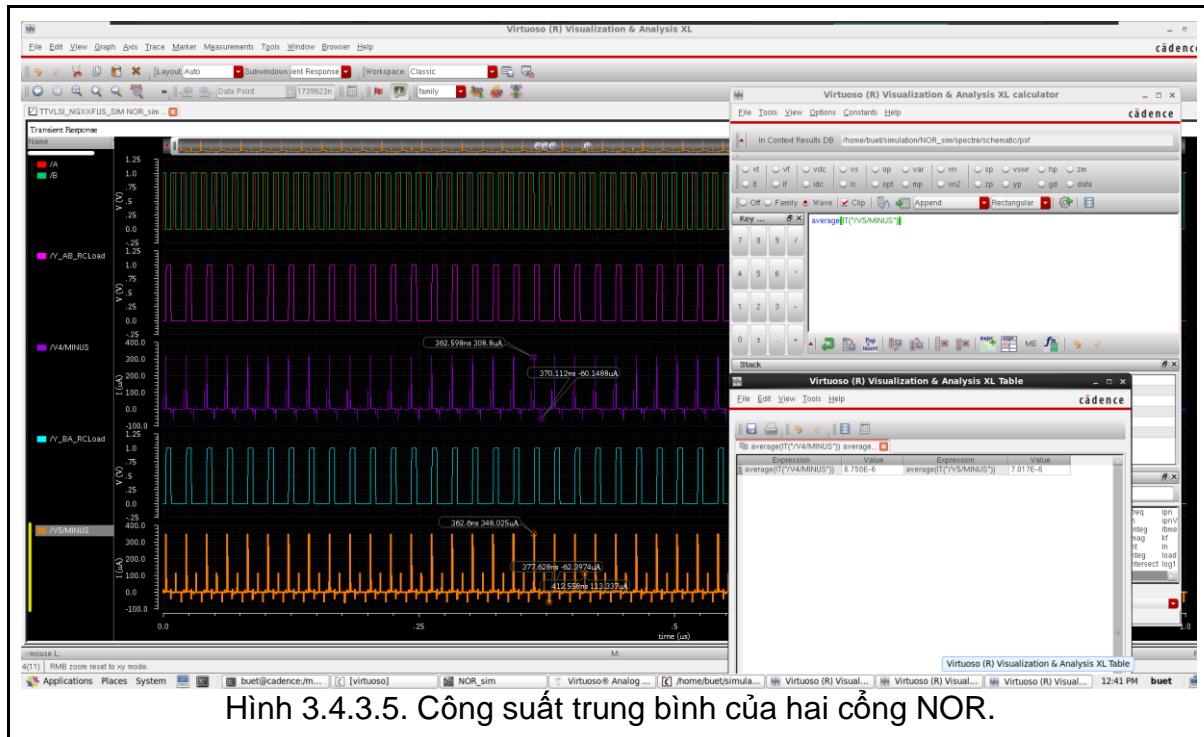
Nhận xét, biên độ đỉnh của hiện tượng overshoot/undershoot giảm còn dưới 1%VDD so với trường hợp cổng NOR độc lập.



Nhận xét: Từ kết quả mô phỏng, thu được

+ t\_rising = 382,62ns

+ t\_falling = 367,88ns



Hình 3.4.3.5. Công suất trung bình của hai cỗng NOR.

Bảng 3.4.3.2. Tổng kết:

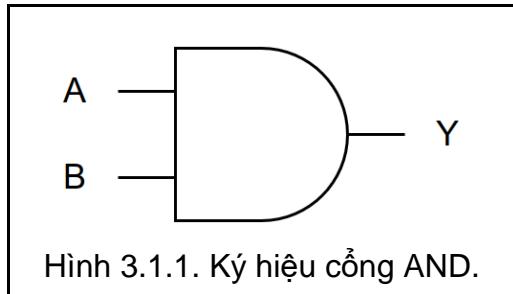
	t_pdr	t_pdf	t_rasing	t_falling	Overshoot	Undershoot	Công suất trung bình
Giá trị	112,3	215,2	382,62	367,88	8	6,54	112,3
Đơn vị	ps				mV		nW

Nhận xét: Khi gắn thêm tải RC, độ trễ tăng, thời gian cạnh lên/xuống tăng, công suất tăng, biên độ đỉnh overshoot/undershoot giảm.

## 4. Cổng AND

### 4.1. Ký hiệu và BTT của cổng AND

Ký hiệu cổng AND:

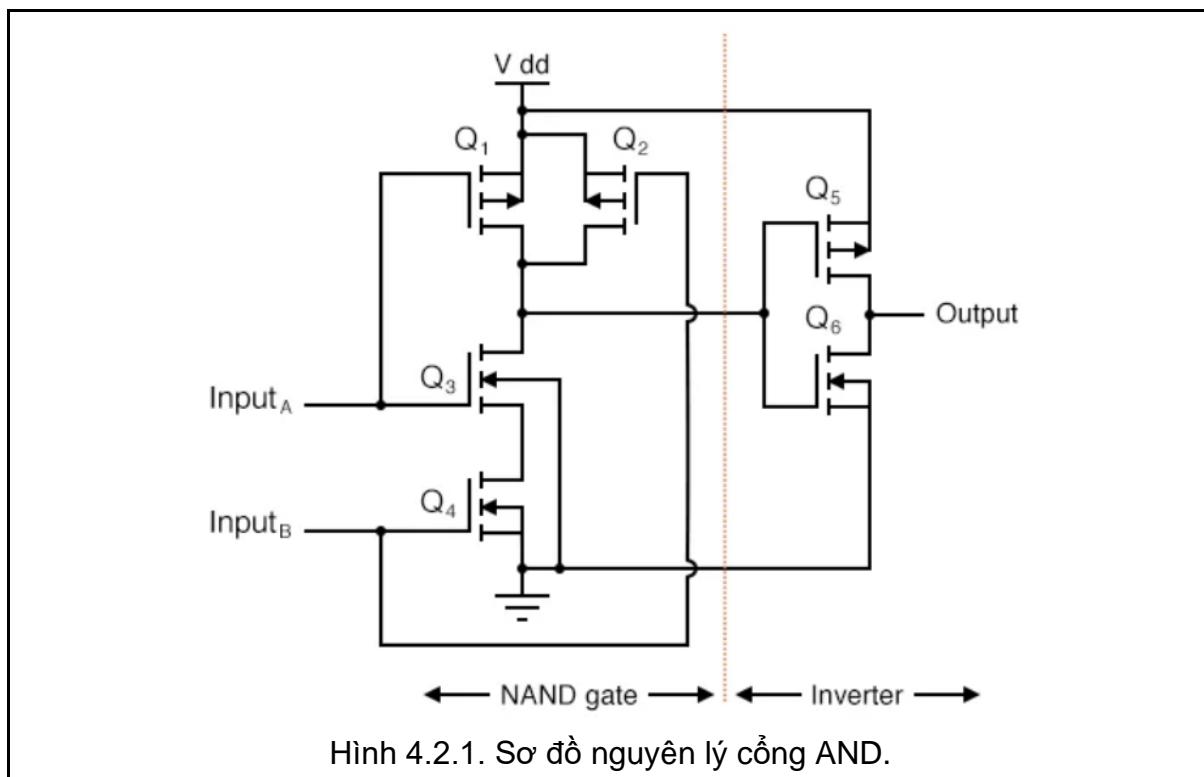


Bảng 4.1.1. Bảng trạng thái cổng AND:

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

### 4.2. Sơ đồ nguyên lý

Sơ đồ nguyên lý cổng AND [1]:



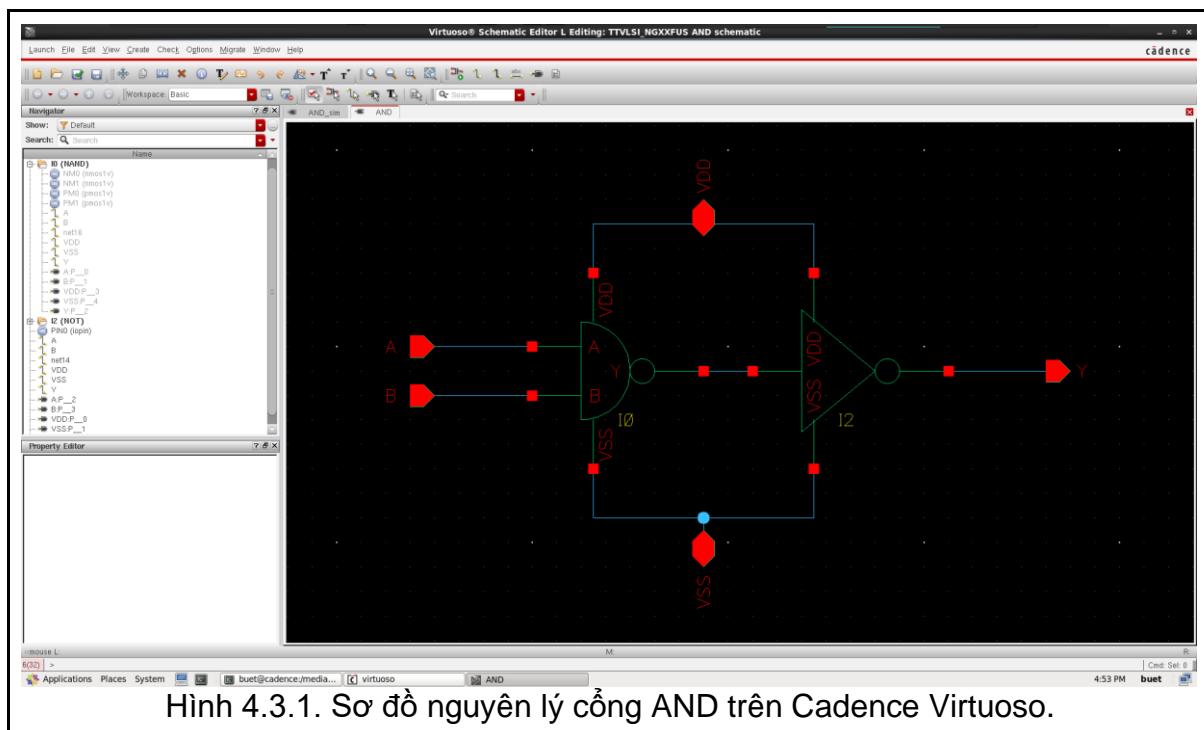
### 4.3. Thiết kế cổng AND trên Cadence Virtuoso

Bảng 4.3.1. Bảng thông số CMOS.

	pMOS	nMOS	Unit
Op-voltage	1	1	V

Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		
Temperature	27°C		

Vẽ sơ đồ nguyên lý của cổng AND trên Cadence Virtuoso dựa trên mạch nguyên lý Hình 4.2.1 và Bảng 4.3.1.



## 4.4. Mô phỏng cổng AND trên Cadence Virtuoso

### 4.4.1. Thông số nguồn

Nguồn DC cung cấp VDD cho các cổng AND trong quá trình mô phỏng, điện áp được đặt là biến VDD, trong các mô phỏng bên dưới, VDD có giá trị 1(V).

Bảng 4.4.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

Trong quá trình mô phỏng, sử dụng hai nguồn xung A, B để cung cấp xung vuông với hai tần số khác nhau, độ trễ khác nhau. Bảng 3.4.2 và Bảng 3.4.3 mô tả các thông số của hai nguồn xung A, B.

Bảng 4.4.2. Thông số nguồn cấp xung vuông A:

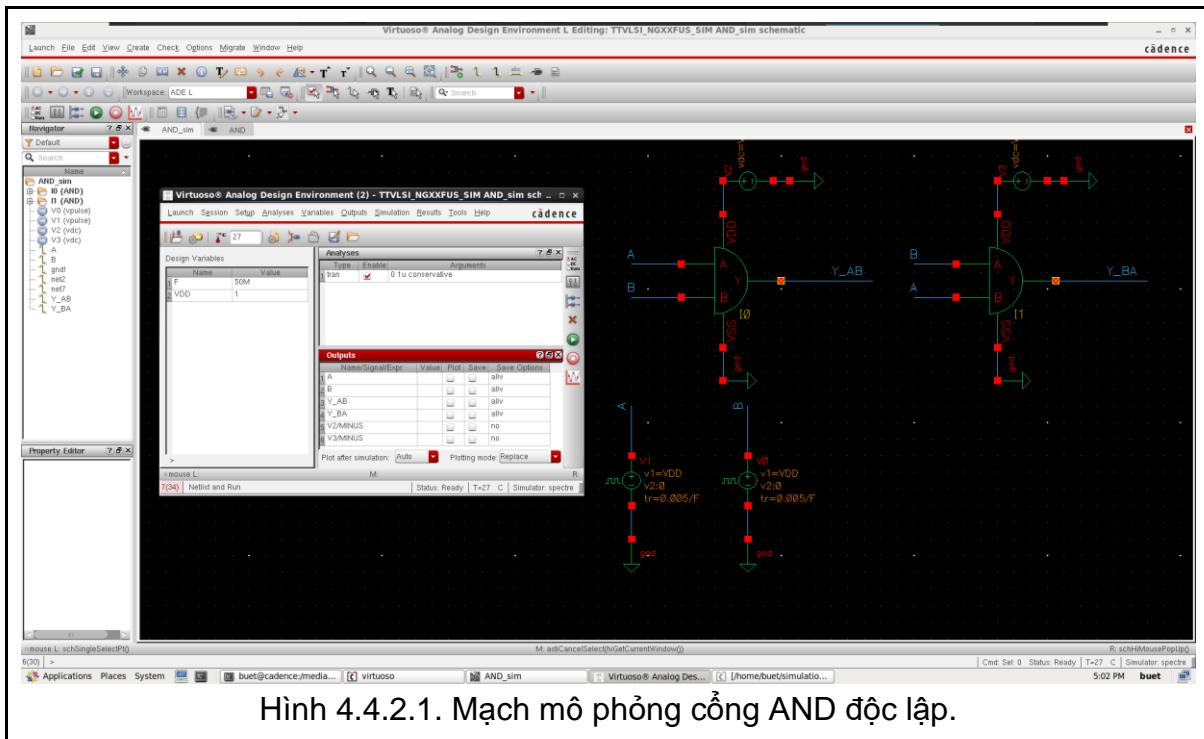
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	50MHz	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

Bảng 4.4.3. Thông số nguồn cấp xung vuông B:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	--	1/(2F)	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.25/F	s
Giá trị ban đầu	--	0.25/(2*F)	V

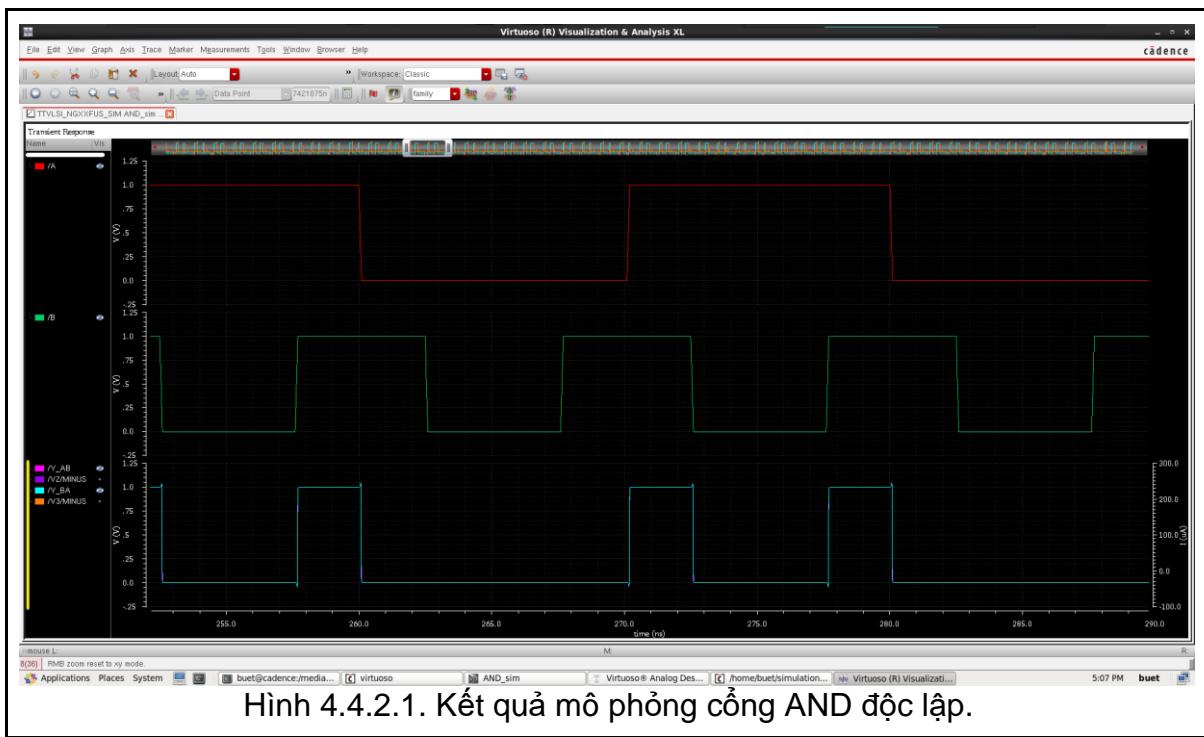
#### 4.4.2. Mô phỏng cổng AND độc lập

Thực hiện mô phỏng cổng AND như Hình 4.4.3.1.



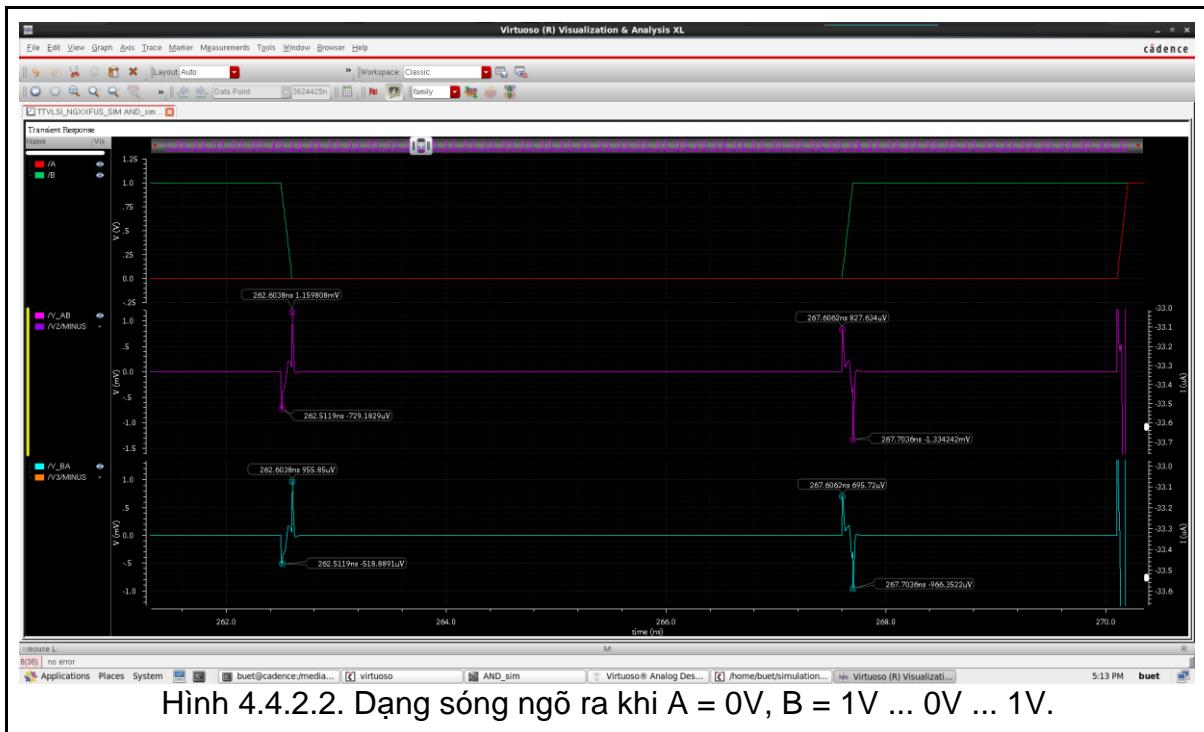
Hình 4.4.2.1. Mạch mô phỏng cổng AND độc lập.

Kết quả:



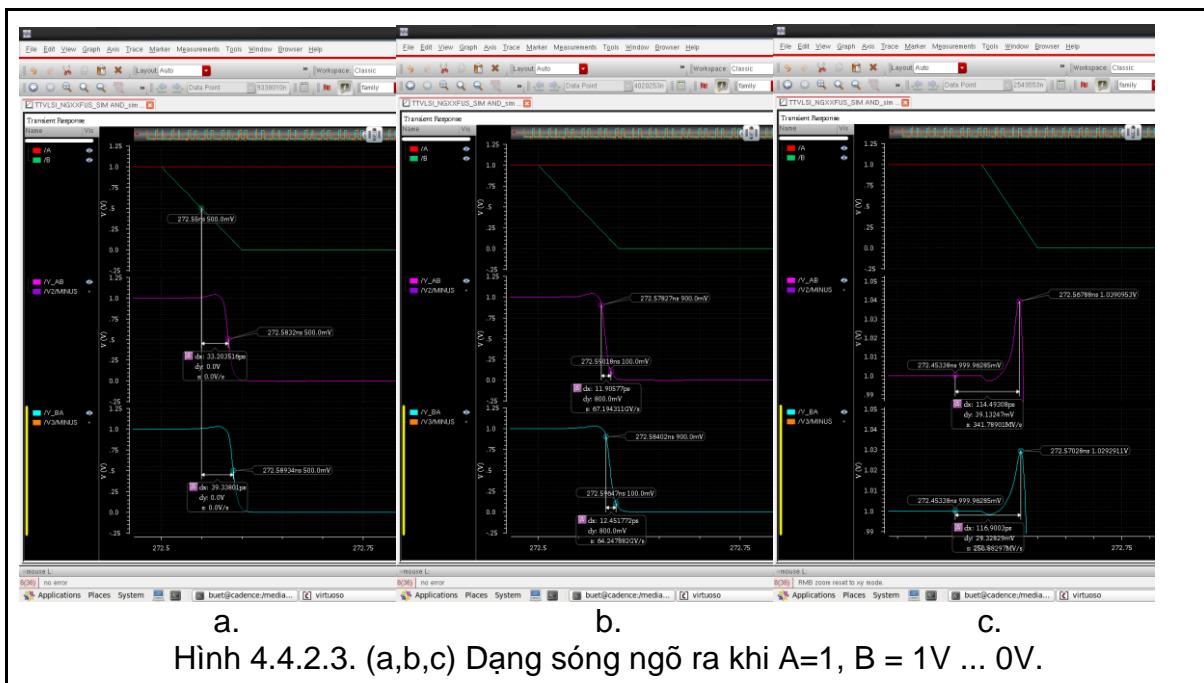
Hình 4.4.2.1. Kết quả mô phỏng cổng AND độc lập.

Nhận xét: Cổng AND hoạt động đúng với lý thuyết bất kề thứ tự nguồn, tuy nhiên, dựa trên kết quả mô phỏng, nhận thấy: Thứ tự nguồn A, B khách nhau cũng tạo nên các điểm bất thường trên dạng sóng khác nhau.



Nhận xét: Xuất hiện các khoảng vượt ngưỡng và dưới ngưỡng, nhưng biên độ đỉnh của chúng không đáng kể (< 1%VDD).

- + Biên độ đỉnh vượt ngưỡng tối đa: 1,16mV
- + Biên độ đỉnh dưới ngưỡng tối đa: 1,33mV

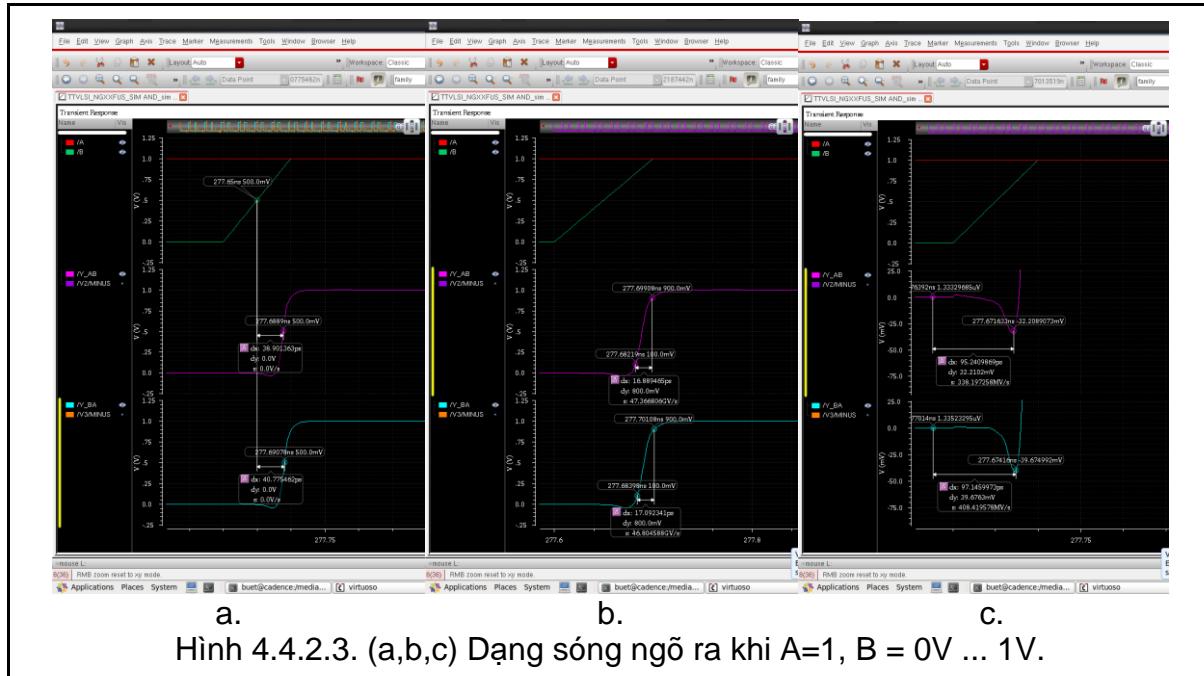


Nhận xét:

$$+ t_{pdf} = 39,34\text{ps}$$

+  $t_{falling} = 12.45\text{ps}$

+ Biên độ đỉnh khoảng vượt ngưỡng là:  $39.13\text{mV}$  ( $\sim 4\%$ VDD)

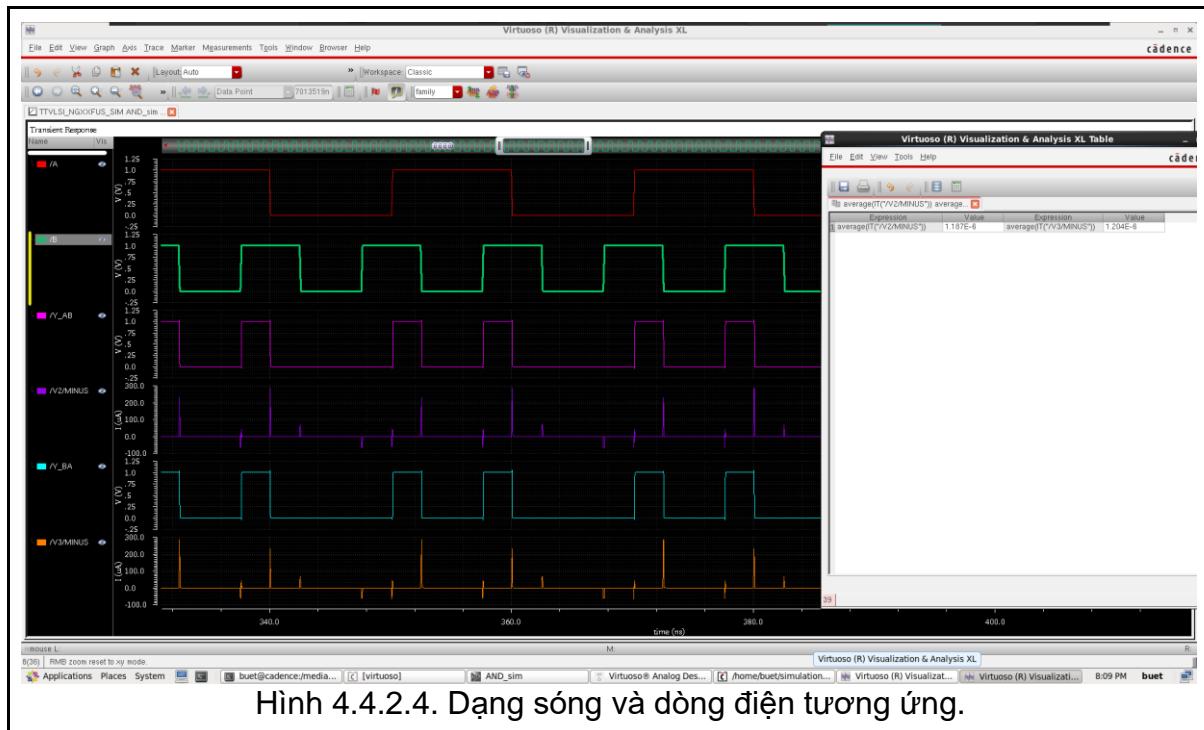


Nhận xét:

+  $t_{pdr} = 20.78\text{ps}$

+  $t_{raising} = 17.09\text{ps}$

+ Biên độ đỉnh khoảng dưới ngưỡng là:  $39.67\text{mV}$  ( $\sim 4\%$ VDD)



Nhận xét:

+ Công suất trung bình là  $1.2\mu\text{W}$

Bảng 4.4.2.1. Tổng kết kết quả mô phỏng cỗng AND độc lập:

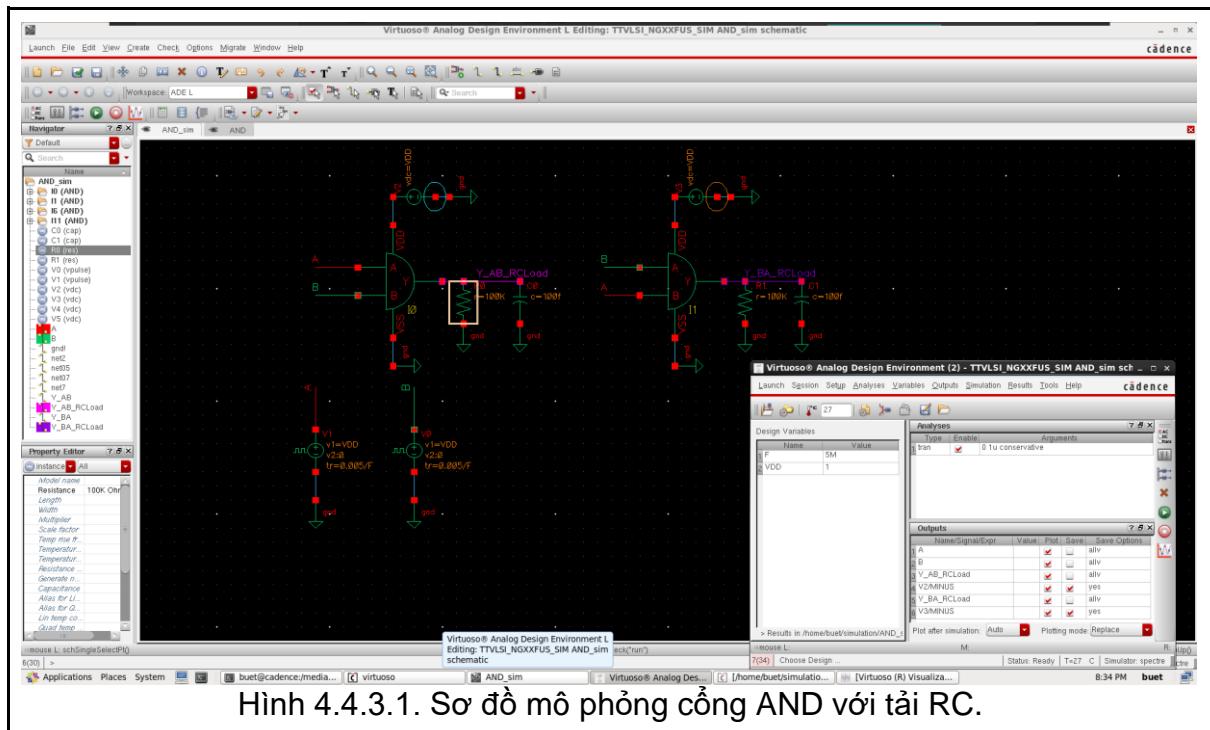
	t_pdr	t_pdf	t_rasing	t_falling	Overshoot	Undershoot	Công suất trung bình
Giá trị	20,78	39,34	17.09	12,45	39,13	39.67	1.2
Đơn vị	ps				mV		uW

#### 4.4.3. Mô phỏng cỗng AND với tải RC

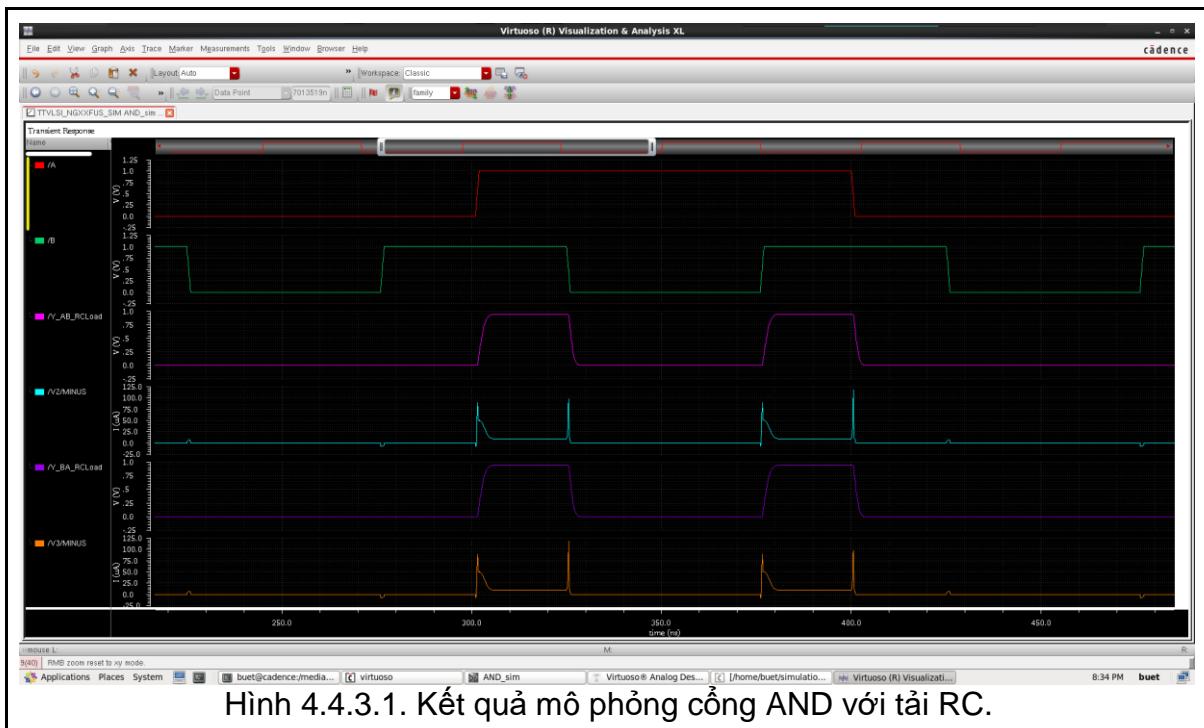
##### 4.4.3.1. Thông số tải RC:

Thông số	Giá trị	Đơn vị
R_Load	100K	Ohm
C_Load	100f	F

Chọn giá trị F=5M(Hz) mô phỏng cỗng NOR theo Hình 4.4.3.1 với giá trị tải RC theo Bảng 4.4.3.1.

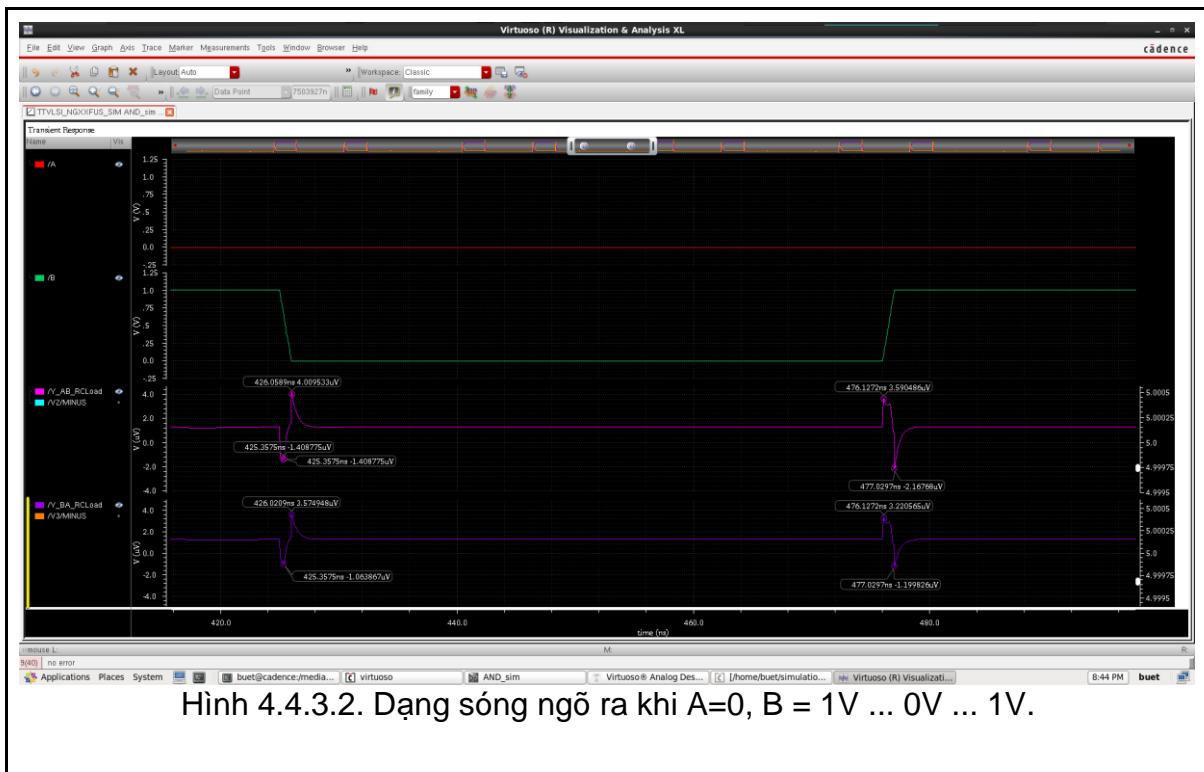


Kết quả:



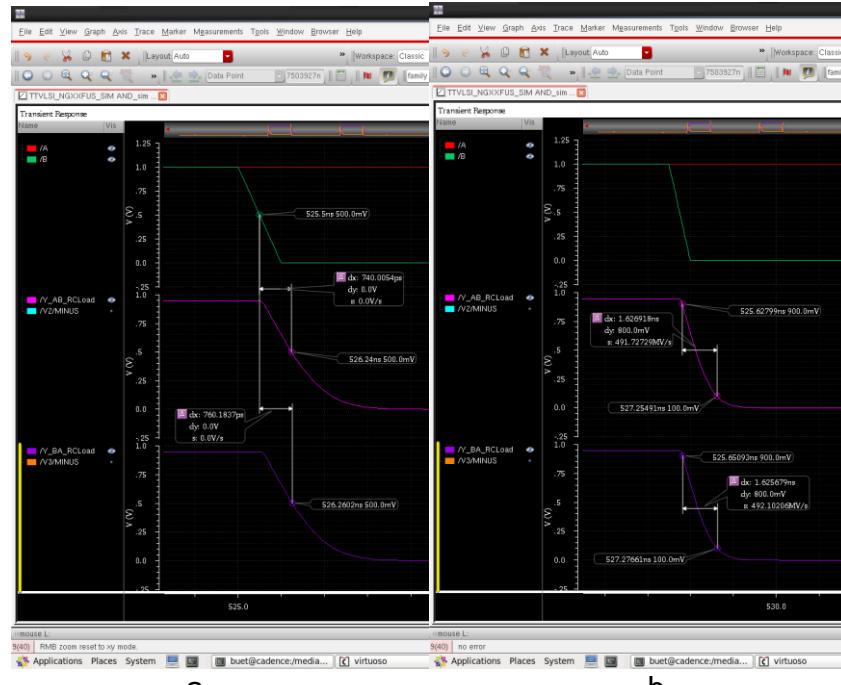
Nhận xét:

- + Dạng sóng vẫn đúng với bảng trạng thái của cổng AND;
- + Ban đầu, với  $R=200K$ ,  $F=50MHz$ , dạng sóng ngõ ra có dạng xung tam giác, giảm giá trị  $F$  và  $R$  đến bộ số  $R=1K$  và  $F=5MHz$  thì thu được như hình.



Nhận xét:

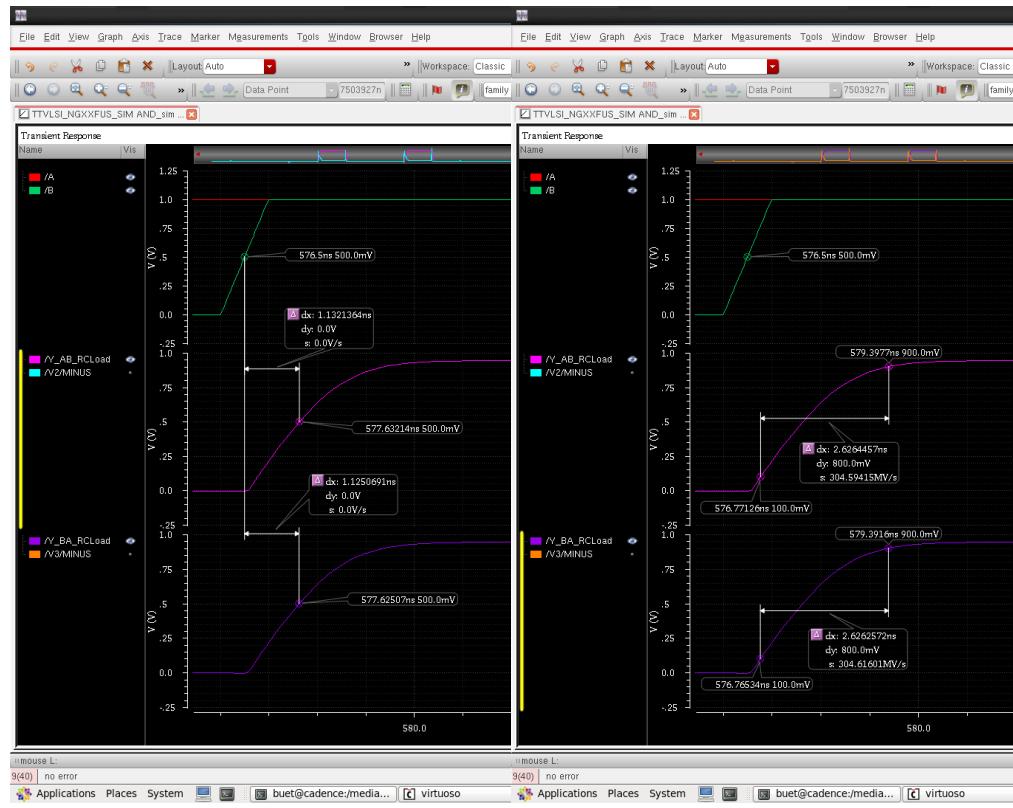
- + Biên độ đỉnh khoảng vượt ngưỡng: 4uV (~0%VDD)
- + Biên độ đỉnh khoảng dưới ngưỡng: -2,17uV (~0%VDD)



Hình 4.4.3.3. (a, b) Dạng sóng ngõ ra khi A = 1V, B = 1V ... 0V.

Nhận xét:

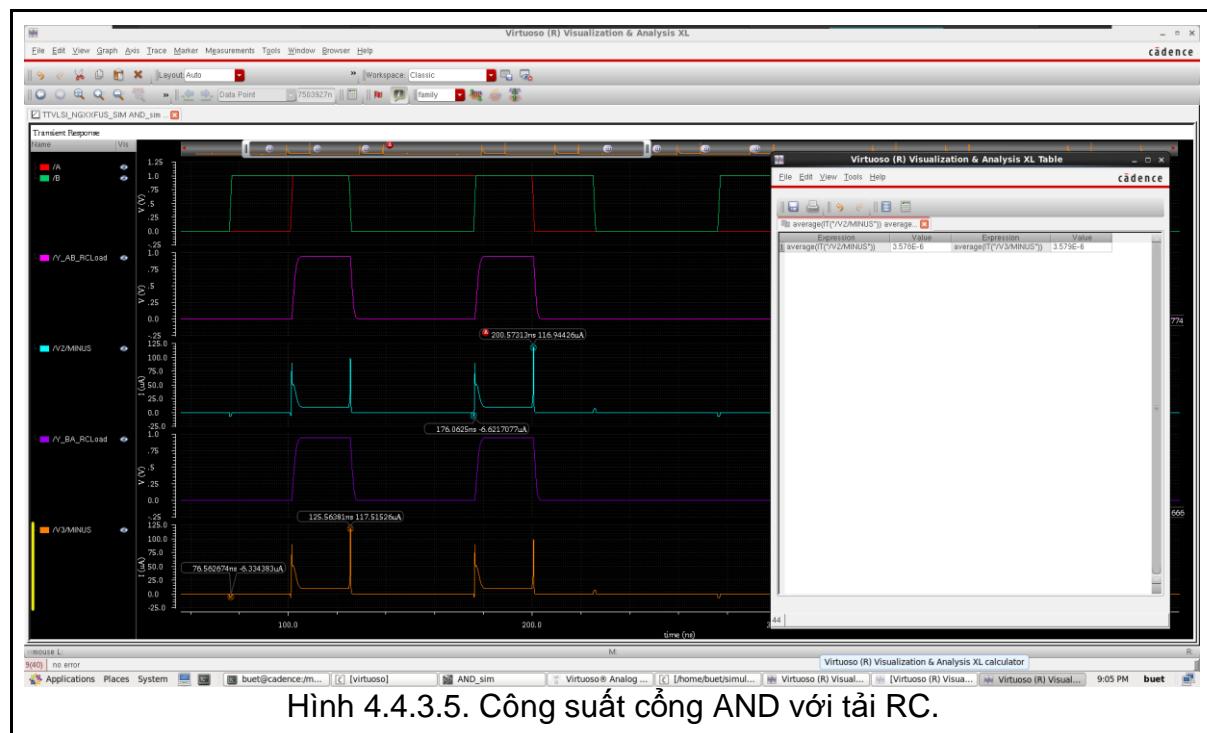
- + t\_pdf = 760,18ps
- + t\_falling = 1,63ns
- + V\_undershoot = ~0% VDD



Hình 4.4.3.4. (a, b) Dạng són ngõ ra khi A = 1V, B = 0V ... 1V.

Nhận xét:

- +  $t_{pdr} = 1,13\text{ns}$
- +  $t_{raising} = 2,62\text{ns}$
- +  $V_{undershoot} = \sim 0\%VDD$



Hình 4.4.3.5. Công suất cồng AND với tải RC.

Nhận xét: Công suất trung bình là 3,58uW.

Bảng 4.4.3.2. Tổng kết kết quả mô phỏng cỗng AND với tải RC:

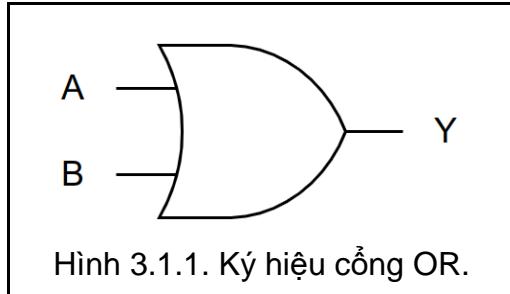
	t_pdr	t_pdf	t_rasing	t_falling	Overshoot	Undershoot	Công suất trung bình
Giá trị	1,13	0,76	2,62	1,63	~0%VDD	~0%VDD	3,58
Đơn vị	ns			mV			uW

Nhận xét: Khi gắn thêm tải RC, độ trễ tăng, thời gian cạnh lên/xuống tăng, công suất tăng, biên độ đỉnh overshoot/undershoot giảm.

## 5. Cổng OR

### 5.1. Ký hiệu và BTT của cổng OR

Ký hiệu cổng OR:

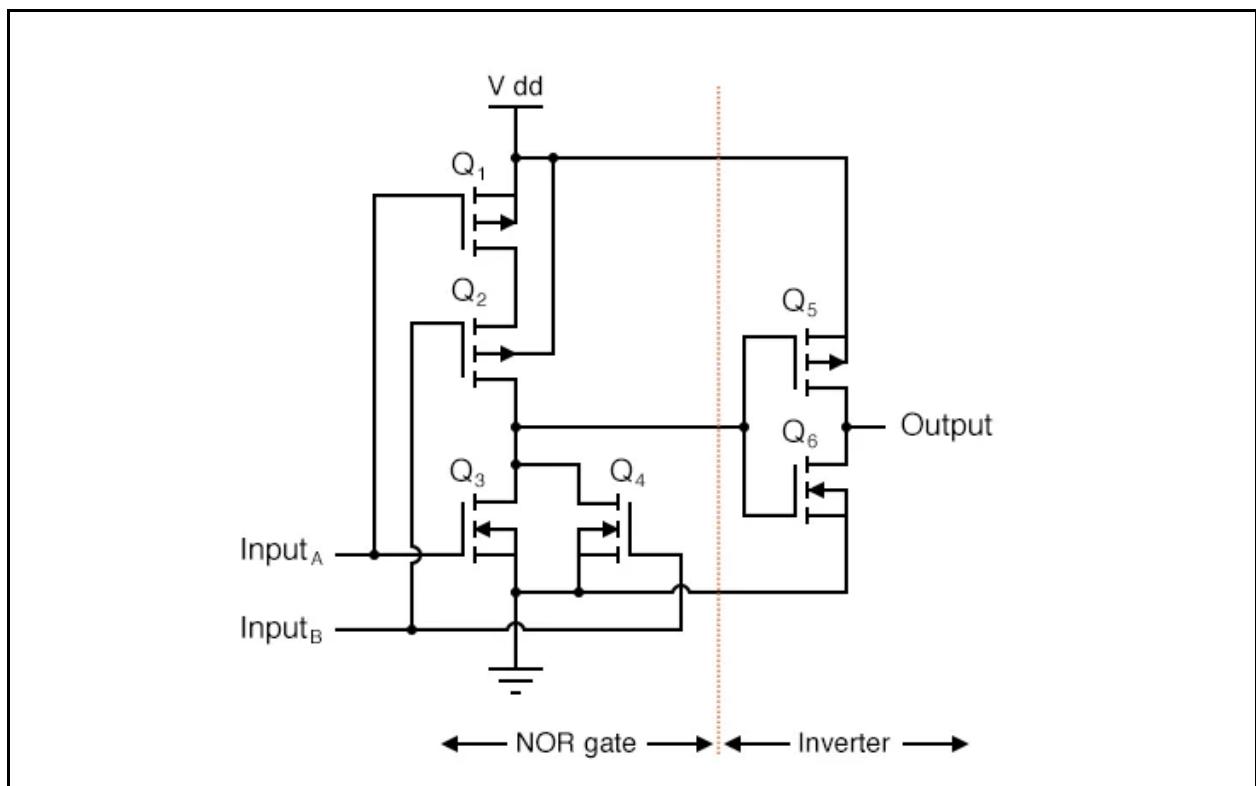


Bảng 5.1.1. Bảng trạng thái cổng OR:

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

### 5.2. Sơ đồ nguyên lý

Sơ đồ nguyên lý cổng OR [1]:

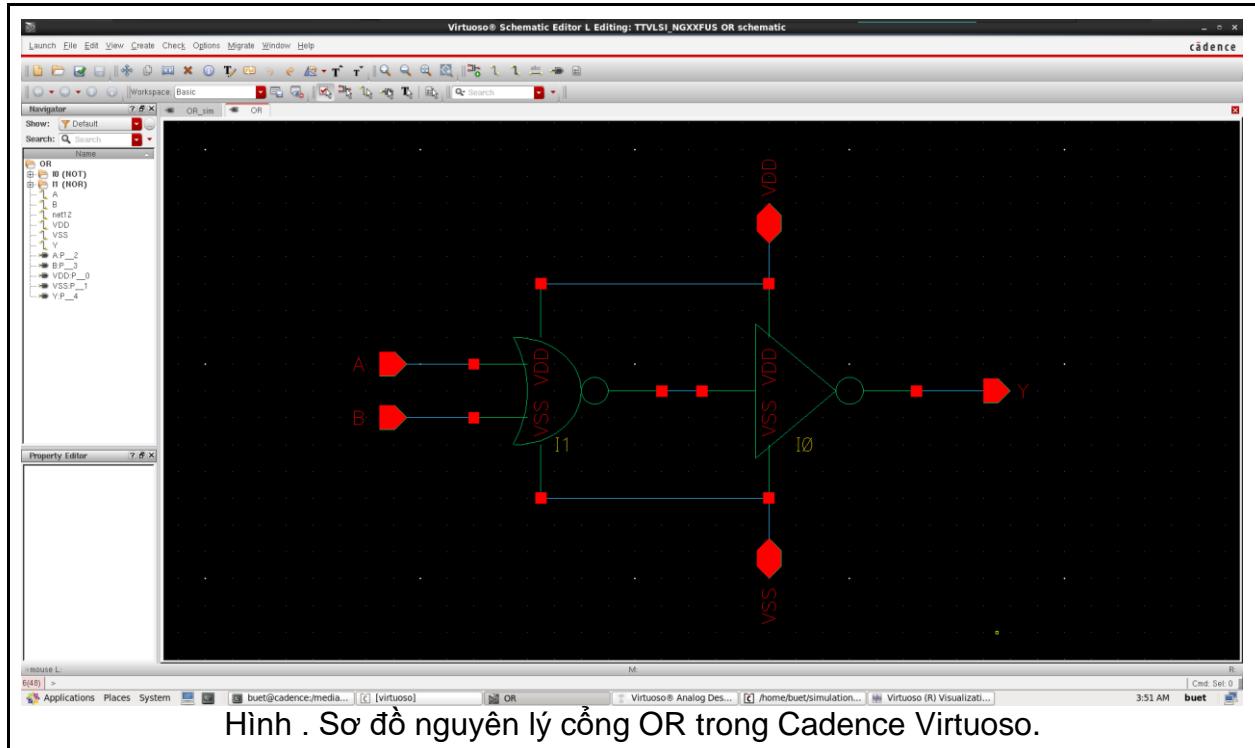


### 5.3. Thiết kế cổng OR trên Cadence Virtuoso

Bảng 5.3.1. Bảng thông số CMOS.

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		
Temperature	27°C		

Thiết kế cổng OR dựa trên các thông số trong Bảng 5.3.1 và sơ đồ nguyên lý Hình 5.2.1.



## 5.4. Mô phỏng cổng OR trên Cadence Virtuoso

### 5.4.1. Thông số nguồn

Nguồn DC cung cấp VDD cho các cổng OR trong quá trình mô phỏng, điện áp được đặt là biến VDD, trong các mô phỏng bên dưới, VDD có giá trị 1(V).

Bảng 5.4.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

Trong quá trình mô phỏng, sử dụng hai nguồn xung A, B để cung cấp xung vuông với hai tần số khác nhau, độ trễ khác nhau. Bảng 3.4.2 và Bảng 3.4.3 mô tả các thông số của hai nguồn xung A, B.

Bảng 5.4.2. Thông số nguồn cấp xung vuông A:

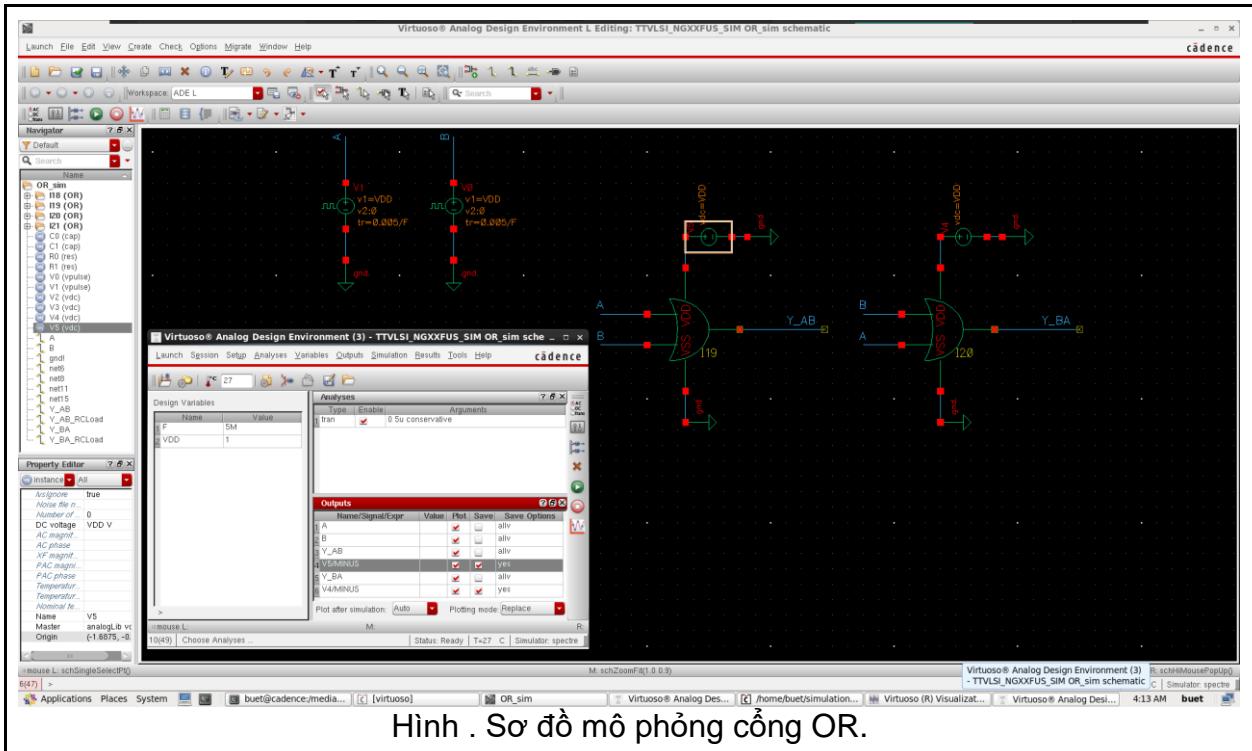
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	5MHz	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

Bảng 5.4.3. Thông số nguồn cấp xung vuông B:

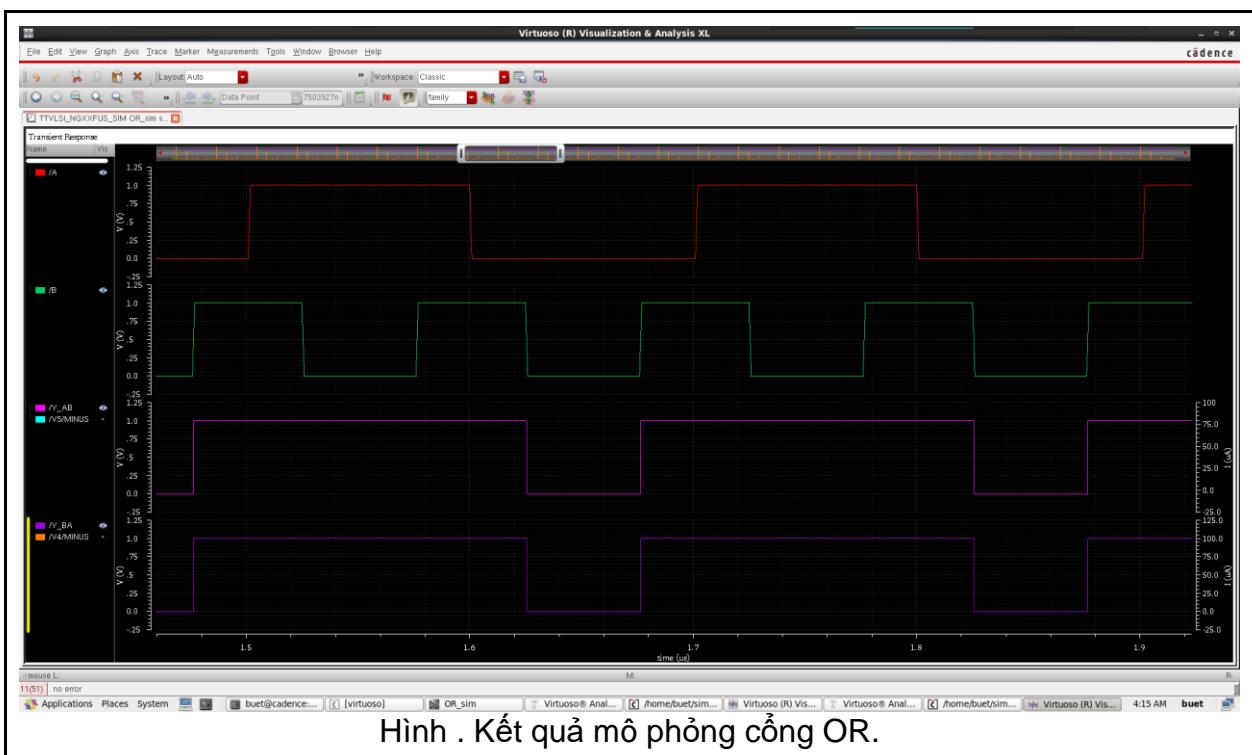
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	--	1/(2F)	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.25/F	s

Giá trị ban đầu	--	0.25/(2*F)	V
-----------------	----	------------	---

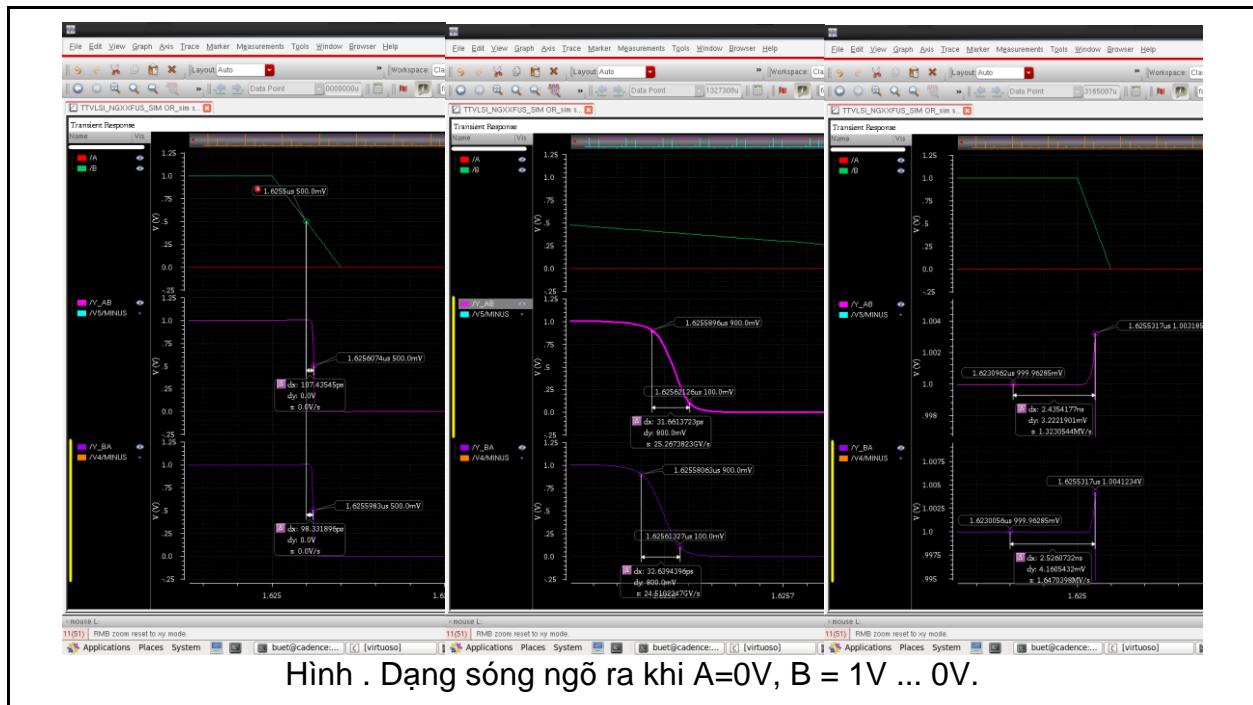
### 5.4.2. Mô phỏng cổng OR độc lập



Kết quả:



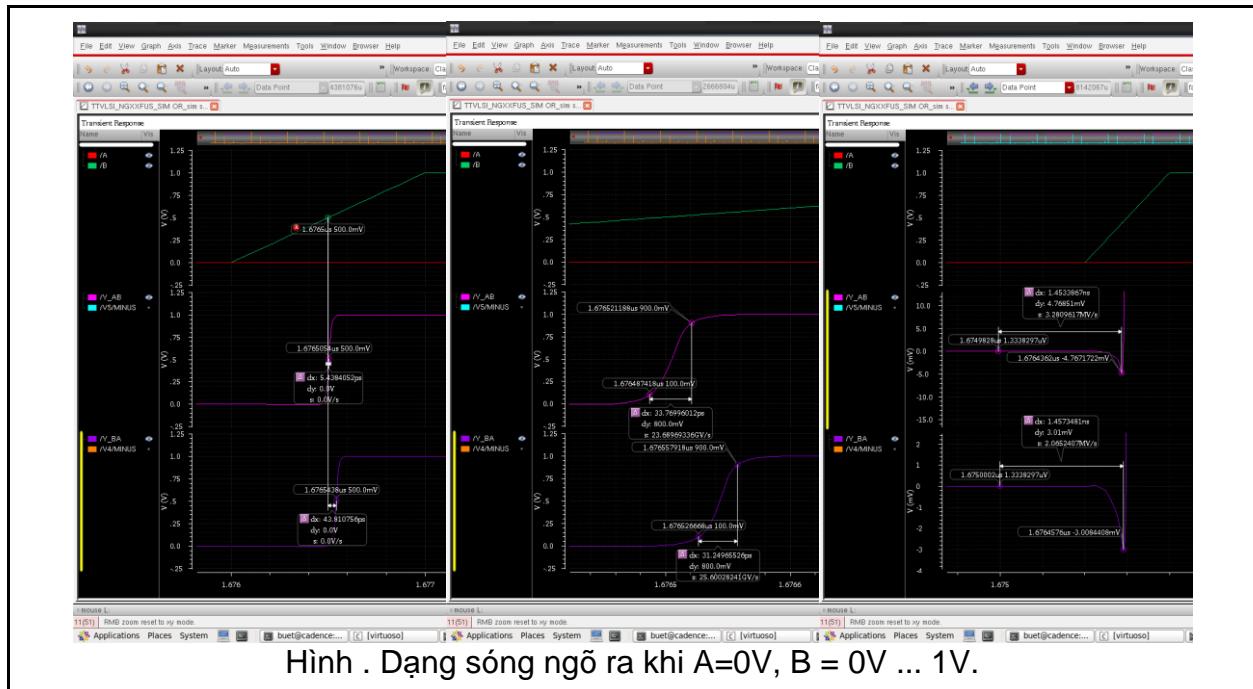
Nhận xét: Kết quả mô phỏng đúng với lý thuyết.



Hình . Dạng sóng ngõ ra khi A=0V, B = 1V ... 0V.

Nhận xét:

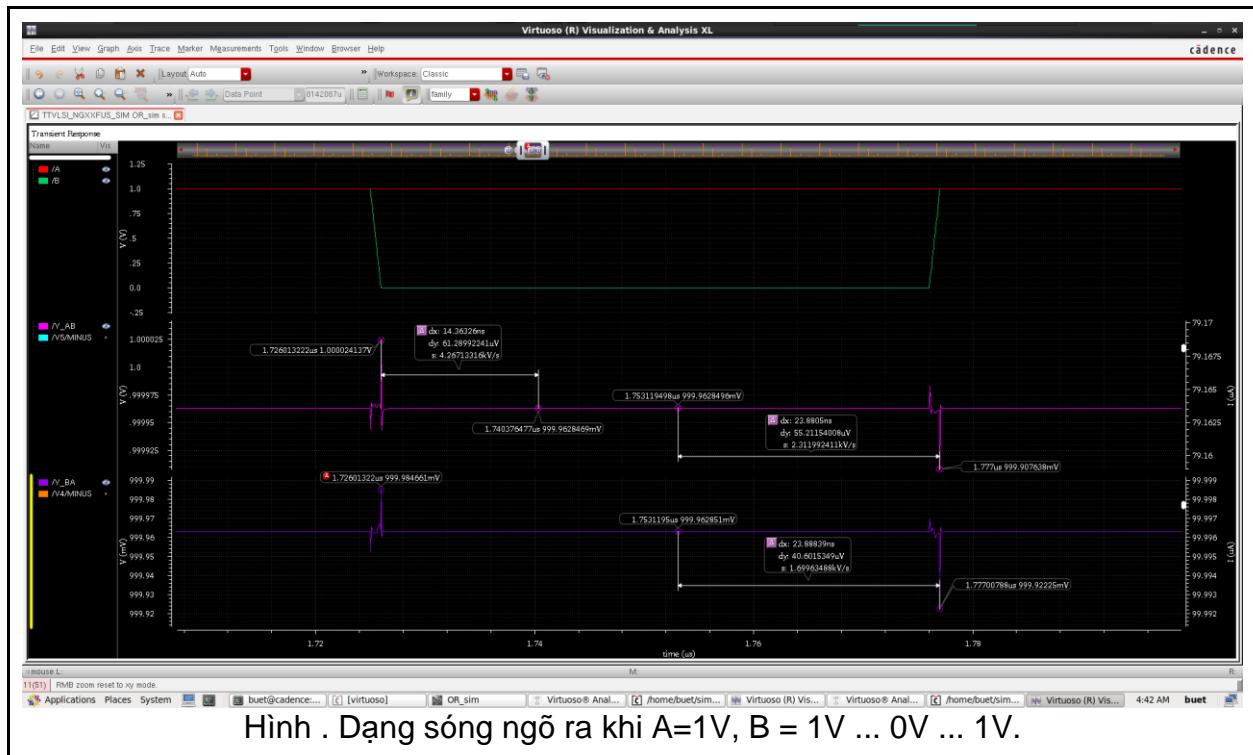
- +  $t_{pdf} = 107,435\text{ps}$
- +  $t_{falling} = 32,64\text{ps}$
- +  $V_{overshoot} = 4,14\text{mV} < 1\% \text{VDD}$



Hình . Dạng sóng ngõ ra khi A=0V, B = 0V ... 1V.

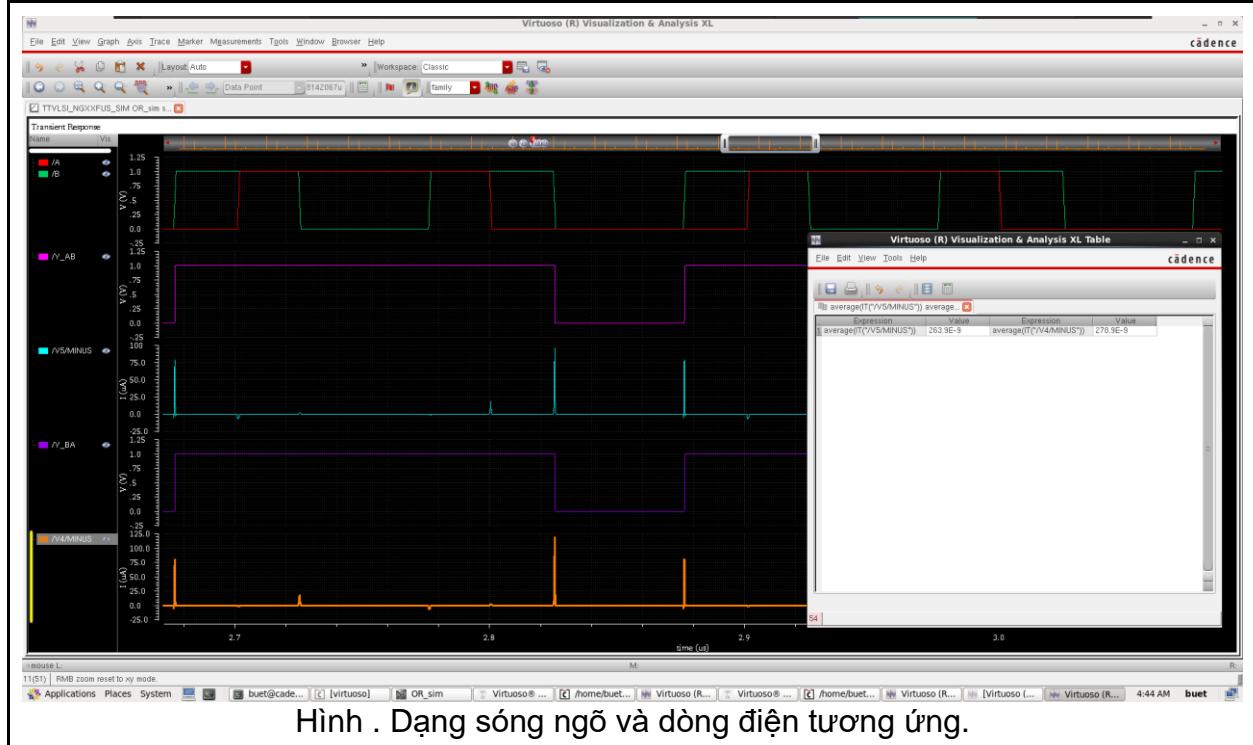
Nhận xét:

- +  $t_{raising} = 33,77\text{ps}$
- +  $t_{pdr} = 43,81$
- +  $V_{undershoot} = 3,28\text{mV} < 1\% \text{VDD}$



Nhận xét:

- +  $V_{undershoot} = 55\mu V$  ( $\sim 0\%VDD$ )
- +  $V_{overshoot} = 61\mu V$  ( $\sim 0\%VDD$ )



Nhận xét: Công suất trung bình là 278,9 nW.

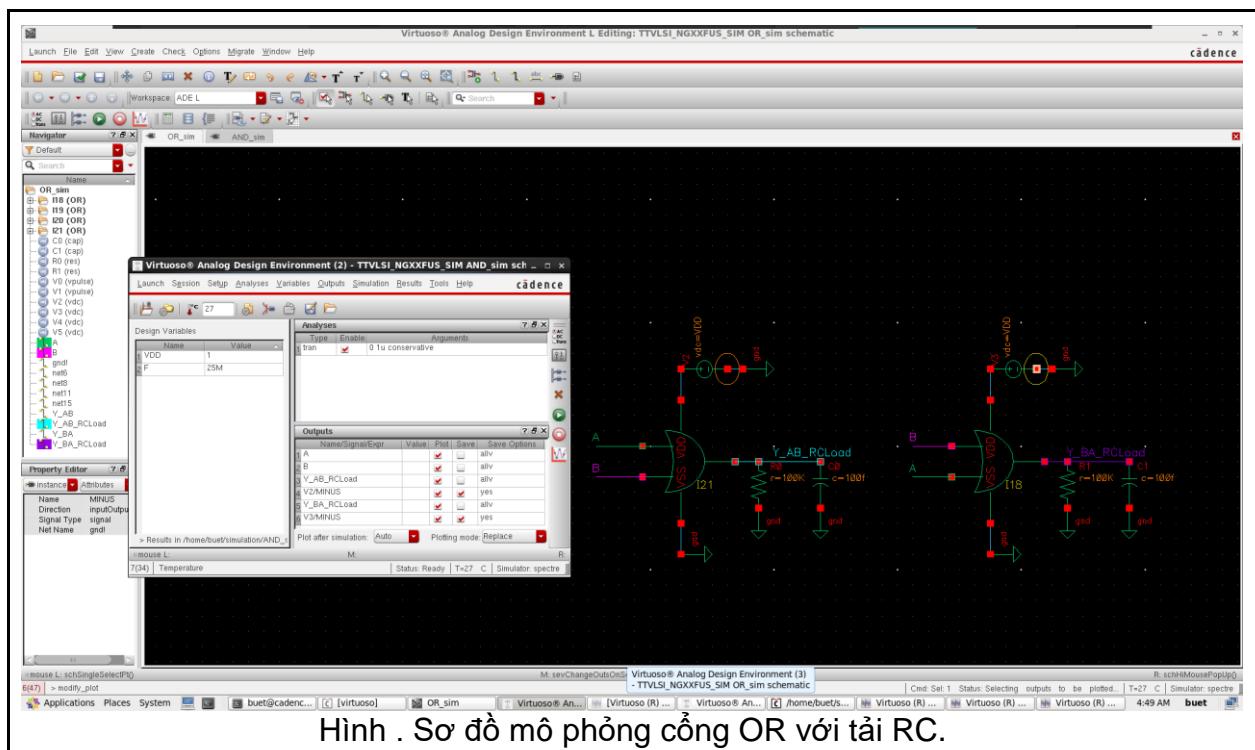
Bảng 5.4.2.1. Tổng kết kết quả mô phỏng cổng OR độc lập:

	t_pdr	t_pdf	t_rasing	t_falling	Overshoot	Undershoot	Công suất trung bình
Giá trị	43,81	107,4	33,77	32,64	< 1% VDD	< 1% VDD	278,9
Đơn vị	ps				mV		uW

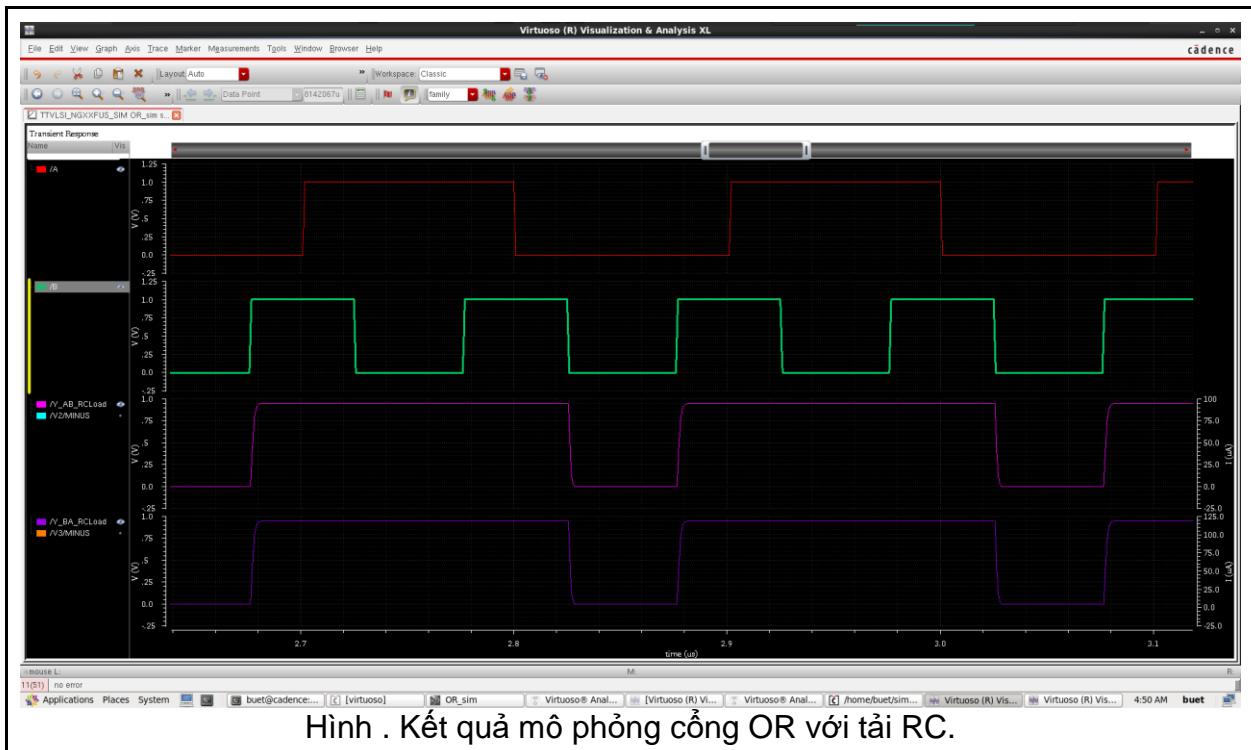
### 5.4.3. Mô phỏng cổng OR với tải RC

Bảng 5.4.3.1. Thông số tải RC:

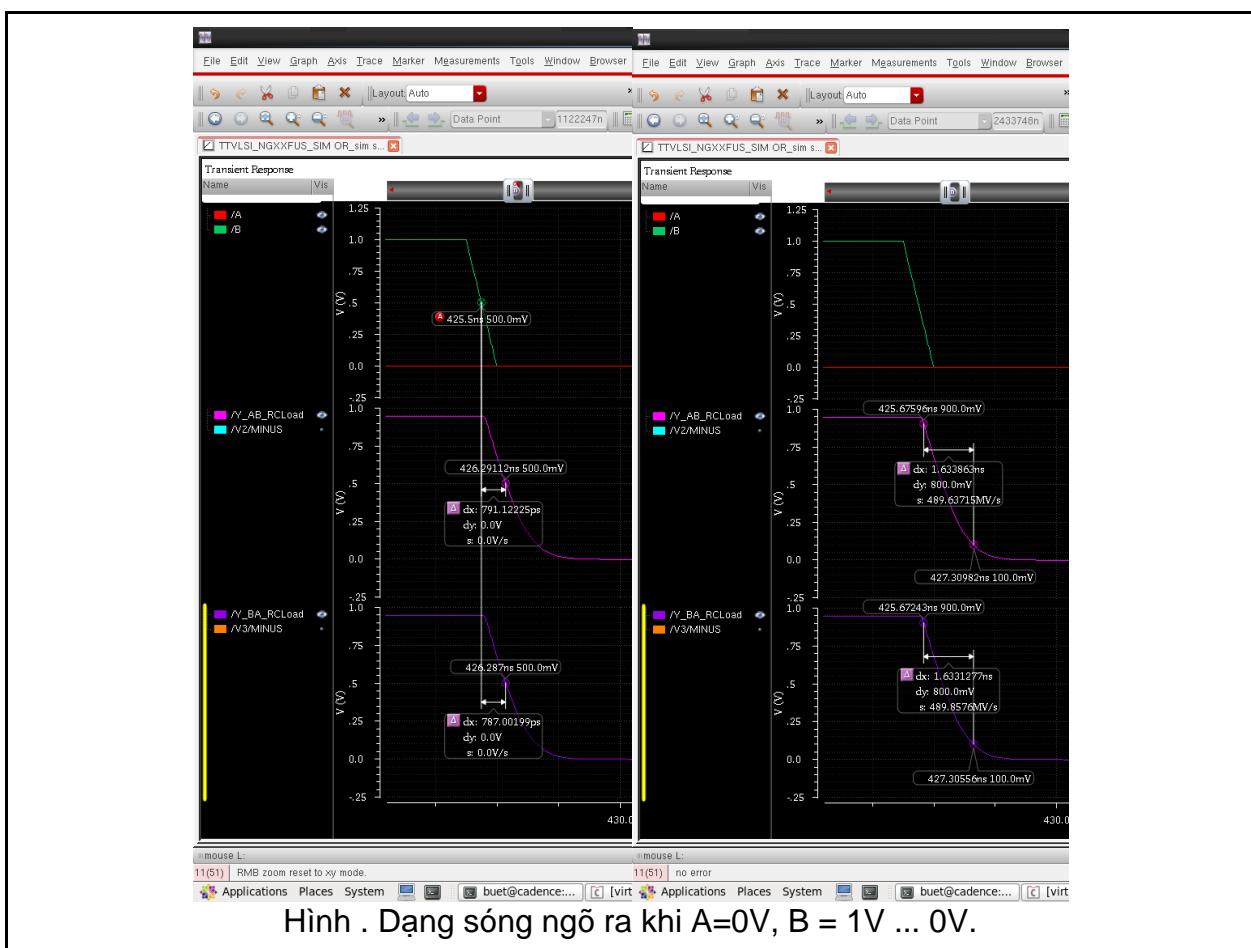
Thông số	Giá trị	Đơn vị
R_Load	100K	Ohm
C_Load	100f	F



Kết quả:



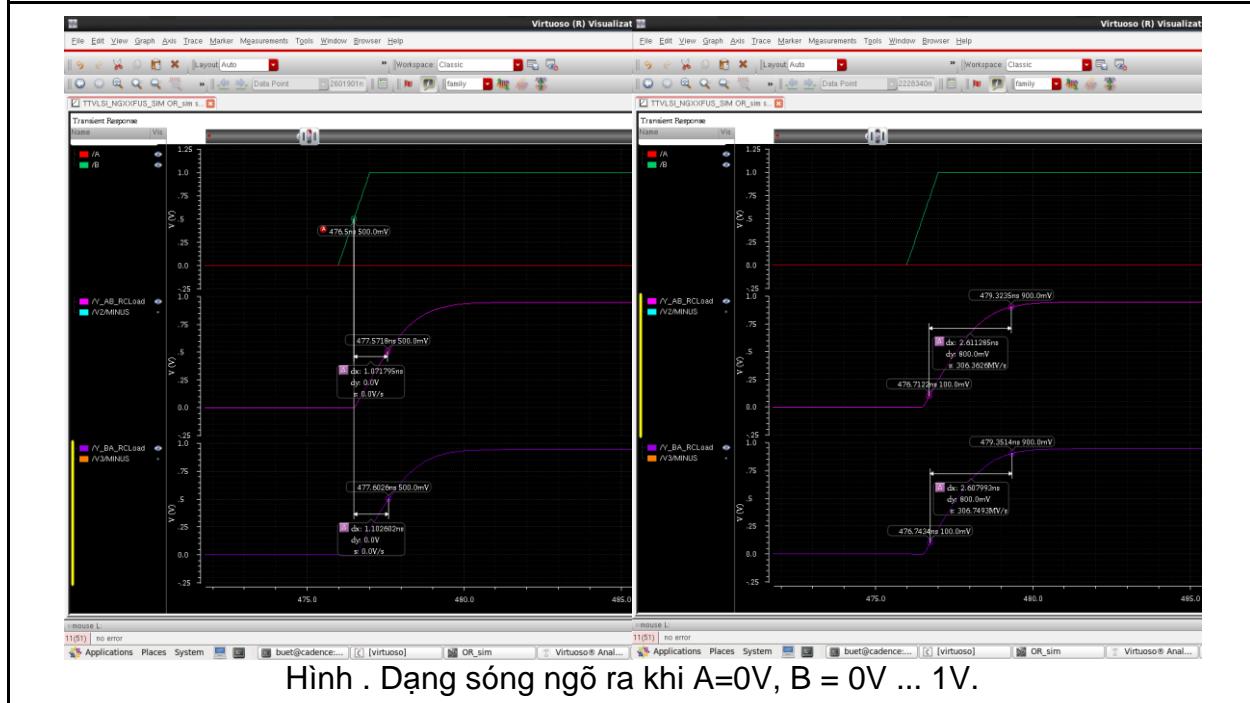
Nhận xét: Cổng OR vẫn hoạt động đúng với lý thuyết.



Nhận xét:

$$+ t_{pdf} = 0,79\text{ns}$$

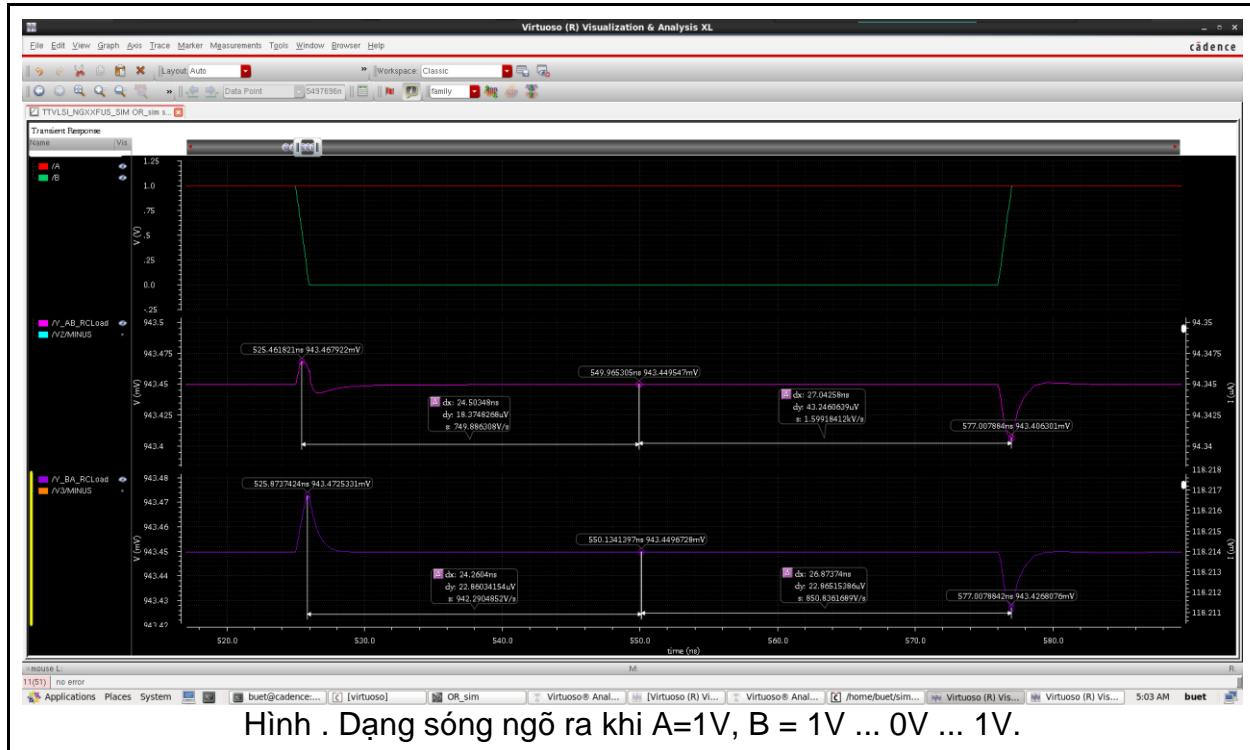
$$+ t_{falling} = 1,63\text{ns}$$



Nhận xét:

$$+ t_{pdr} = 1,1\text{ns}$$

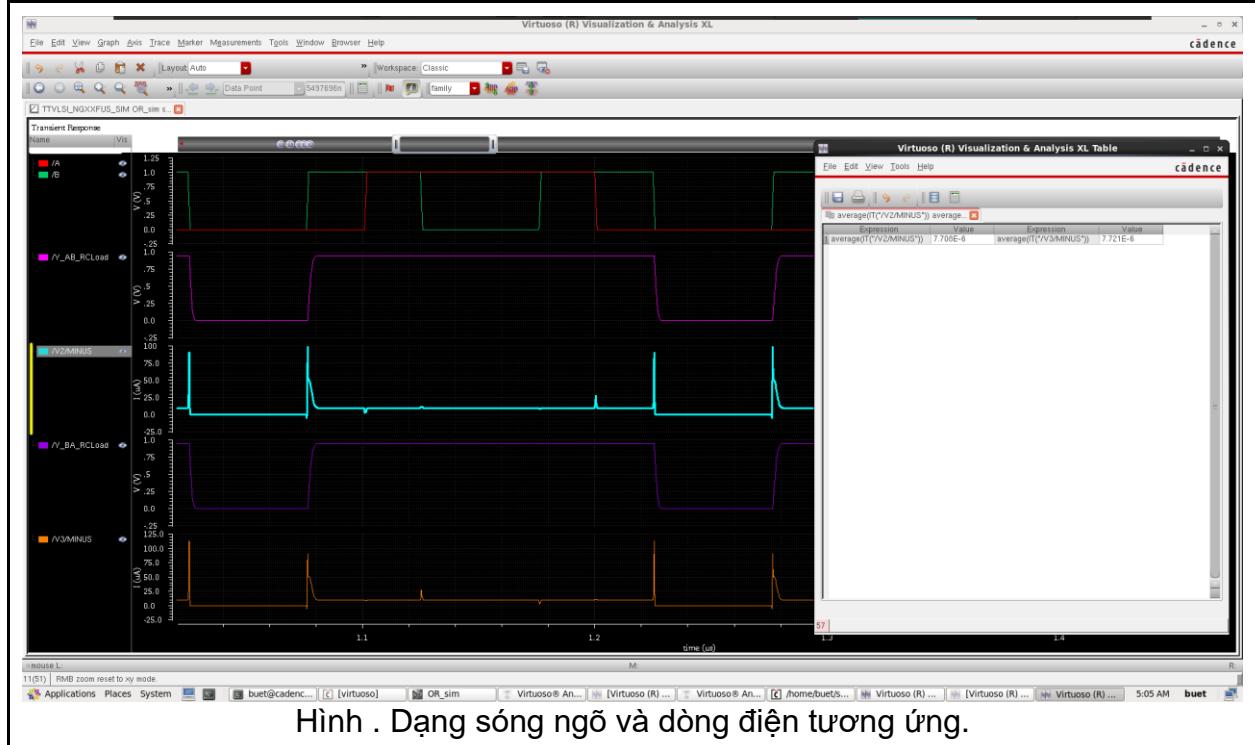
$$+ t_{raising} = 2,61\text{ns}$$



Nhận xét:

- + V\_overshoot = ~0% VDD
- + V\_undershoot = ~0% VDD

Nhận xét:



Nhận xét: Công suất trung bình là 7,7uW.

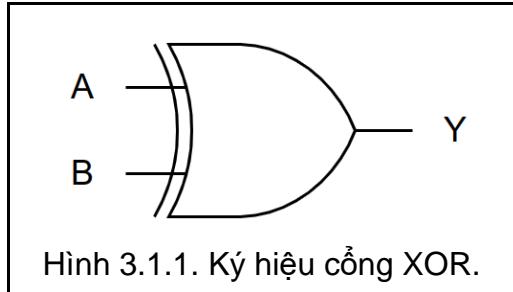
Bảng 5.4.2.1. Tổng kết kết quả mô phỏng cổng OR với tải RC:

	t_pdr	t_pdf	t_rasing	t_falling	Overshoot	Undershoot	Công suất trung bình
Giá trị	1,1	0,79	2,61	1,63	< 1% VDD	< 1% VDD	7,7
Đơn vị	ns				mV		uW

## 6. Cổng XOR

### 6.1. Ký hiệu và BTT của cổng XOR

Ký hiệu cổng XOR:

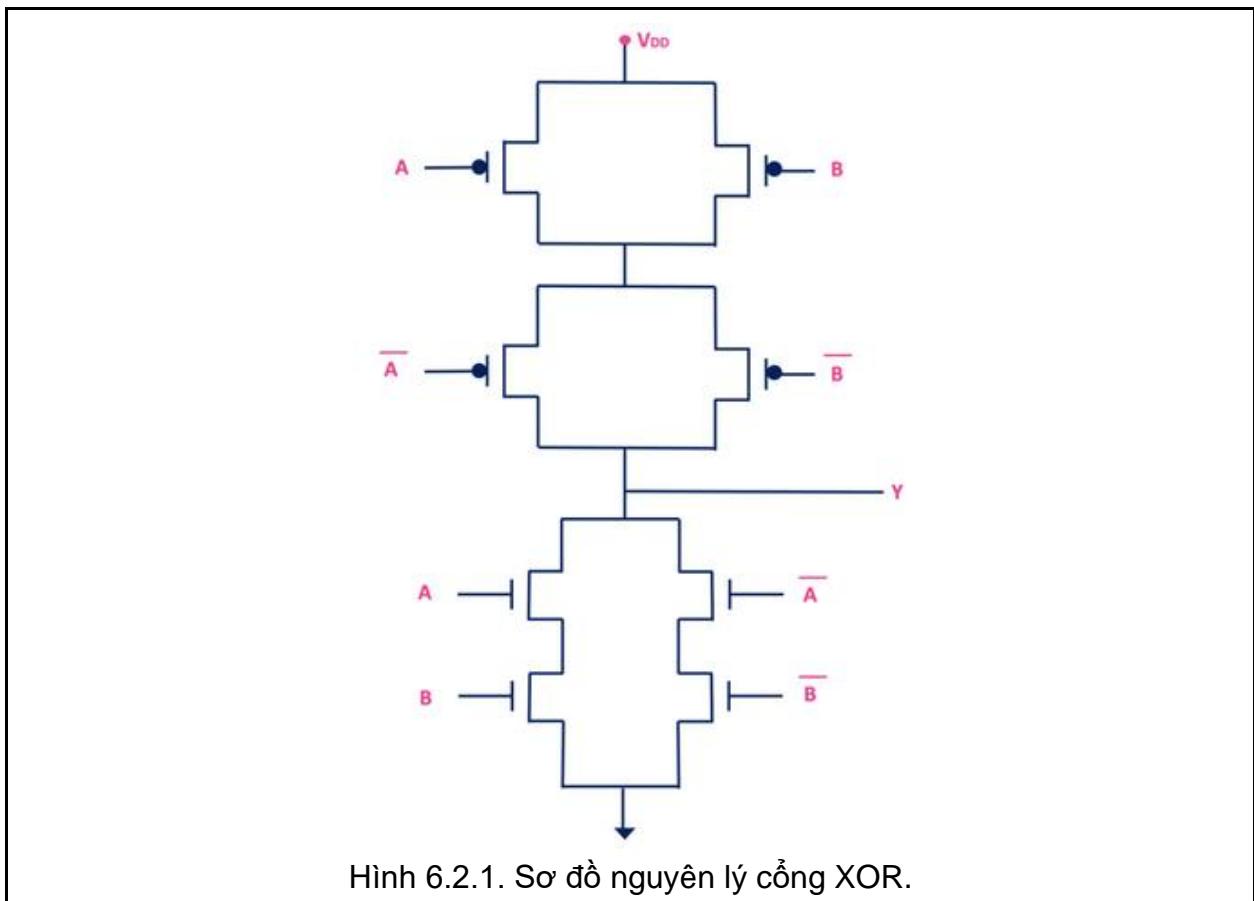


Bảng 6.1.1. Bảng trạng thái cổng XOR:

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

### 6.2. Sơ đồ nguyên lý

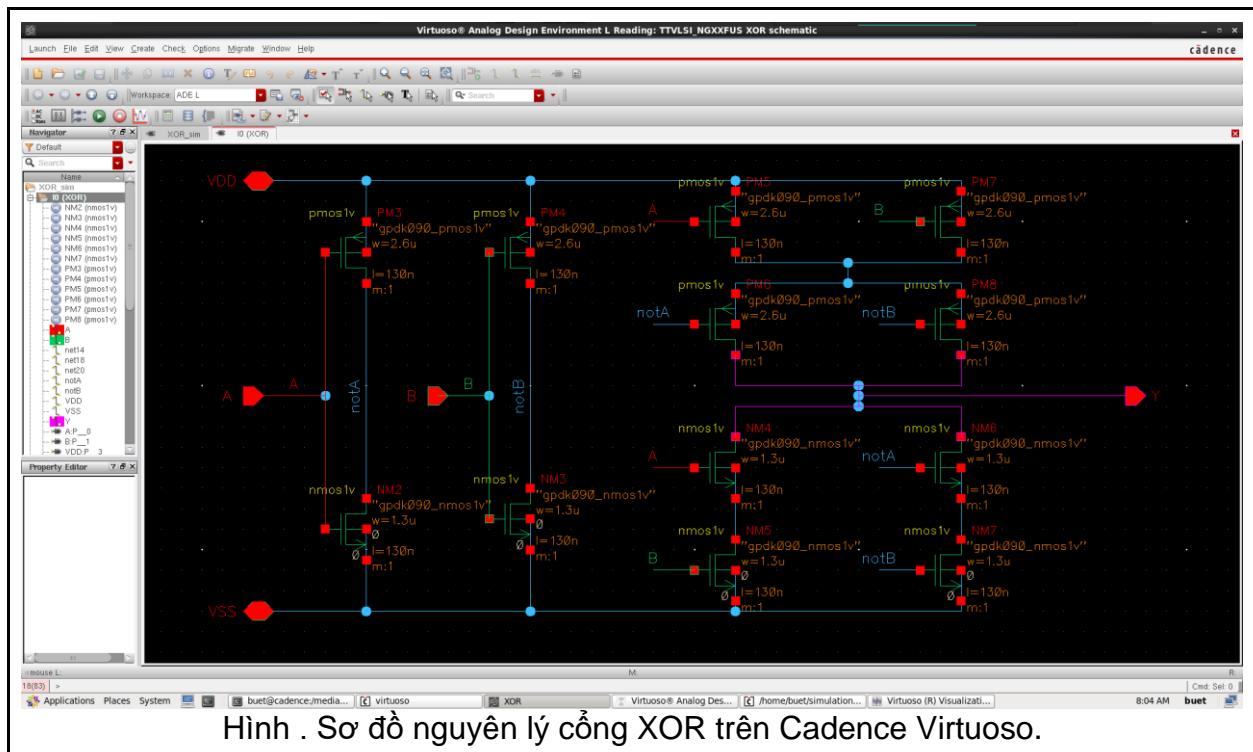
Sơ đồ nguyên lý cổng XOR:

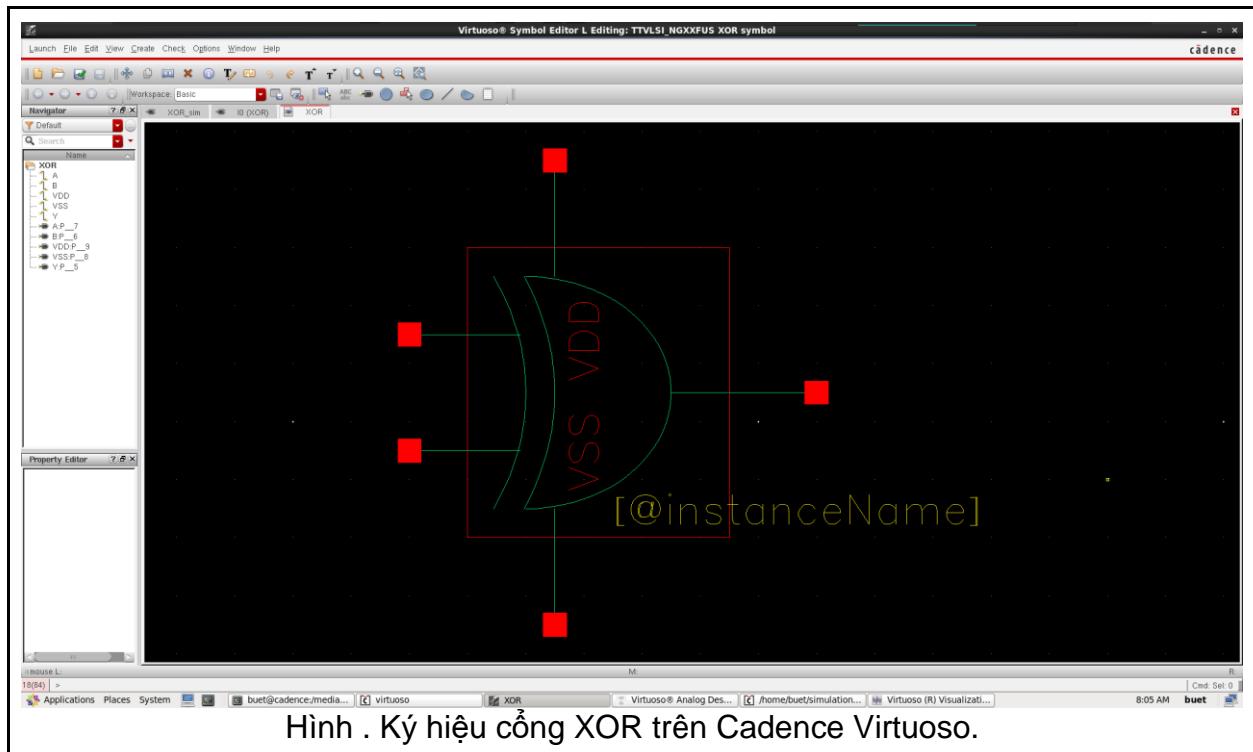


### 6.3. Thiết kế cổng XOR trên Cadence Virtuoso

Bảng 6.3.1. Bảng thông số CMOS.

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		
Temperature	27°C		





Hình . Ký hiệu cổng XOR trên Cadence Virtuoso.

## 6.4. Mô phỏng cổng XOR trên Cadence Virtuoso

### 6.4.1. Thông số nguồn

Nguồn DC cung cấp VDD cho các cổng AND trong quá trình mô phỏng, điện áp được đặt là biến VDD, trong các mô phỏng bên dưới, VDD có giá trị 1(V).

Bảng 6.4.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

Trong quá trình mô phỏng, sử dụng hai nguồn xung A, B để cung cấp xung vuông với hai tần số khác nhau, độ trễ khác nhau. Bảng 3.4.2 và Bảng 3.4.3 mô tả các thông số của hai nguồn xung A, B.

Bảng 6.4.2. Thông số nguồn cấp xung vuông A:

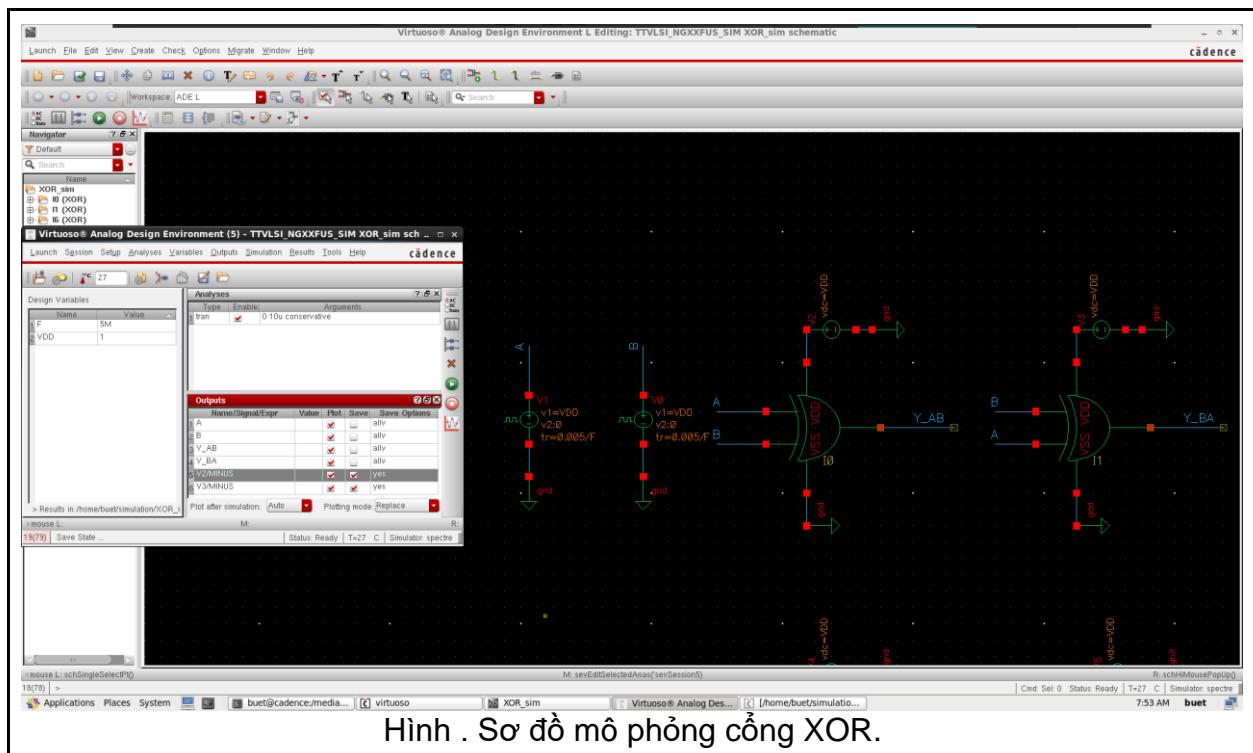
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	5MHz	V

Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

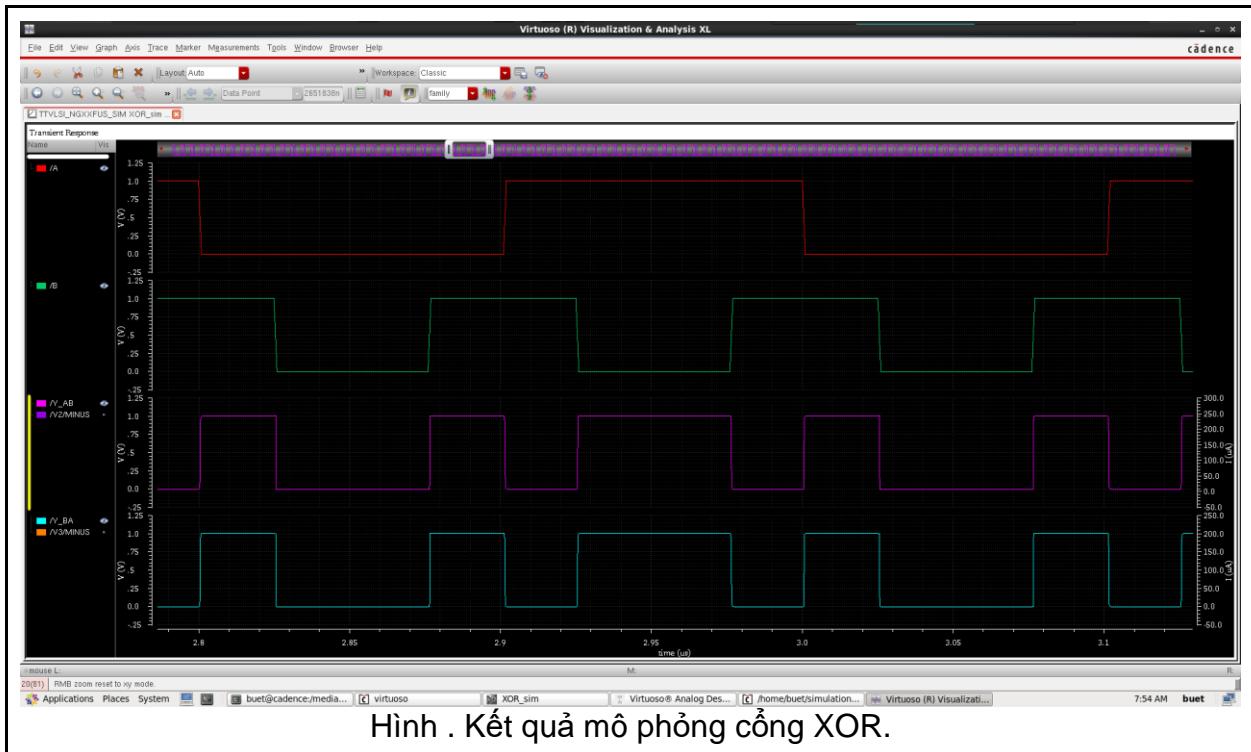
Bảng 6.4.3. Thông số nguồn cấp xung vuông B:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	--	1/(2F)	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.25/F	s
Giá trị ban đầu	--	0.25/(2*F)	V

#### 6.4.2. Mô phỏng cổng XOR độc lập

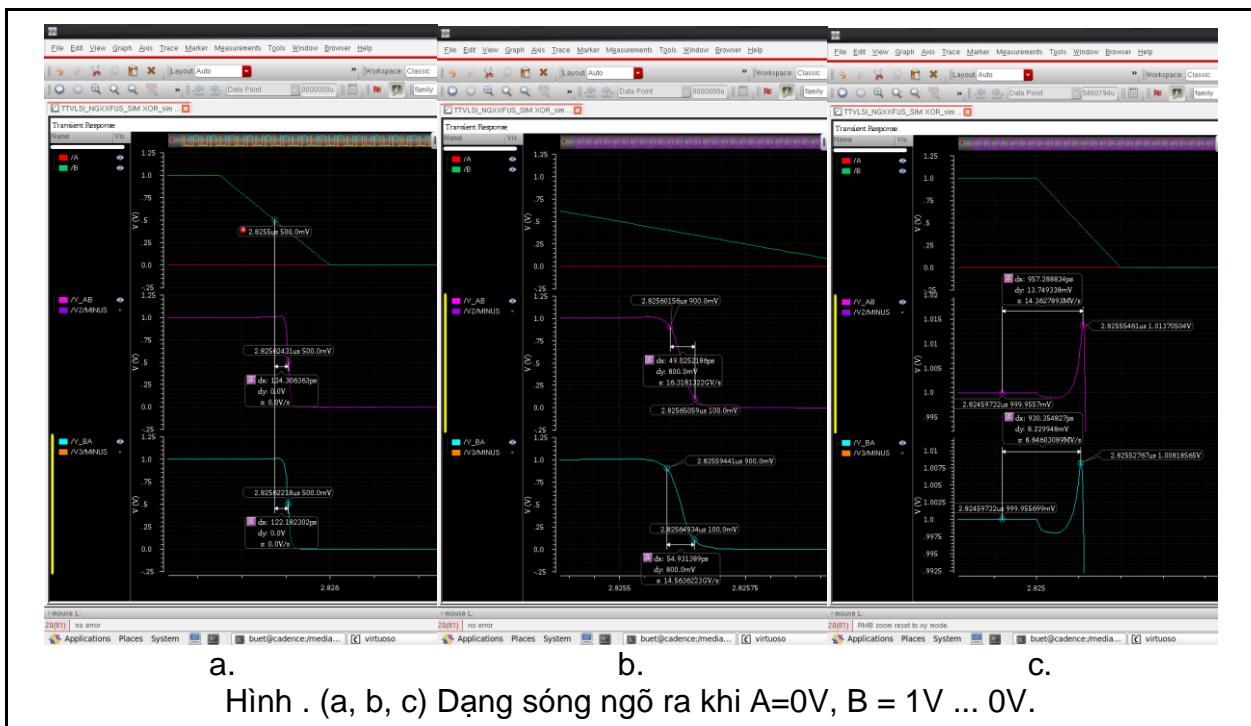


Kết quả:



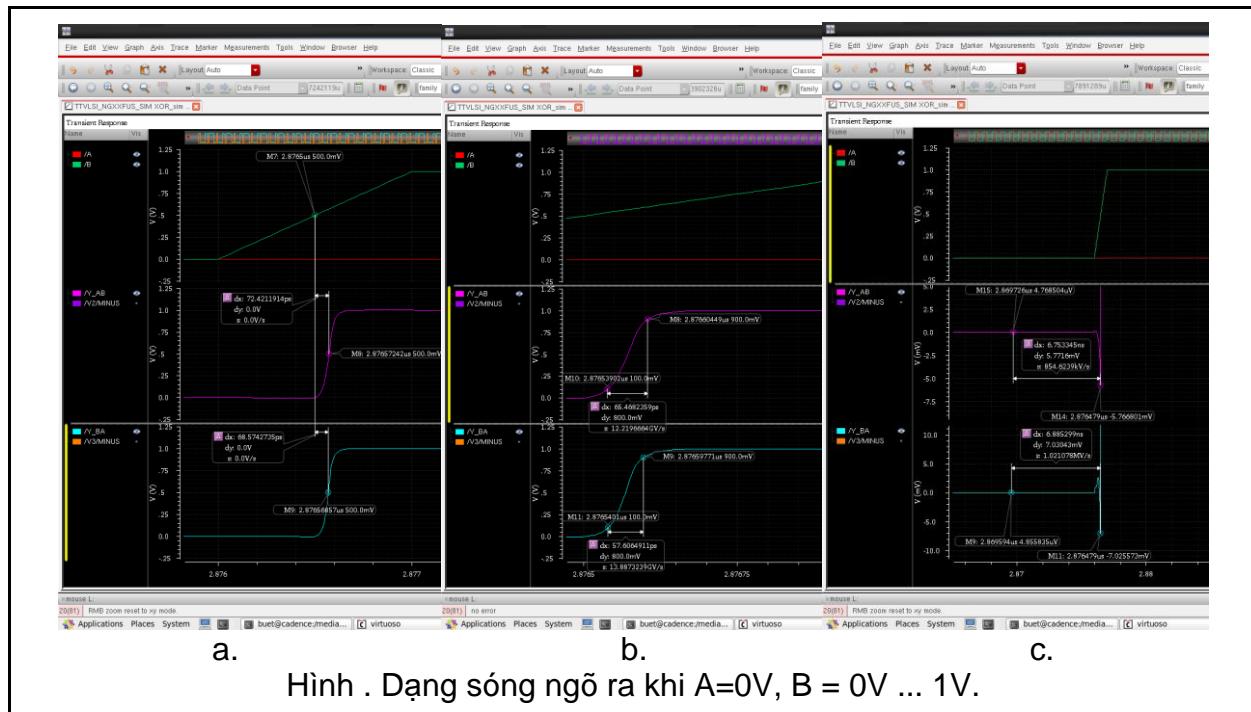
Hình . Kết quả mô phỏng cổng XOR.

Nhận xét: Cổng XOR hoạt động đúng với lý thuyết

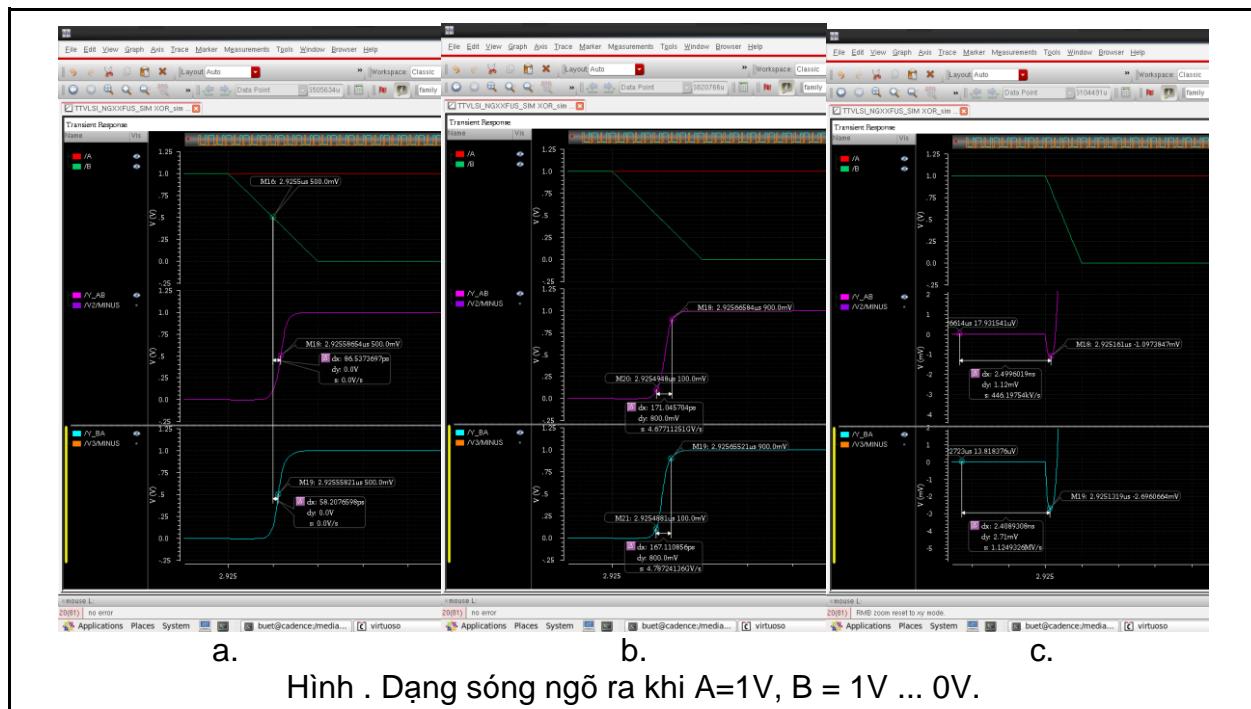


a. b. c.  
Hình . (a, b, c) Dạng sóng ngõ ra khi A=0V, B = 1V ... 0V.

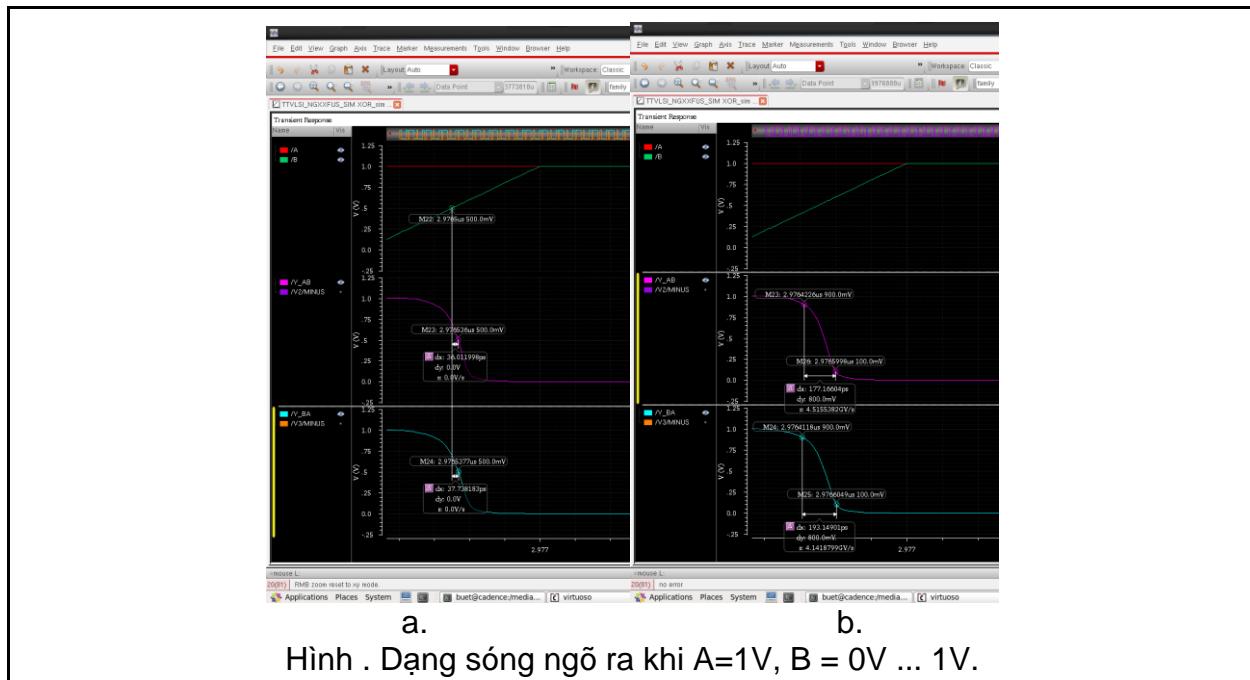
Nhận xét:  $t_{pdf} = 124,31\text{ps}$ ;  $t_{falling} = 54,93\text{ps}$ ;  $V_{overshoot} = 13,75\text{mV}$  (~1% VDD)



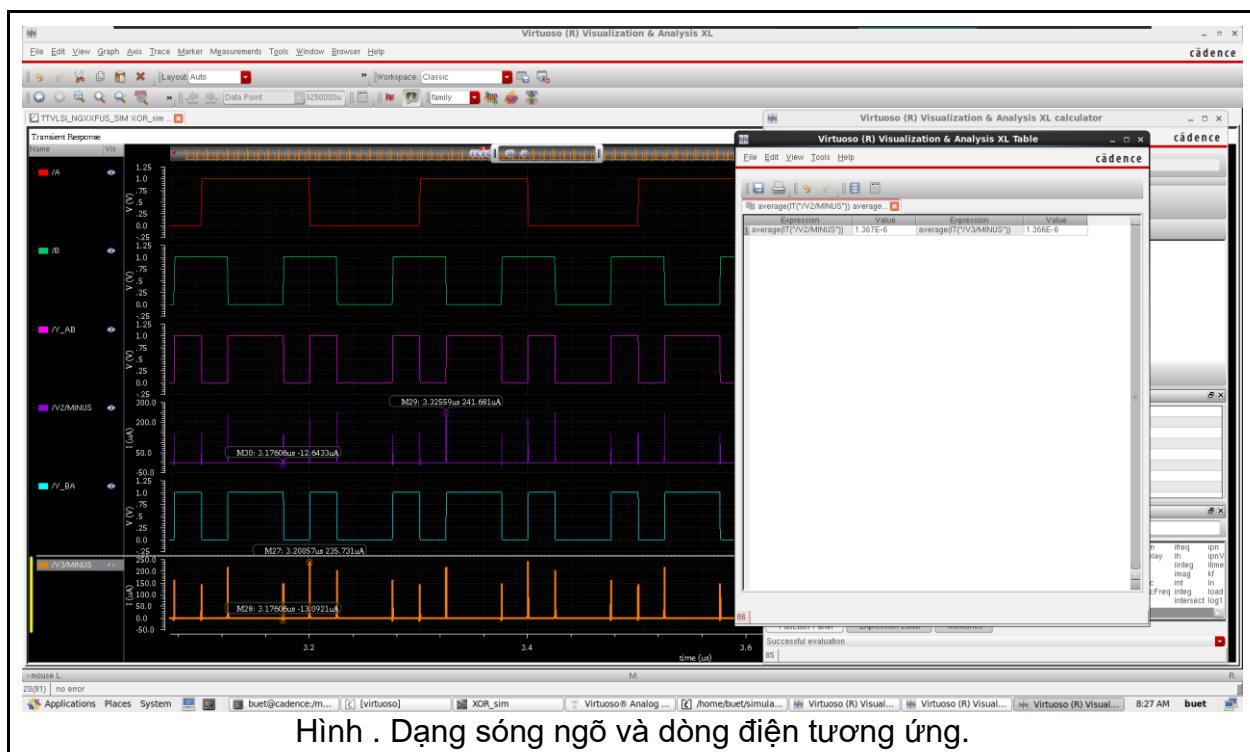
Nhận xét:  $t_{pdr} = 72,42\text{ps}$ ;  $t_{raising} = 65,47\text{ps}$ ;  $V_{undershoot} = -7,03\text{mV}$ .



Nhận xét:  $t_{pdf} = 86,54\text{ps}$ ,  $t_{raising} = 171,05\text{ps}$ ;



Nhận xét: t\_pdr = 37,74ps; t\_falling = 194,15ps



Nhân xét: Công suất trung bình là  $1.37\mu W$ .

Bảng 5.4.2.1. Tổng kết kết quả mô phỏng cổng XOR độc lập:

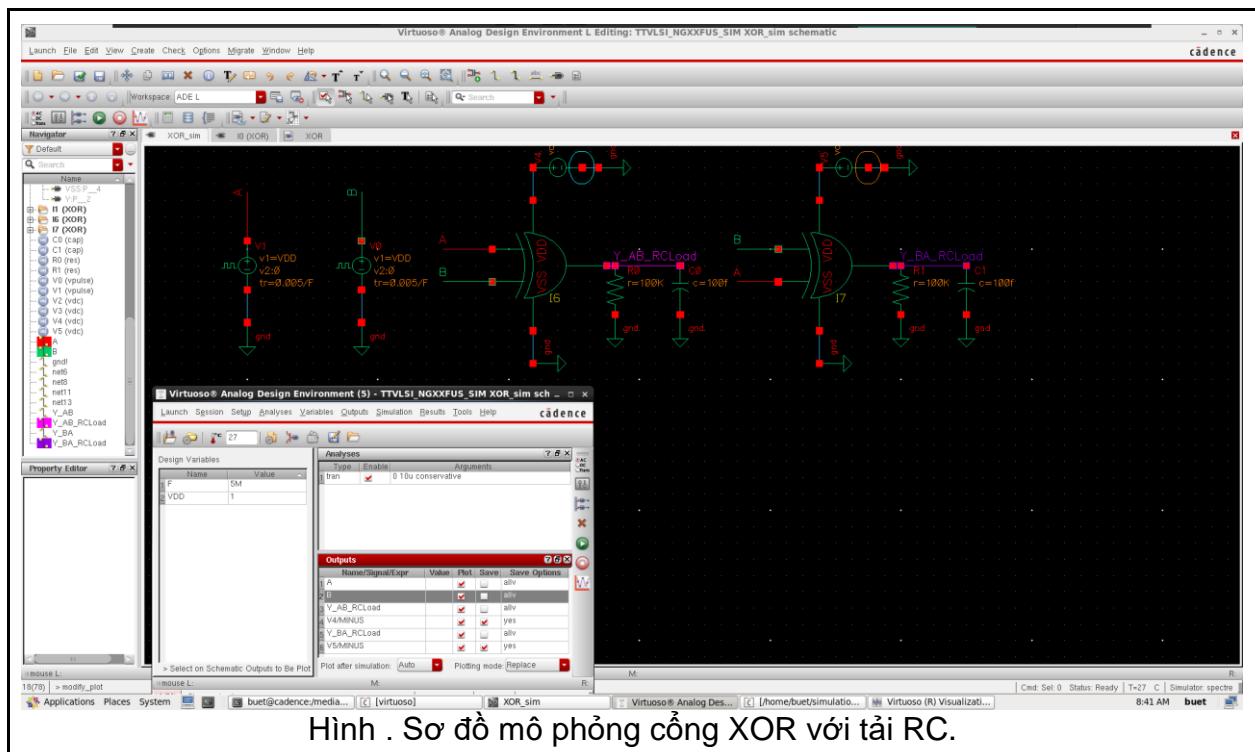
	t_pdr	t_pdf	t_rasing	t_falling	Overshoot	Undershoot	Công suất trung bình
--	-------	-------	----------	-----------	-----------	------------	----------------------

Giá trị	72,42	124,3	171,05	194,15	<1%VDD	<1%VDD	1,37
Đơn vị	ps			mV			uW

### 6.4.3. Mô phỏng cổng XOR với tải RC

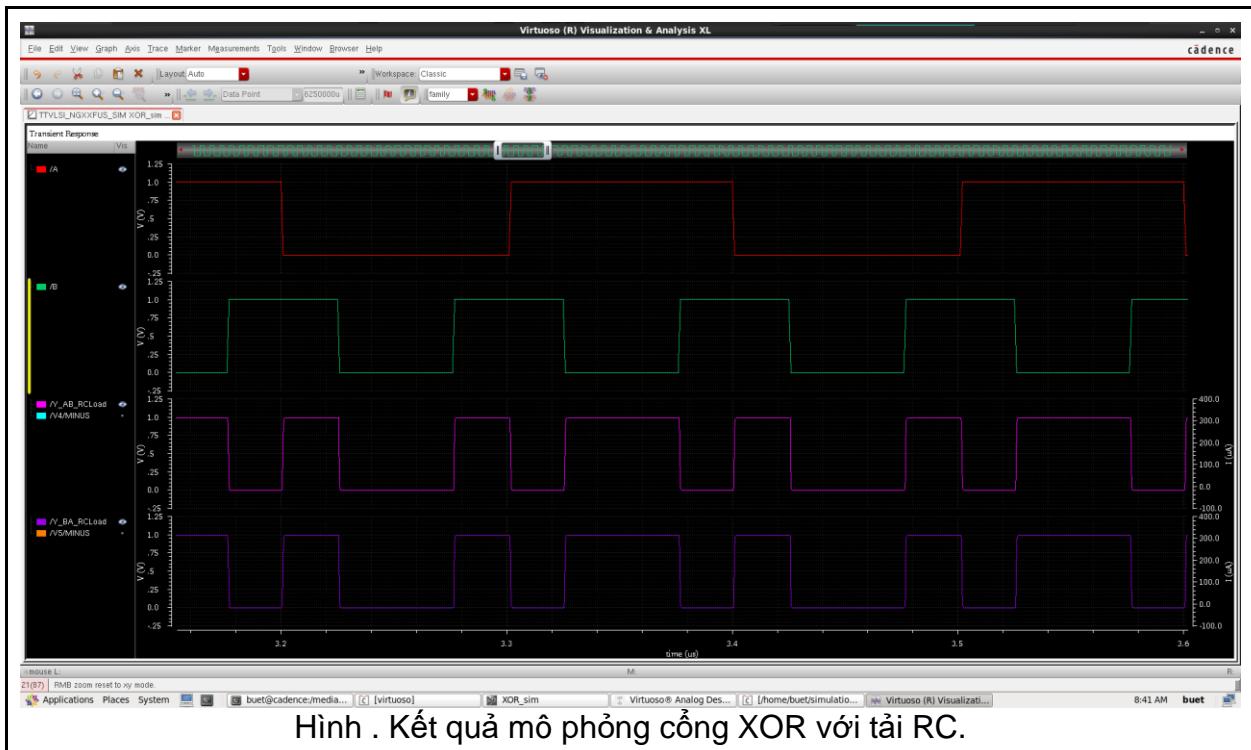
Bảng 5.4.3.1. Thông số tải RC:

Thông số	Giá trị	Đơn vị
R_Load	1K	Ohm
C_Load	50f	F

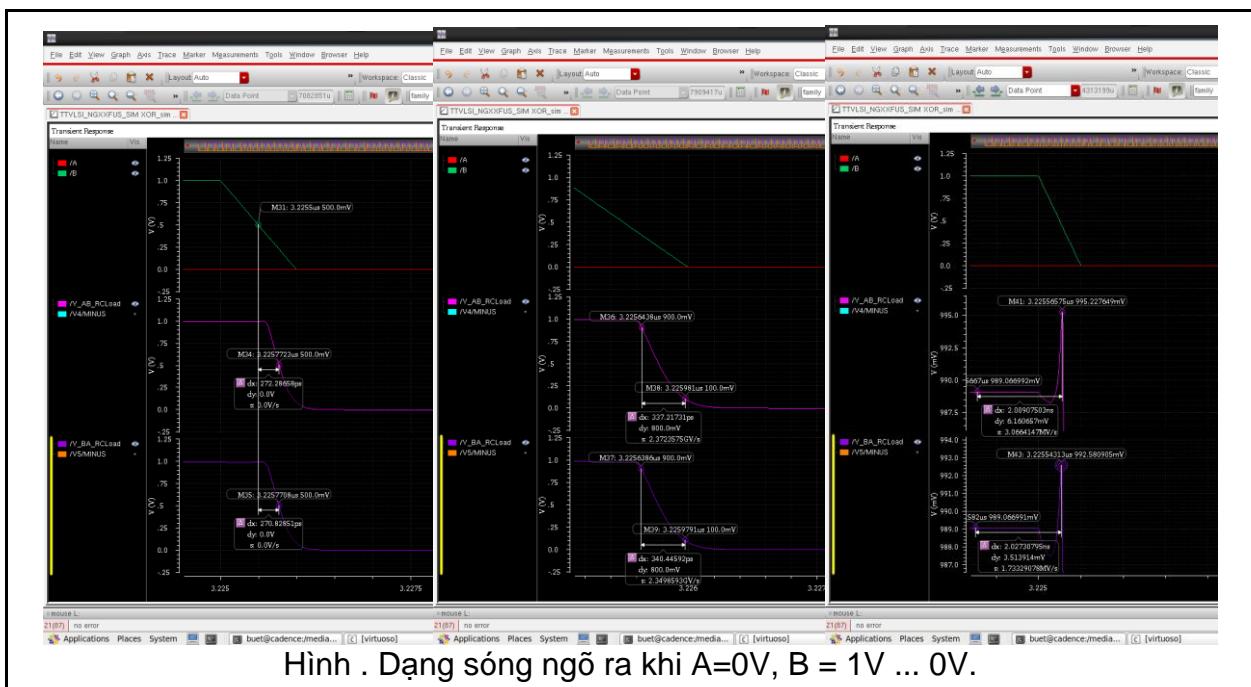


Hình . Sơ đồ mô phỏng cổng XOR với tải RC.

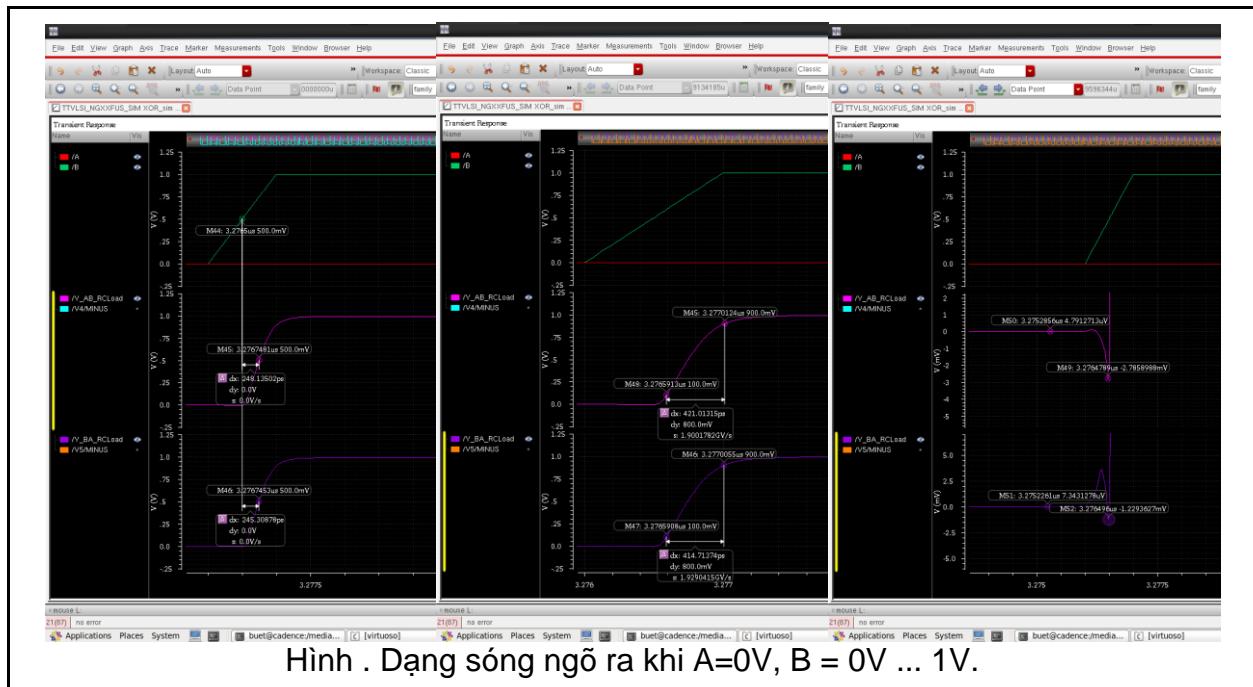
Kết quả:



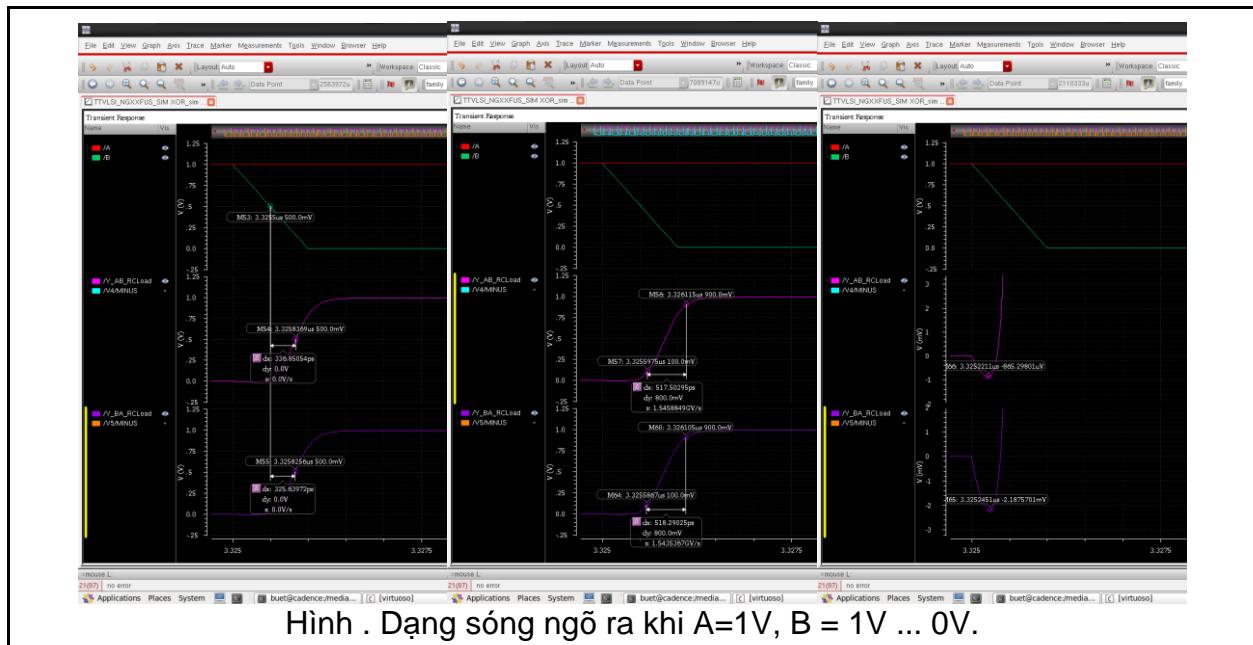
Nhận xét: Cổng XOR vẫn hoạt động đúng với lý thuyết khi gắn thêm tải RC.



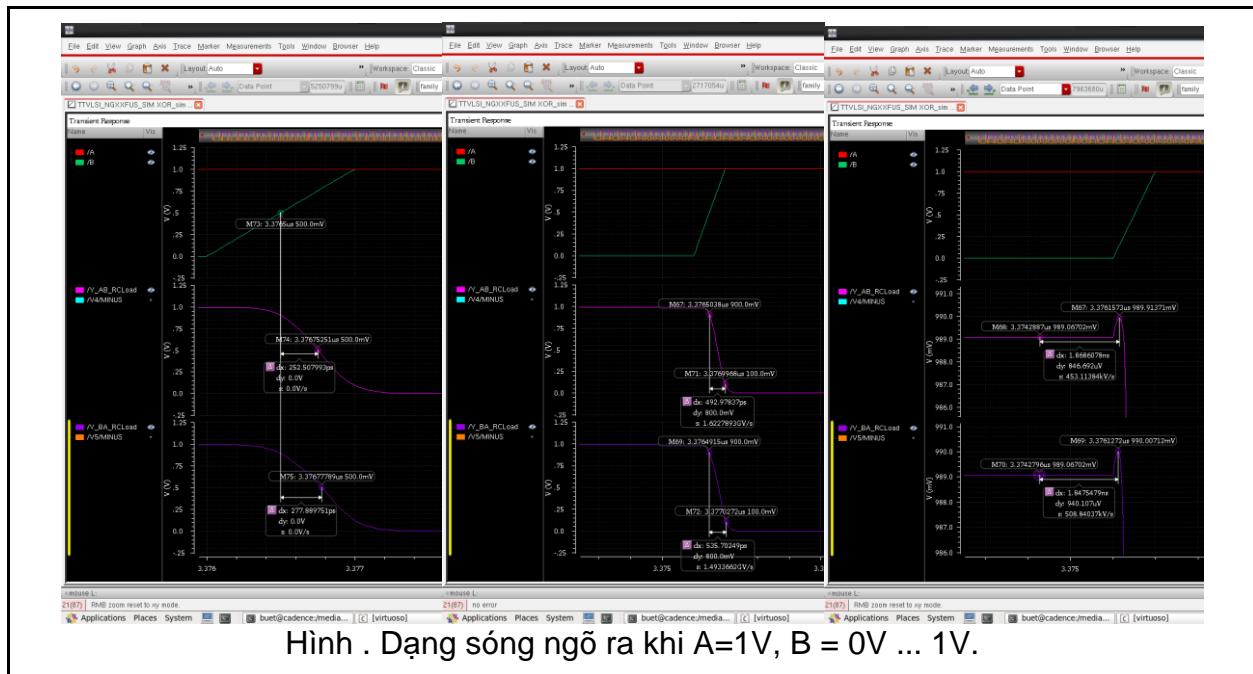
Nhận xét:  $t_{pdf} = 272,29\text{ps}$ ;  $t_{falling} = 340,45\text{ps}$ ;  $V_{overshoot} = 6,16\text{mV}$ .



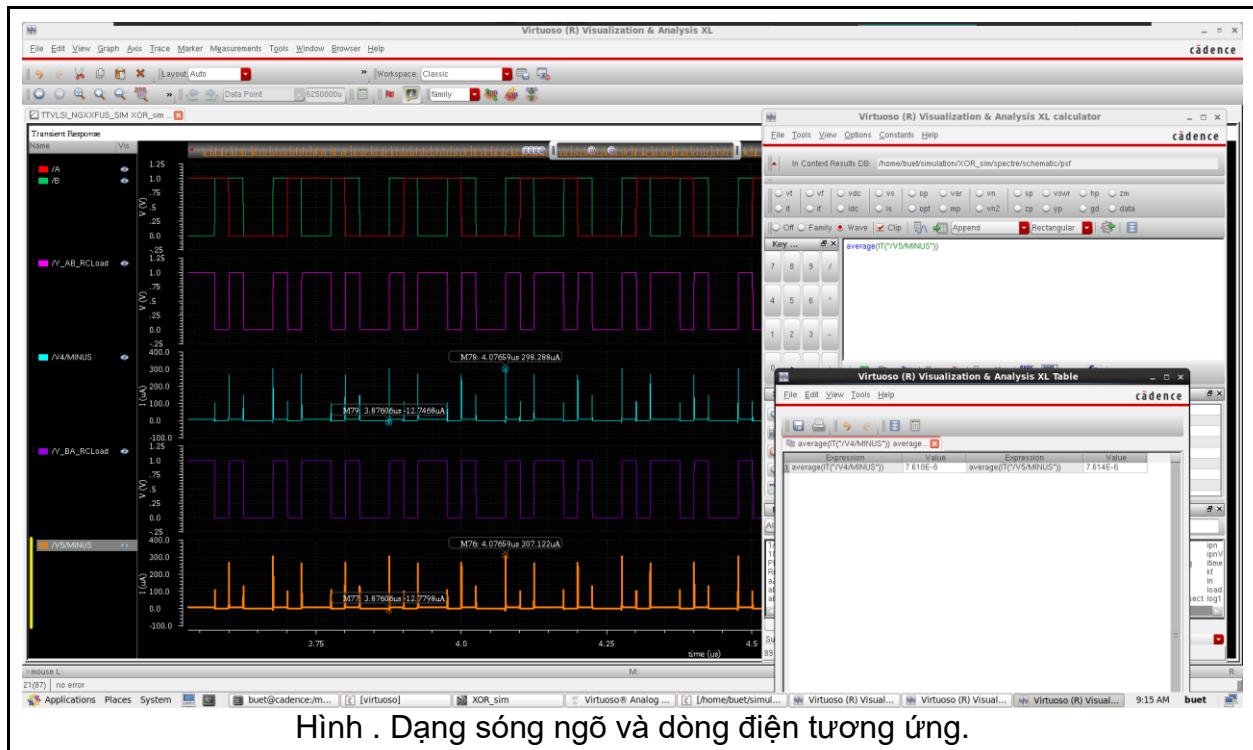
Nhận xét:  $t_{pdf} = 248,14\text{ps}$ ;  $t_{raising} = 421.01\text{ps}$ ;



Nhận xét:  $t_{pdf} = 336,85\text{ps}$ ;  $t_{raising} = 518,29\text{ps}$ ;



Nhận xét:  $t_{pdr} = 277,89\text{ps}$ ;  $t_{falling} = 535,7\text{ps}$ ;



Nhận xét: Công suất trung bình khi gắn thêm tải RC là:  $7,6\mu\text{W}$ .

Bảng 5.4.3.2. Tổng kết kết quả mô phỏng cỗng XOR với tải RC:

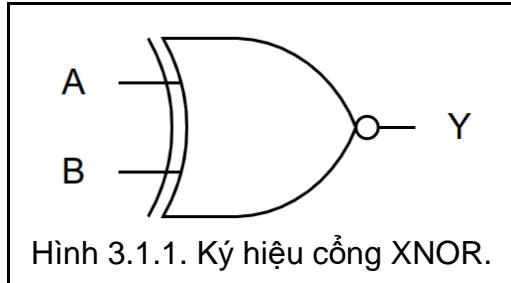
	$t_{pdr}$	$t_{pdf}$	$t_{rasing}$	$t_{falling}$	Overshoot	Undershoot	Công suất trung bình

Giá trị	277,9	336,9	518,29	535,7	<1%VDD	<1%VDD	
Đơn vị	ps			mV			uW

## 7. Cổng XNOR

### 7.1. Ký hiệu và BTT của cổng XNOR

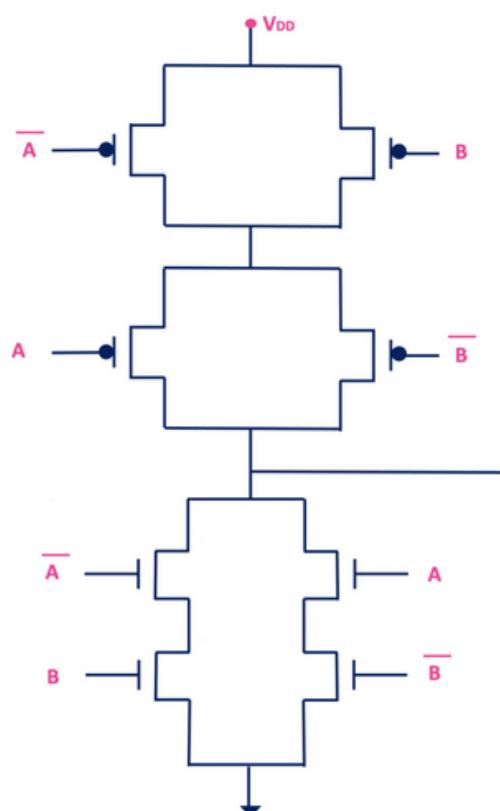
Ký hiệu cổng XNOR:



Bảng 7.1.1. Bảng trạng thái cổng OR:

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

### 7.2. Sơ đồ nguyên lý



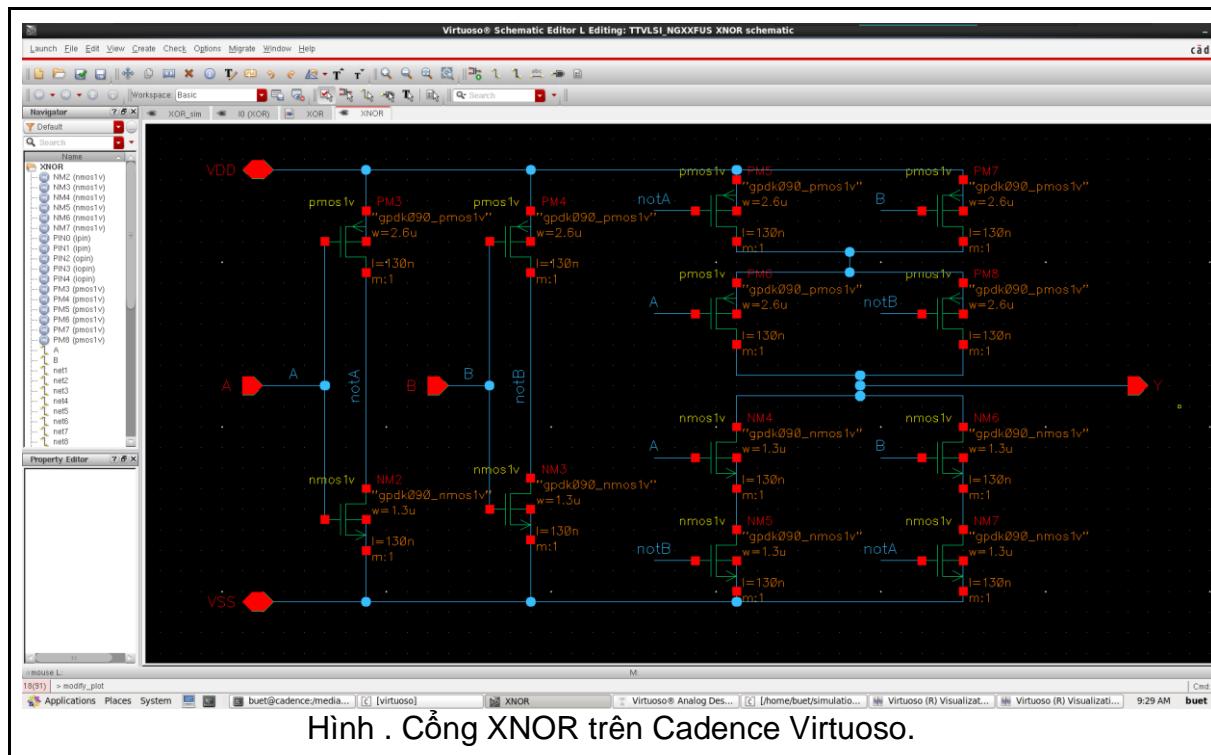
Hình 7.2.1. Sơ đồ nguyên lý cổng XNOR.

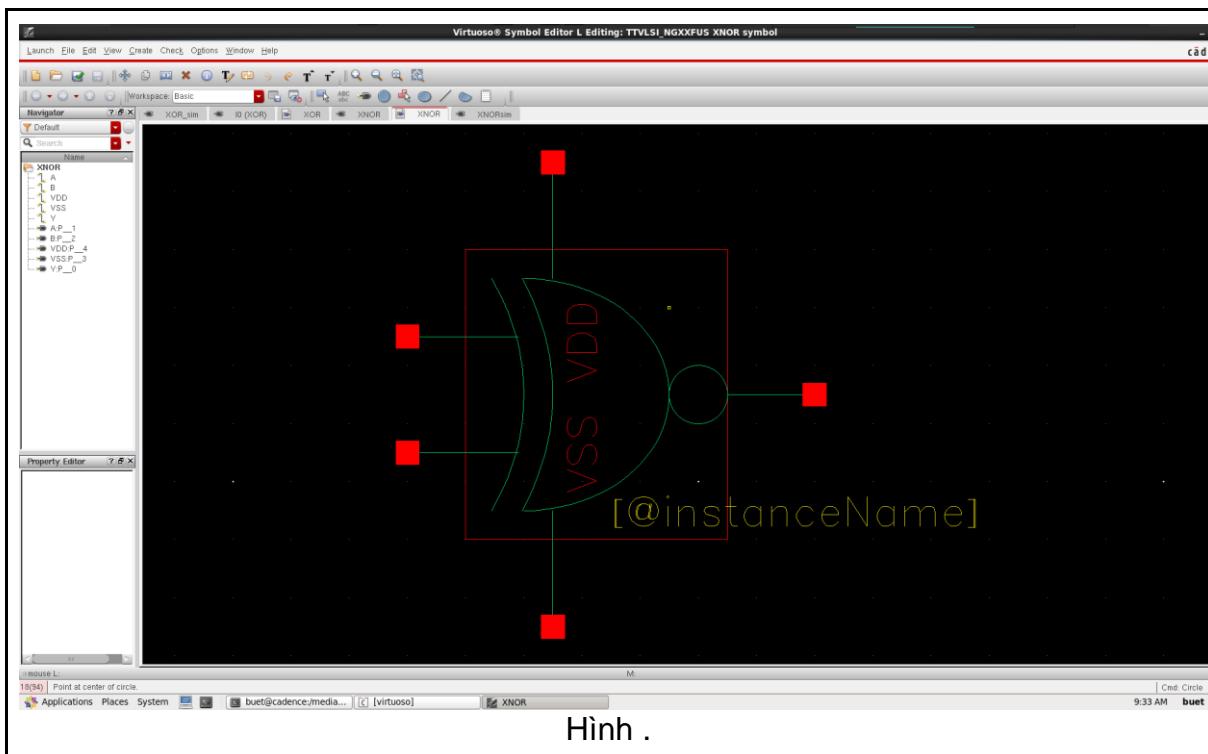
### 7.3. Thiết kế cổng XNOR trên Cadence Virtuoso

Bảng 7.3.1. Bảng thông số CMOS.

	pMOS	nMOS	Unit
Op-voltage	1	1	V

Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		
Temperature	27°C		





## 7.4. Mô phỏng cổng XNOR trên Cadence Virtuoso

### 7.4.1. Thông số nguồn

Nguồn DC cung cấp VDD cho các cổng XNOR trong quá trình mô phỏng, điện áp được đặt là biến VDD, trong các mô phỏng bên dưới, VDD có giá trị 1(V).

Bảng 7.4.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

Trong quá trình mô phỏng, sử dụng hai nguồn xung A, B để cung cấp xung vuông với hai tần số khác nhau, độ trễ khác nhau. Bảng 3.4.2 và Bảng 3.4.3 mô tả các thông số của hai nguồn xung A, B.

Bảng 6.4.2. Thông số nguồn cấp xung vuông A:

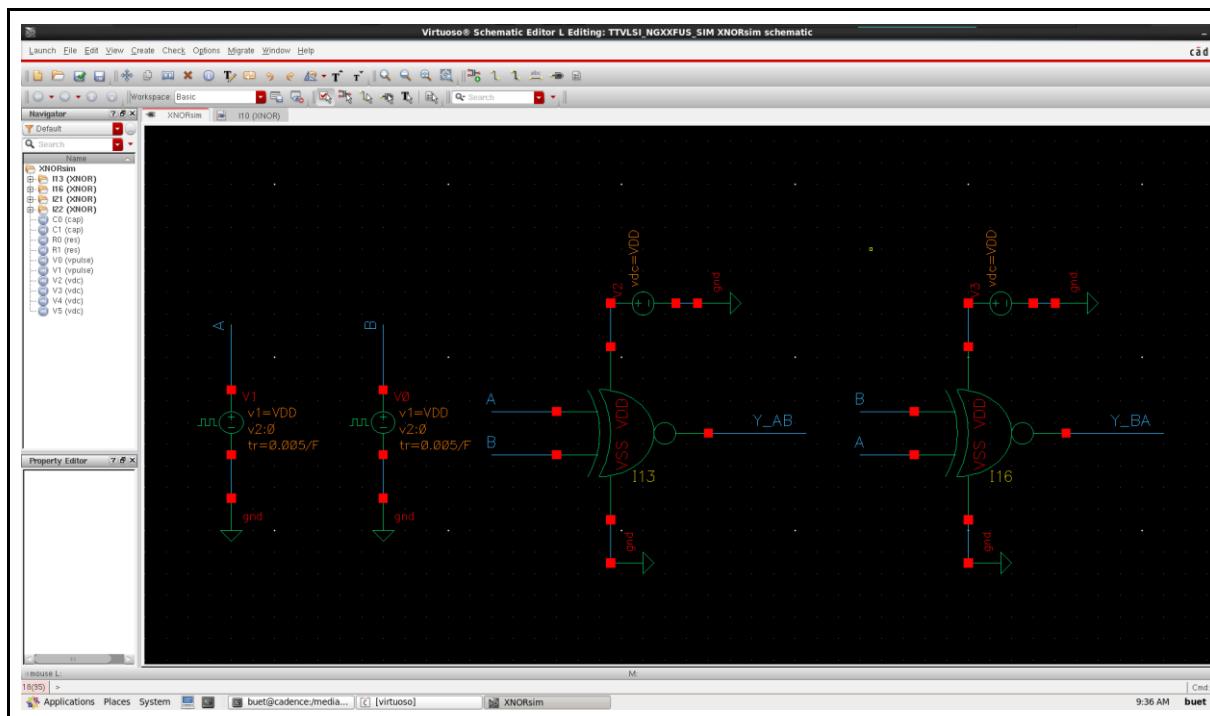
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	5MHz	V

Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

Bảng 6.4.3. Thông số nguồn cấp xung vuông B:

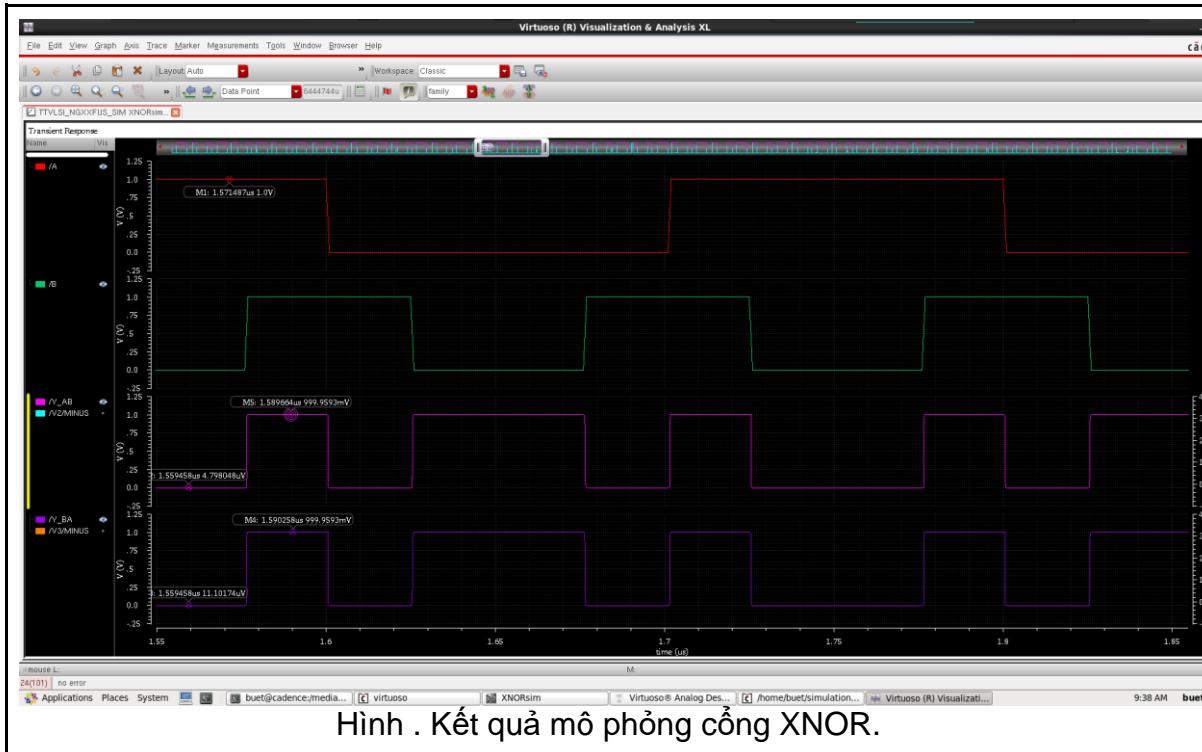
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	1	V
Điện áp mức thấp	--	0	V
Tần số	--	1/(2*F)	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.25/F	s
Giá trị ban đầu	--	0.25/(2*F)	V

#### 6.4.2. Mô phỏng cổng XNOR độc lập

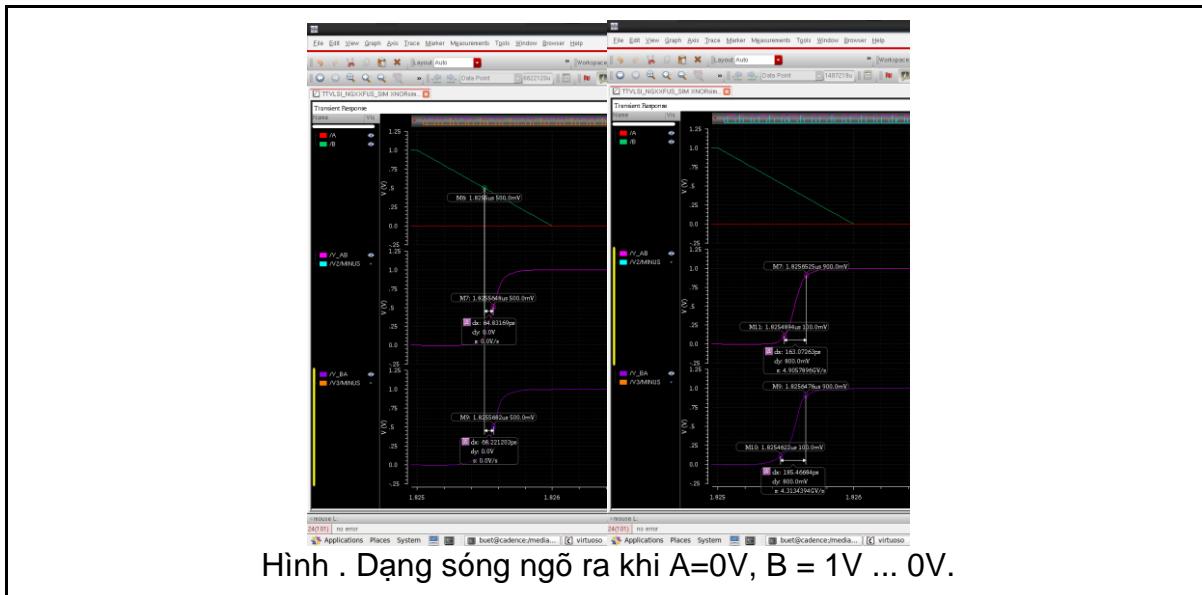


Hình . Sơ đồ mô phỏng cỗng XNOR.

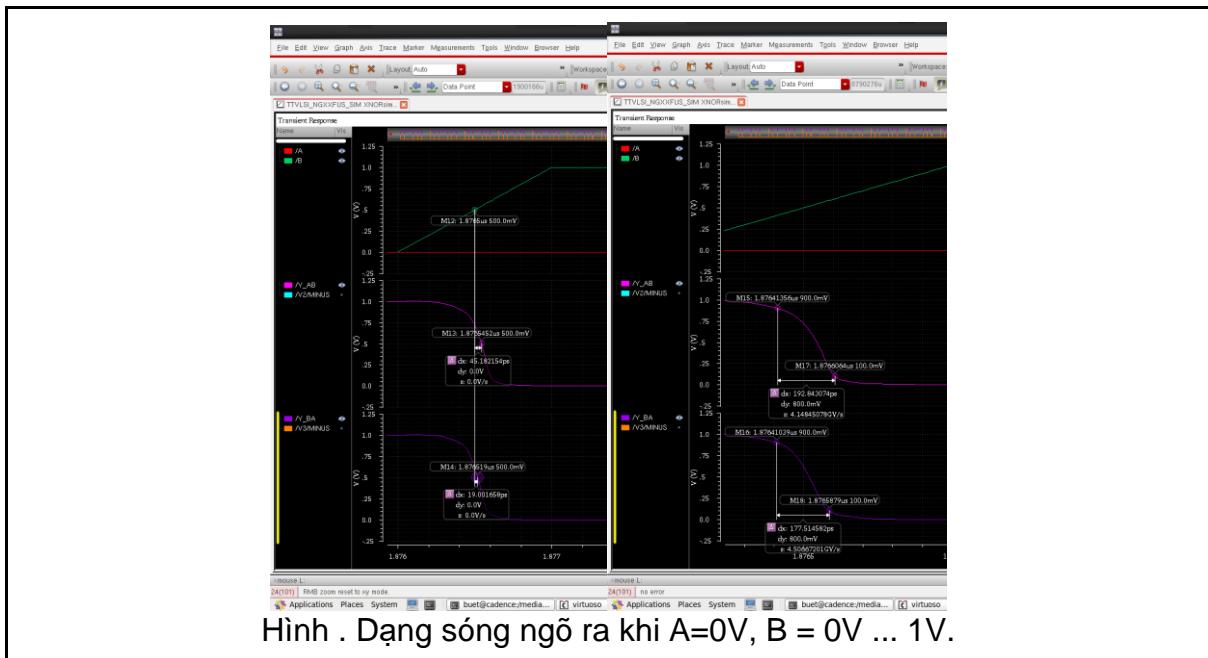
Kết quả:



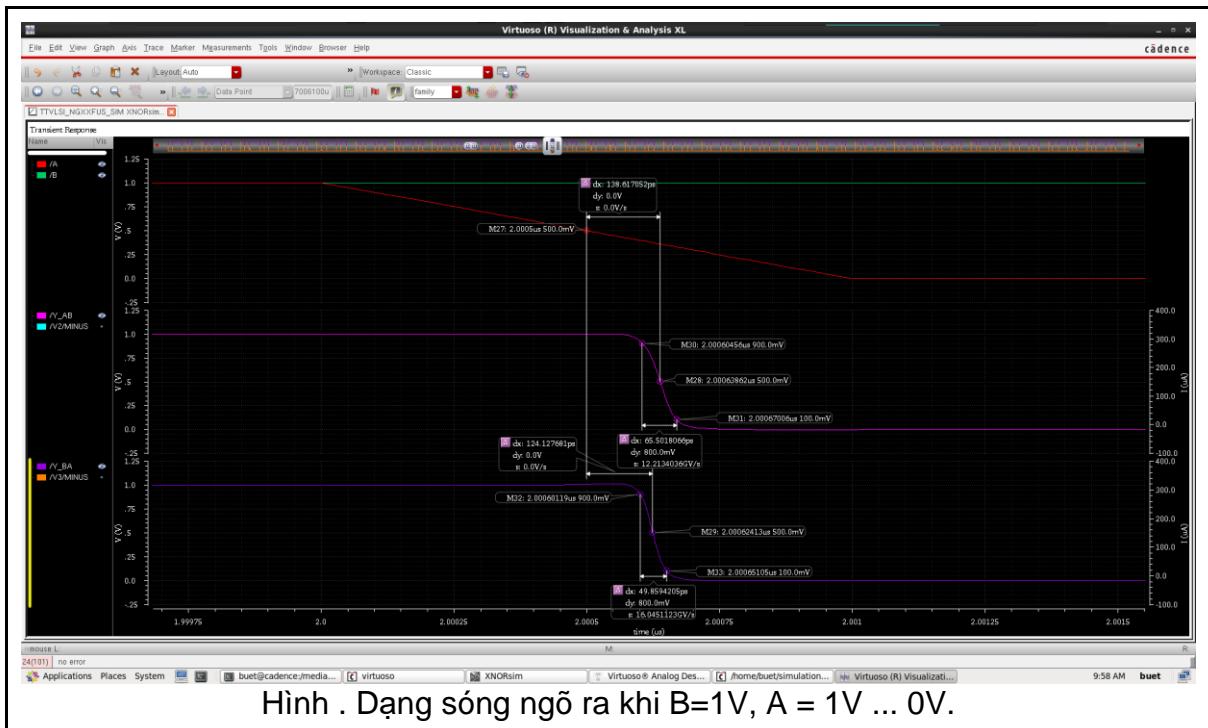
Nhận xét: Cỗng XNOR hoạt động đúng với lý thuyết.



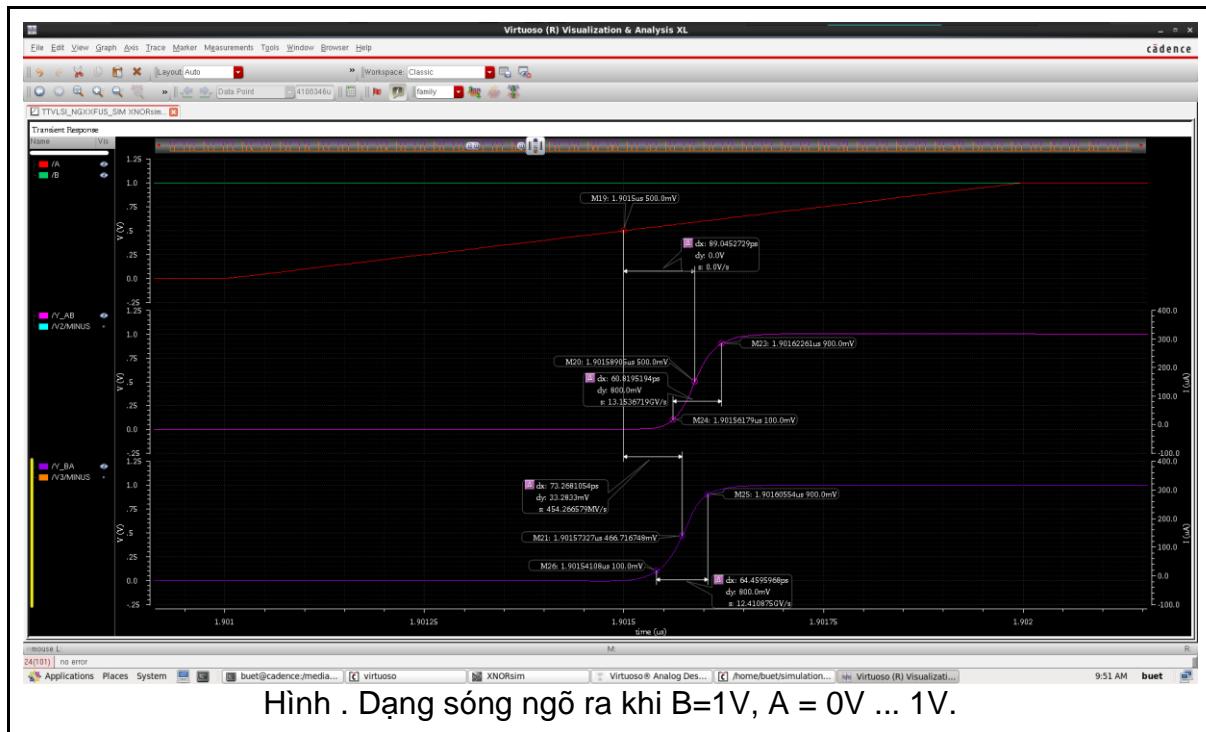
Nhận xét:  $t_{pdf} = 68,22\text{ps}$ ;  $t_{raising} = 185,47\text{ps}$



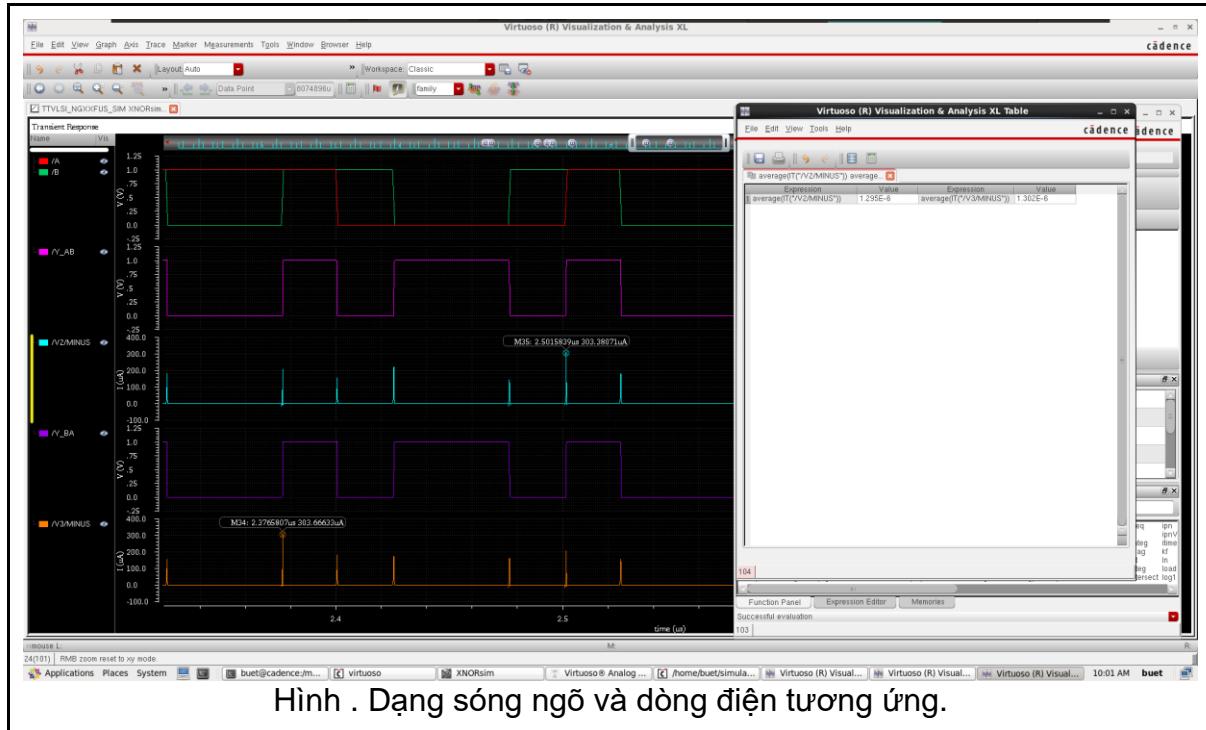
Nhận xét:  $t_{pdf} = 45,18\text{ps}$ ;  $t_{falling} = 192.84\text{ps}$ .



Nhận xét:  $t_{pdf} = 138,62\text{ps}$ ;  $t_{falling} = 65,6\text{ps}$ ;



Nhận xét:  $t_{pdr} = 89,05\text{ps}$ ;  $t_{raising} = 64,46\text{ps}$ ;



Nhận xét: Công suất trung bình:  $1.3\mu\text{W}$ .

Bảng 5.4.2.1. Tổng kết kết quả mô phỏng cỗng XNOR độc lập:

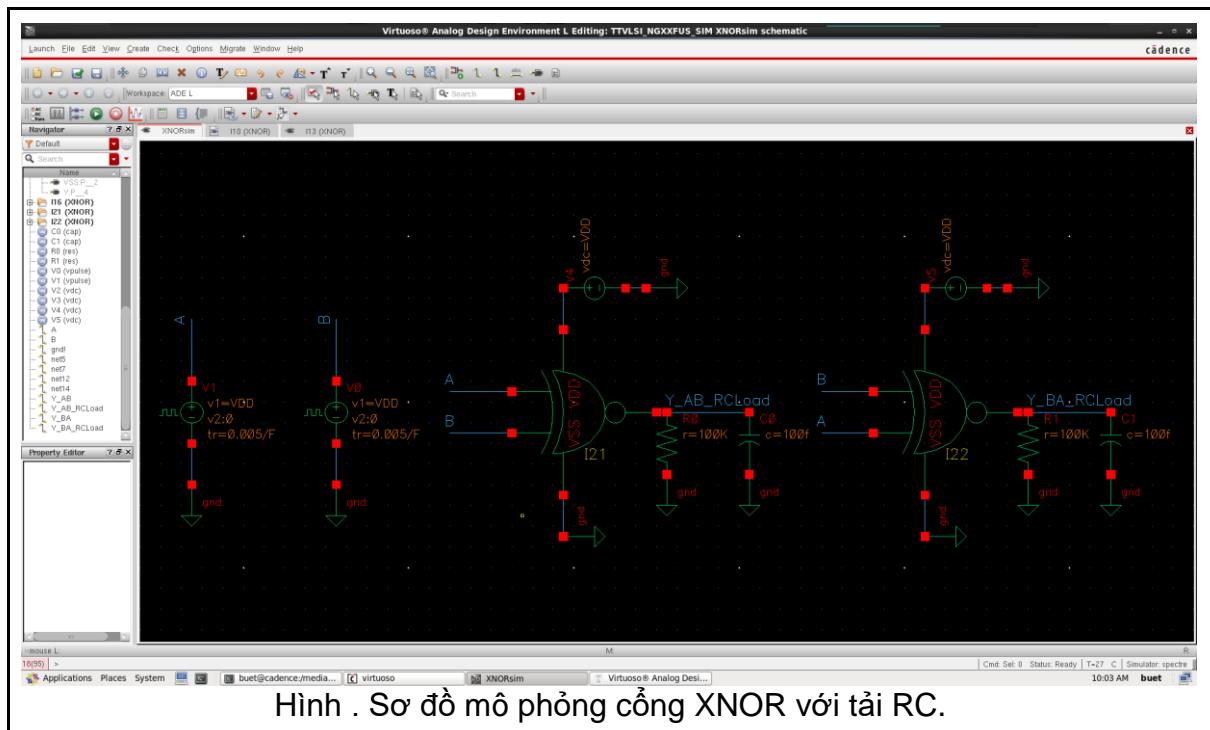
	$t_{pdr}$	$t_{pdf}$	$t_{rasing}$	$t_{falling}$	Overshoot	Undershoot	Công suất trung bình

Giá trị	89,05	138,6	185,47	192.8	<1%VDD	<1%VDD	1.3
Đơn vị	ps			mV			uW

### 6.4.3. Mô phỏng cổng XNOR với tải RC

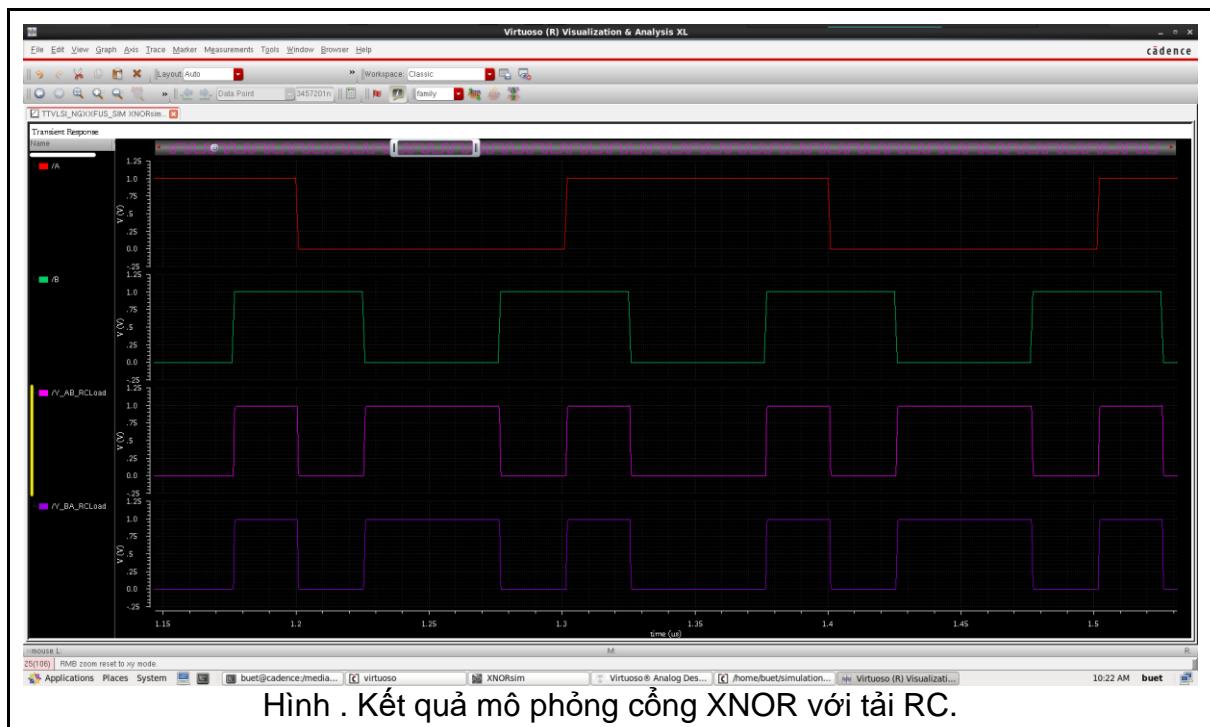
Bảng 5.4.3.1. Thông số tải RC:

Thông số	Giá trị	Đơn vị
R_Load	100K	Ohm
C_Load	100f	F

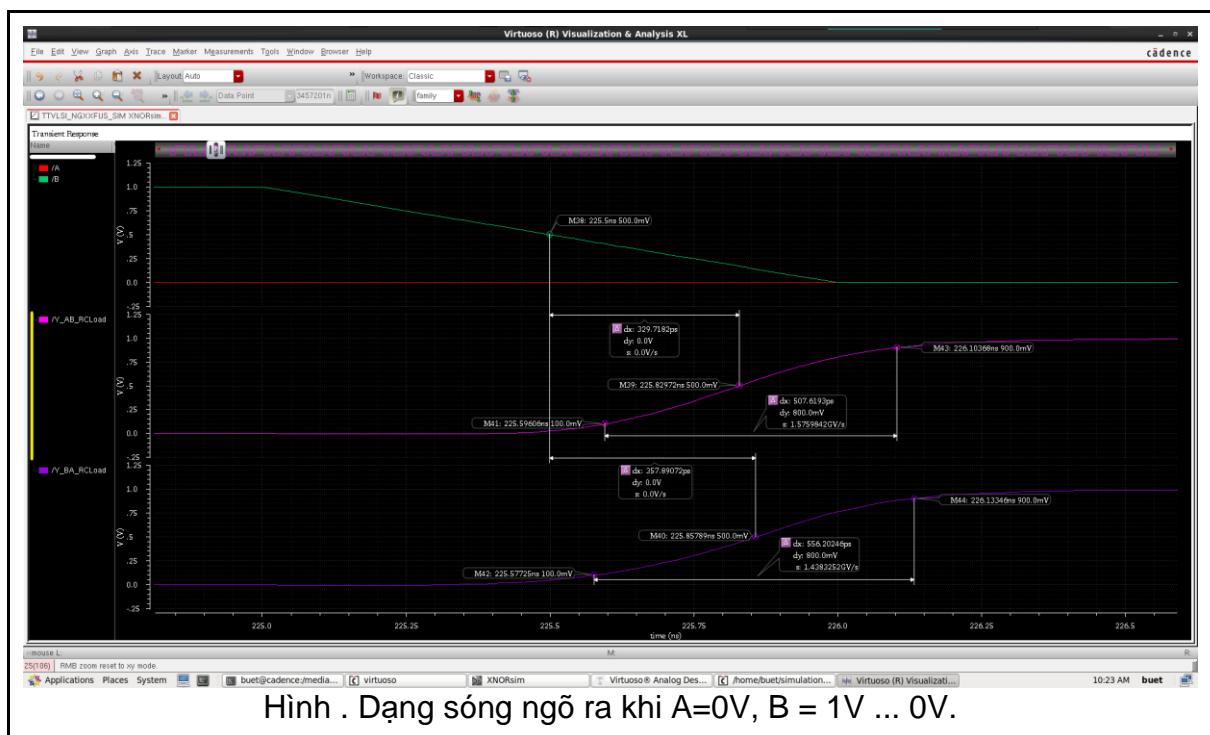


Hình . Sơ đồ mô phỏng cổng XNOR với tải RC.

Kết quả:

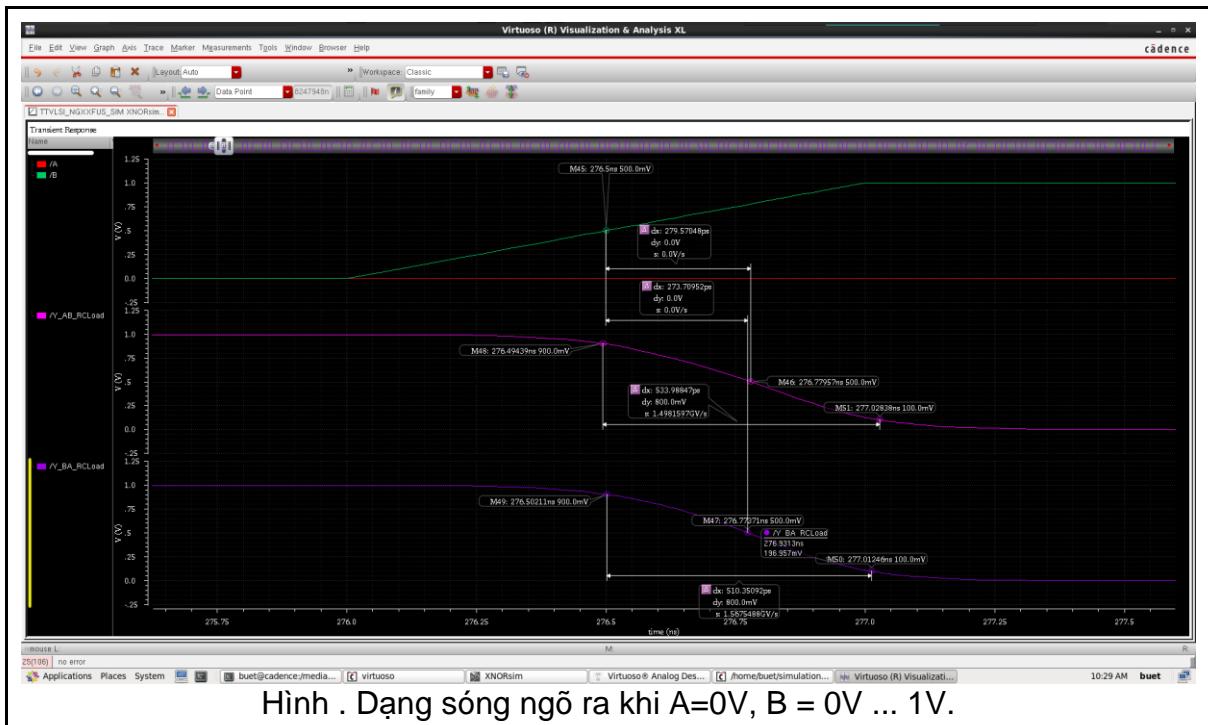


Hình . Kết quả mô phỏng công XNOR với tải RC.

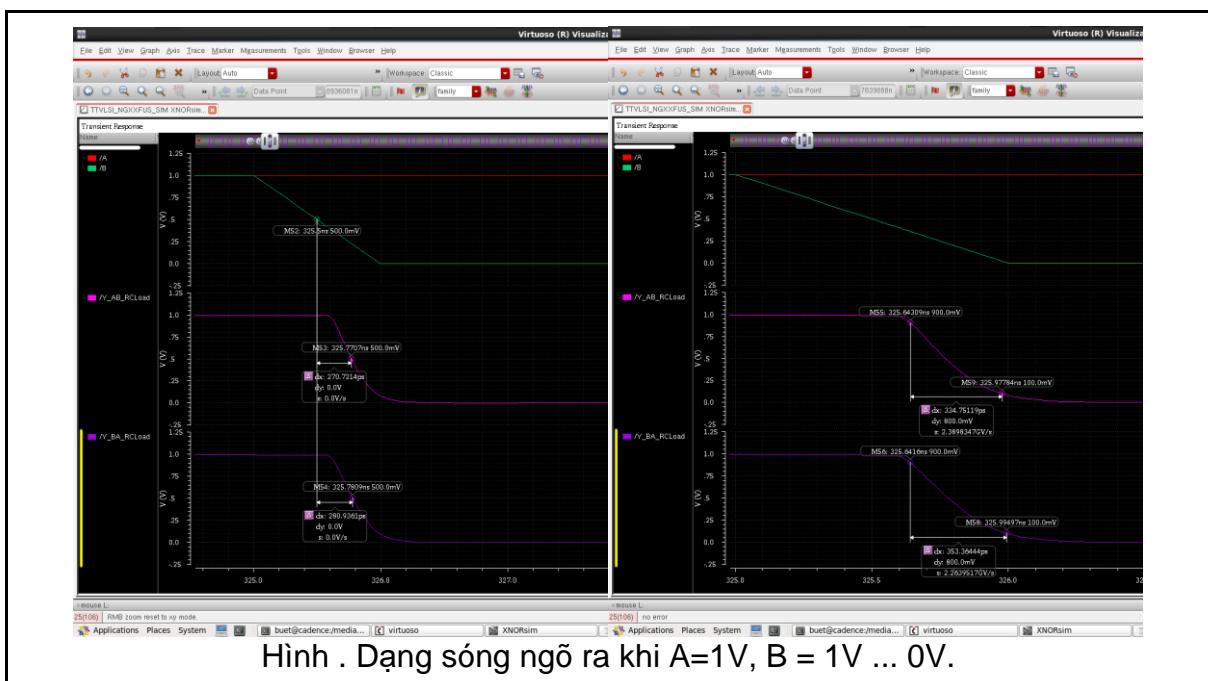


Hình . Dạng sóng ngõ ra khi A=0V, B = 1V ... 0V.

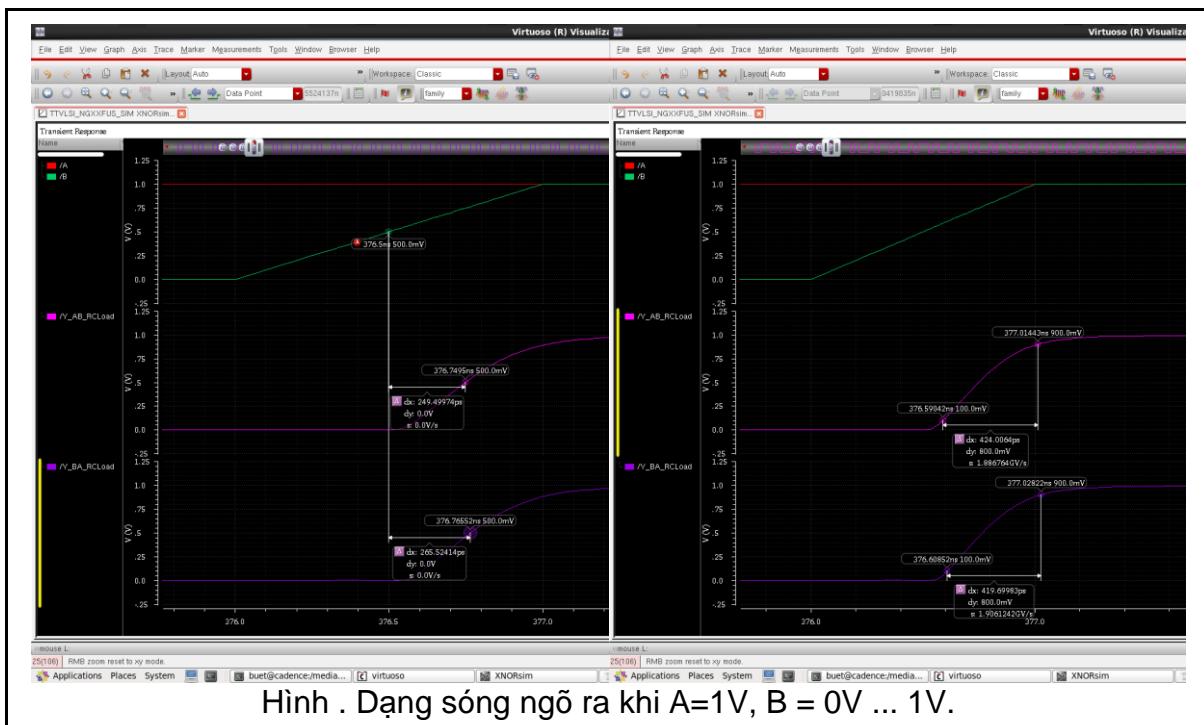
Nhận xét:  $t_{pdf} = 357,89\text{ps}$ ;  $t_{raising} = 556,2\text{ps}$ .



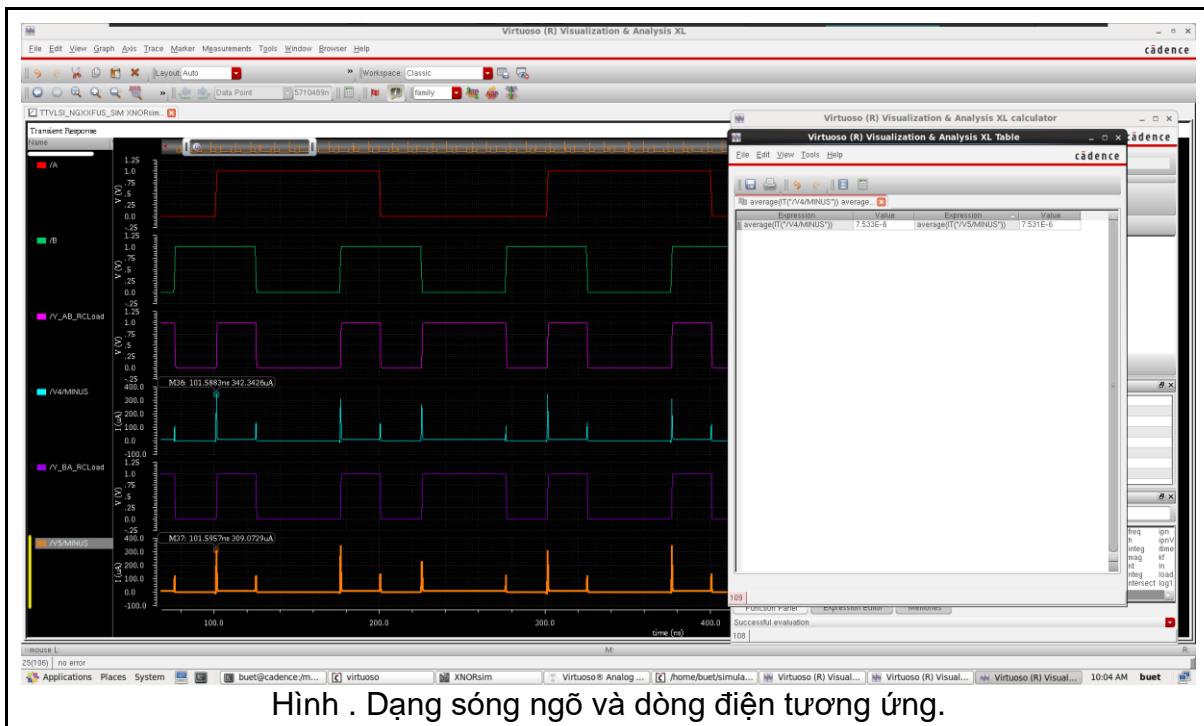
Nhận xét:  $t_{pdf} = 279,57\text{ps}$ ;  $t_{falling} = 533,99\text{ps}$ .



Nhận xét:  $t_{pdf} = 280,94\text{ps}$ ;  $t_{falling} = 353,36\text{ps}$ .



Nhận xét:  $t_{pdr} = 265,5\text{ps}$ ;  $t_{raising} = 424\text{ps}$ ;



Nhận xét: Công suất trung bình:  $7.53\mu\text{W}$ .

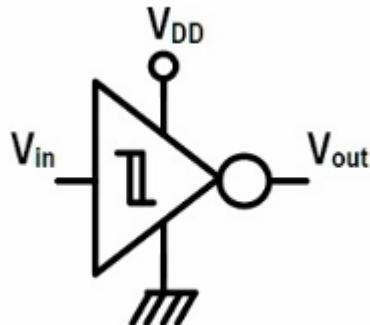
Bảng 5.4.3.2. Tổng kết kết quả mô phỏng cỗng XNOR với tải RC:

	$t_{pdr}$	$t_{pdf}$	$t_{rasing}$	$t_{falling}$	Overshoot	Undershoot	Công suất

							trung bình
Giá trị	279,6	357,9	556,2	533,99	<1%VDD	<1%VDD	7.53
Đơn vị	ps				mV		uW

## 8. Mạch Schmitt-Trigger

### 8.1. Ký hiệu và chức năng của mạch Schmitt-Trigger



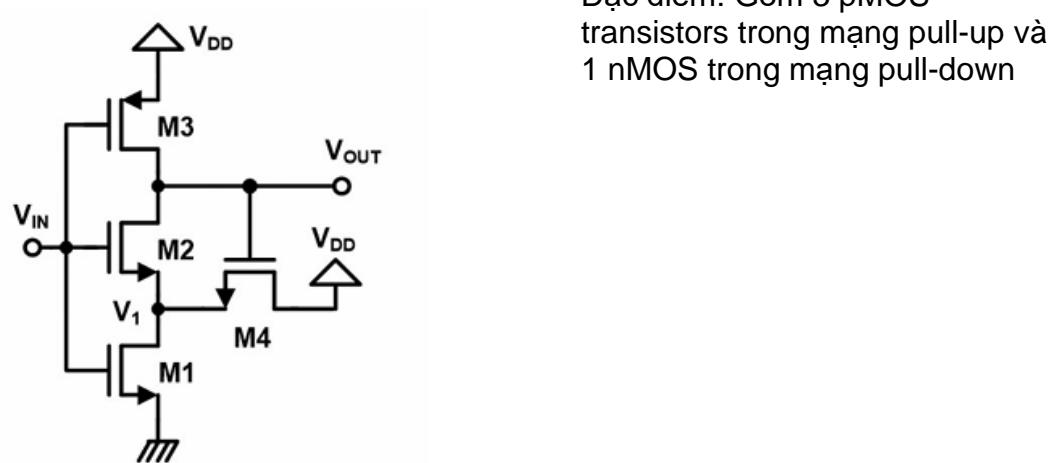
Chức năng: Schmitt-Trigger là mạch so sánh điện áp, nếu điện áp ngõ vào lớn hơn một ngưỡng trên thì ngõ ra ở mức thấp, nếu điện áp ngõ vào thấp hơn một ngưỡng dưới thì điện áp ngõ ra ở mức cao. Giá trị ngõ ra ngược lại nếu là mạch Schmitt trigger không đảo. Do đó mạch có thể dùng để chuyển đổi tín hiệu Analog sang Digital (Sin --> Squared pulse).

Hình 8.1.1. Ký hiệu mạch Schmitt-Trigger

### 8.2. Mạch nguyên lý

Mạch Schmitt-Trigger có 03 dạng, sử dụng pMOS, nMOS, và CMOS cả pMOS lẫn nMOS. Ngoài ra, một dạng khác, chính là cỗng NOT (Inverter).

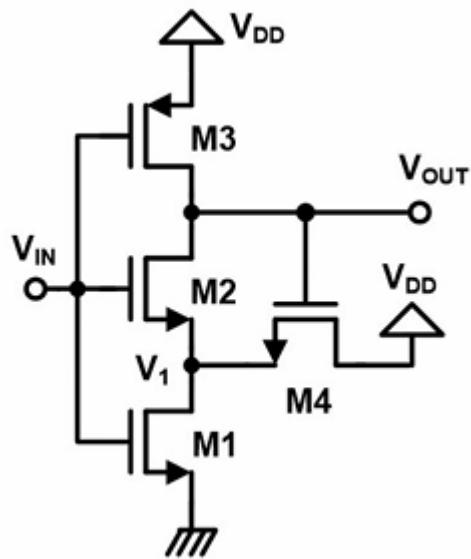
#### 8.2.1. Mạch Schmitt-Trigger sử dụng pMOS



Hình 8.2.1.1. Mạch Schmitt-Trigger pMOS.

### 8.2.2. Mạch Schmitt-Trigger sử dụng nMOS

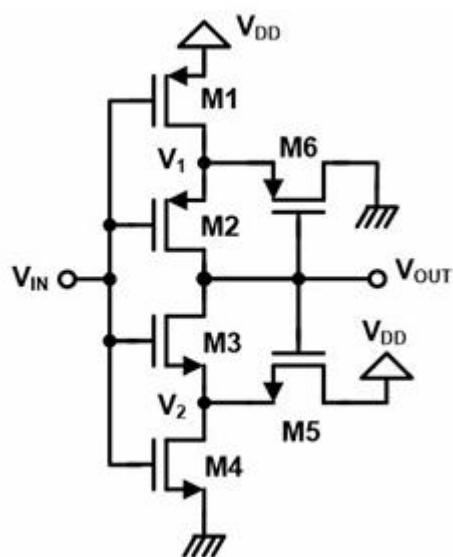
Đặc điểm: Gồm 3 nMOS transistors trong mạng pull-down và 1 pMOS trong mạng pull-up



Hình 8.2.2.1. Mạch Schmitt-Trigger pMOS.

### 8.2.3. Mạch Schmitt-Trigger sử dụng CMOS (pMOS & nMOS)

Đặc điểm: Gồm 6 transistor (3 pMOS trong mạng pull-up, 3 nMOS trong mạng pull-down)



Hình 8.2.3.1. Mạch Schmitt-Trigger CMOS.

### 8.3. Mô phỏng trên Cadence Virtuoso

#### 8.3.1. Thông số CMOS, thông số nguồn.

Bảng 8.3.1.1. thông số CMOS:

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		

Bảng 8.3.1.2. thông số nguồn:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

Bảng 8.3.1.3. Thông số nguồn cấp xung vuông:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	5MHz	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

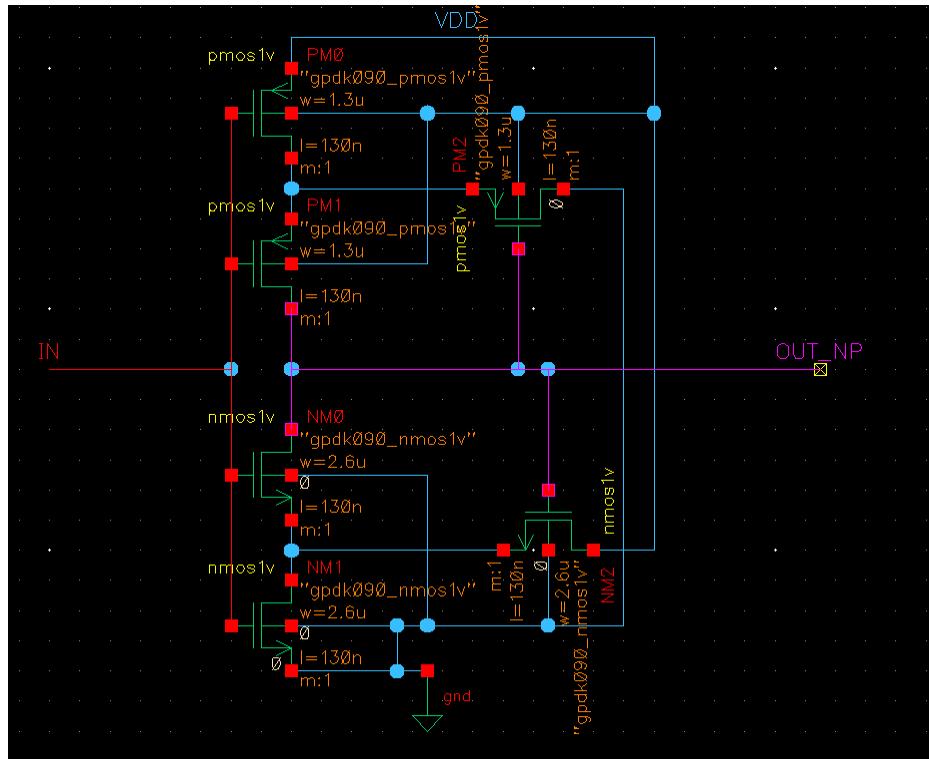
Bảng 8.3.1.4. Thông số nguồn cấp sóng Sin:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị

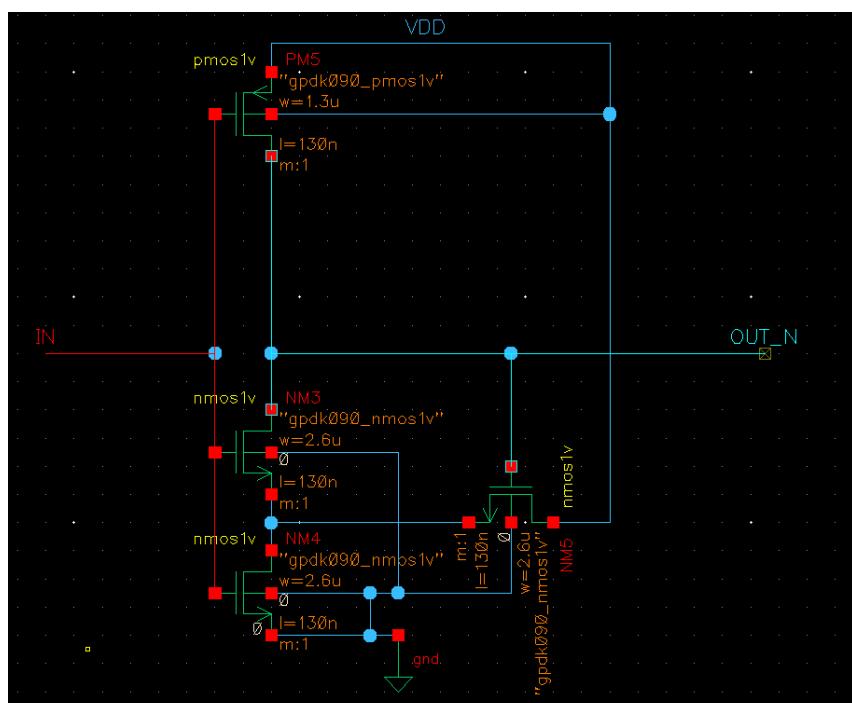
Điện áp đỉnh dương	--	VDD	V
Tần số	F	5MHz	V
Giá trị ban đầu	--	0	V

### 8.3.2. Vẽ mạch nguyên lý trên Cadence Virtuoso

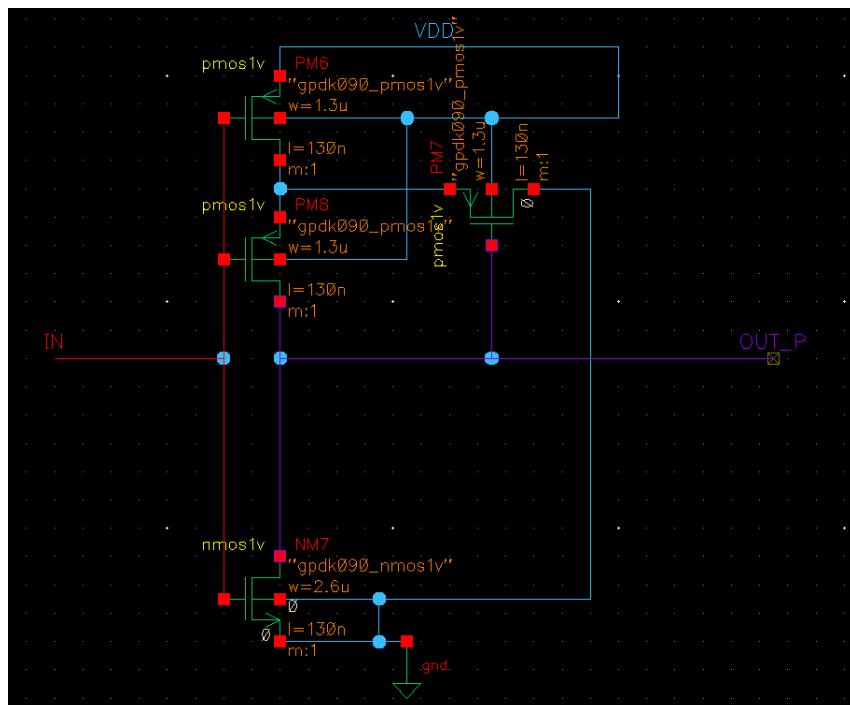
Thực hiện vẽ mạch nguyên lý của Schmitt-Trigger trên Cadence dựa trên các mạch nguyên lý ở phần 8.2 và thông số CMOS ở bảng 8.3.1.1



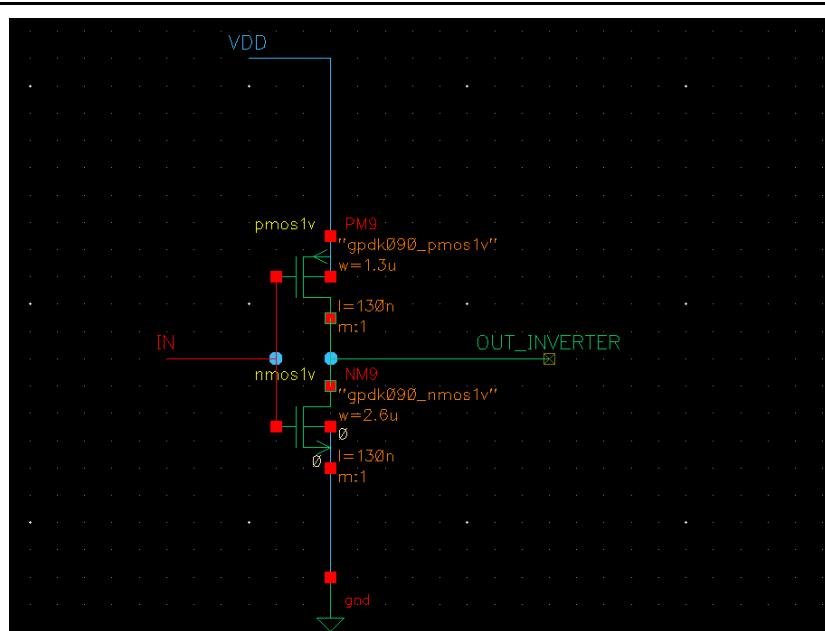
Hình 8.3.2.1. Mạch Schmitt-Trigger CMOS.



Hình 8.3.2.2. Mạch Schmitt-Trigger nMOS.



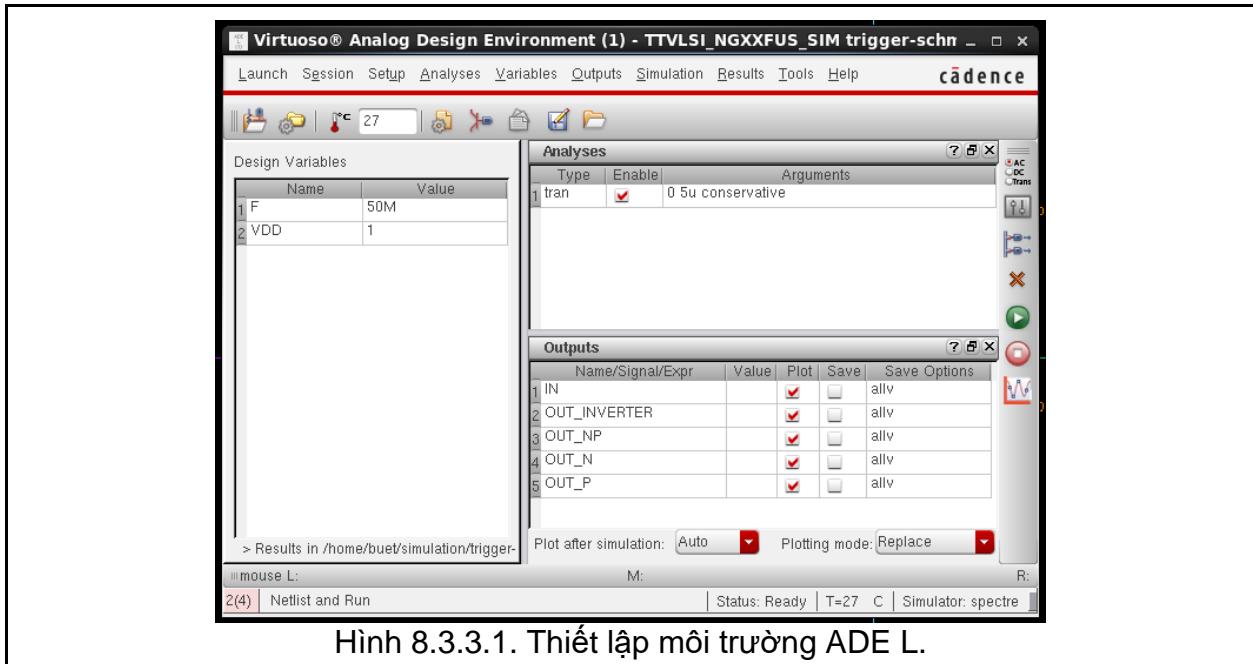
Hình 8.3.2.3. Mạch Schmitt-Trigger pMOS.



Hình 8.3.2.4. Mạch Schmitt-Trigger (Cổng Inverter).

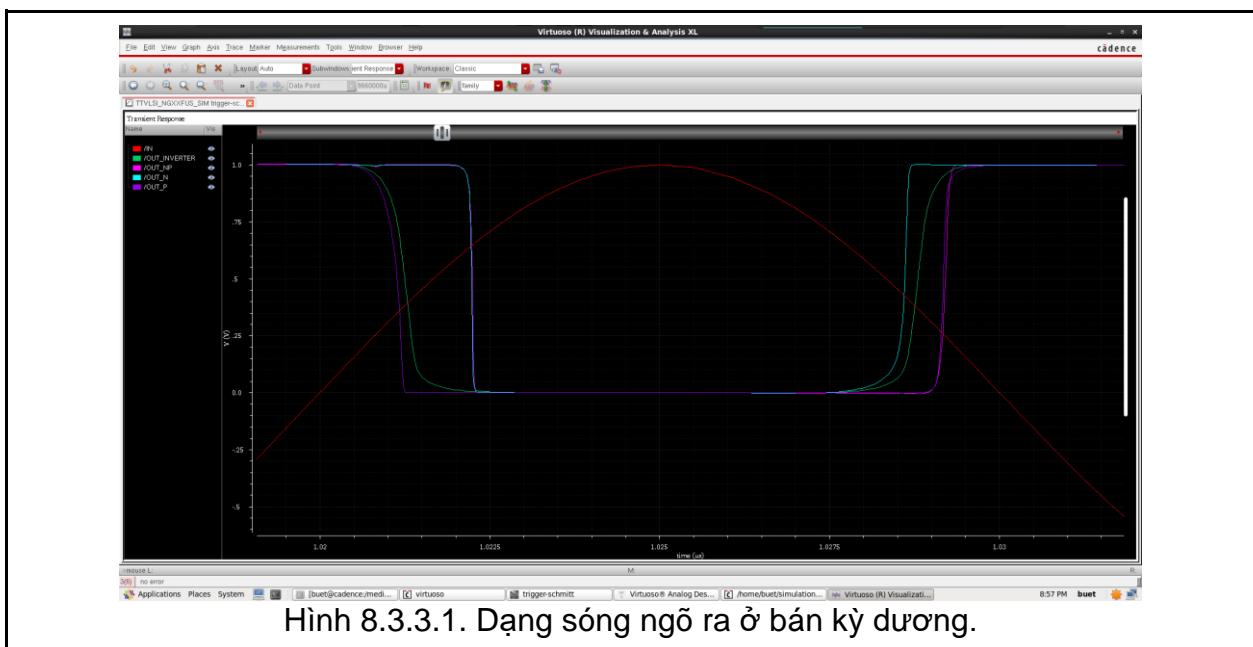
### 8.3.3. Mô phỏng với nguồn Sin

Thiết lập mô phỏng như hình bên dưới



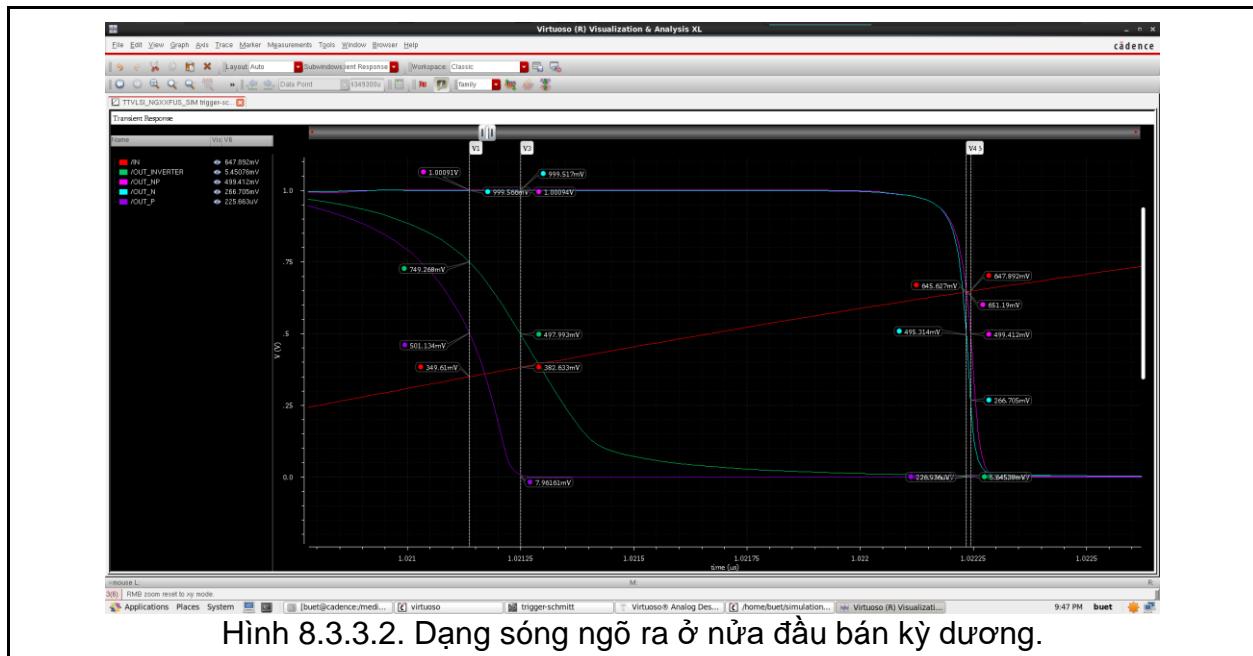
Kết quả:

Chọn  $V_{OH}=V_{IL} = 0.9VDD$ ,  $V_{OL}=V_{IL}=0.1VDD$



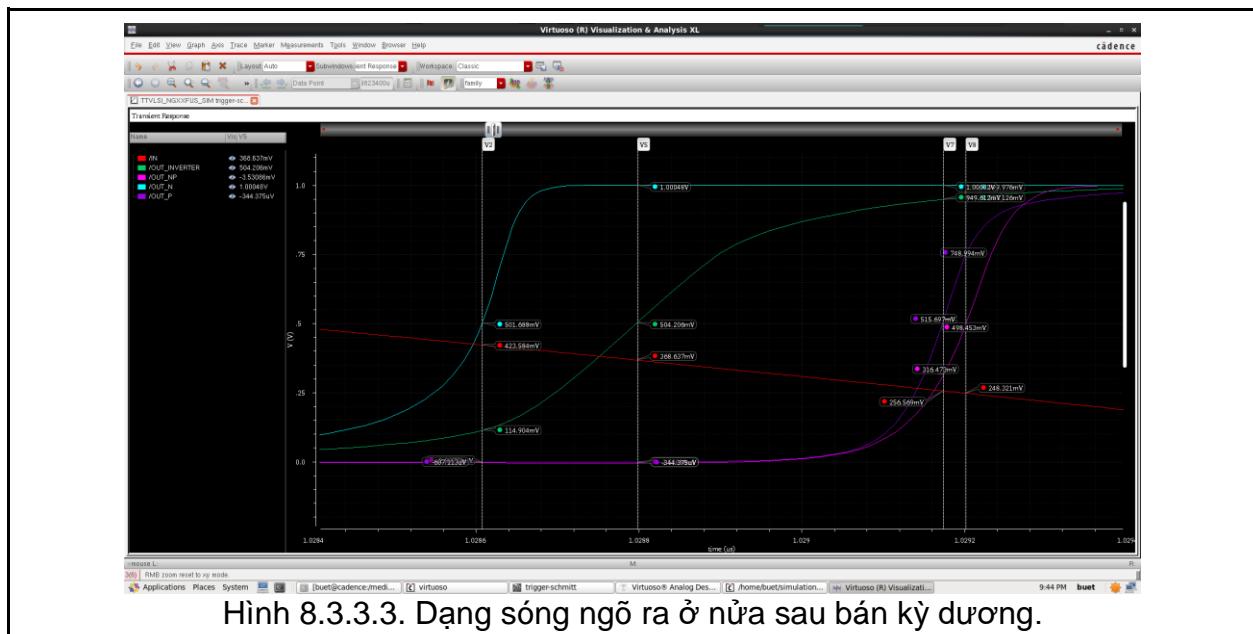
Nhận xét:

- + Độ dốc của các Schmitt-Trigger lớn hơn rất nhiều so với cổng Inverter.



Nhận xét:

- + Schmitt-Trigger pMOS có ngưỡng trên thấp nhất (~350mV), trong khi đó Schmitt-Trigger CMOS có ngưỡng trên lớn nhất (648mV).
- + Thời gian cạnh xuống của Schmitt-Trigger CMOS và Schmitt-Trigger nMOS là ngắn nhất.



Nhận xét:

- + Schmitt-Trigger nMOS có ngưỡng dưới lớn nhất (~423mV), Schmitt-Trigger CMOS có giá trị dương dưới thấp nhất (~248mV).

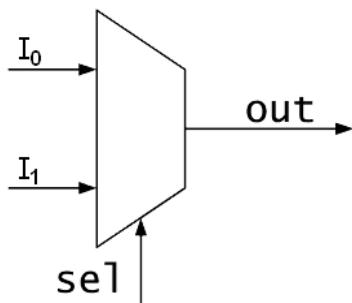
- + Thời gian cạnh lén của Schmitt-Trigger pMOS và Schmitt-Trigger CMOS là ngắn nhất.

#### **8.4. Kết luận**

- + Mạch Schmitt-Trigger CMOS thừa hưởng đặc tính  $V_{UT}$  lớn của Schmitt-Trigger nMOS và  $V_{LT}$  thấp của Schmitt-Trigger pMOS.
- + Mạch Schmitt-Trigger CMOS là mạch có tính ổn định cũng như chống nhiễu tốt nhất vì  $V_{UT}$  lớn nhất và  $V_{LT}$  bé nhất tạo nên lè của hysteresis lớn, từ đó chống nhiễu.

## 9. Multiplexer-2-1 (MUX-2-1)

### 9.1. Ký hiệu, bảng trạng thái



Hình 9.1.1. Ký hiệu MUX-2-1.

Bảng 9.1.1. Bảng trạng thái MUX-2-1.

I <sub>0</sub>	I <sub>1</sub>	S (SEL)	OUT
0	X	0	0
1	X	0	1
X	0	1	0
X	1	1	1

### 9.2. Hàm ngõ ra, biến đổi của MUX-2-1

Hàm ngõ ra của MUX-2-1 được biểu diễn bằng:

$$OUT = I_0 \cdot \#S + I_1 \cdot S$$

Với #S là ngõ ra đảo của S.

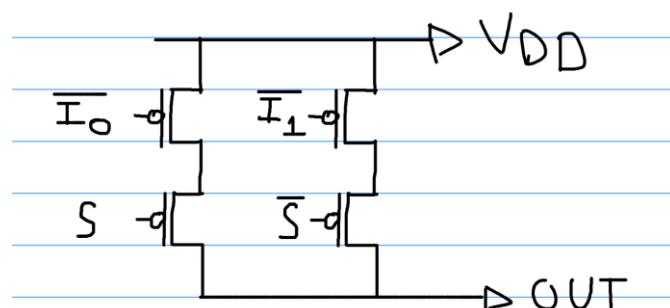
Biến đổi ta có:

$$OUT = \#( \#(I_0 \cdot \#S + I_1 \cdot S) )$$

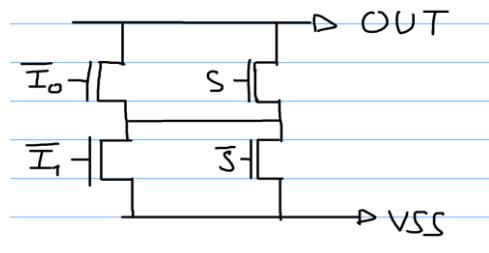
$$OUT = \#( (\#I_0 + S) \cdot (\#I_1 + \#S) ) \quad (9.1.1)$$

### 9.3. Mạch nguyên lý của MUX-2-1.

Dựa vào biểu thức 9.1.1, mạng pMOS:



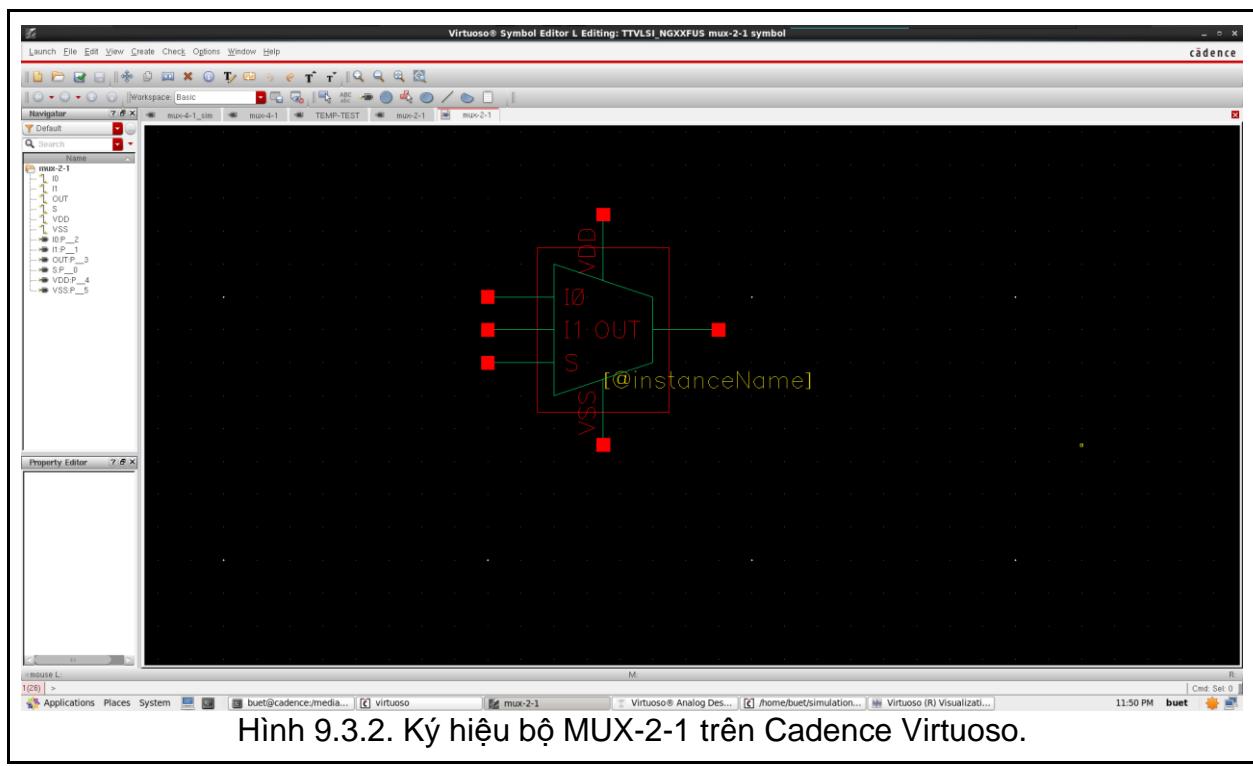
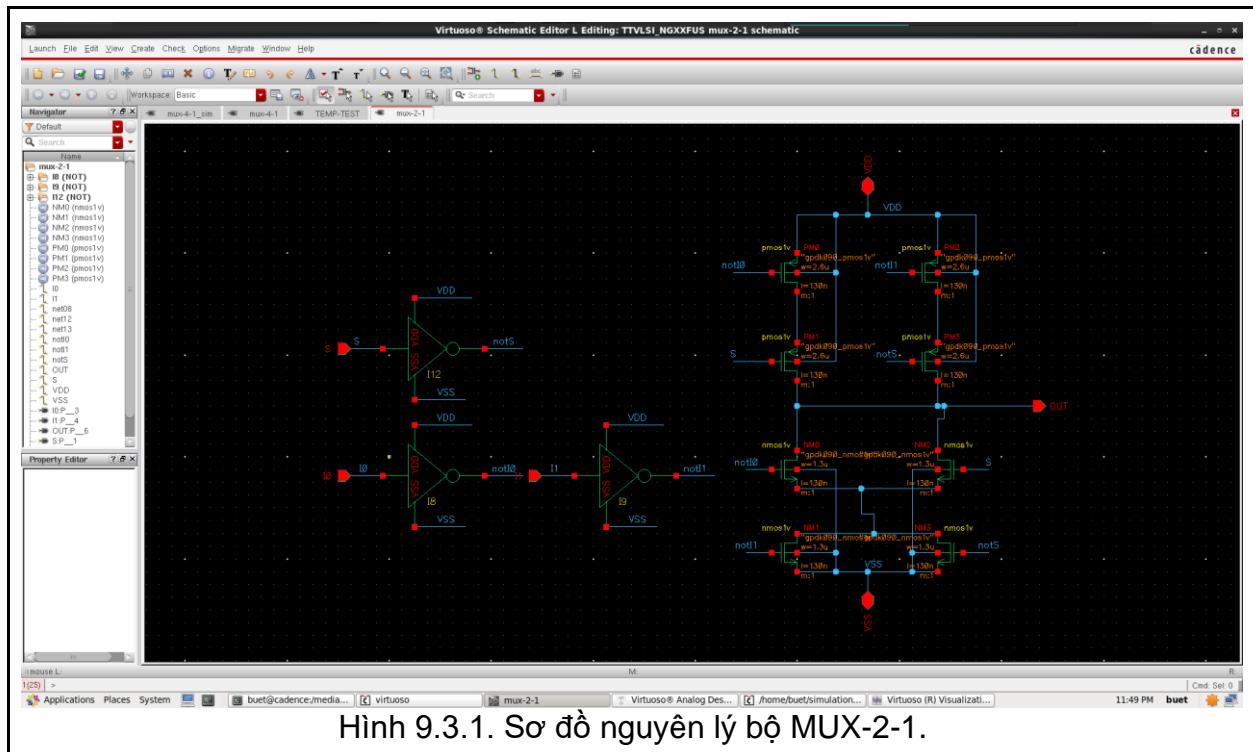
Mạng nMOS:



### 9.3. Vẽ bộ MUX-2-1 trên Virtuoso

Bảng 9.3.1. Thông số CMOS:

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm
S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		

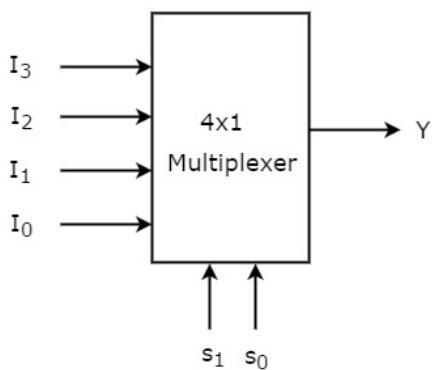


## 9.4. Mô phỏng bộ MUX-2-1 trên Cadence Virtuoso

Phần mô phỏng của MUX-2-1 sẽ được mô phỏng cùng với MUX-4-1.

## 10. Multiplexer-4-1 (MUX-4-1)

### 10.1. Ký hiệu, bảng trạng thái



Hình 10.1.1. Ký hiệu MUX-4-1.

Bảng 10.1.1. Bảng trạng thái MUX-4-1.

I<3:0>	S<1:0> (SEL)	OUT
XXXX	00B	I<0>
XXXX	01B	I<1>
XXXX	10B	I<2>
XXXX	11B	I<3>

### 10.2. Hàm ngõ ra của MUX-4-1

Hàm ngõ ra của MUX-4-1 được biểu diễn thông qua các biểu thức sau:

$$OUT = I_0 \cdot \#S_0 \cdot \#S_1 + I_1 \cdot S_0 \cdot \#S_1 + I_2 \cdot \#S_0 \cdot S_1 + I_3 \cdot S_0 \cdot S_1 \quad (10.2.1)$$

Biến đổi biểu thức 10.2.1 thành biểu diễn của các biểu thức sau:

$$OUT_0 = I_0 \cdot \#S_0 + I_1 \cdot S_0 \quad (10.2.2)$$

$$OUT_1 = I_2 \cdot \#S_0 + I_3 \cdot S_0 \quad (10.2.3)$$

$$OUT = OUT_0 \cdot \#S_1 + OUT_1 \cdot S_1 \quad (10.2.4)$$

Với #S là ngõ ra đảo của S.

Nhận xét: MUX-4-1 được ghép từ 03 bộ MUX-2-1.

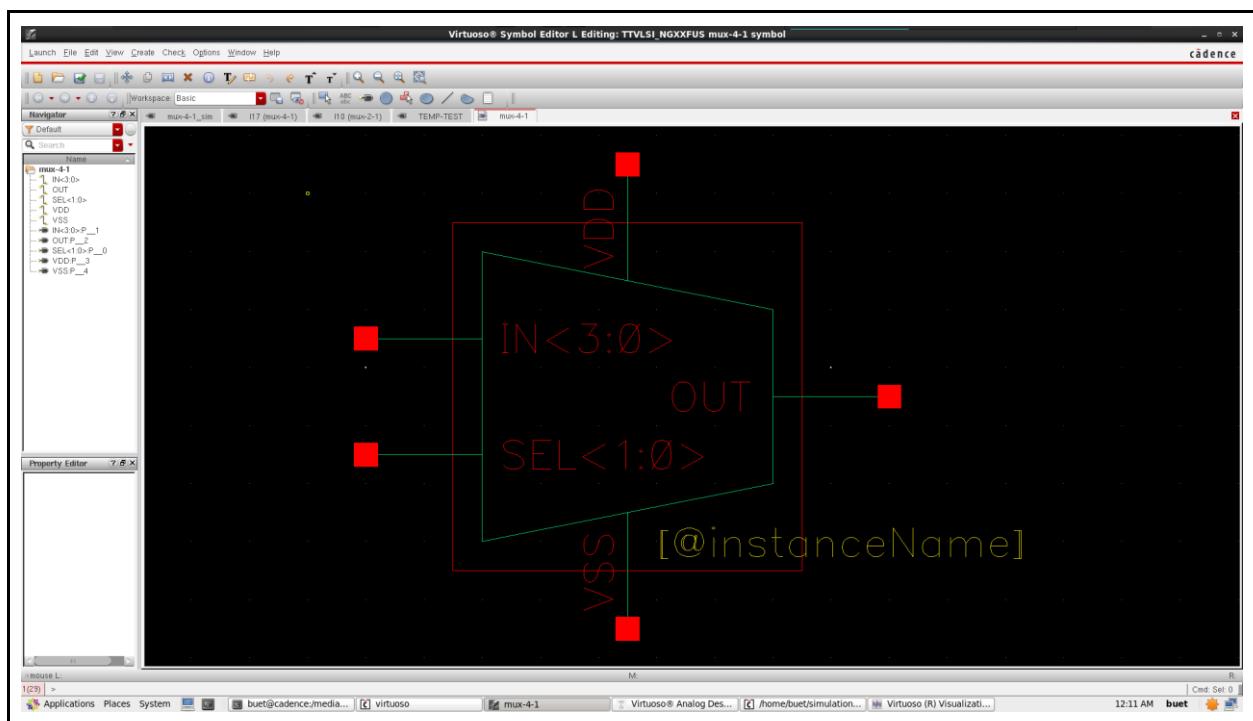
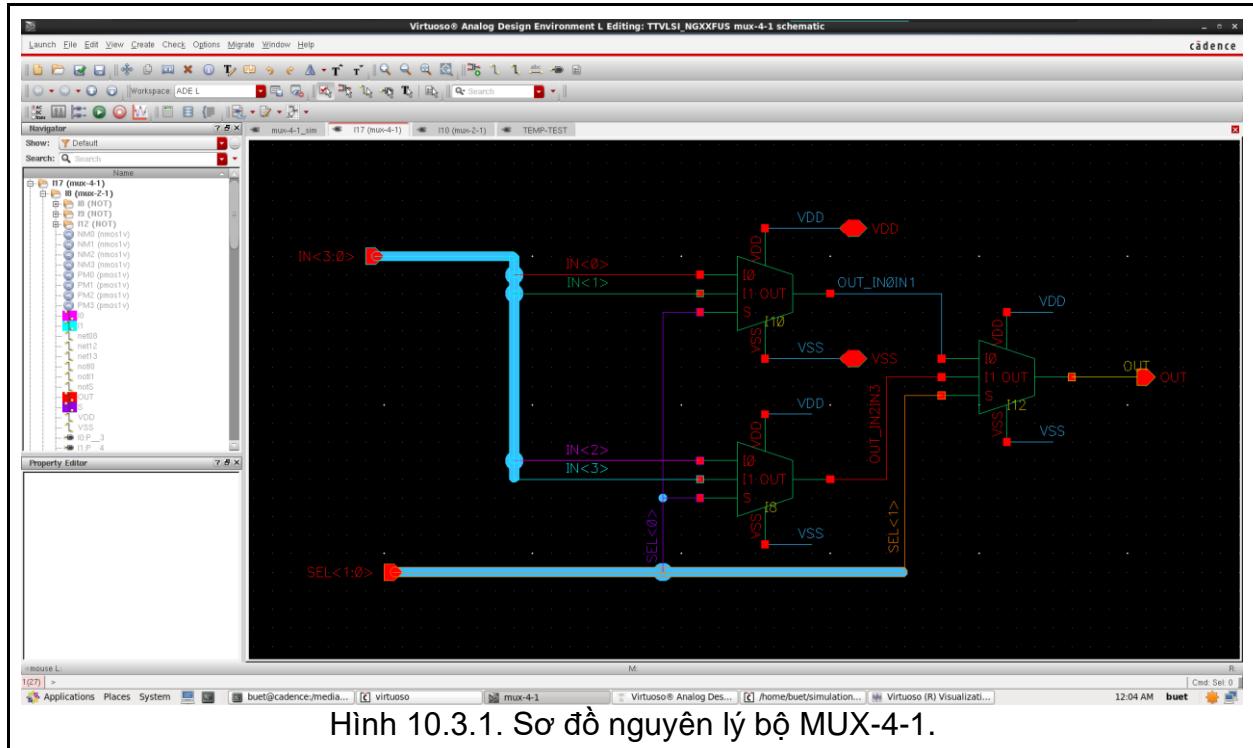
### 10.3. Vẽ bộ MUX-2-1 trên Virtuoso

Bảng 10.3.1. Thông số CMOS:

	pMOS	nMOS	Unit
Op-voltage	1	1	V
Total Width	2600	1300	nm
Length	130		nm
Fingers	1	1	
Fingers Width	2600	1300	nm
Threshold	130	130	nm

S/D Metal Width	200	200	nm
Tech	90nm (Samsung PDK)		

Dựa vào bảng thông số CMOS và các biểu thức ở 10.2, thực hiện vẽ mạch nguyên lý bộ MUX-4-1 trên Cadence Virtuoso.



Hình 10.3.2. Ký hiệu bộ MUX-4-1 trên Cadence Virtuoso.

#### 10.4. Mô phỏng bộ MUX-2-1 trên Cadence Virtuoso

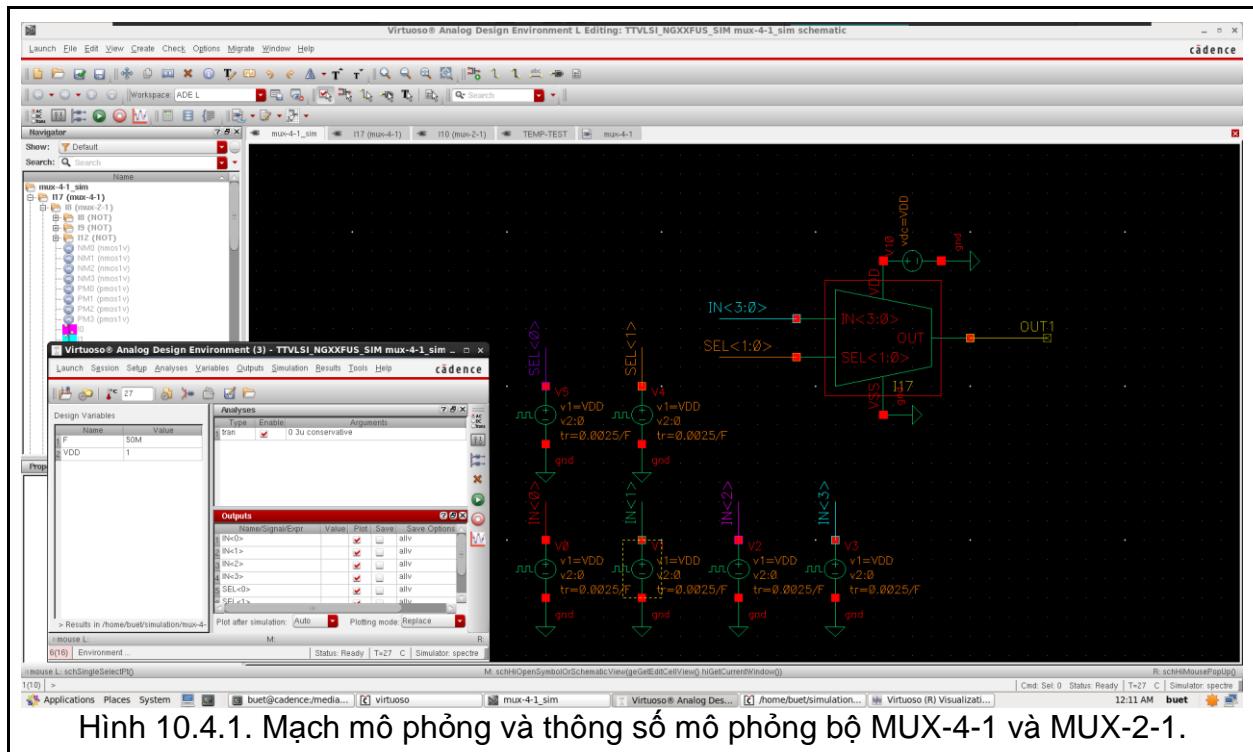
**Bảng 10.4.1.Thông số nguồn DC:**

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

**Bảng 10.4.2. Thông số nguồn cấp xung vuông cho ngõ vào IN<0>:**

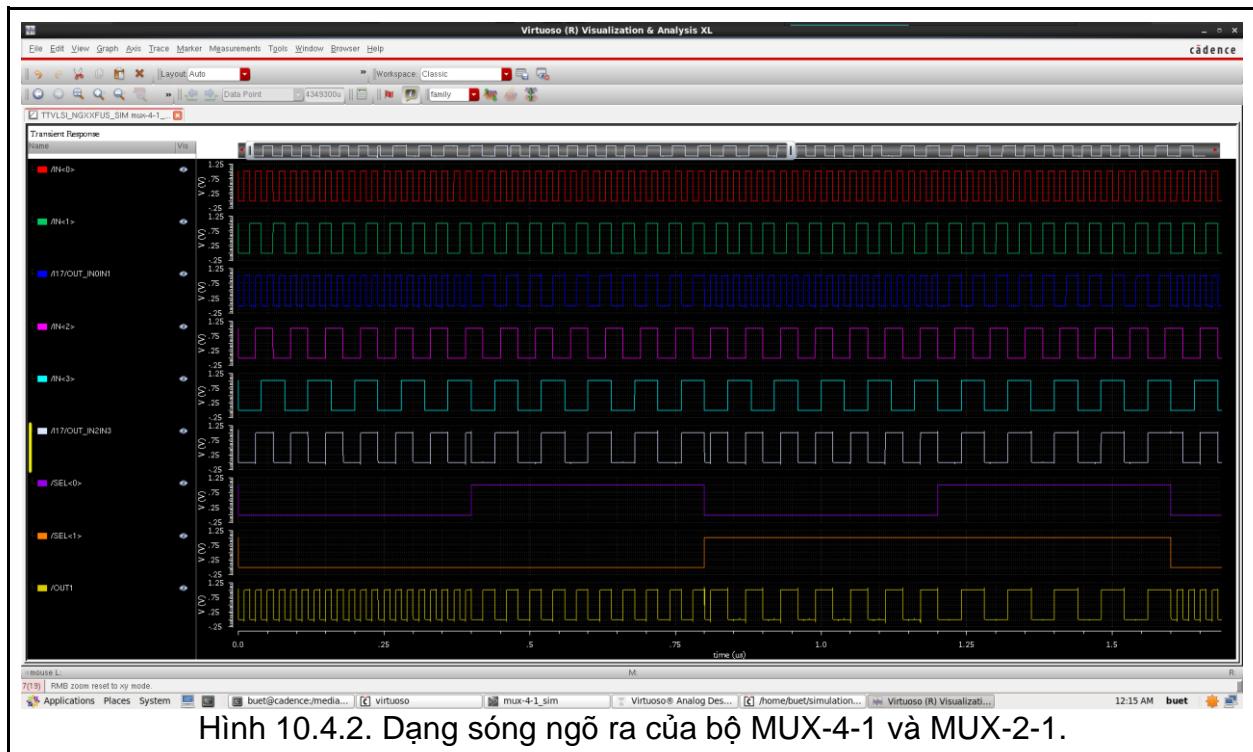
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	5MHz	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

Giữ nguyên các giá trị trong bảng, nhân k lần chu kỳ với ngõ vào IN<k>. Riêng SEL<0> có chu kỳ gấp 40 lần chu kỳ IN<0> (40/F s) và SEL<1> có chu kỳ gấp 80 lần IN<0> (80/F s).



Hình 10.4.1. Mạch mô phỏng và thông số mô phỏng bộ MUX-4-1 và MUX-2-1.

Kết quả:



Hình 10.4.2. Dạng sóng ngõ ra của bộ MUX-4-1 và MUX-2-1.

Giải thích:

- + Ngõ ra OUT\_IN0IN1 là ngõ ra của bộ MUX-2-1 với đầu vào là IN0 và IN1 (Tham khảo hình 10.3.1).

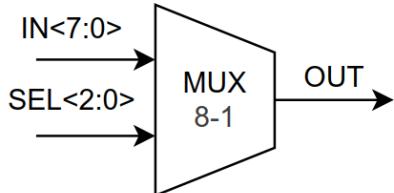
Nhận xét:

- + Khi  $S_0 = 0V$ , ngõ ra xung vuông tần số giống với  $IN<0>$ , và khi  $S_0 = 1V$ , ngõ ra xung vuông có tần số giống với  $IN<1>$  nên bộ MUX-2-1 hoạt động đúng với lý thuyết.
- + Ngõ ra OUT1 có dạng sóng giống với  $IN<k>$  khi  $SEL<1:0> = k$ , nên cổng MUX-4-1 hoạt động đúng với lý thuyết.

## 11. Multiplexer-8-1 (MUX-8-1)

### 11.1. Ký hiệu, bảng trạng thái

Bảng 11.1.1. Bảng trạng thái MUX-8-1.



Hình 11.1.1. Ký hiệu MUX-8-1.

I<7:0> (IN)	S<2:0> (SEL)	OUT
XXXXXXXX	000B	I<0>
XXXXXXXX	001B	I<1>
XXXXXXXX	010B	I<2>
...	...	...
XXXXXXXX	111B	I<7>

### 11.2. Hàm ngõ ra của MUX-4-1

Hàm ngõ ra của MUX-8-1 được biểu diễn thông qua các biểu thức sau:

$$OUT = I_0 \cdot \#S_0 \cdot \#S_1 \cdot \#S_2 + I_1 \cdot S_0 \cdot \#S_1 \cdot \#S_2 + I_2 \cdot \#S_0 \cdot S_1 \cdot \#S_2 + \dots + I_7 \cdot S_0 \cdot S_1 \cdot S_2 \quad (11.2.1)$$

Biến đổi biểu thức 11.2.1 thành biểu diễn của các biểu thức sau:

$$OUT_0 = I_0 \cdot \#S_0 \cdot \#S_1 + I_1 \cdot S_0 \cdot \#S_1 + I_2 \cdot \#S_0 \cdot S_1 + I_3 \cdot S_0 \cdot S_1 \quad (10.2.2)$$

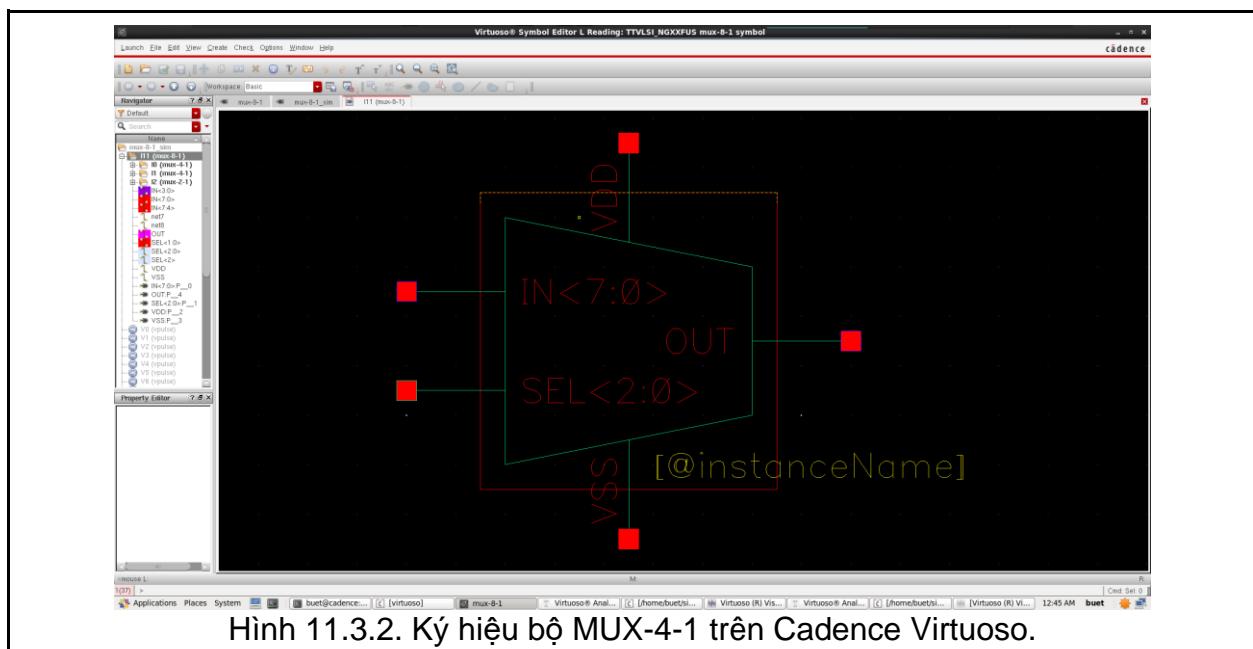
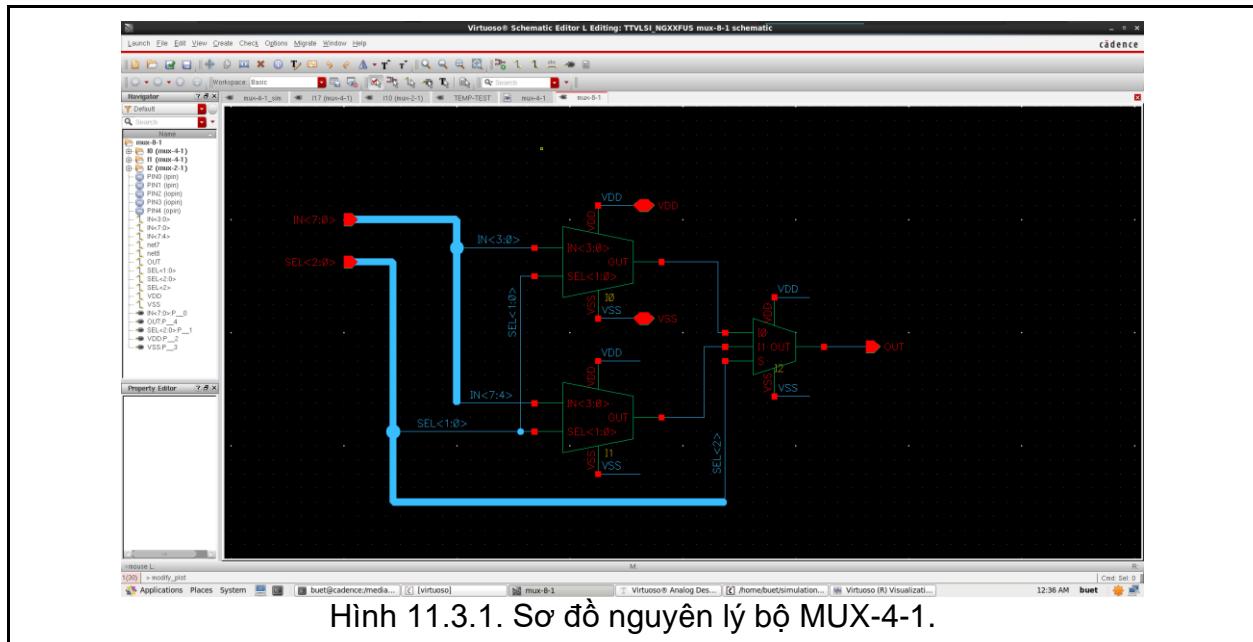
$$OUT_1 = I_4 \cdot \#S_0 \cdot \#S_1 + I_5 \cdot S_0 \cdot \#S_1 + I_6 \cdot \#S_0 \cdot S_1 + I_7 \cdot S_0 \cdot S_1 \quad (10.2.3)$$

$$OUT = OUT_0 \cdot \#S_2 + OUT_1 \cdot S_2 \quad (10.2.4)$$

Với #S là ngõ ra đảo của S.

Nhận xét: MUX-8-1 được ghép từ 02 bộ MUX-4-1 và một bộ MUX-2-1.

### 11.3. Vẽ bô MUX-8-1 trên Virtuoso



### 11.4. Mô phỏng bộ MUX-2-1 trên Cadence Virtuoso

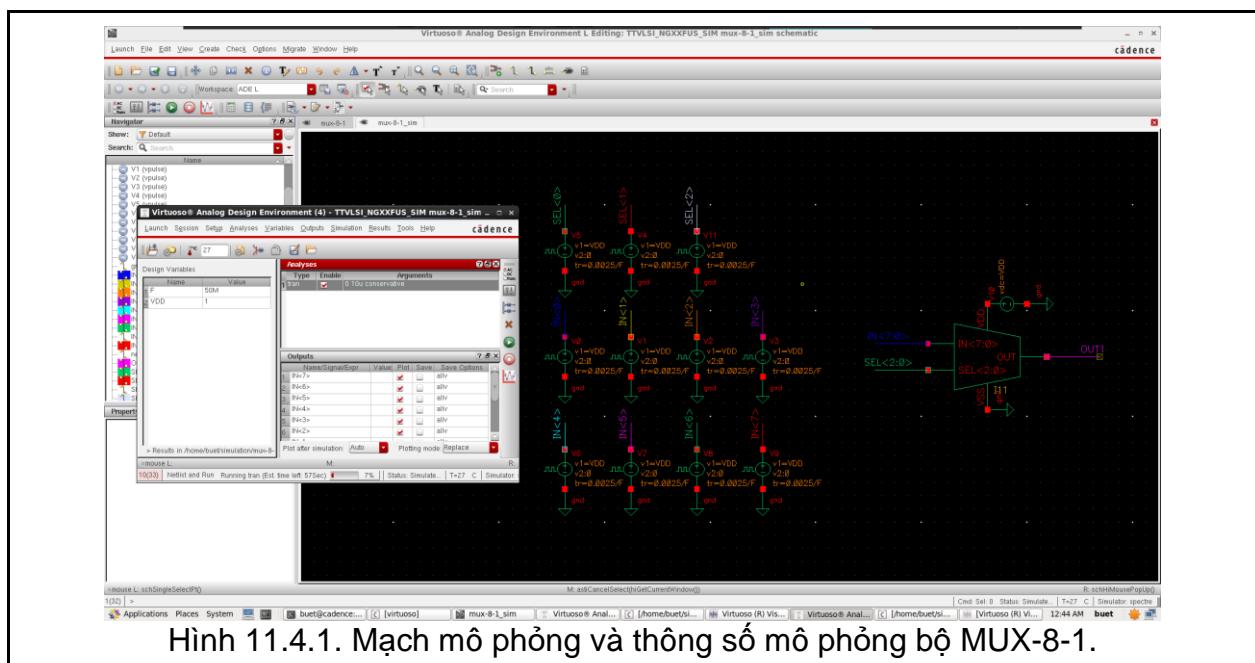
Bảng 11.4.1.Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

**Bảng 11.4.2. Thông số nguồn cấp xung vuông cho ngõ vào IN<0>:**

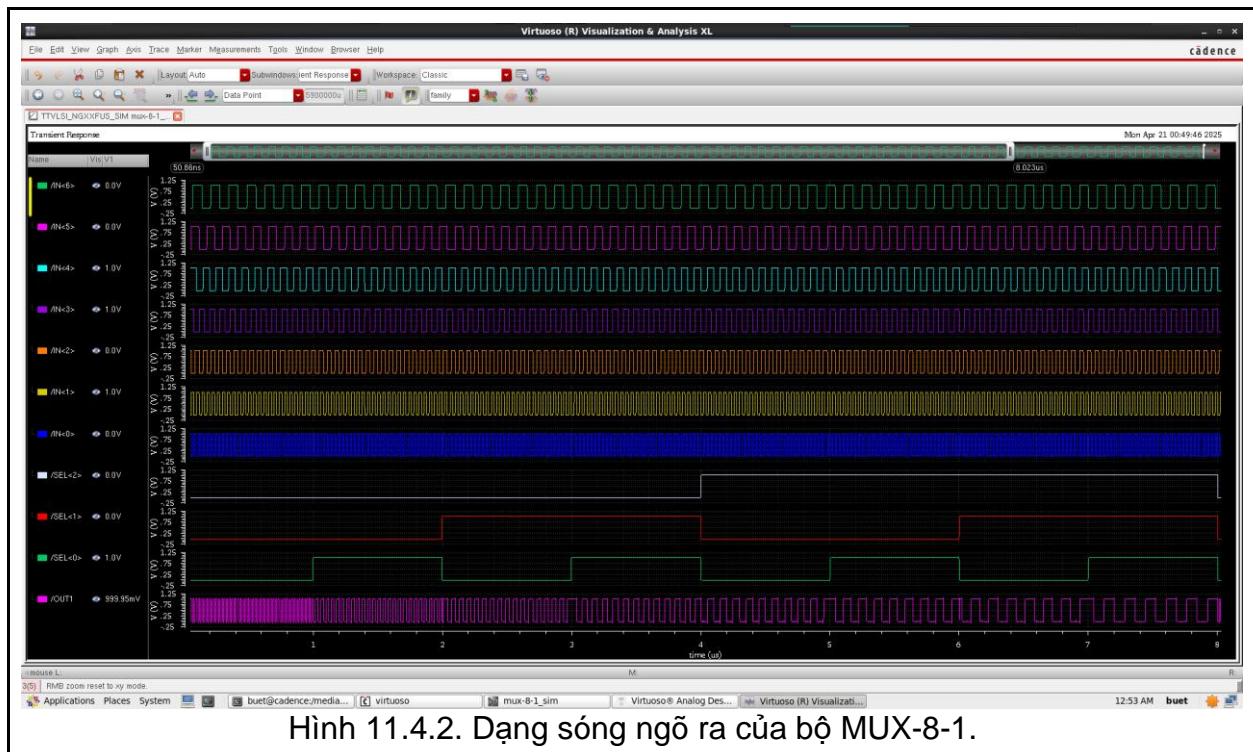
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	5MHz	V
Thời gian cạnh lên.	--	0.005/F	s
Thời gian cạnh xuống.	--	0.005/F	s
Độ rộng xung	--	0.5/F	s
Giá trị ban đầu	--	0	V

Giữ nguyên các giá trị trong bảng, nhân k lần chu kỳ với ngõ vào IN<k>. Riêng SEL<0> có chu kỳ gấp 100 lần chu kỳ IN<0> (100/F s) , SEL<1> có chu kỳ gấp 200 lần IN<0> (200/F s) và SEL<2> có chu kỳ gấp 400 lần IN<0> (400/F s).



Hình 11.4.1. Mạch mô phỏng và thông số mô phỏng bộ MUX-8-1.

Kết quả:



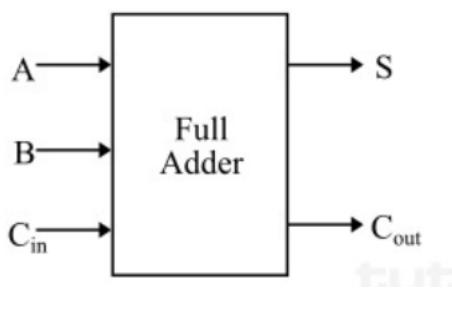
Nhận xét:

- + Ngõ ra OUT1 có dạng sóng giống với ngõ vào  $IN_{<k>}$  khi với  $k = SEL_{<2:0>}$  nên bộ MUX-8-1 hoạt động đúng với lý thuyết.

## 12. Full-Adder

### 12.1. Sơ đồ chân, bảng trạng thái

Bảng 12.1.1. Bảng trạng thái Full-Adder.



C_IN	B	A	C_OUT	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Hình 12.1.1. Sơ đồ chân bộ Full-Adder.

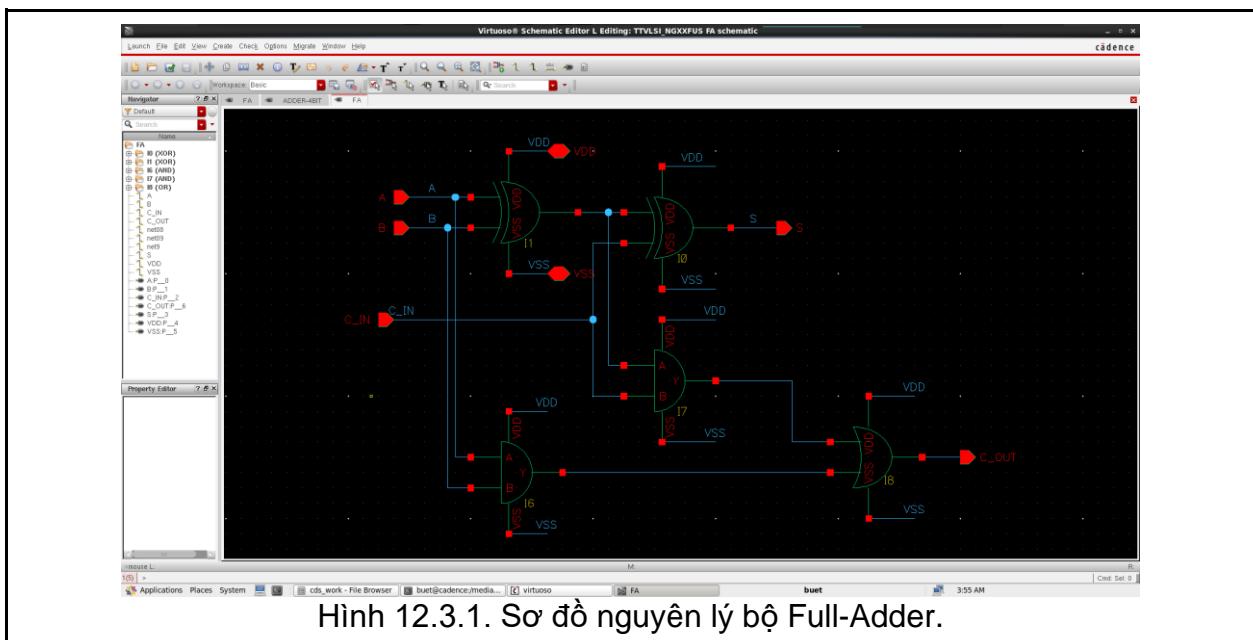
### 12.2. Hàm ngõ ra của Full-Adder

Hàm ngõ ra của MUX-8-1 được biểu diễn thông qua các biểu thức sau:

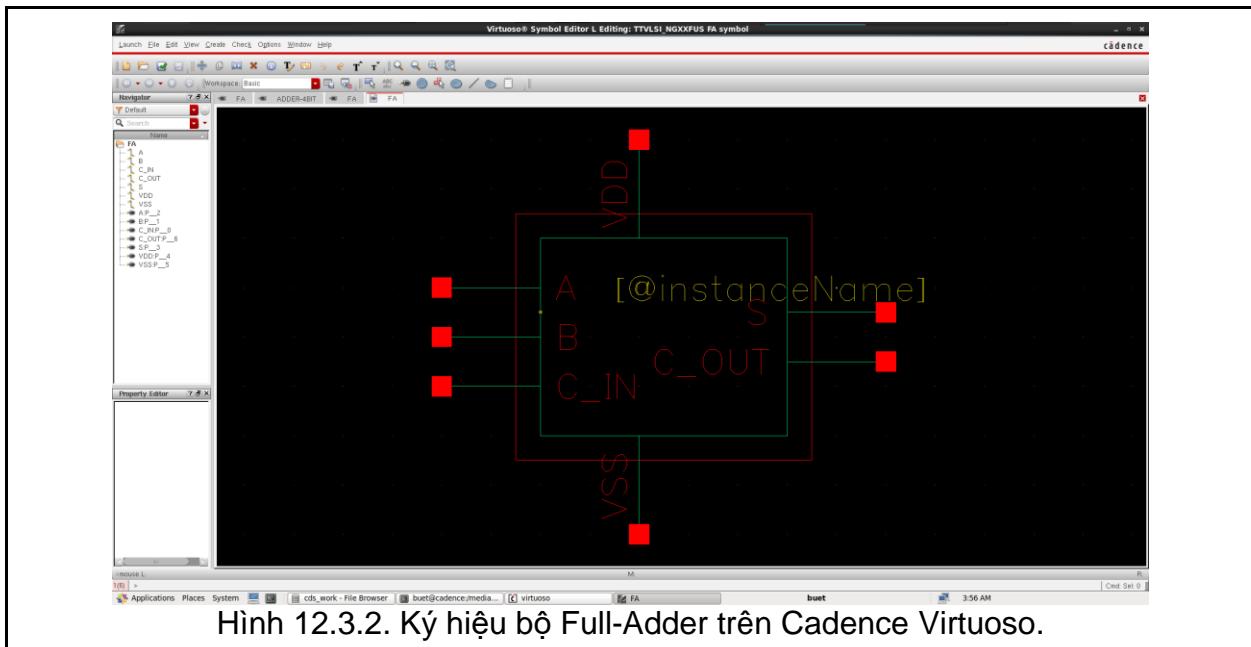
$$S = (A \oplus B) \oplus C_{IN} \quad (12.2.1)$$

$$C_{OUT} = A \cdot B + C_{IN} \cdot (A \oplus B) \quad (12.2.2)$$

### 12.3. Vẽ bộ Full-Adder trên Virtuoso



Hình 12.3.1. Sơ đồ nguyên lý bộ Full-Adder.



## 12.4. Mô phỏng bộ Full-Adder trên Cadence Virtuoso

**Bảng 12.4.1. Thông số nguồn DC:**

Thông số	Biên	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

**Bảng 12.4.2. Thông số nguồn cấp xung vuông cho ngõ vào A:**

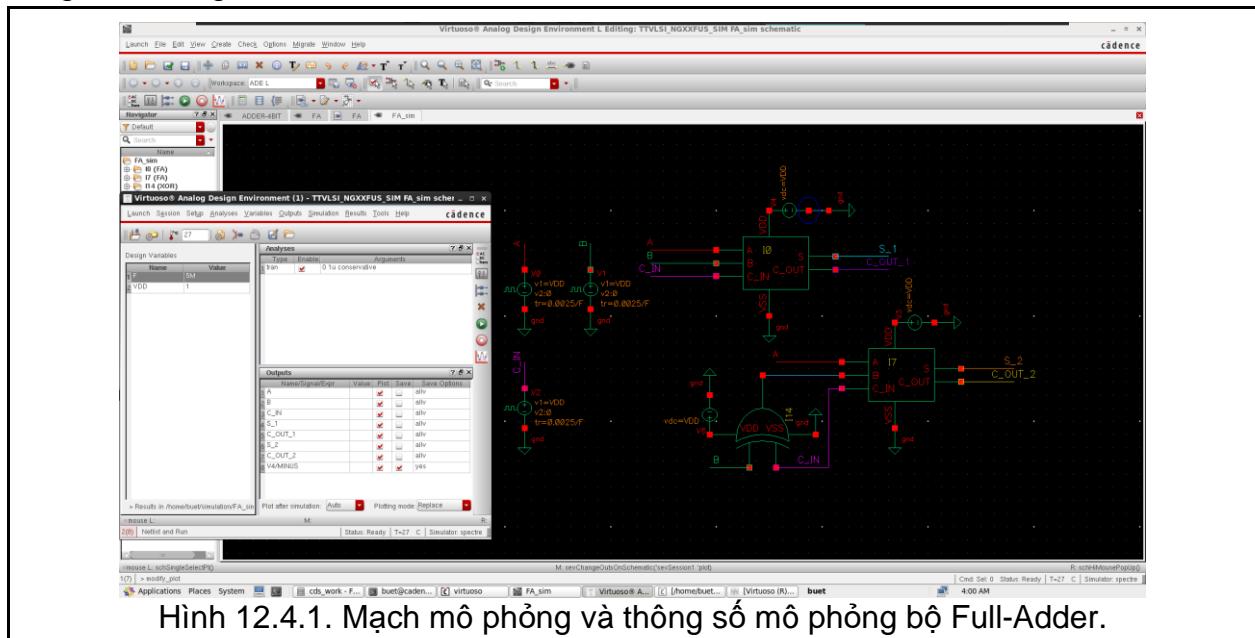
Thông số	Biên	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	5MHz	V
Thời gian cạnh lên.	--	0.0025/F	s
Thời gian cạnh xuống.	--	0.0025/F	s

Giữ nguyên các giá trị/biểu thức trong bảng, tăng gấp đôi chu kỳ với ngõ vào B và gấp bốn lần với ngõ vào C\_IN.

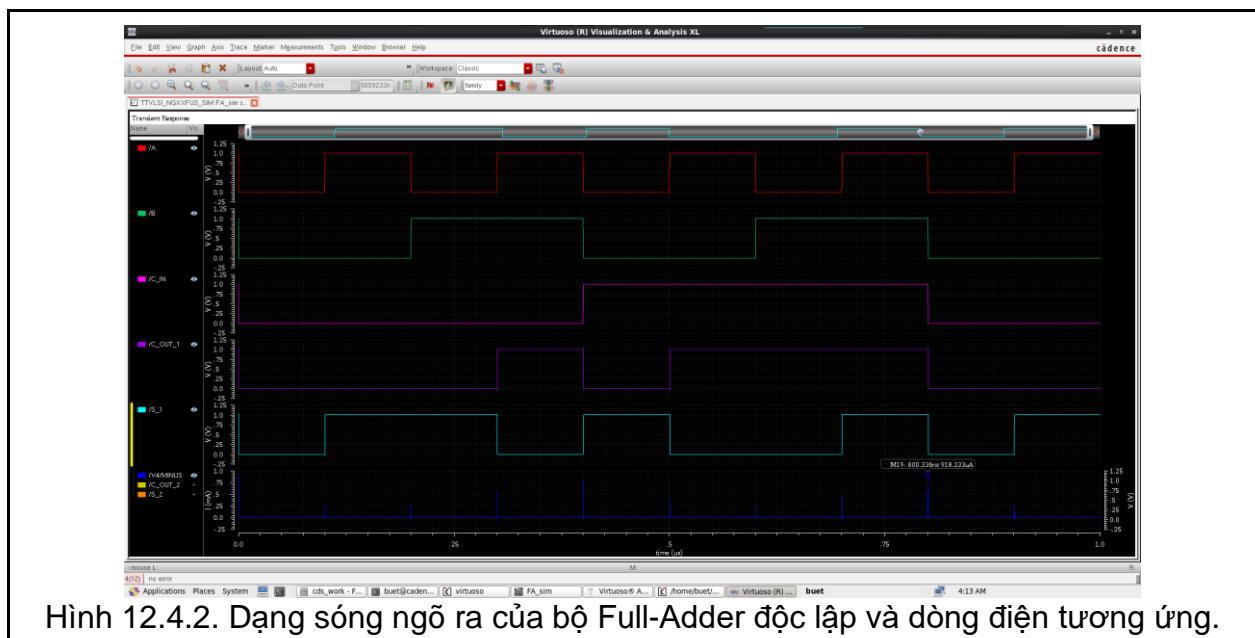
Thực hiện vẽ mạch mô phỏng cho bộ Full-Adder với hai trường hợp:

- + Bộ Full-Adder một mình, ngõ ra đặt là S\_1, C\_OUT\_1
- + Bộ Full-Adder có một cổng XOR ở ngõ vào (như Hình 12.4.1) để chuyển bộ cộng thành bộ trừ. Ngõ ra là S\_2 và C\_OUT\_2.

Ngoài ra, tiến hành khảo sát dòng điện cấp cho bộ Full-Adder độc lập để tính giá trị công suất trung bình.



### Kết quả mô phỏng bộ Full-Adder độc lập:

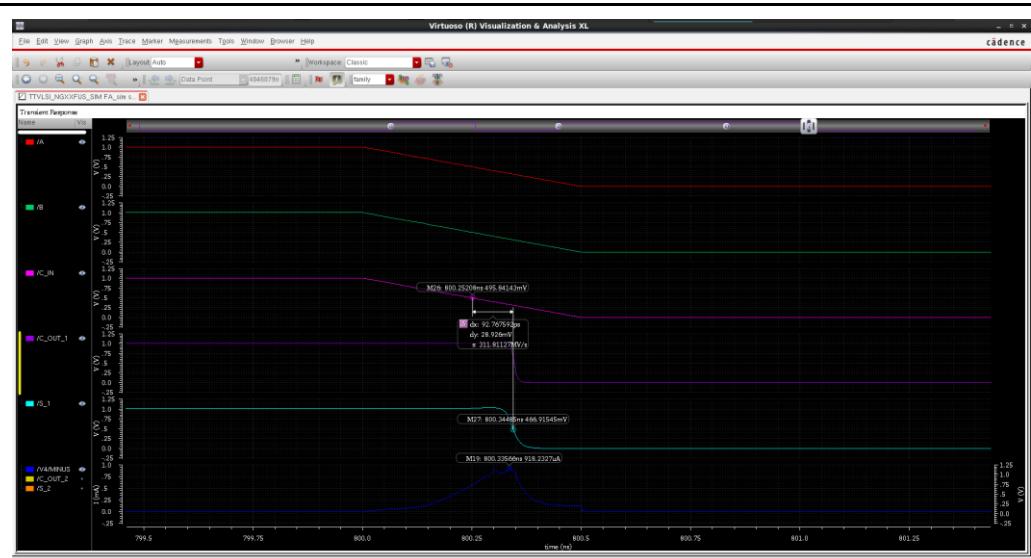


Nhận xét: Bộ Full-Adder hoạt động đúng với lý thuyết.



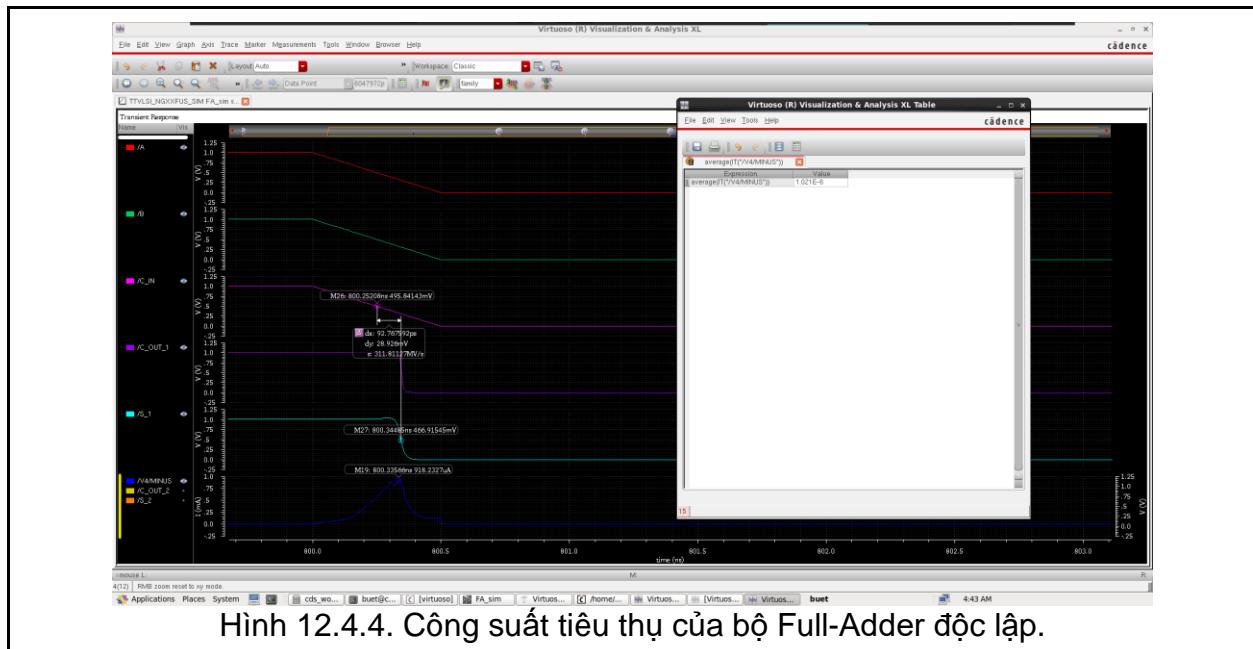
Hình 12.4.2. Khảo sát ngẫu nhiên độ trễ của bộ Full-Adder độc lập.

Thực hiện khảo sát ngẫu nhiên độ trễ lan truyền cạnh lén một vài điểm trên ngõ ra, kết quả thu được giá trị trễ lan truyền cạnh lén lớn nhất ghi nhận được là ~238ps.



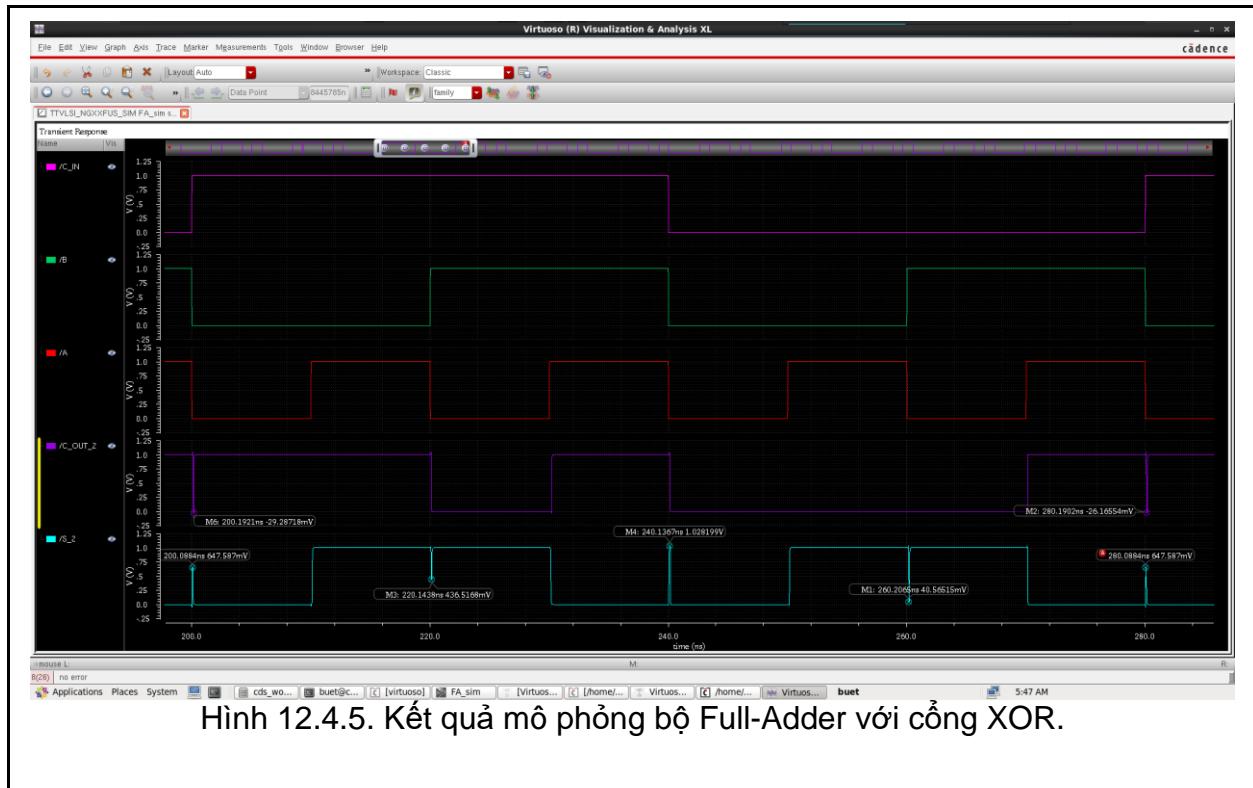
Hình 12.4.3. Khảo sát ngẫu nhiên độ trễ của bộ Full-Adder độc lập.

Thực hiện khảo sát ngẫu nhiên độ trễ lan truyền cạnh xuống một vài điểm trên ngõ ra, kết quả thu được giá trị trễ lan truyền cạnh xuống lớn nhất ghi nhận được là ~93ps.



Nhận xét: Công suất cực đại 918uW, công suất trung bình 1.02uW.

### Kết quả mô phỏng bộ Full-Adder kết hợp cổng XOR:



Nhận xét:

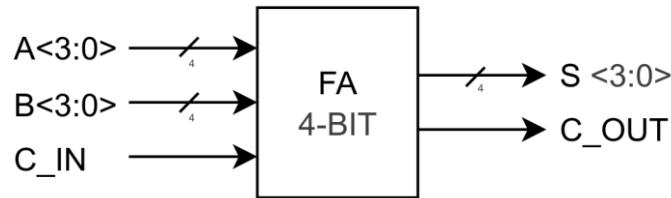
- + Khi  $C_{IN}=0$ , khi đó Full-Adder là bộ cộng hoạt động đúng với lý thuyết, nhưng có

nhiều khoảng dưới ngưỡng và vượt ngưỡng có biên độ lớn ( $>VDD$ ).

+ Khi C\_IN=VDD, khi đó Full-Adder là bộ trừ, S trở thành D, và C\_OUT trở thành #B.

## 13. Full-Adder

### 13.1. Sơ đồ chân, bảng trạng thái



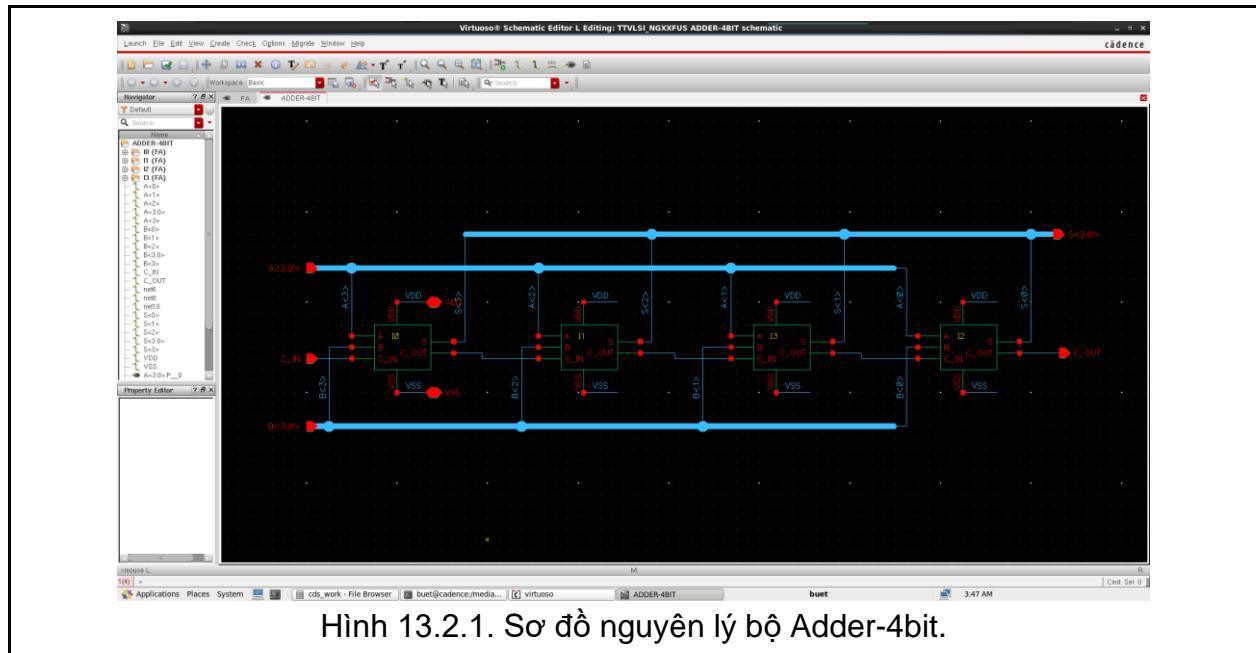
Hình 13.1.1. Sơ đồ chân bộ Full-Adder.

Bảng 12.1.1. Bảng trạng thái Full-Adder:

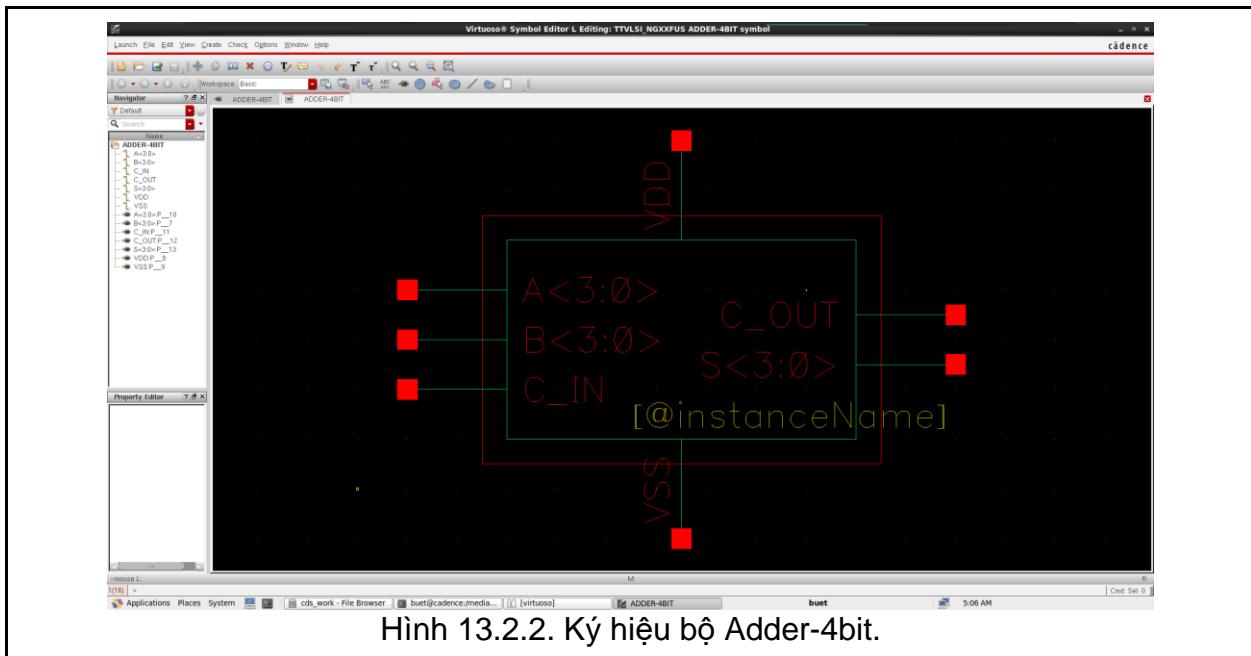
C_IN	B<3:0>	A<3:0>	C_OUT	S<3:0>
0	0	0	0	0
0	0	1	0	1
0	0	2	0	2
0	0	3	0	3
1	...	...	...	...
1	15	13	1	13
1	15	14	1	14
1	15	15	1	15

### 13.2. Mạch nguyên lý, ký hiệu bộ ADDER-4BIT

Thực hiện vẽ mạch Adder-4bit được ghép nối tiếp từ các bộ cộng Full-Adder.



Hình 13.2.1. Sơ đồ nguyên lý bộ Adder-4bit.



Hình 13.2.2. Ký hiệu bộ Adder-4bit.

### 13.3. Mô phỏng bộ Adder-4bit.

#### 13.3.1. Thông số nguồn DC và nguồn xung cơ sở

Bảng 13.3.1.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

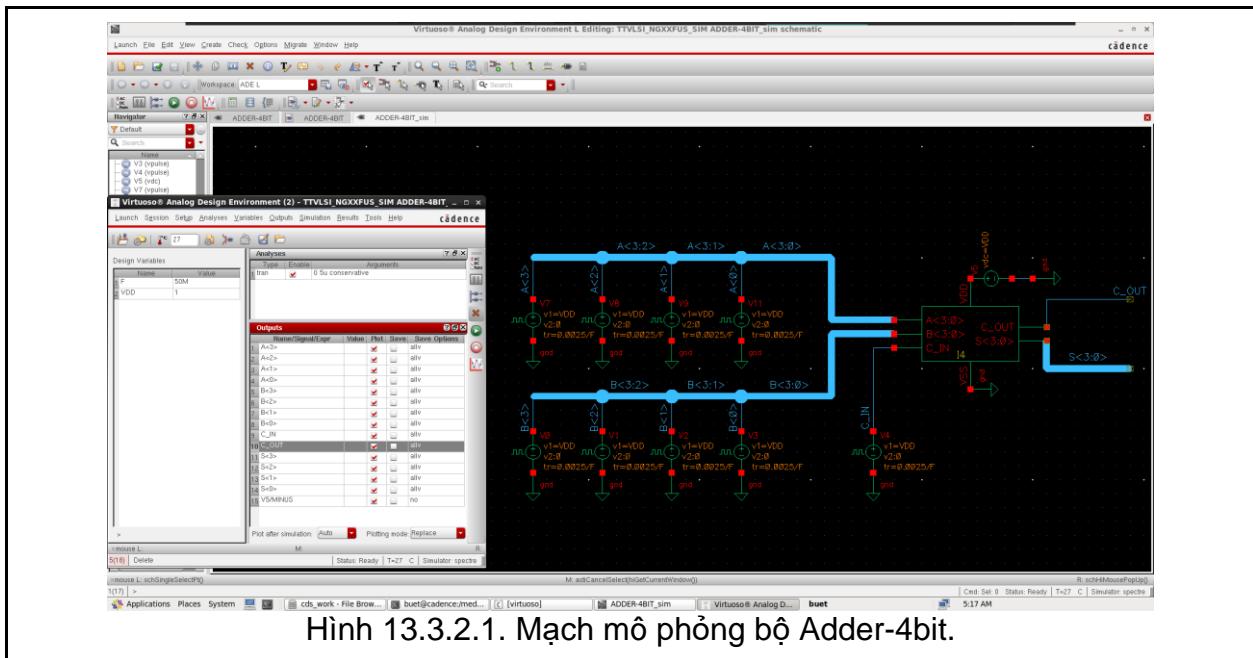
Bảng 13.3.1.2. Thông số nguồn cấp xung vuông cơ sở:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	
Điện áp mức thấp	--	0	V
Tần số	F	50MHz	
Thời gian cạnh lên.	--	0.0025/F	
Thời gian cạnh xuống.	--	0.0025/F	s
Giá trị ban đầu	--	0	V

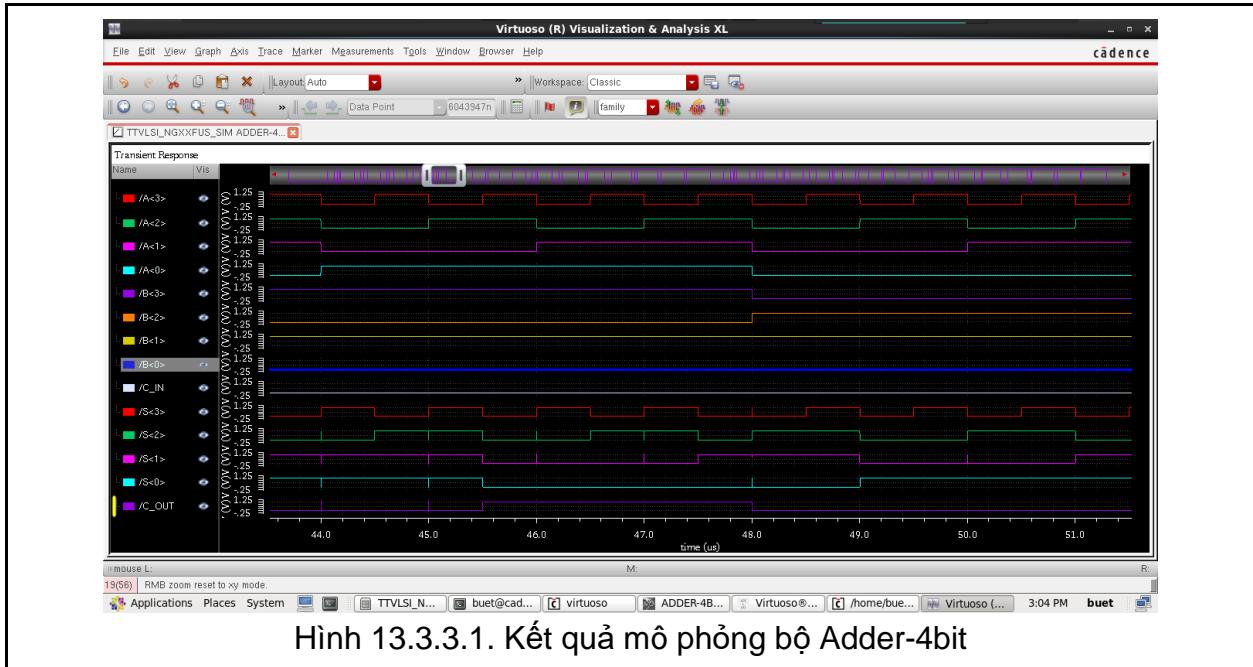
Ghi chú: Nguồn xung cơ sở là nguồn xung có tần số lớn nhất (F Hz). Các nguồn xung thứ cấp có thông số giống với nguồn xung cơ sở ngoại trừ tần số giảm K lần.

#### 13.3.2. Mạch mô phỏng bộ Adder-4bit

Thực hiện vẽ mạch và chọn nguồn với thông số nguồn ở phần 13.3.1. Cấp nguồn xung có tần số F vào ngõ vào A<3>, F/2 vào A<3>, ..., F/256 vào C\_IN.

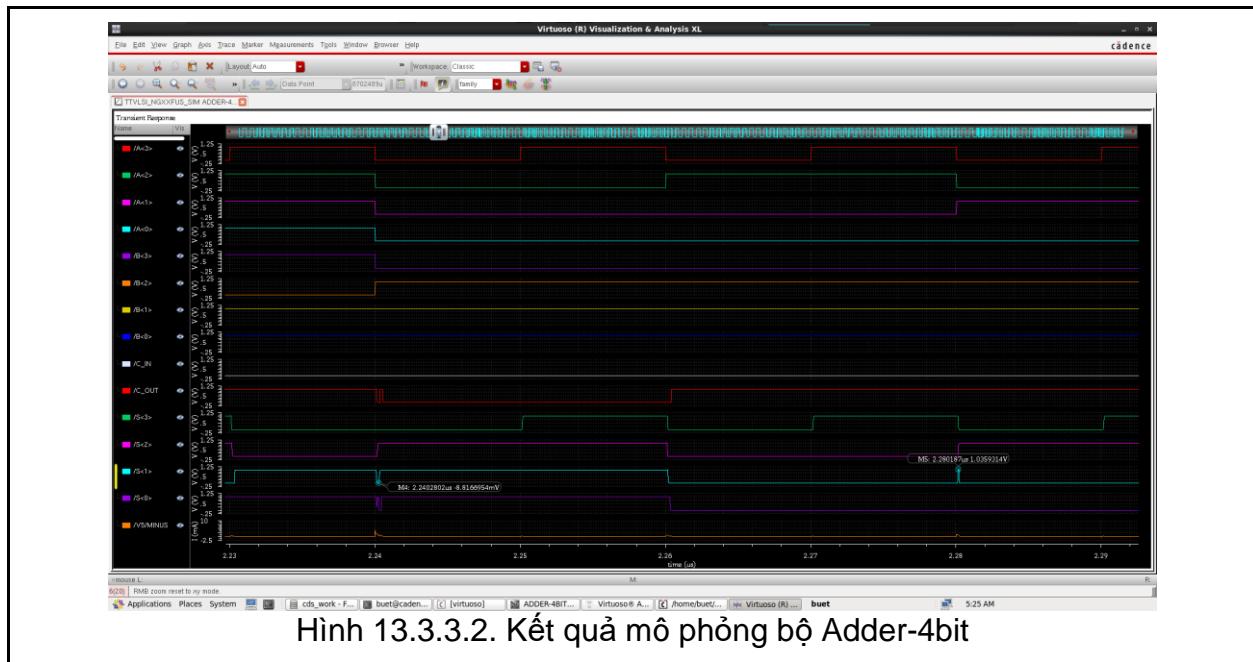


### 13.3.3. Kết quả mô phỏng bộ Adder-4bit



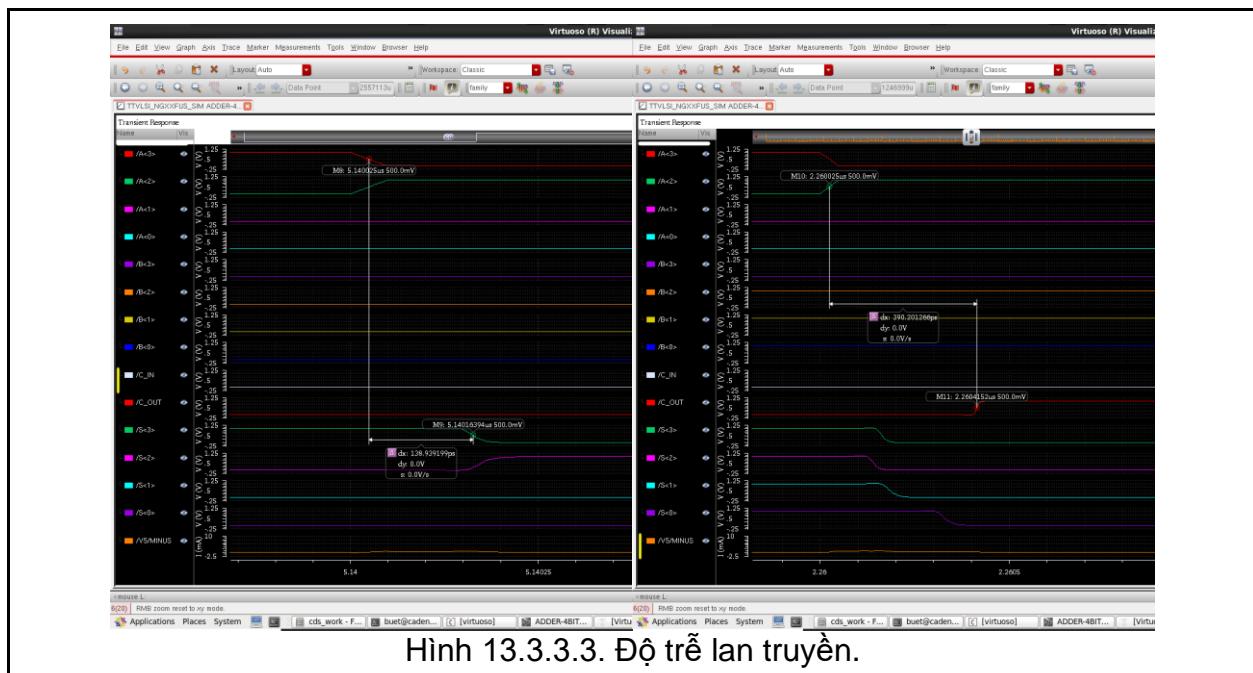
Nhận xét:

- + Dạng sóng ngõ ra có rất nhiều khoảng dưới ngưỡng, vượt ngưỡng, các khoảng này có biên độ rất lớn.
- + Kiểm thử ngẫu nhiên một vài điểm trên dạng sóng, thấy bộ cộng 4 bit hoạt động đúng.

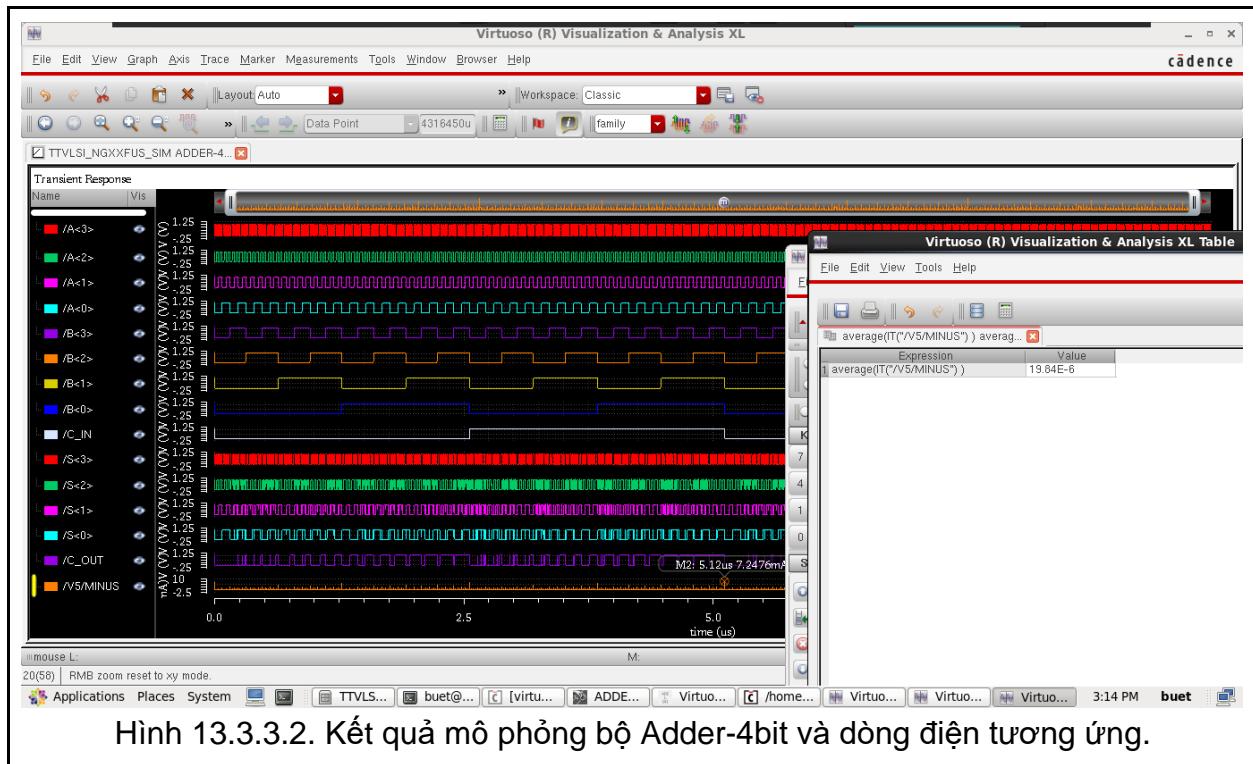


Nhận xét:

- + Xuất hiện các khoảng "nhiễu" ở ngõ ra
- + Các khoảng dưới ngưỡng và vượt ngưỡng biên độ rất lớn (> VDD).



Chọn ngẫu nhiên một vài điểm trên ngõ ra của bộ Add-4bit, giá trị độ trễ lan truyền lớn nhất ghi nhận được là 390ns.



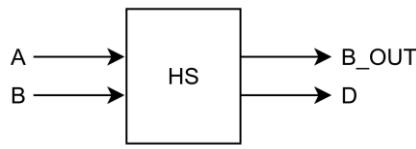
Hình 13.3.3.2. Kết quả mô phỏng bộ Adder-4bit và dòng điện tương ứng.

Nhận xét:

- + Công suất tiêu thụ tức thời ở một số điểm lớn 7.24mW.
- + Công suất tiêu thụ trung bình 20uW.

## 14. Half-Subtraction

### 14.1. Sơ đồ chân, bảng trạng thái



Bảng 14.1.1. Bảng trạng thái Half-Subtraction.

A	B	B_OUT	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

Hình 14.1.1. Sơ đồ chân bộ Half-Subtraction.

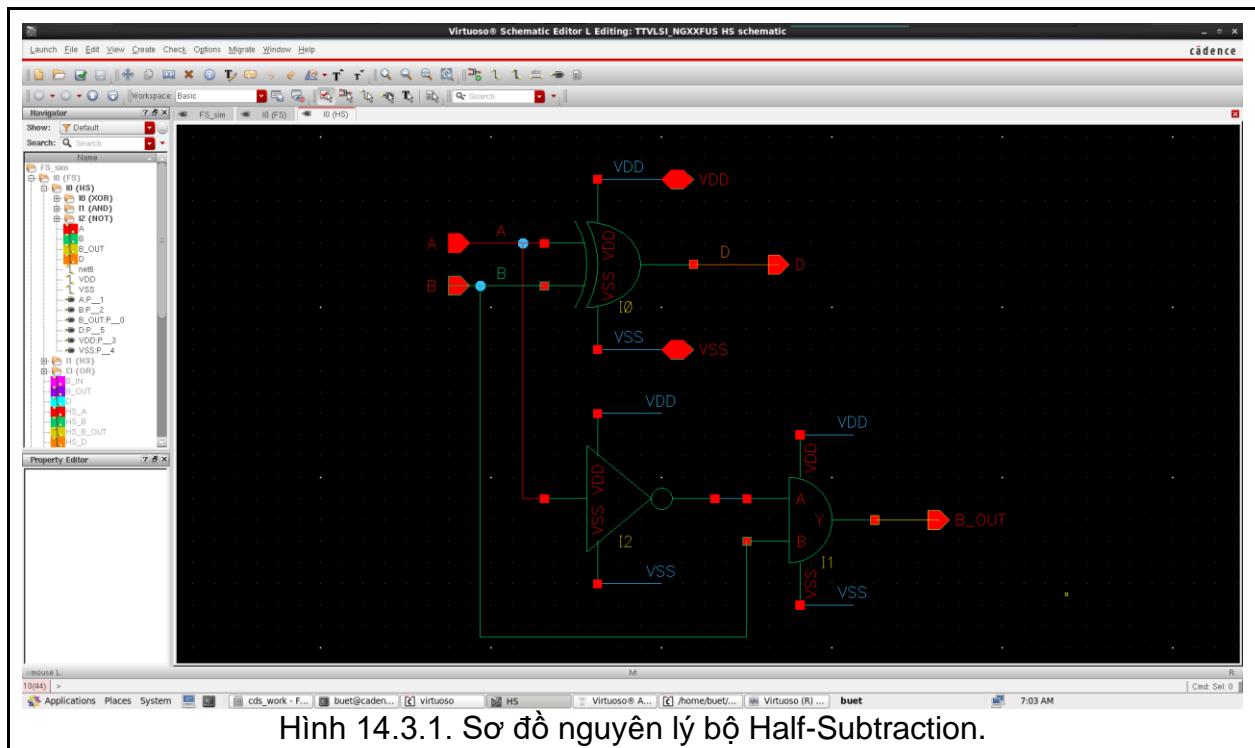
### 14.2. Hàm ngõ ra của Half-Subtraction

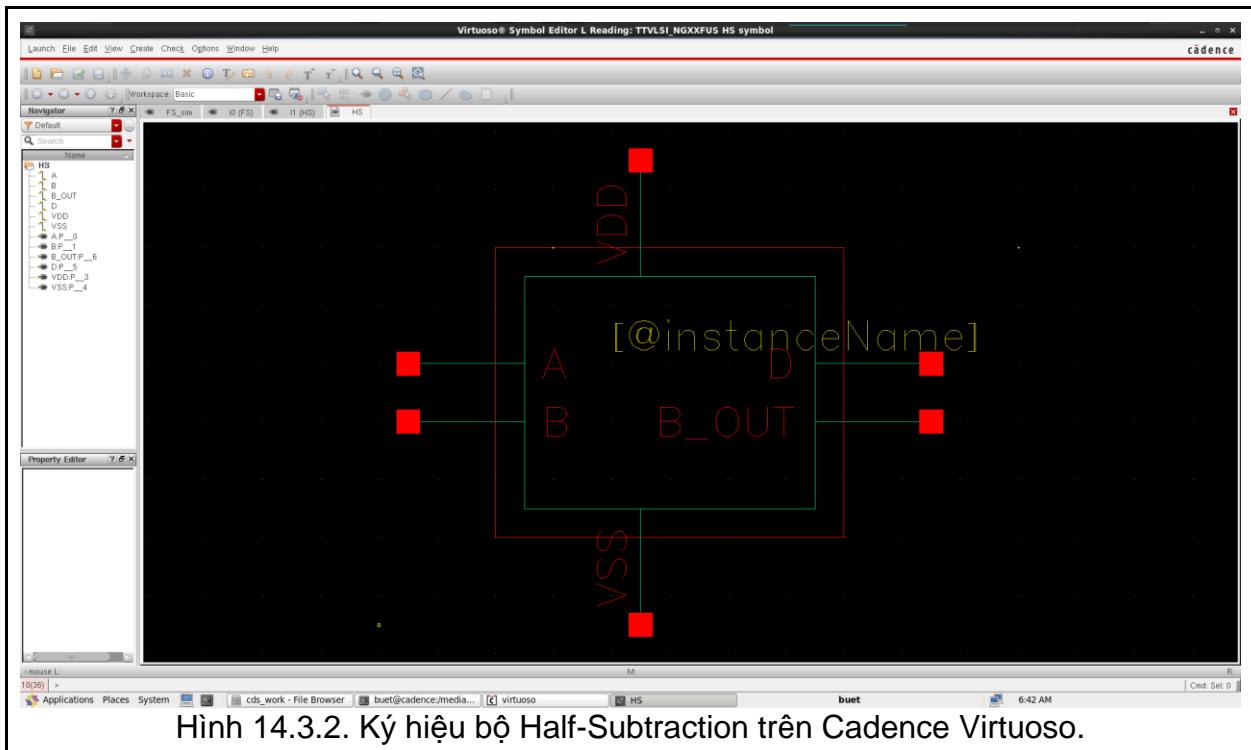
Hàm ngõ ra của bộ Half-Subtraction được biểu diễn thông qua các biểu thức sau:

$$D = (A \oplus B) \quad (14.2.1)$$

$$B_{OUT} = \#A \cdot B \quad (14.2.1)$$

### 14.3. Vẽ bộ Half-Subtraction trên Virtuoso





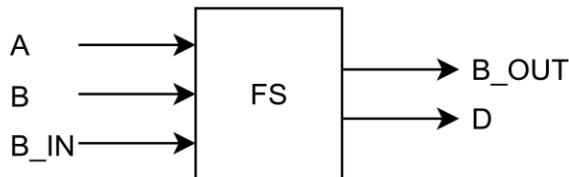
Hình 14.3.2. Ký hiệu bộ Half-Subtraction trên Cadence Virtuoso.

#### 14.4. Mô phỏng bộ Half-Subtraction trên Cadence Virtuoso

Phần mô phỏng sẽ mô phỏng cùng với bộ Full-Subtraction.

## 15. Full-Subtraction

### 15.1. Sơ đồ chân, bảng trạng thái



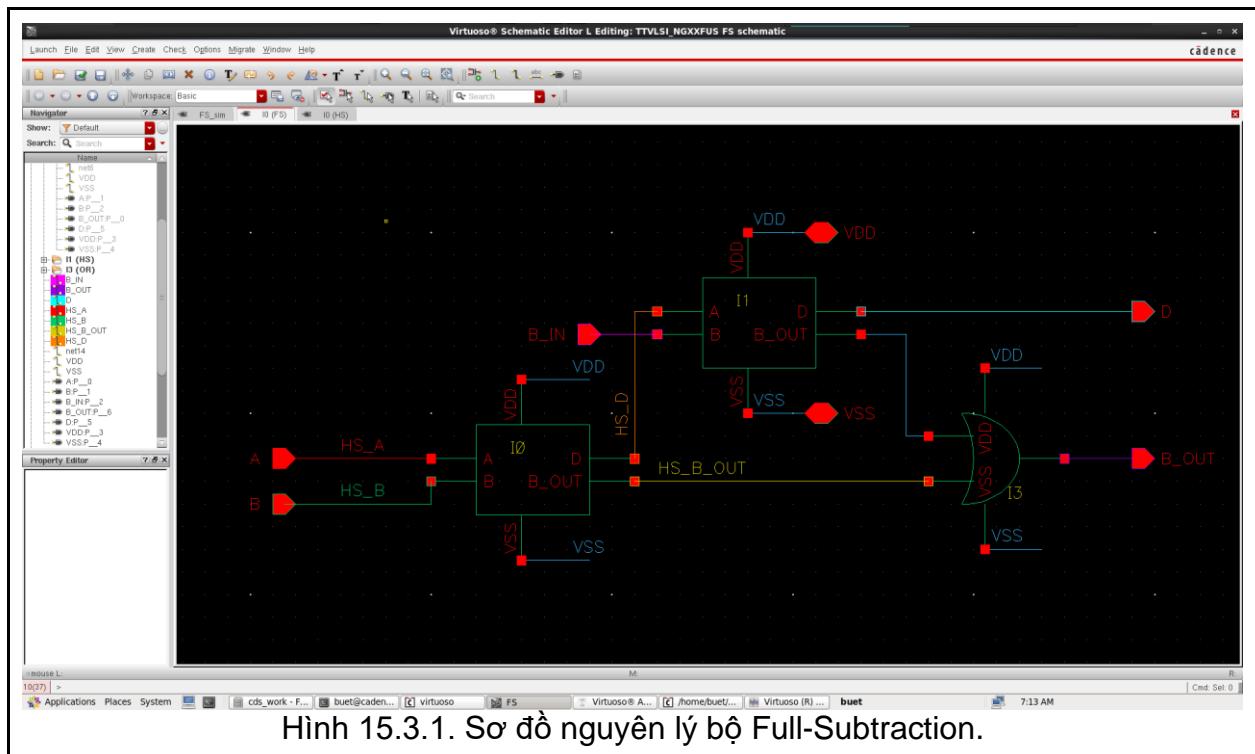
Hình 15.1.1. Sơ đồ chân bộ Full-Subtraction.

Bảng 15.1.1. Bảng trạng thái Full-Subtraction.

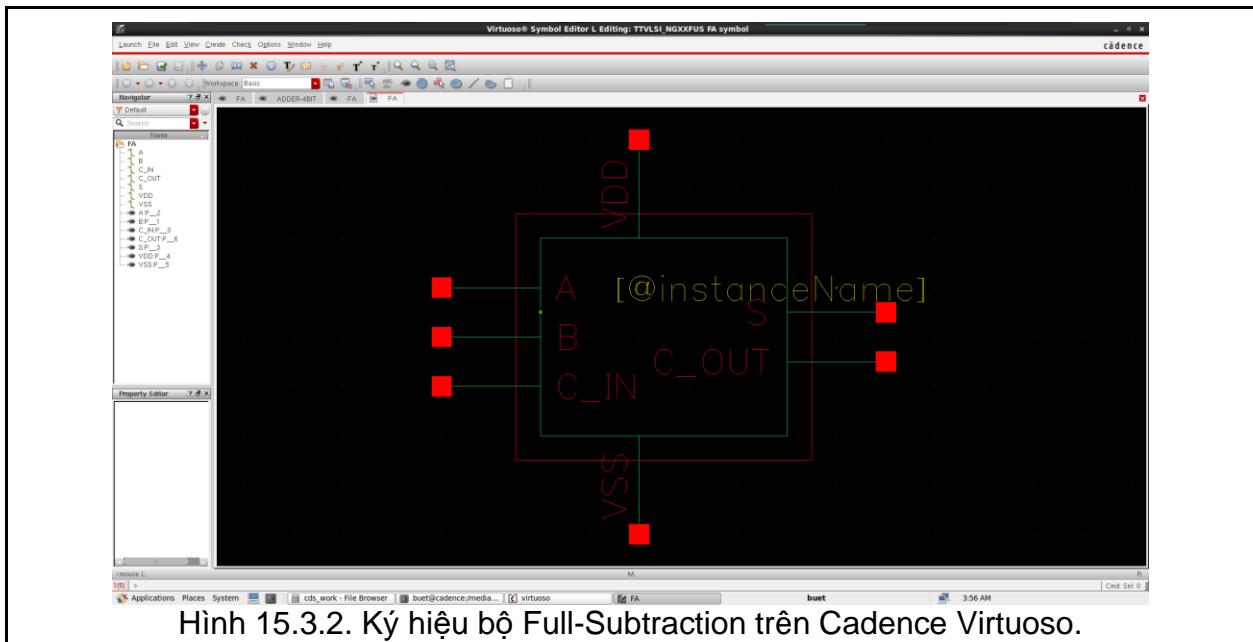
A	B	B_IN	B_OUT	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

### 15.2. Vẽ bộ Full-Subtraction trên Virtuoso

Bộ Full-Subtraction được tạo từ hai bộ Half-Subtraction ghép lại.



Hình 15.3.1. Sơ đồ nguyên lý bộ Full-Subtraction.



Hình 15.3.2. Ký hiệu bộ Full-Subtraction trên Cadence Virtuoso.

#### 15.4. Mô phỏng bộ Full-Subtraction trên Cadence Virtuoso

**Bảng 15.4.1. Thông số nguồn DC:**

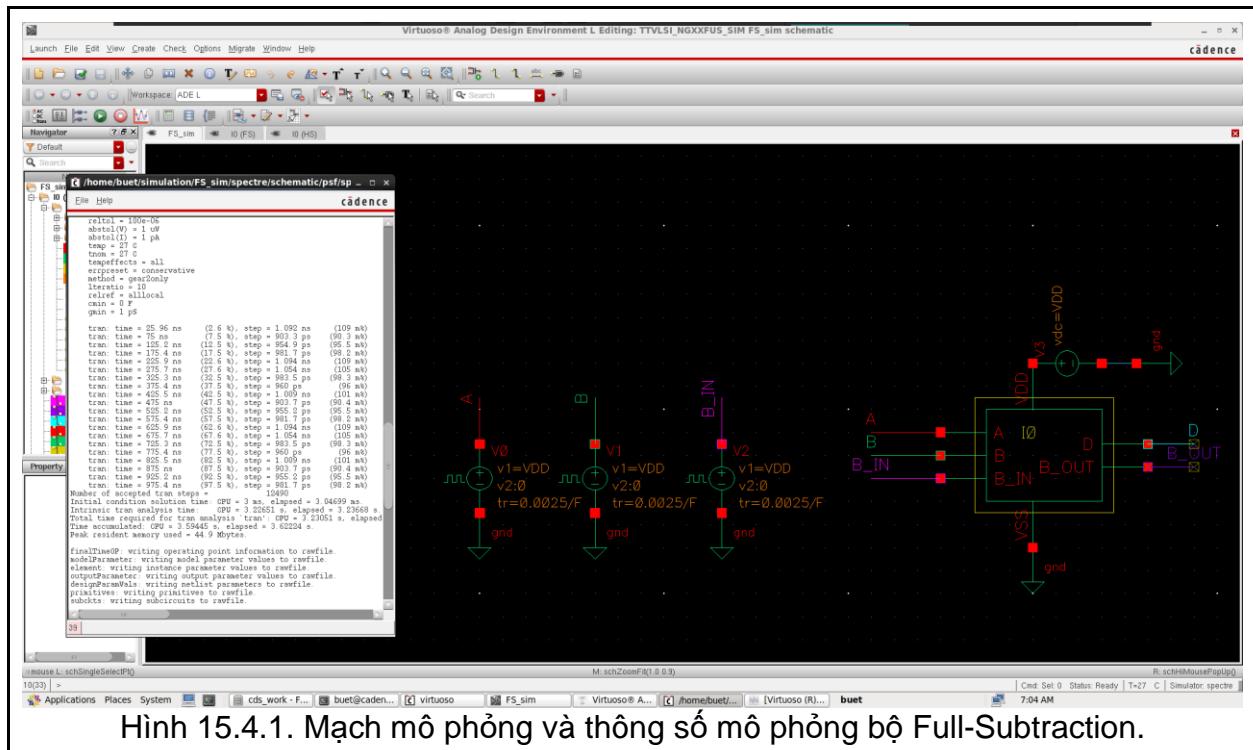
Thông số	Biên	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

**Bảng 15.4.2. Thông số nguồn cấp xung vuông cho ngõ vào A:**

Thông số	Biên	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	V
Tần số	F	50MHz	V
Thời gian cạnh lên.	--	0.0025/F	s
Thời gian cạnh xuống.	--	0.0025/F	s

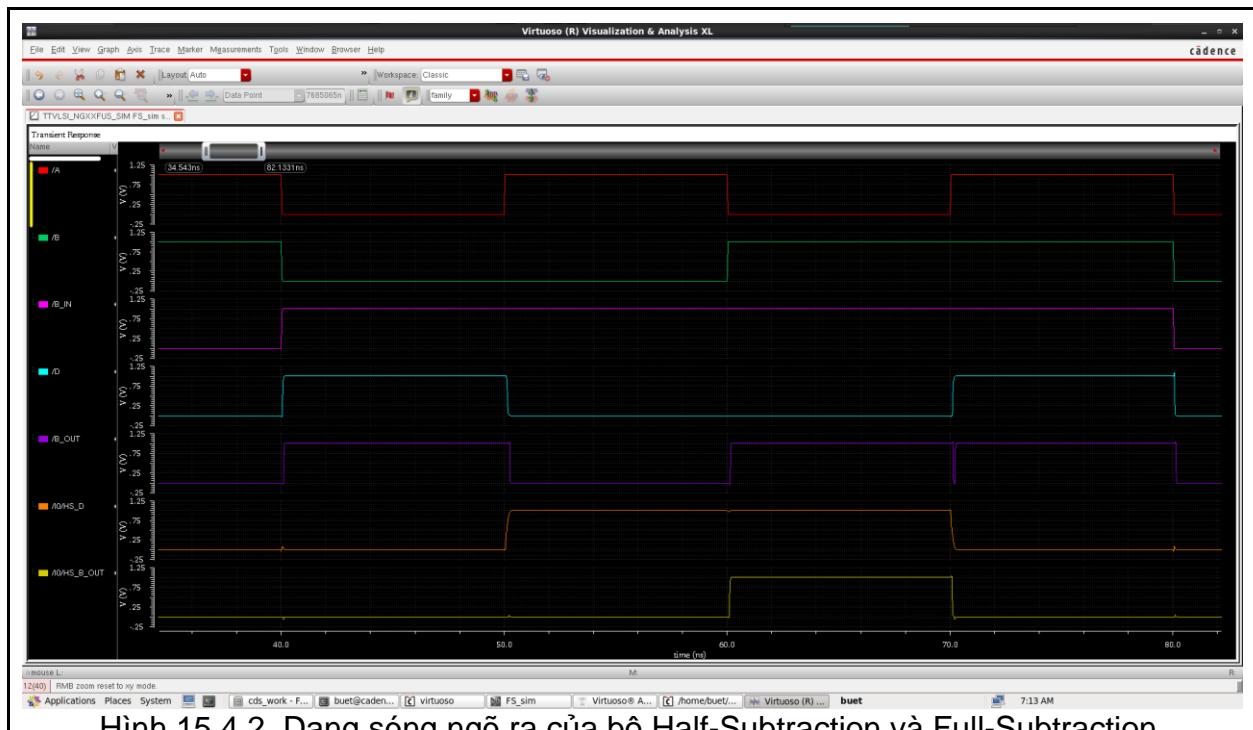
Giữ nguyên các giá trị/biểu thức trong bảng, tăng gấp đôi chu kỳ với ngõ vào B và gấp bốn lần với ngõ vào B\_IN.

Thực hiện vẽ mạch mô phỏng cho bộ Half-Subtraction (với ngo vào gồm A, B; ngo ra gồm HS\_D, HS\_B\_OUT); bộ Full-Subtraction (với ngo vào A, B, B\_IN; ngo ra D, B\_OUT). Ngoài ra, tiến hành khảo sát dòng điện cấp cho bộ Full-Subtraction độc lập để tính giá trị công suất trung bình.



Hình 15.4.1. Mạch mô phỏng và thông số mô phỏng bộ Full-Subtraction.

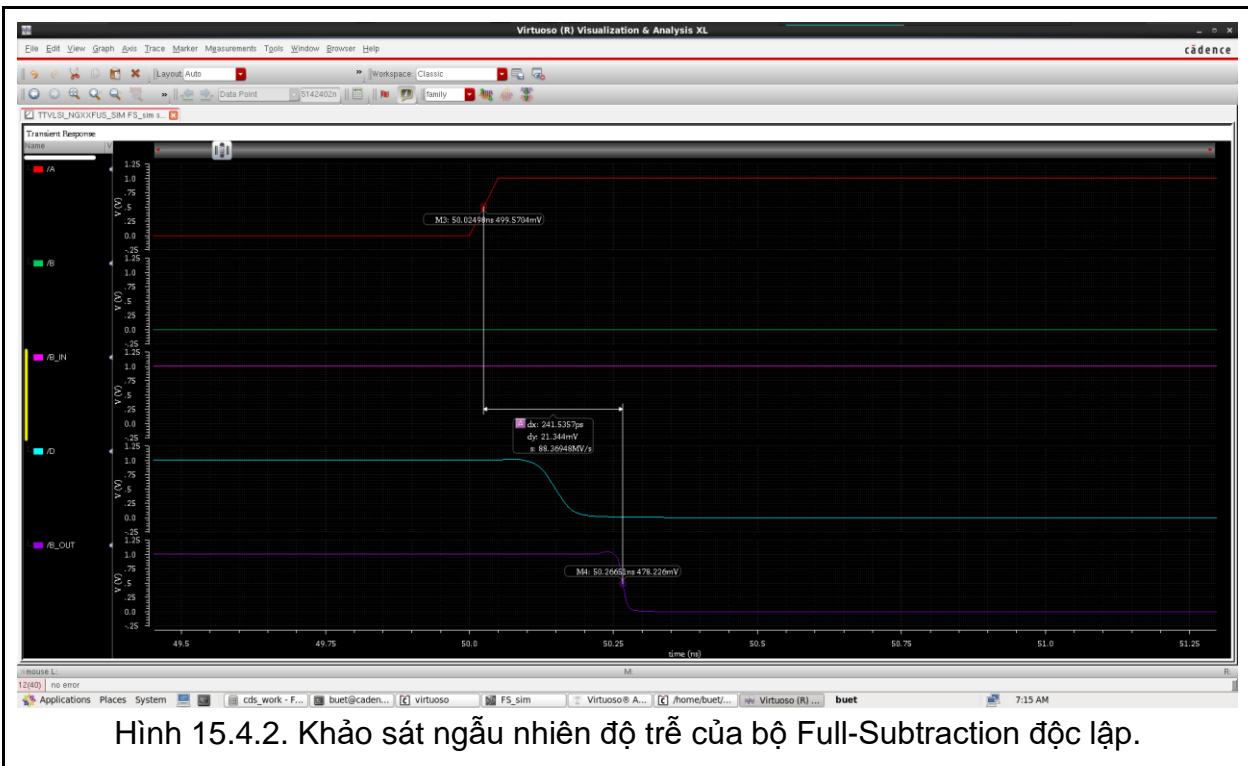
### Kết quả mô phỏng bộ Half-Subtraction và Full-Subtraction:



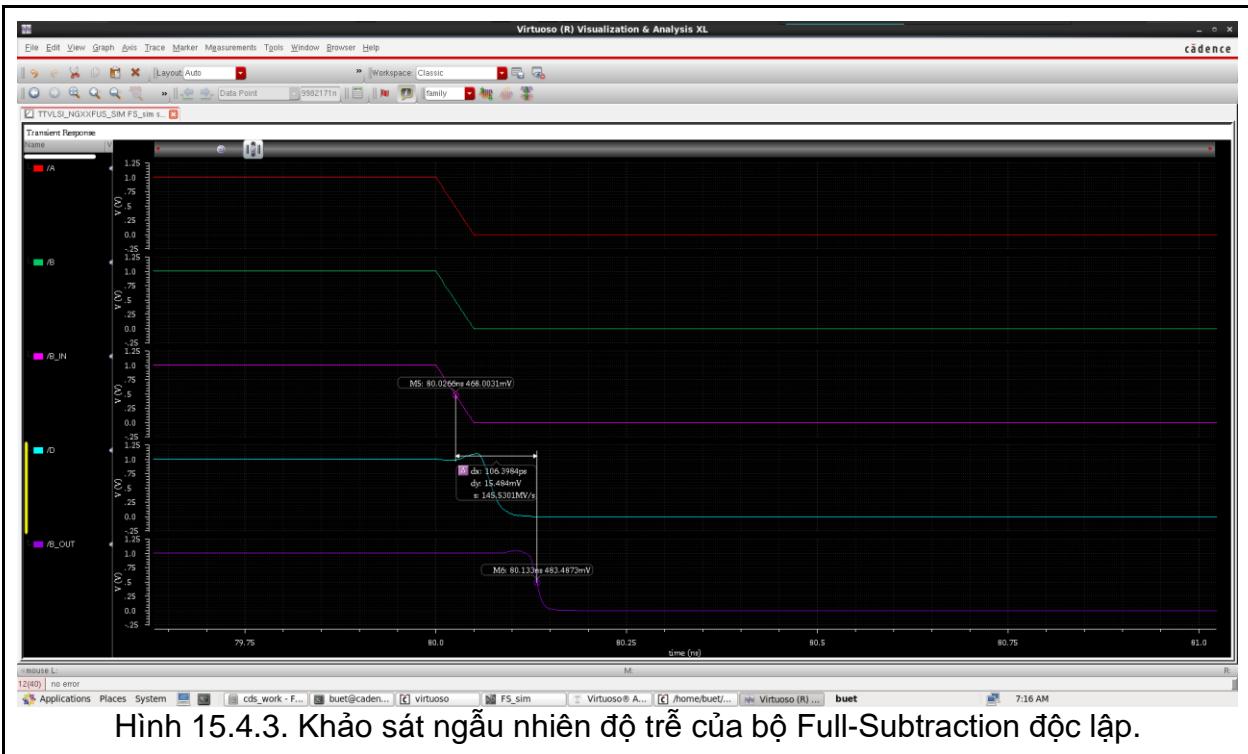
Hình 15.4.2. Dạng sóng ngõ ra của bộ Half-Subtraction và Full-Subtraction.

Nhận xét:

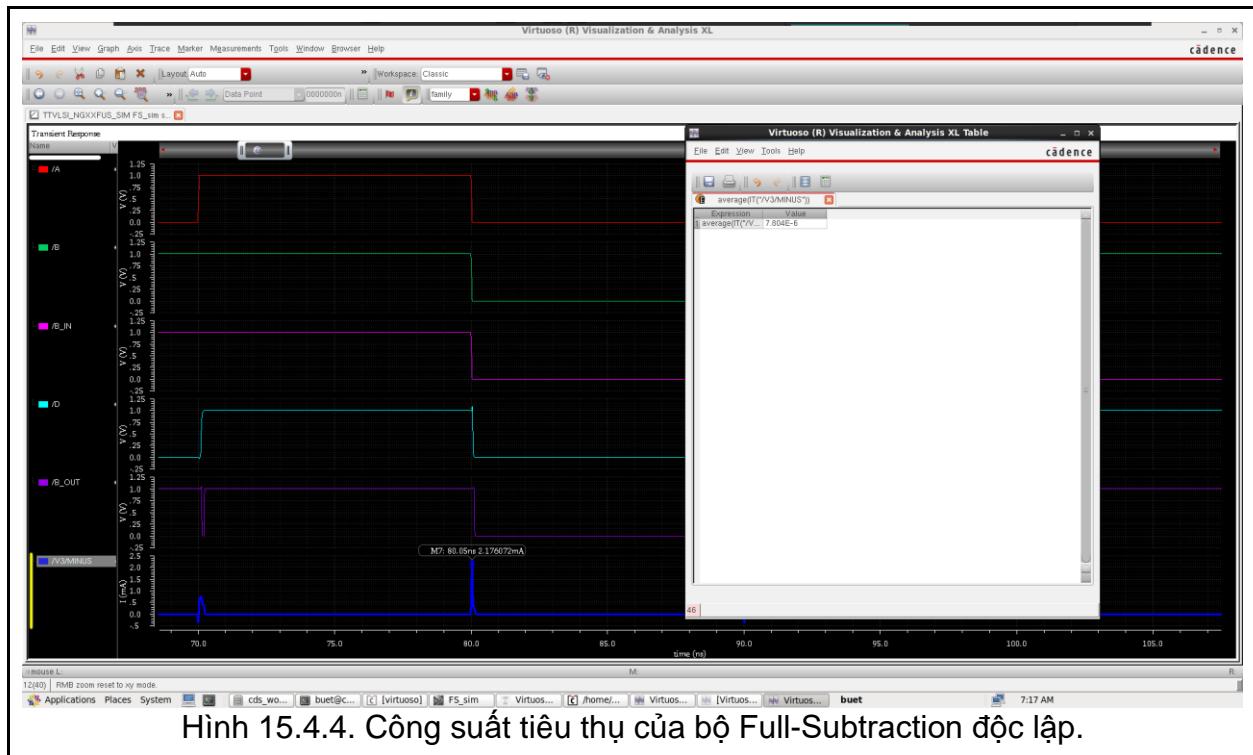
- + Dạng sóng ngõ ra của bộ Half-Subtraction (gồm HS\_D và HS\_B\_OUT) cho thấy bộ Half-Subtraction hoạt động đúng với lý thuyết.
- + Dạng sóng ngõ ra của bộ Full-Subtraction (gồm D, B\_OUT) cho thấy bộ Full-Subtraction hoạt động đúng với lý thuyết.



Thực hiện khảo sát ngẫu nhiên độ trễ lan truyền cạnh lên một vài điểm trên ngõ ra, kết quả thu được giá trị trễ lan truyền cạnh lên lớn nhất ghi nhận được là ~241ps.



Thực hiện khảo sát ngẫu nhiên độ trễ lan truyền cạnh xuống một vài điểm trên ngõ ra, kết quả thu được giá trị trễ lan truyền cạnh xuống lớn nhất ghi nhận được là ~106ps.

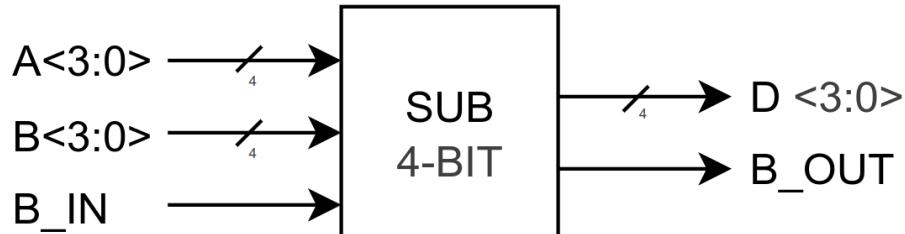


Hình 15.4.4. Công suất tiêu thụ của bộ Full-Subtraction độc lập.

Nhận xét: Công suất cực đại 2.2mW, công suất trung bình 7.8uW.

## 16. Sub-4bit

### 16.1. Sơ đồ chân, bảng trạng thái



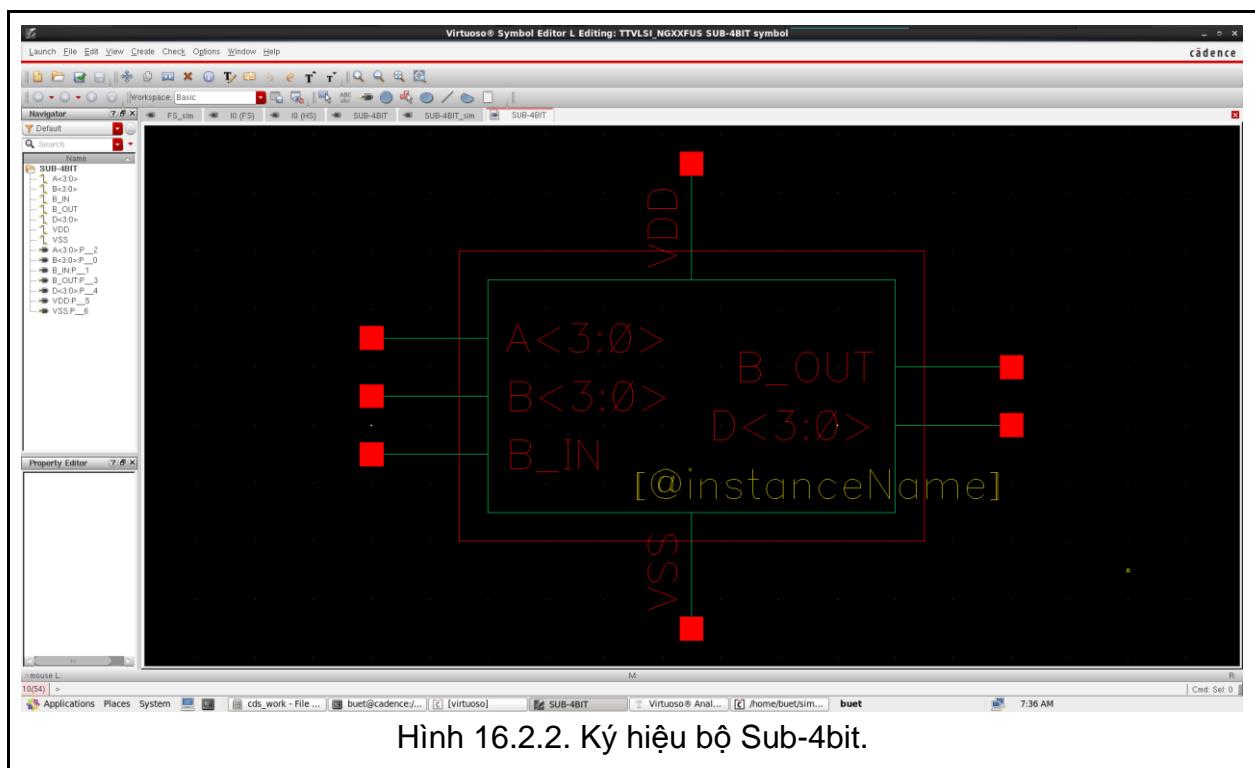
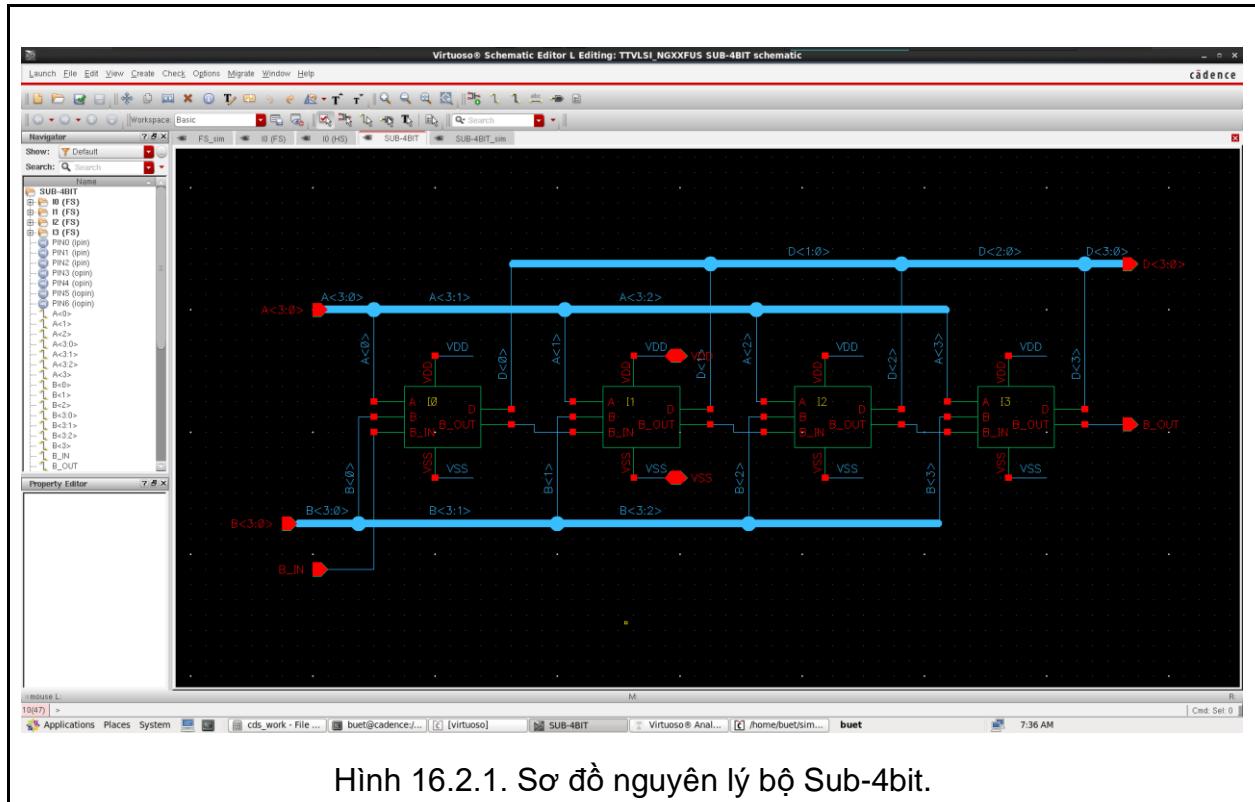
Hình 16.1.1. Sơ đồ chân bộ Sub-4bit.

Bảng 16.1.1. Bảng trạng thái Sub-4bit:

A<3:0>	B<3:0>	B_IN	B_OUT	D<3:0>
0	0	0	0	4'B0000
0	1	0	1	4'B1111
0	2	0	1	4'B1110
0	3	0	1	4'B1101
...	...	1	...	...
15	13	1	1	4'B0000
15	14	1	1	4'B0000
15	15	1	1	4'B0000

## 16.2. Mạch nguyên lý, ký hiệu bộ ADDER-4BIT

Thực hiện vẽ mạch Sub-4bit được ghép nối tiếp từ các bộ trừ Sub-4bit.



### 16.3. Mô phỏng bộ Sub-4bit.

#### 16.3.1. Thông số nguồn DC và nguồn xung cơ sở

Bảng 16.3.1.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

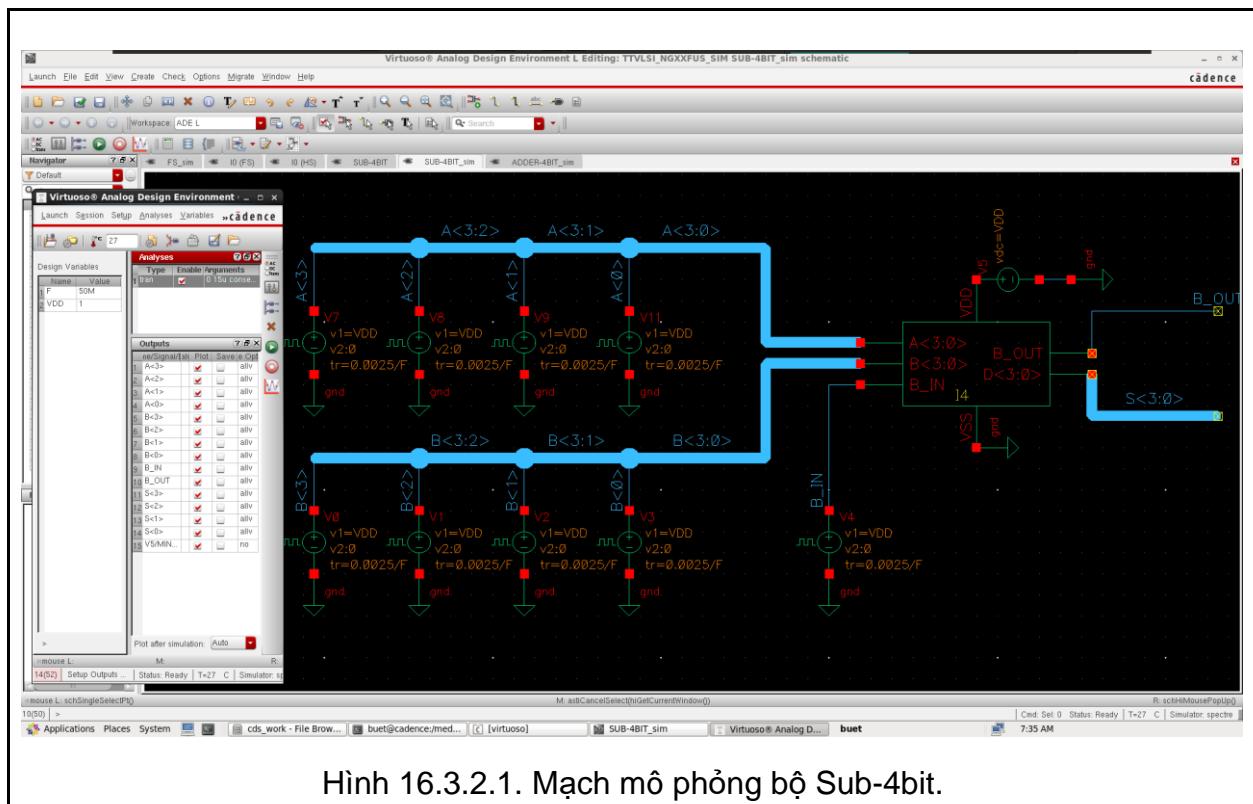
Bảng 16.3.1.2. Thông số nguồn cấp xung vuông cơ sở:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	
Điện áp mức thấp	--	0	V
Tần số	F	50MHz	
Thời gian cạnh lên.	--	0.0025/F	
Thời gian cạnh xuống.	--	0.0025/F	s
Giá trị ban đầu	--	0	V

Ghi chú: Nguồn xung cơ sở là nguồn xung có tần số lớn nhất (F Hz). Các nguồn xung thứ cấp có thông số giống với nguồn xung cơ sở ngoại trừ tần số giảm K lần.

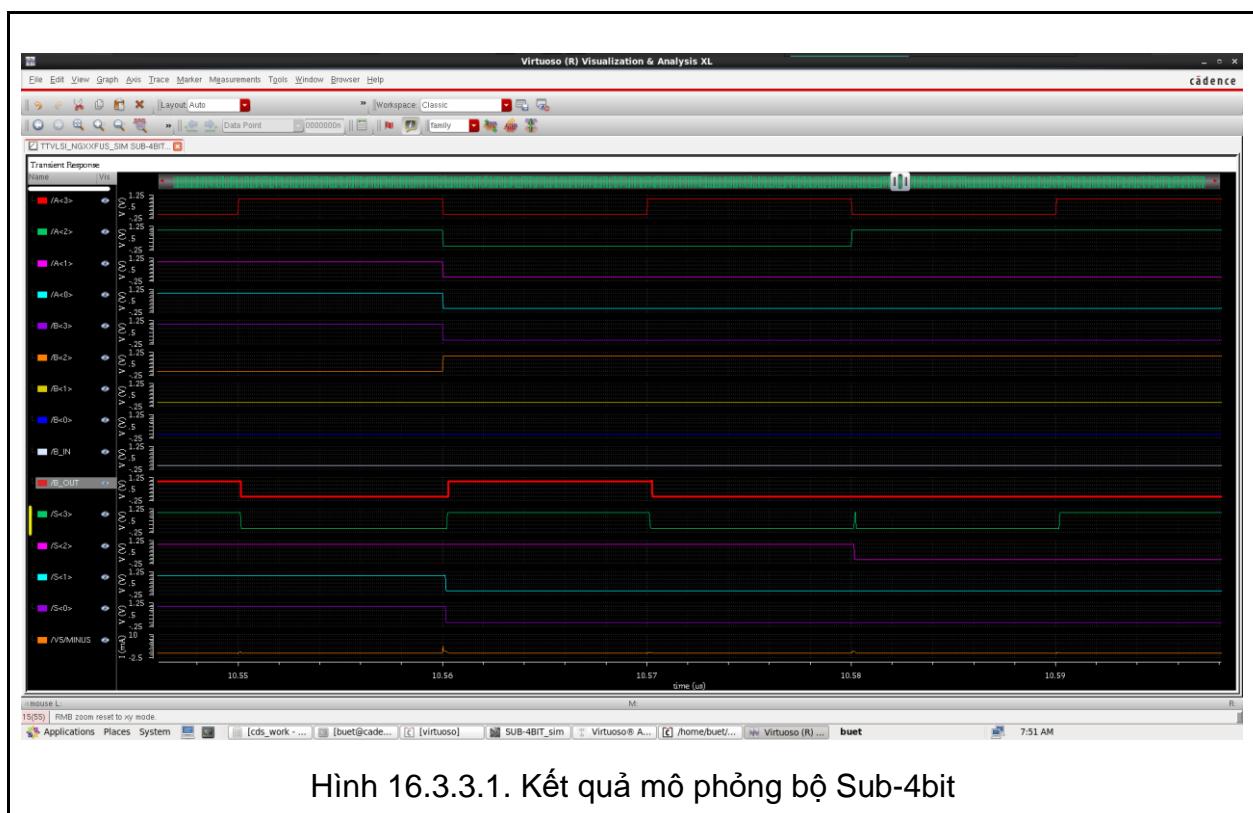
#### 16.3.2. Mạch mô phỏng bộ Sub-4bit

Thực hiện vẽ mạch và chọn nguồn với thông số nguồn ở phần 16.3.1. Cấp nguồn xung có tần số F vào ngõ vào A<3>, F/2 vào A<2>, F/4 vào A<1>, ..., F/256 vào B\_IN.



Hình 16.3.2.1. Mạch mô phỏng bộ Sub-4bit.

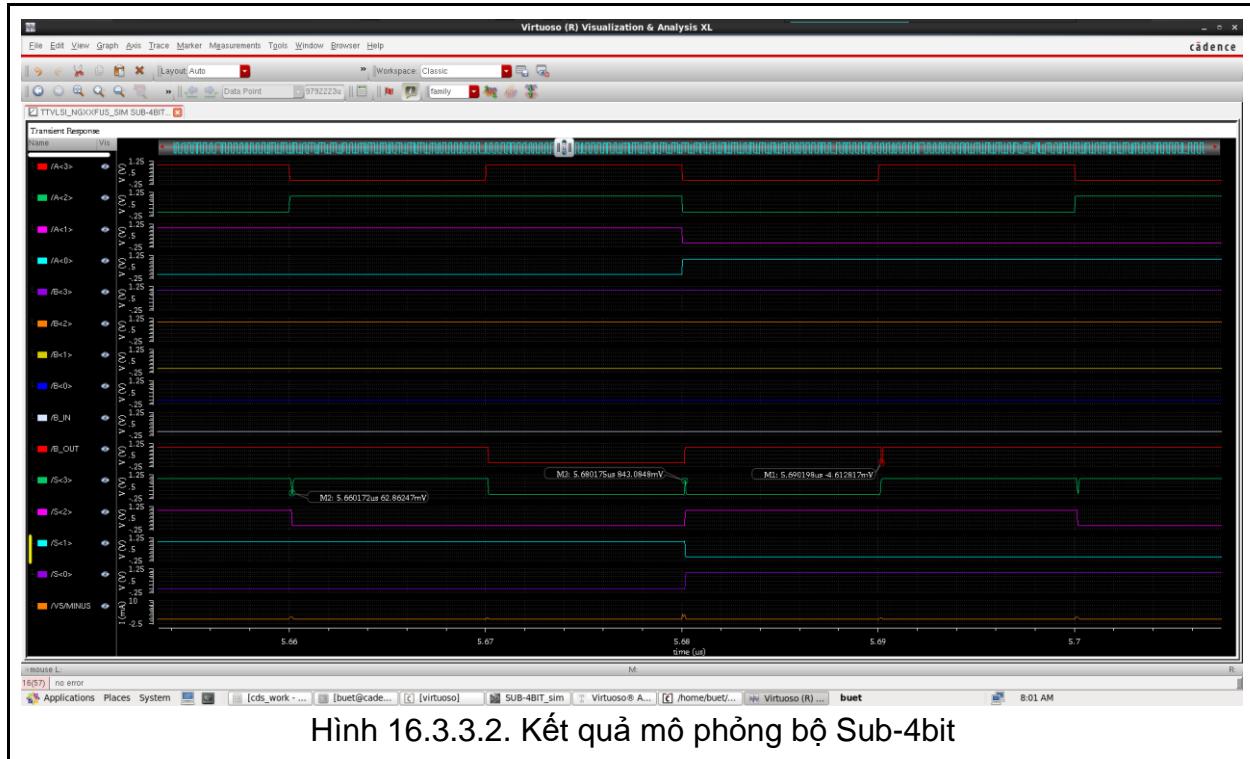
### 16.3.3. Kết quả mô phỏng bộ Sub-4bit



Hình 16.3.3.1. Kết quả mô phỏng bộ Sub-4bit

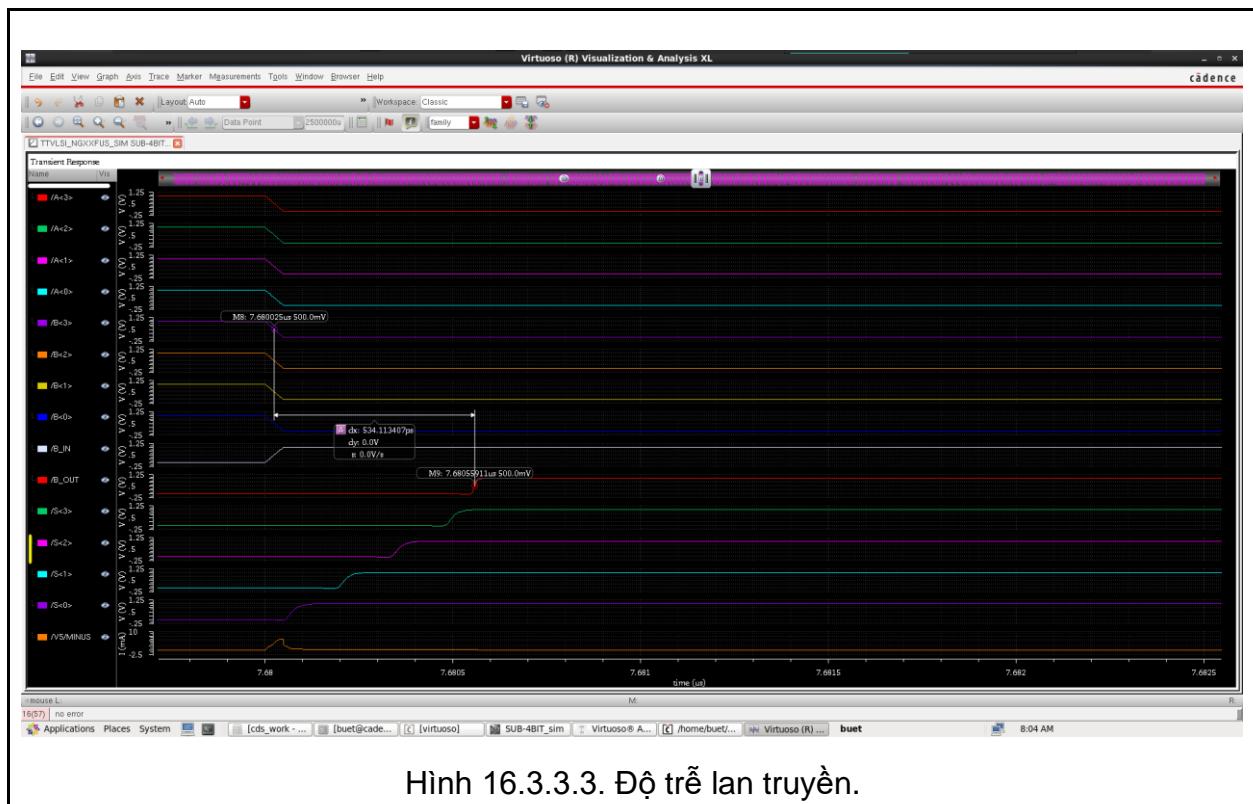
Nhận xét:

- + Dạng sóng ngõ ra có rất nhiều khoảng dưới ngưỡng, vượt ngưỡng, các khoảng này có biên độ rất lớn.
- + Kiểm thử ngẫu nhiên một vài điểm trên dạng sóng, thấy bộ trừ 4 bit hoạt động đúng.



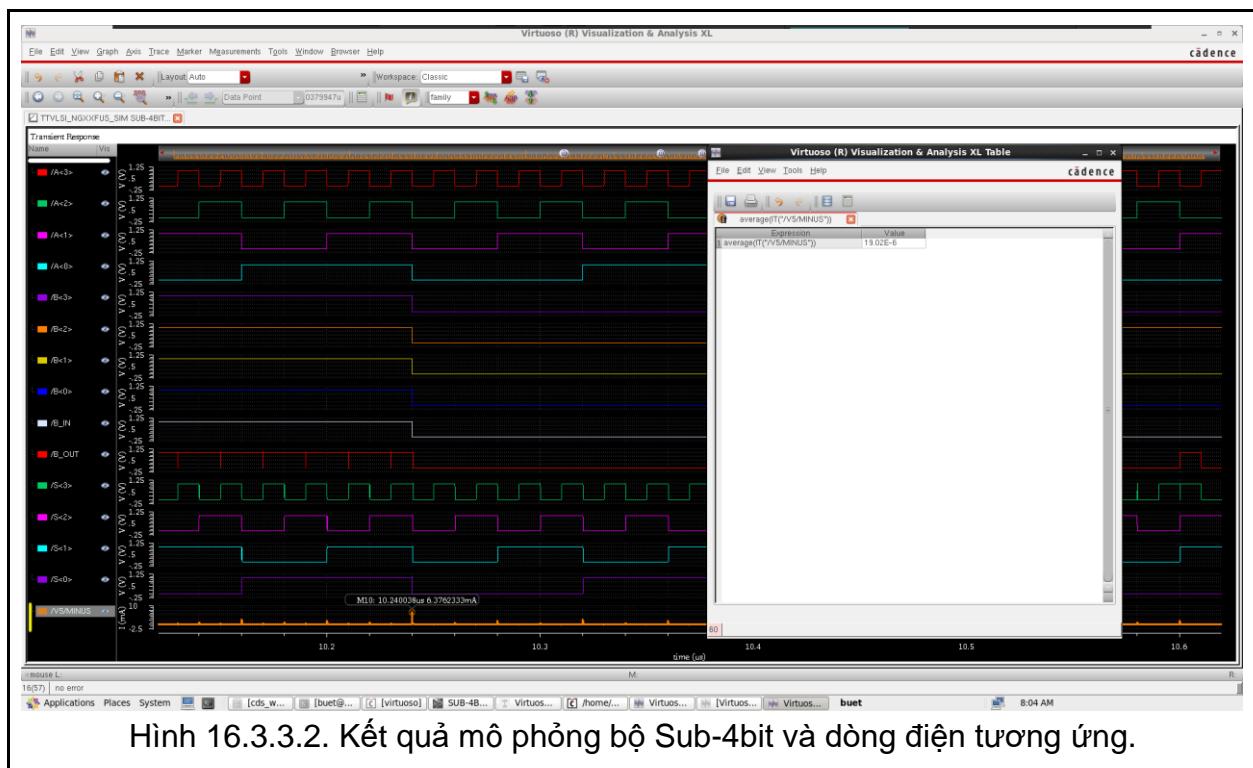
Nhận xét:

- + Xuất hiện các khoảng "nhiều" ở ngõ ra
- + Các khoảng dưới ngưỡng và vượt ngưỡng biên độ rất lớn (lên đến 85%VDD).



Hình 16.3.3.3. Độ trễ lan truyền.

Chọn ngẫu nhiên một vài điểm trên ngõ ra của bộ Add-4bit, giá trị độ trễ lan truyền lớn nhất ghi nhận được là 534ps.



Hình 16.3.3.2. Kết quả mô phỏng bộ Sub-4bit và dòng điện tương ứng.

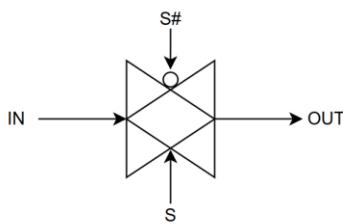
Nhận xét:

- + Công suất tiêu thụ tức thời ở một số điểm lớn lên đến ~6.4mW.
- + Công suất tiêu thụ trung bình ~19uW.

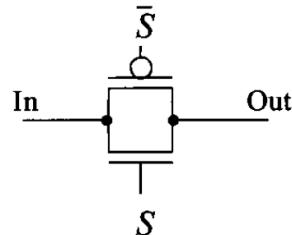


## 17. Cổng TG

### 17.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu, bảng trạng thái



Hình 17.1.1. Sơ đồ chân.



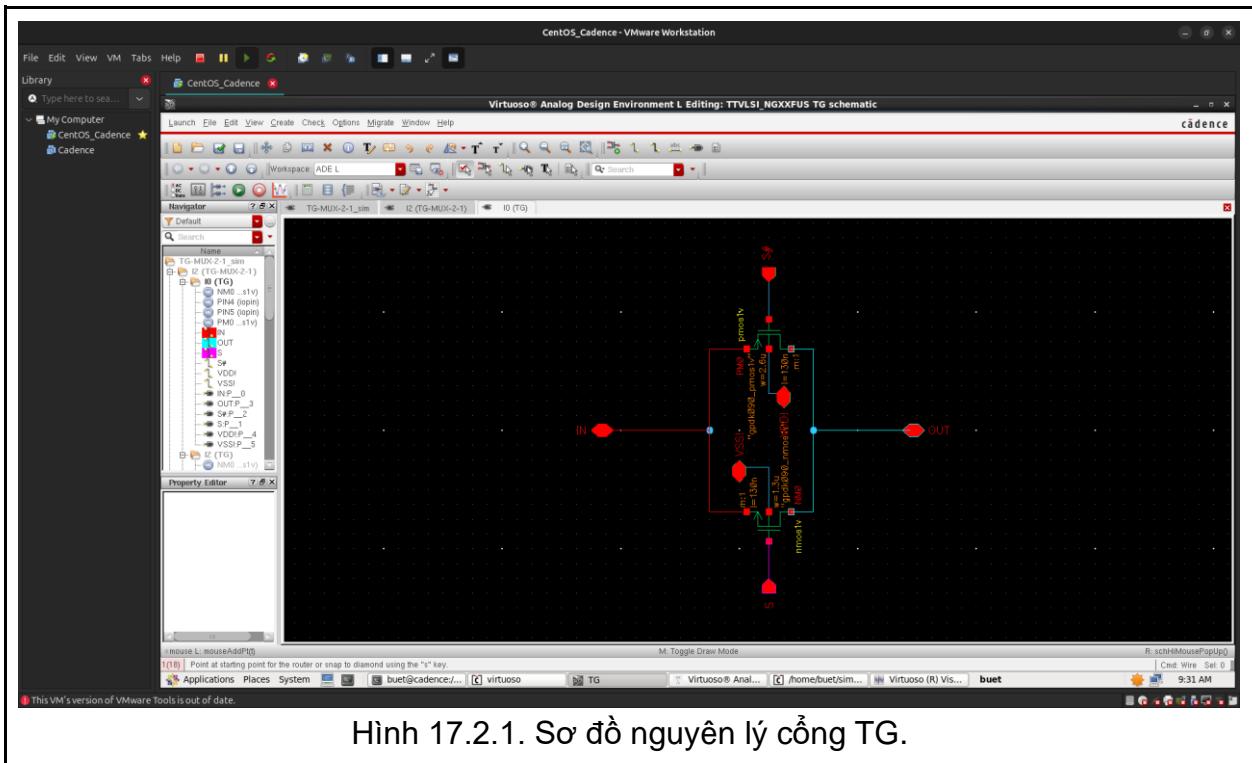
Hình 17.1.2. Sơ đồ nguyên lý.

Bảng 17.1.1. Bảng trạng thái Sub-4bit:

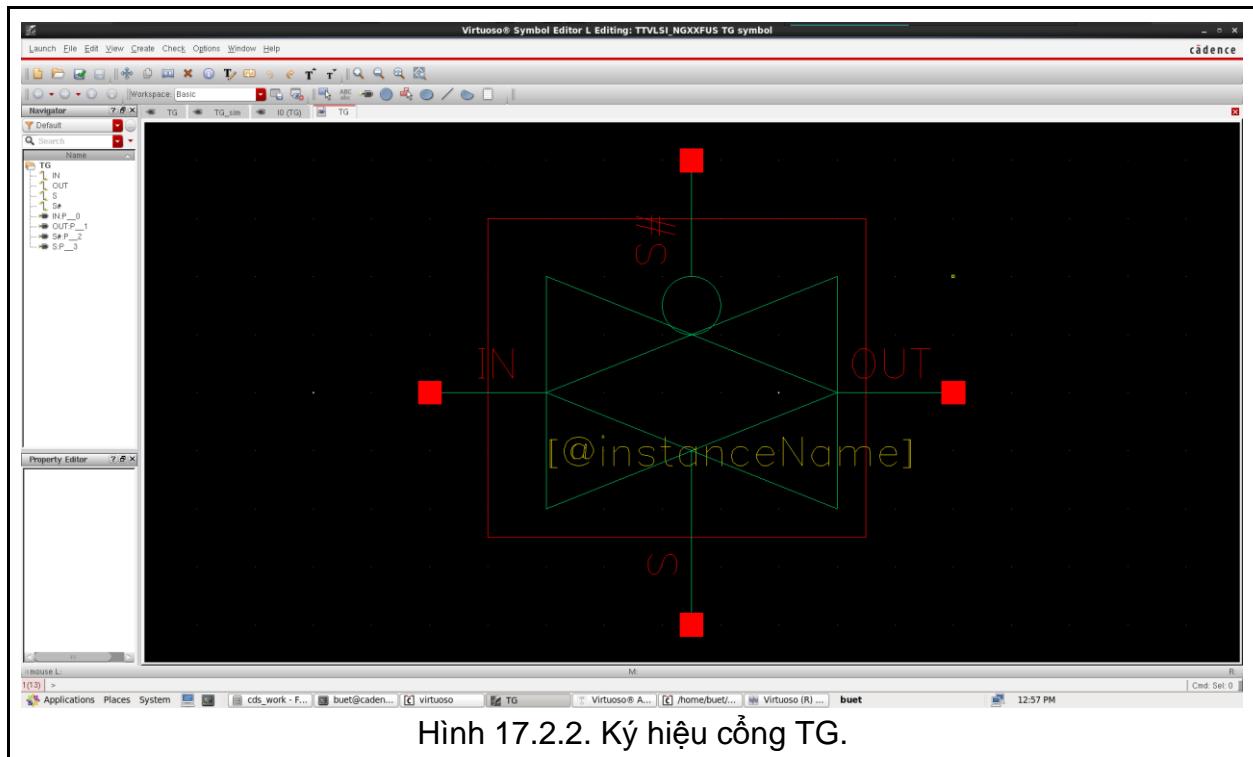
EN	IN	OUT
0	0	z
0	1	z
1	0	0
1	1	1

### 17.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso

Dựa trên hình 17.1.2. thực hiện vẽ mạch nguyên lý cổng TG.



Hình 17.2.1. Sơ đồ nguyên lý cổng TG.



### 17.3. Mô phỏng cổng TG.

#### 17.3.1. Thông số nguồn DC và nguồn xung cơ sở

Bảng 17.3.1.1. Thông số nguồn DC:

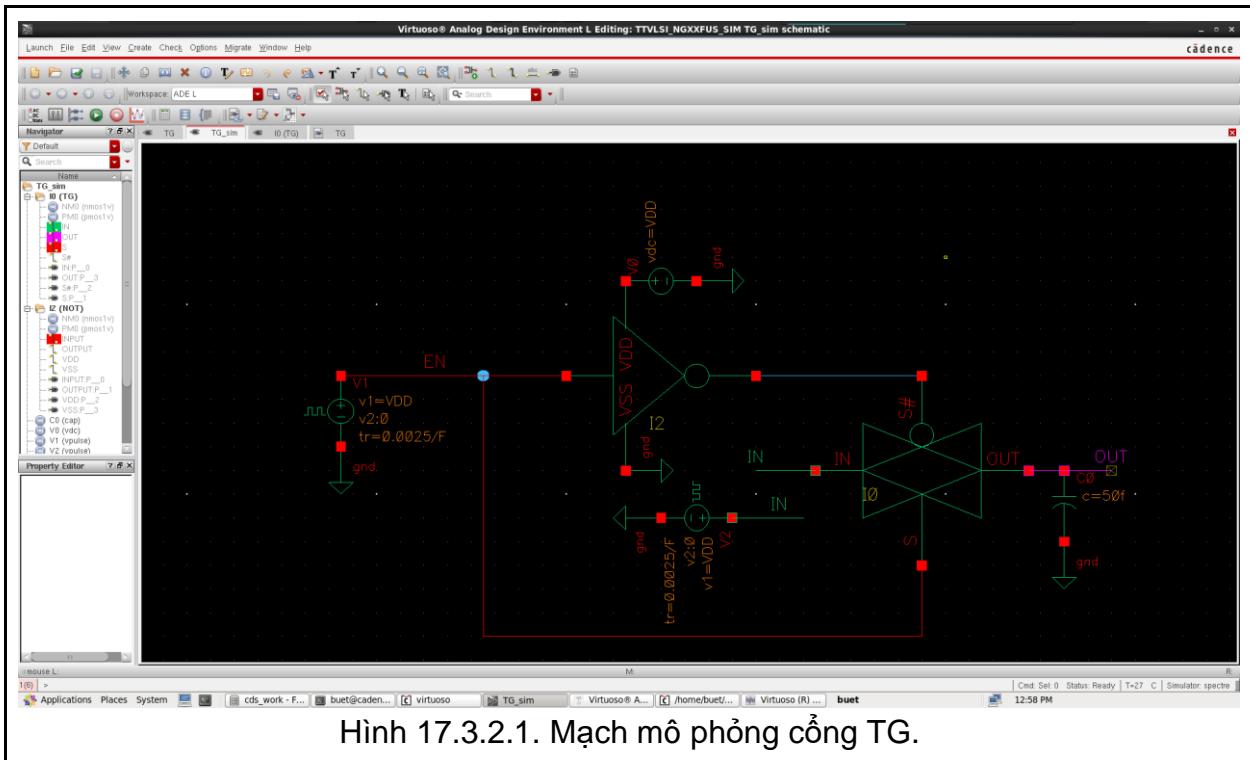
Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

Bảng 17.3.1.2. Thông số nguồn cấp xung vuông cơ sở:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	
Tần số	F	50MHz	
Thời gian cạnh lên.	--	0.0025/F	s
Thời gian cạnh xuống.	--	0.0025/F	
Giá trị ban đầu	--	0	V

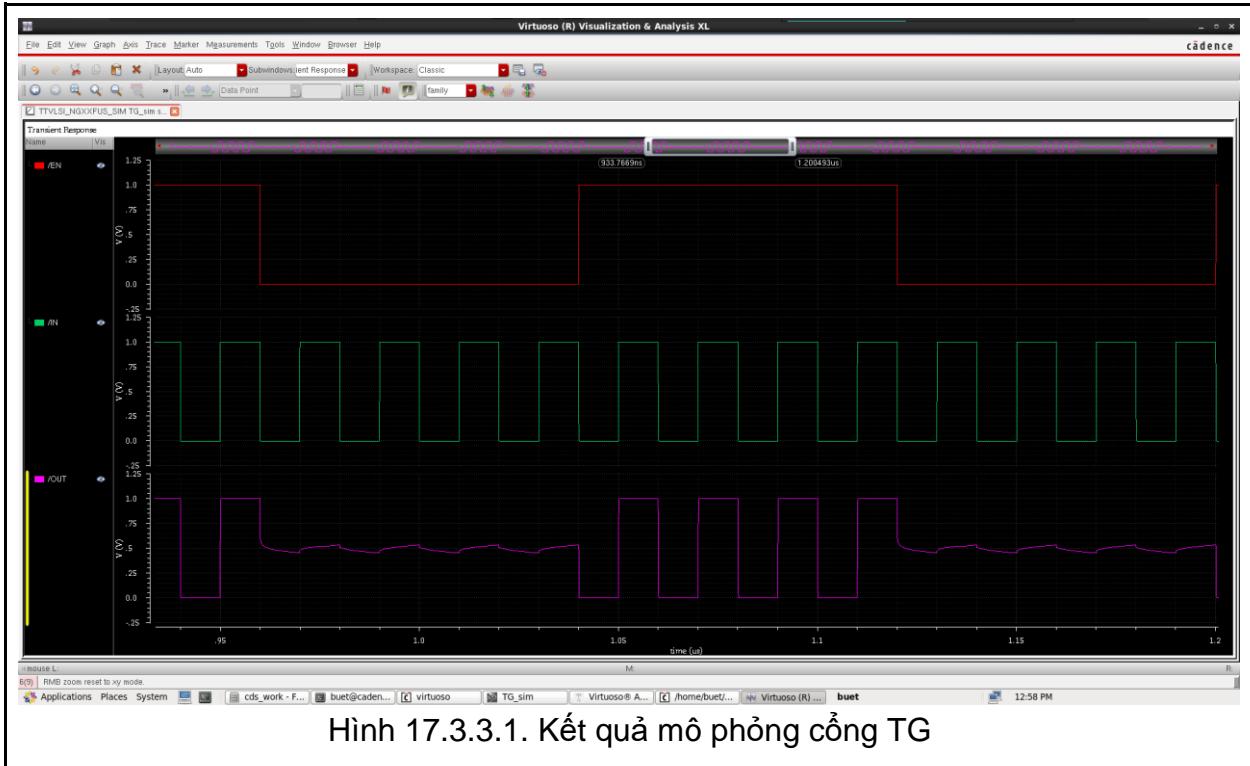
### 17.3.2. Mạch mô phỏng cổng TG

Thực hiện vẽ mạch và chọn nguồn với thông số nguồn ở phần 17.3.1. và ngõ ra mắc tải  $C_{Load} = 50f$  (F).



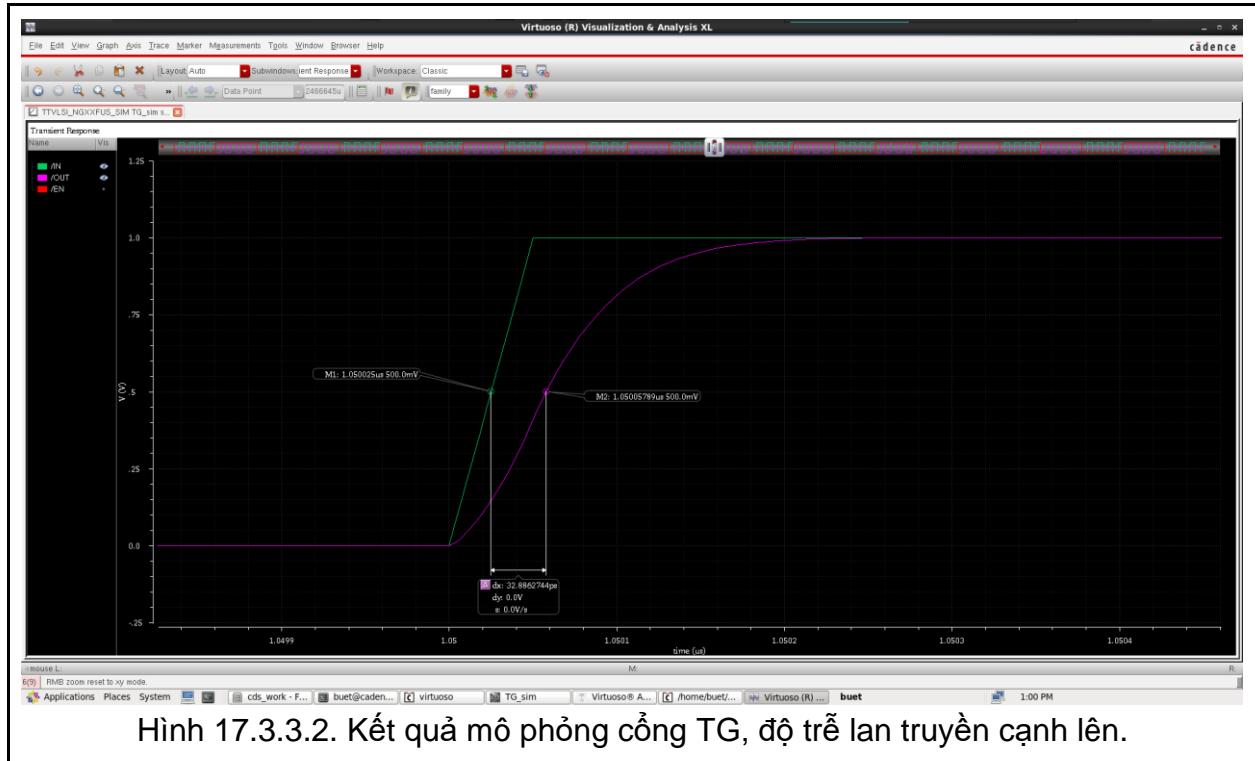
Hình 17.3.2.1. Mạch mô phỏng cổng TG.

### 17.3.3. Kết quả mô phỏng cổng TG

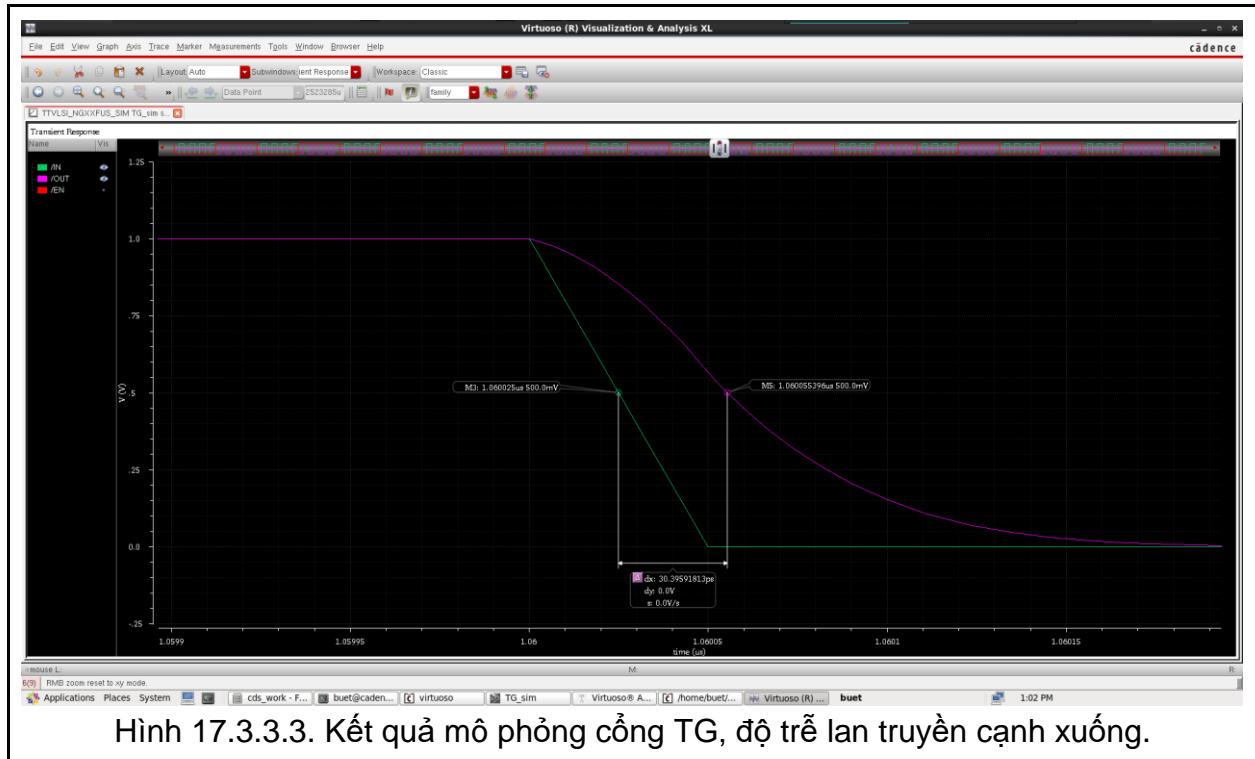


Hình 17.3.3.1. Kết quả mô phỏng cổng TG

Nhận xét: Cổng truyền (TG) cho phép truyền tín hiệu qua khi S=1 và ngưng truyền (ngõ ra trở kháng cao) khi S = 0. Kết luận: Cổng TG hoạt động đúng với lý thuyết.



Nhận xét:  $t_{pdf} \approx 33\text{ps}$ .



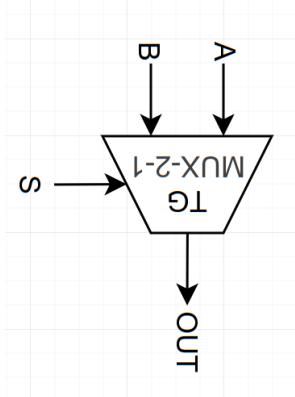
Nhận xét:  $t_{pdf} \approx 30\text{ps}$ .



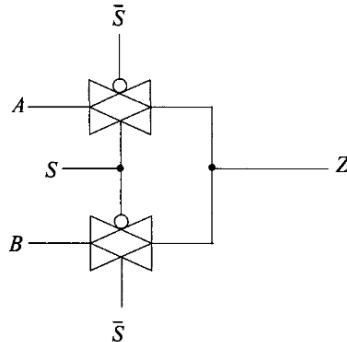
## 18. Các ứng dụng của cổng TG

### 18.1. Bộ đa hợp 2 sang 1 (TG-MUX-2-1)

#### 18.1.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu, bảng trạng thái



Hình 18.1.1.1. Sơ  
đồ chân.



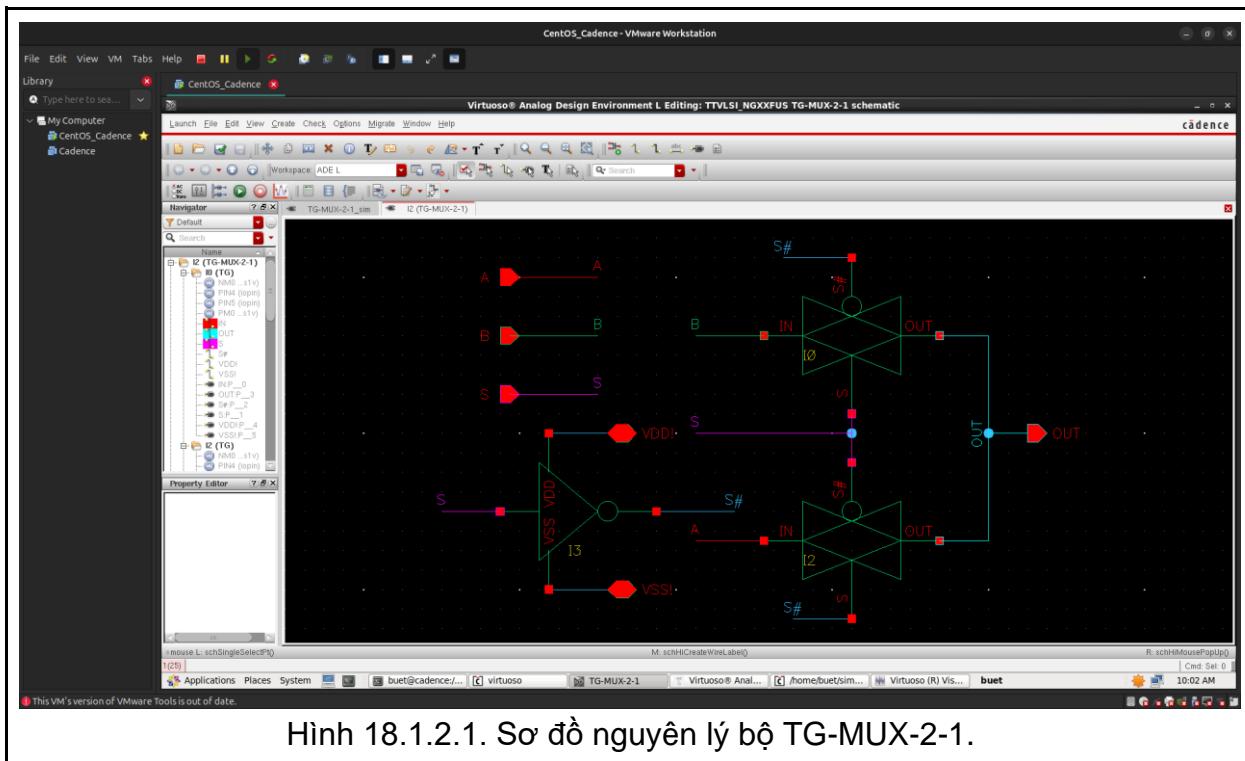
Hình 18.1.2. Sơ đồ  
nguyên lý.

Bảng 18.1.1. Bảng trạng  
thái Sub-4bit:

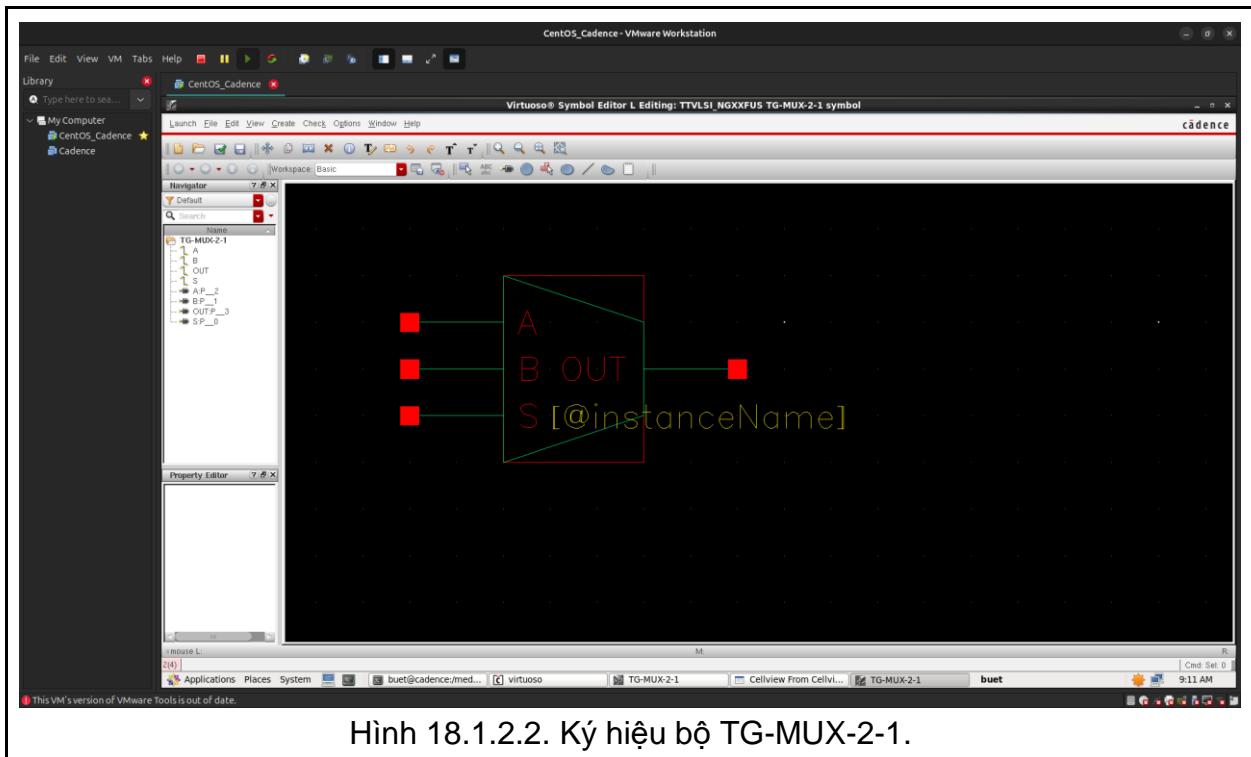
A	B	S	OUT
0	X	0	0
1	X	0	1
X	1	1	1
X	0	1	0

#### 18.1.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso

Dựa trên hình 18.1.1.2. thực hiện vẽ mạch nguyên lý TG-MUX-2-1.



Hình 18.1.2.1. Sơ đồ nguyên lý bộ TG-MUX-2-1.



Hình 18.1.2.2. Ký hiệu bộ TG-MUX-2-1.

### 18.1.3. Mô phỏng bộ TG-MUX-2-1.

#### 18.1.3.1. Thông số nguồn DC và nguồn xung cơ sở

Bảng 18.1.3.1.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

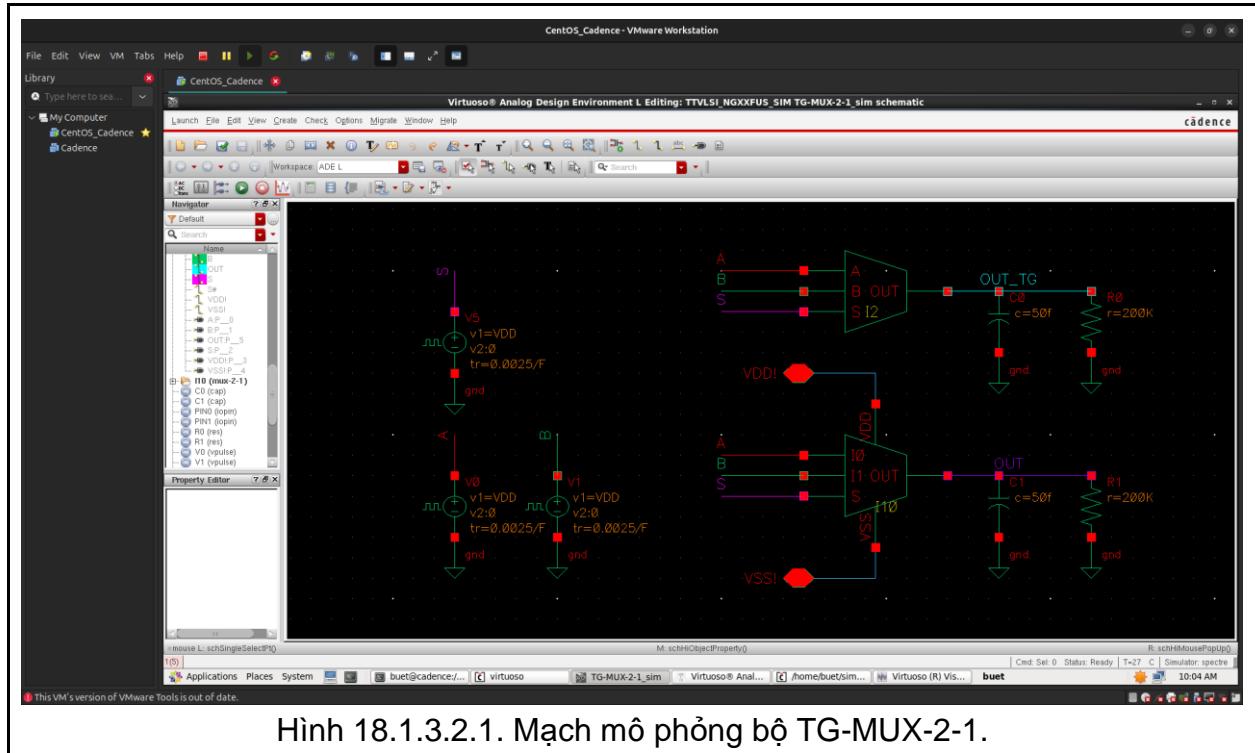
Bảng 18.1.3.1.2. Thông số nguồn cấp xung vuông cơ sở:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	
Điện áp mức thấp	--	0	V
Tần số	F	50MHz	
Thời gian cạnh lên.	--	0.0025/F	
Thời gian cạnh xuống.	--	0.0025/F	s
Giá trị ban đầu	--	0	V

Các nguồn xung vuông khác có dùng giá trị thời gian cạnh lên/cạnh xuống nhưng gấp N (nguyên) lần nguồn xung cơ sở.

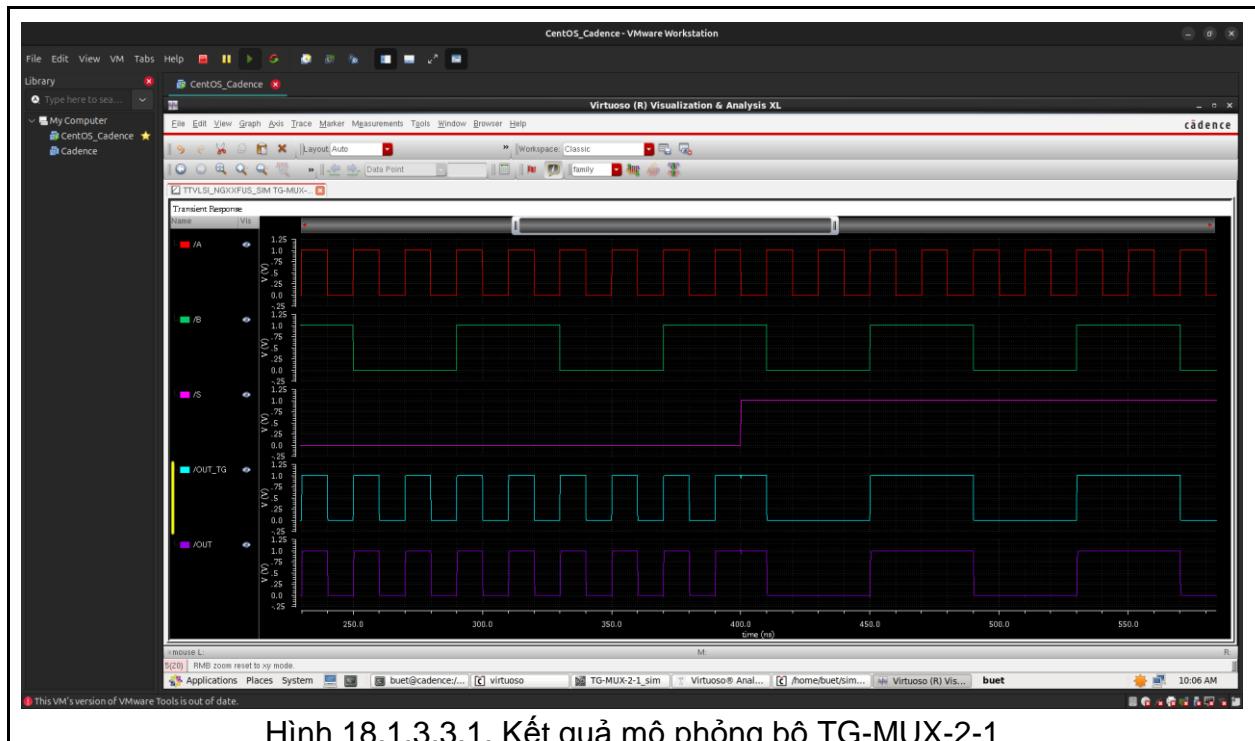
### 18.1.3.2. Mạch mô phỏng bộ TG-MUX-2-1-MUX-2-1

Thực hiện vẽ mạch và chọn nguồn với thông số nguồn ở phần 18.1.3.1. và ngõ ra mắc tải  $C_{Load} = 50f$  (F),  $R_{Load} = 200K$  (ohm). Đồng thời so sánh với bộ MUX dùng cổng NOT, OR.



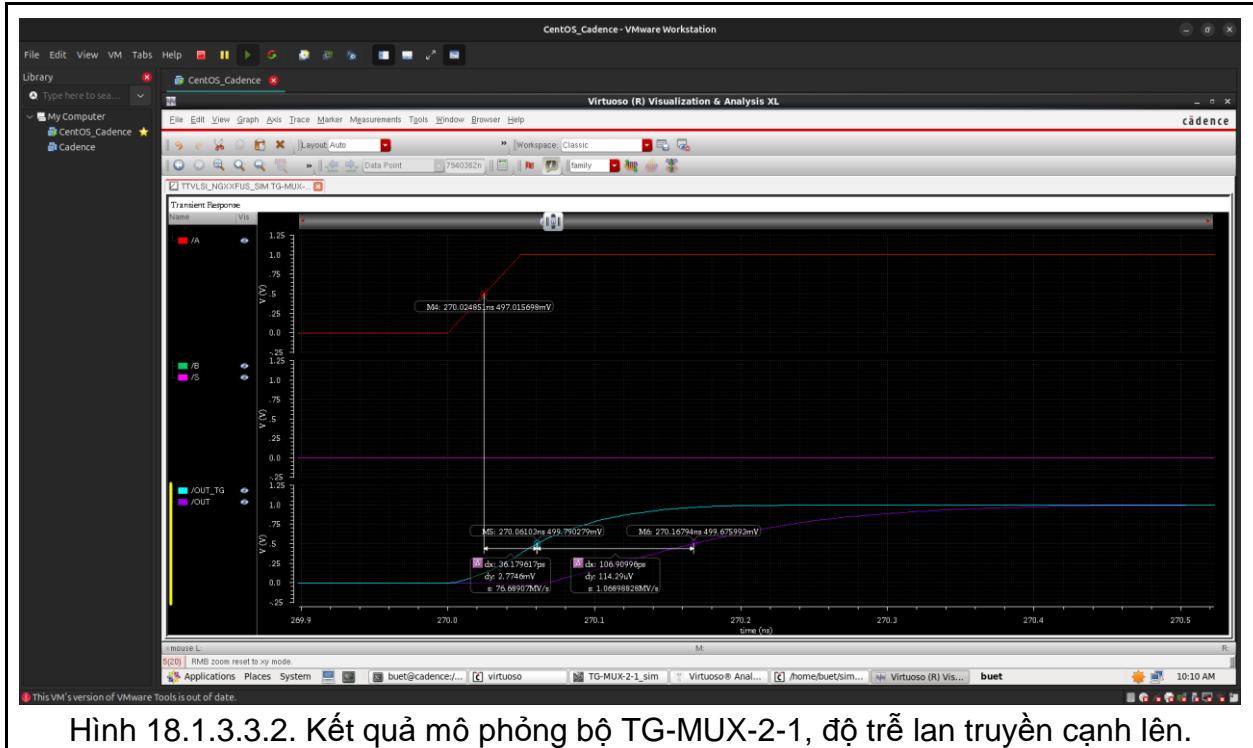
Hình 18.1.3.2.1. Mạch mô phỏng bộ TG-MUX-2-1.

### 18.1.3.3. Kết quả mô phỏng bộ TG-MUX-2-1

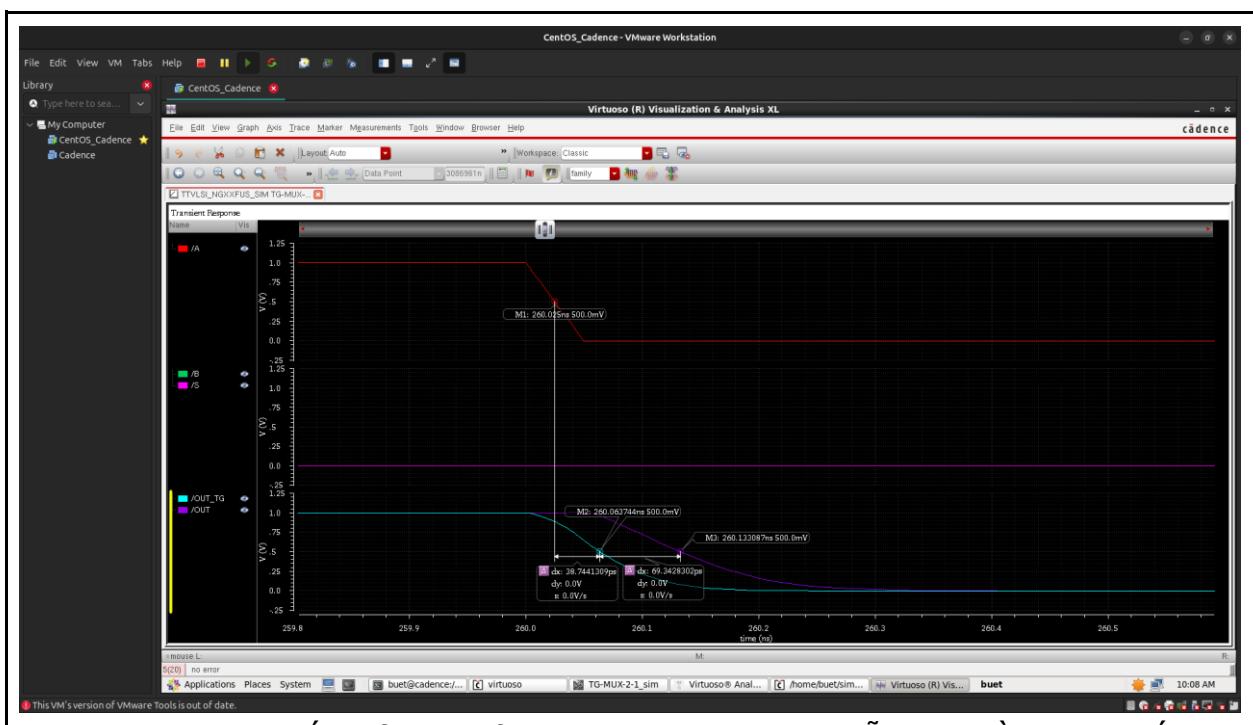


Hình 18.1.3.3.1. Kết quả mô phỏng bộ TG-MUX-2-1

Nhận xét: Bộ TG-MUX-2-1 hoạt động đúng với lý thuyết



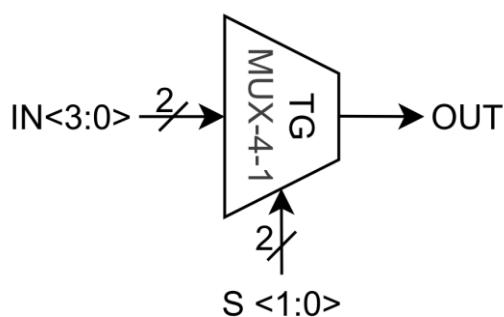
Nhận xét:  $t_{pdf} = \sim 36\text{ps}$ , ít hơn bộ MUX-2-1 dùng cổng NOT, OR 107ps.



Nhận xét:  $t_{pdf} = \sim 38\text{ps}$ , ít hơn bộ MUX-2-1 dùng cổng NOT, OR 70ps.

## 18.2. Bộ đa hợp 4 sang 1 (TG-MUX-4-1)

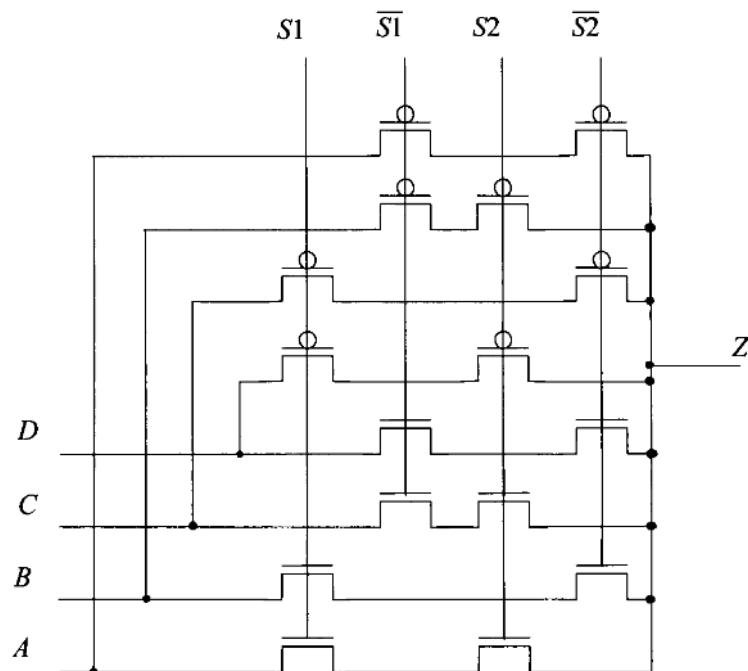
### 18.2.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu, bảng trạng thái



Bảng 18.2.1.1. Bảng trạng thái TG-MUX-4-1:

IN<3:0>	SEL<1:0>	OUT
XXXX	00	IN<0>
XXXX	01	IN<1>
XXXX	10	IN<2>
XXXX	11	IN<3>

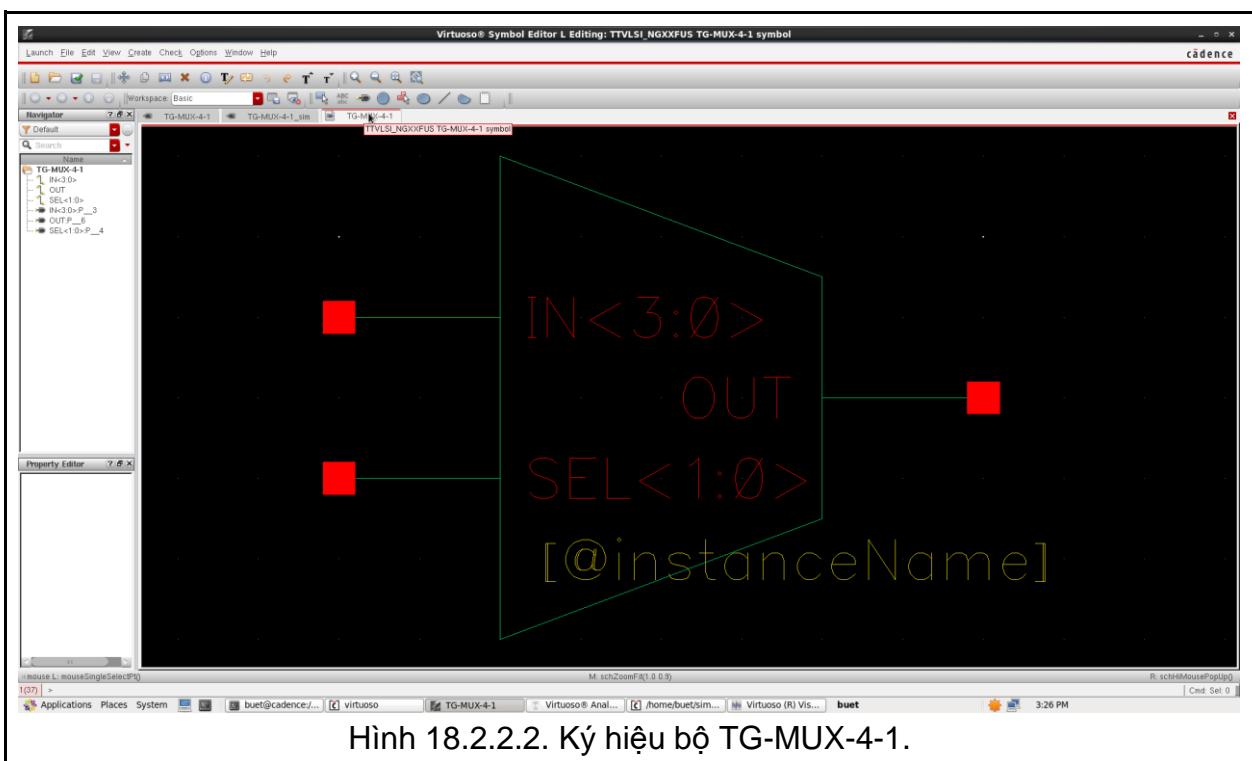
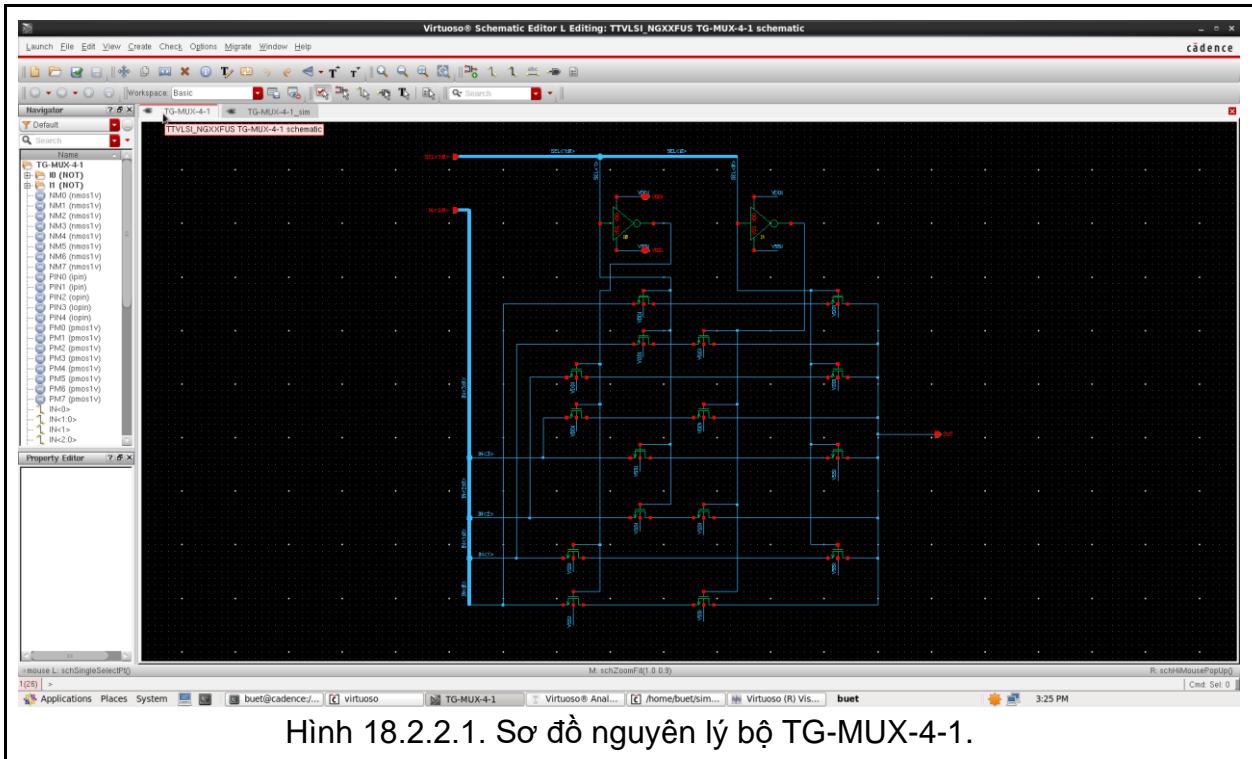
Hình 18.2.1.1. Sơ đồ chân.



Hình 18.2.1.2. Sơ đồ nguyên lý.

## 18.2.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso

Dựa trên hình 18.2.1.2. thực hiện vẽ mạch nguyên lý TG-MUX-4-1.



### 18.2.3. Mô phỏng bộ TG-MUX-4-1.

#### 18.2.3.1. Thông số nguồn DC và nguồn xung cơ sở

Bảng 18.2.3.1.1. Thông số nguồn DC:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

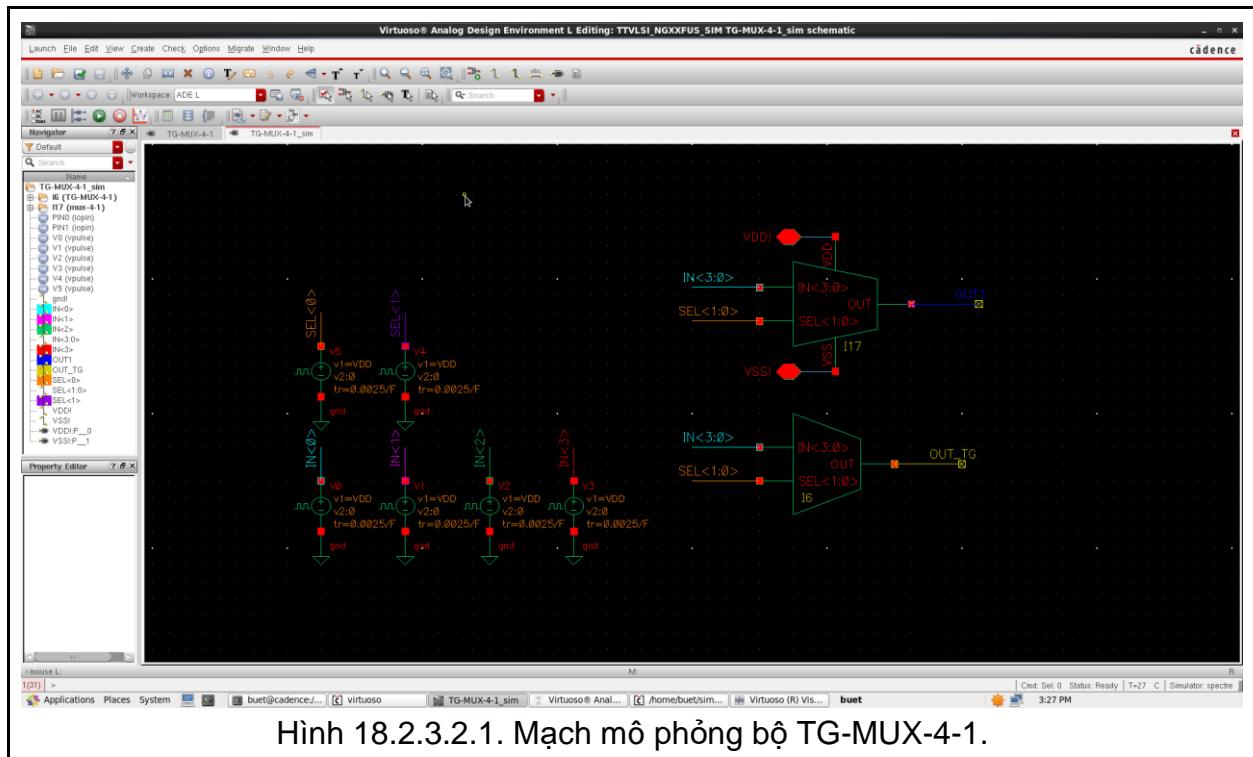
Bảng 18.2.3.1.2. Thông số nguồn cấp xung vuông cơ sở:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	
Tần số	F	50MHz	
Thời gian cạnh lên.	--	0.0025/F	s
Thời gian cạnh xuống.	--	0.0025/F	
Giá trị ban đầu	--	0	V

Các nguồn xung vuông khác có dùng giá trị thời gian cạnh lên/cạnh xuống nhưng gấp N (nguyên) lần nguồn xung cơ sở.

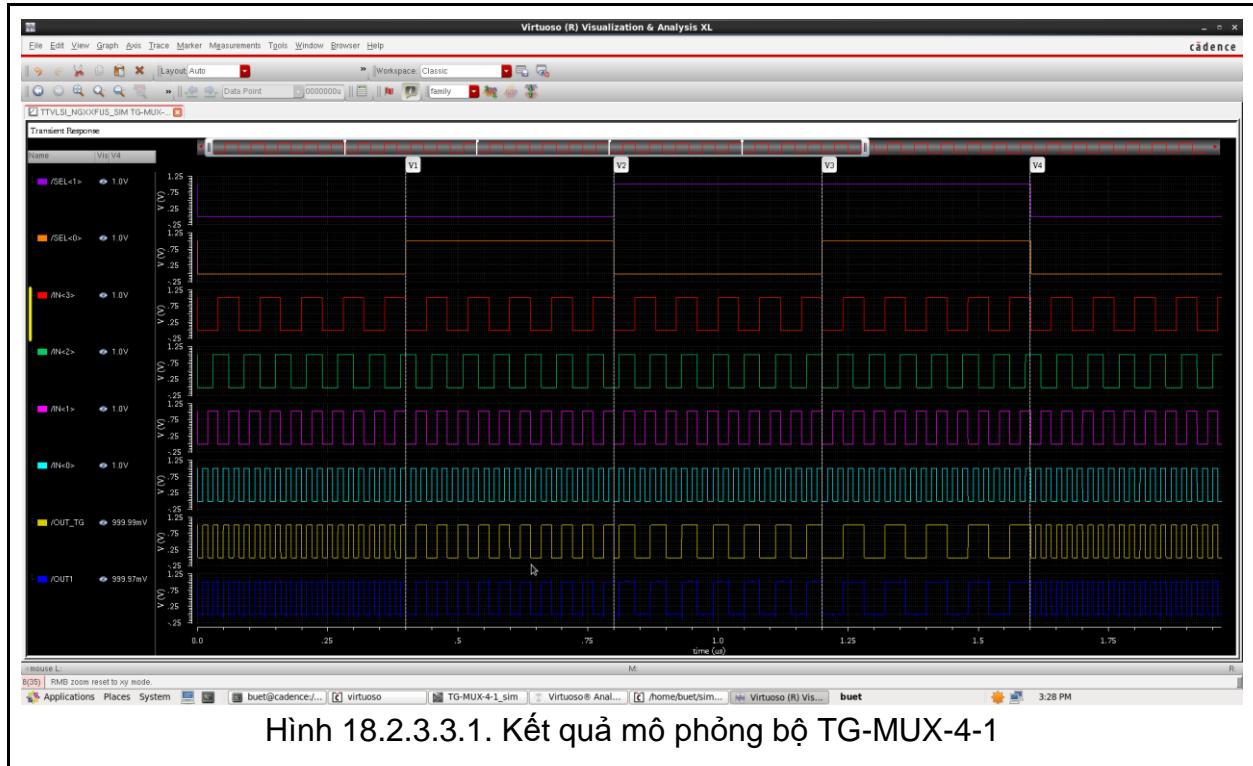
#### 18.2.3.2. Mạch mô phỏng bộ TG-MUX-4-1-MUX-2-1

Thực hiện vẽ mạch và chọn nguồn với thông số nguồn ở phần 18.2.3.1. và ngõ ra mắc tải C\_Load = 50f (F), R\_Load = 200K (ohm). Đồng thời so sánh với bộ MUX dùng cổng NOT, OR.



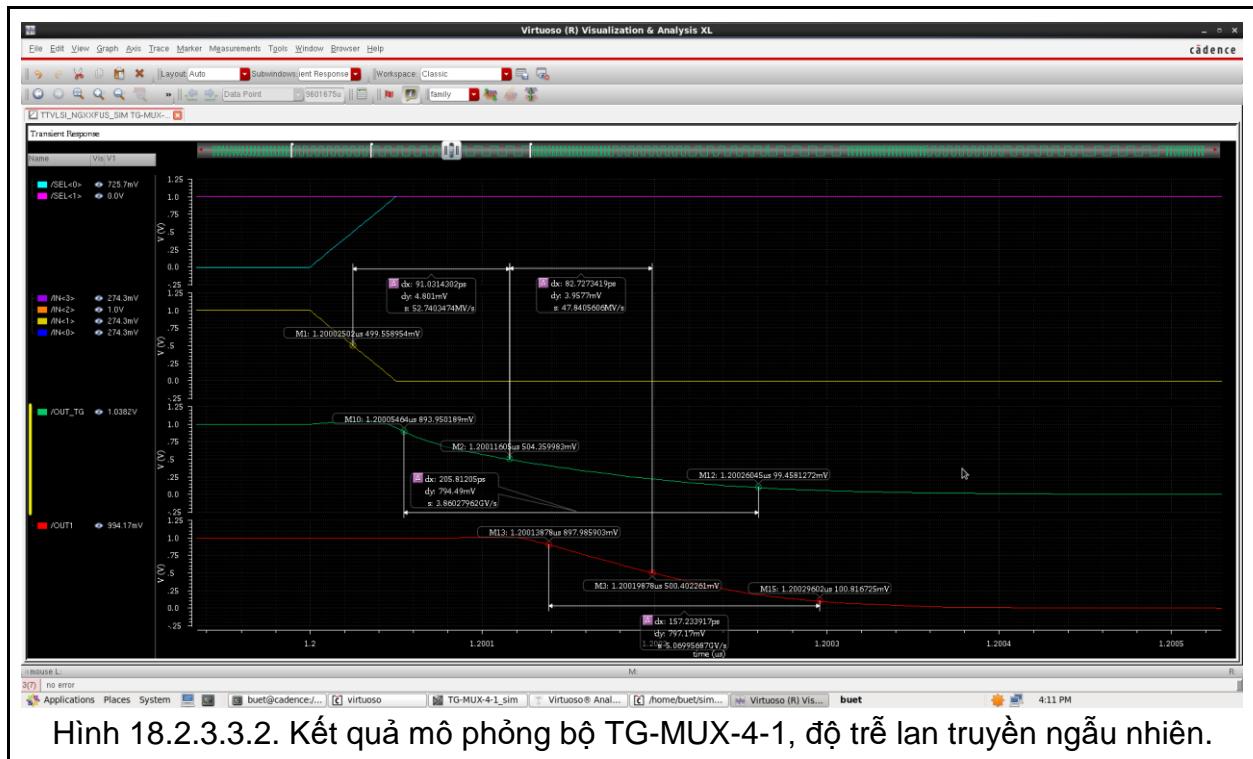
Hình 18.2.3.2.1. Mạch mô phỏng bộ TG-MUX-4-1.

### 18.2.3.3. Kết quả mô phỏng bộ TG-MUX-4-1



Hình 18.2.3.3.1. Kết quả mô phỏng bộ TG-MUX-4-1

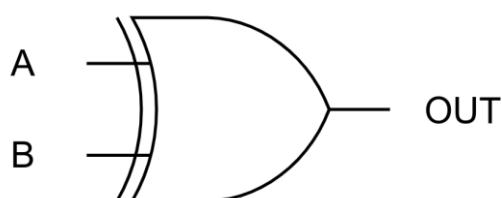
Nhận xét: Bộ TG-MUX-4-1 hoạt động đúng với lý thuyết



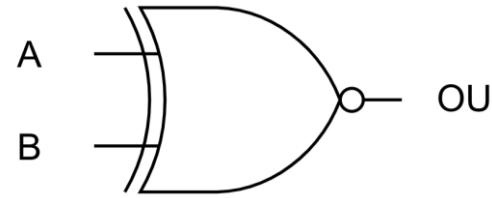
Nhận xét:  $t_{pd} = \sim 91\text{ps}$ , ít hơn bộ MUX-4-1 dùng cổng NOT, OR 82ps. Ngoài ra bộ TG-MUX-4-1 không xuất hiện các khoảng vượt ngưỡng, tuy nhiên  $t_{falling}$  của MUX-4-1 dùng TG lại dài hơn 43ps.

## 18.2. Cổng XOR/XNOR sử dụng cổng TG (TG-XOR, TG-XNOR)

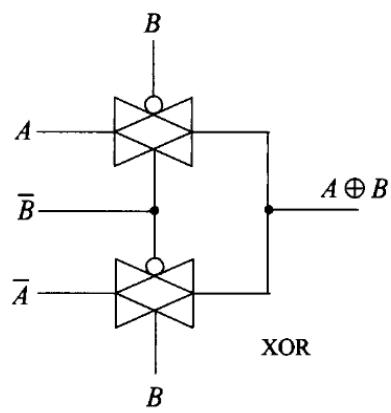
### 18.3.1. Sơ đồ chân, sơ đồ nguyên lý, ký hiệu TG-XOR, TG-XNOR



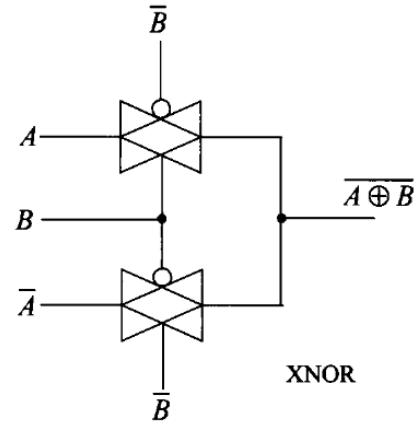
Hình 18.3.1.1. Sơ đồ chân cổng TG-XOR.



Hình 18.3.1.2. Sơ đồ chân cổng TG-XNOR



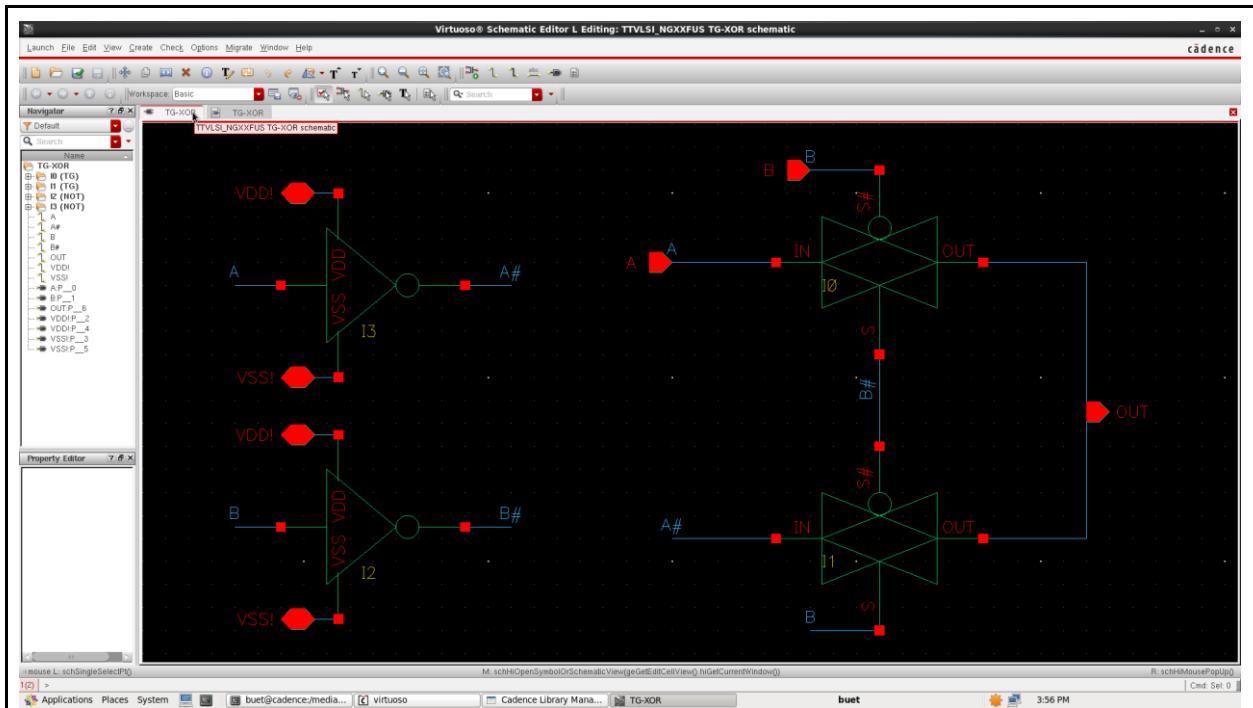
Hình 18.3.1.3. Sơ đồ nguyên lý cỗng TG-XOR.



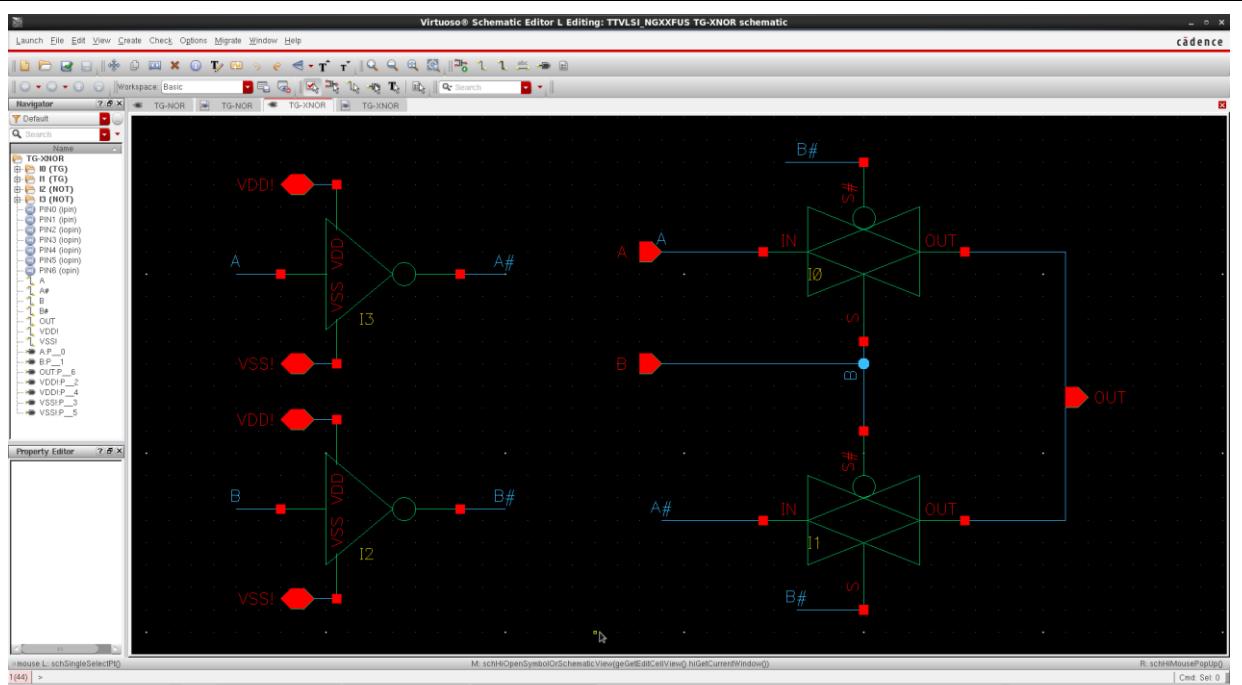
Hình 18.3.1.4. Sơ đồ nguyên lý cỗng TG-XNOR.

### 18.3.2. Vẽ mạch nguyên lý, lý hiệu trên Cadence Virtuoso

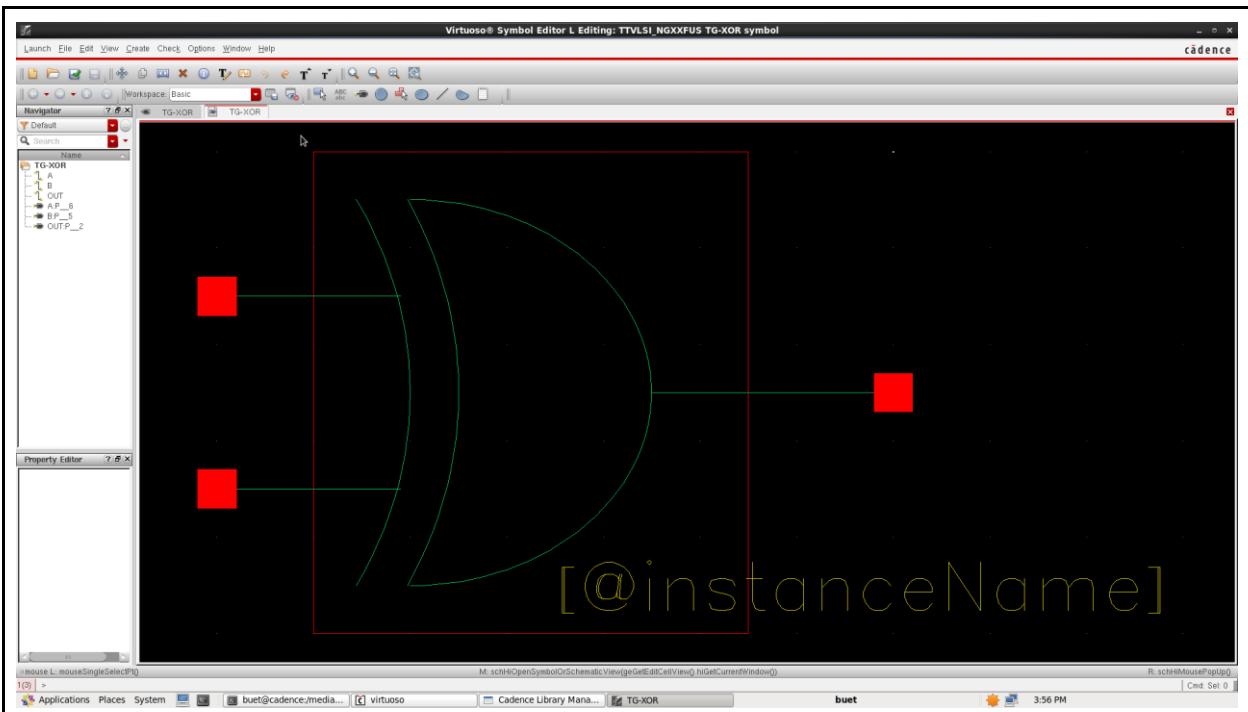
Dựa trên hình 18.3.1.3. và 18.3.1.4. thực hiện vẽ mạch nguyên lý TG-XOR, TG-XNOR.



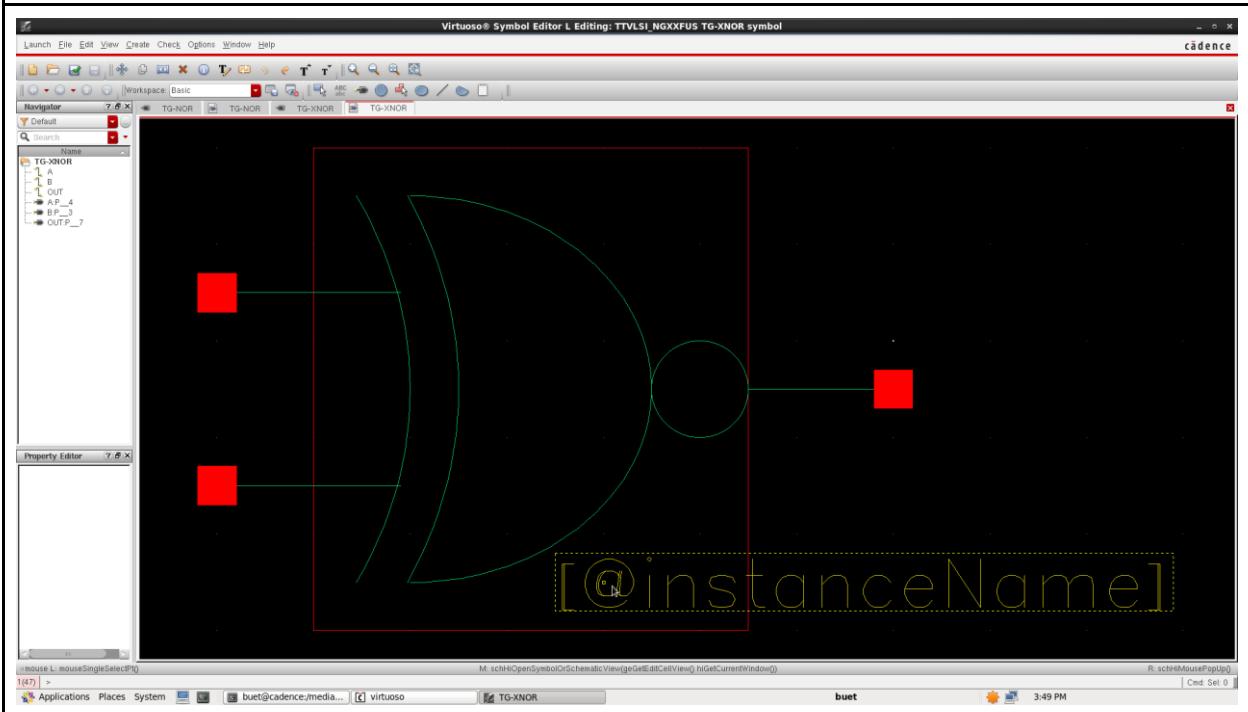
Hình 18.3.2.1.a. Sơ đồ nguyên lý cỗng TG-XOR.



Hình 18.3.2.1.B. Sơ đồ nguyên lý cỗng TG-XNOR.



Hình 18.3.2.2.a. Ký hiệu cỗng TG-XOR.



Hình 18.3.2.2.b. Ký hiệu cỗng TG-XNOR.

### 18.3.3. Mô phỏng cỗng TG-XOR và TG-XNOR.

#### 18.3.3.1. Thông số nguồn DC và nguồn xung cơ sở

**Bảng 18.3.3.1.1. Thông số nguồn DC:**

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp	VDD	1	V

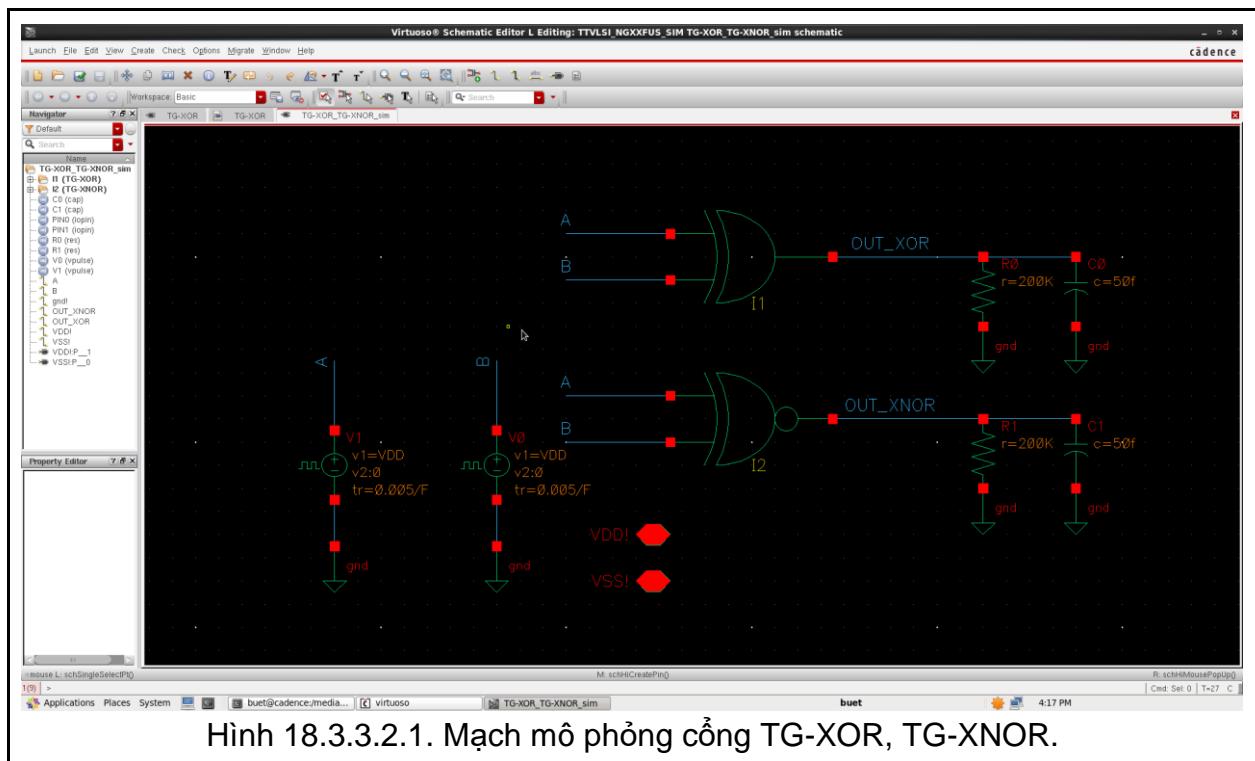
Bảng 18.3.3.1.2. Thông số nguồn cấp xung vuông cơ sở:

Thông số	Biến	Giá trị / Biểu thức	Đơn vị
Điện áp mức cao	--	VDD	V
Điện áp mức thấp	--	0	
Tần số	F	50MHz	
Thời gian cạnh lên.	--	0.0025/F	s
Thời gian cạnh xuống.	--	0.0025/F	
Giá trị ban đầu	--	0	V

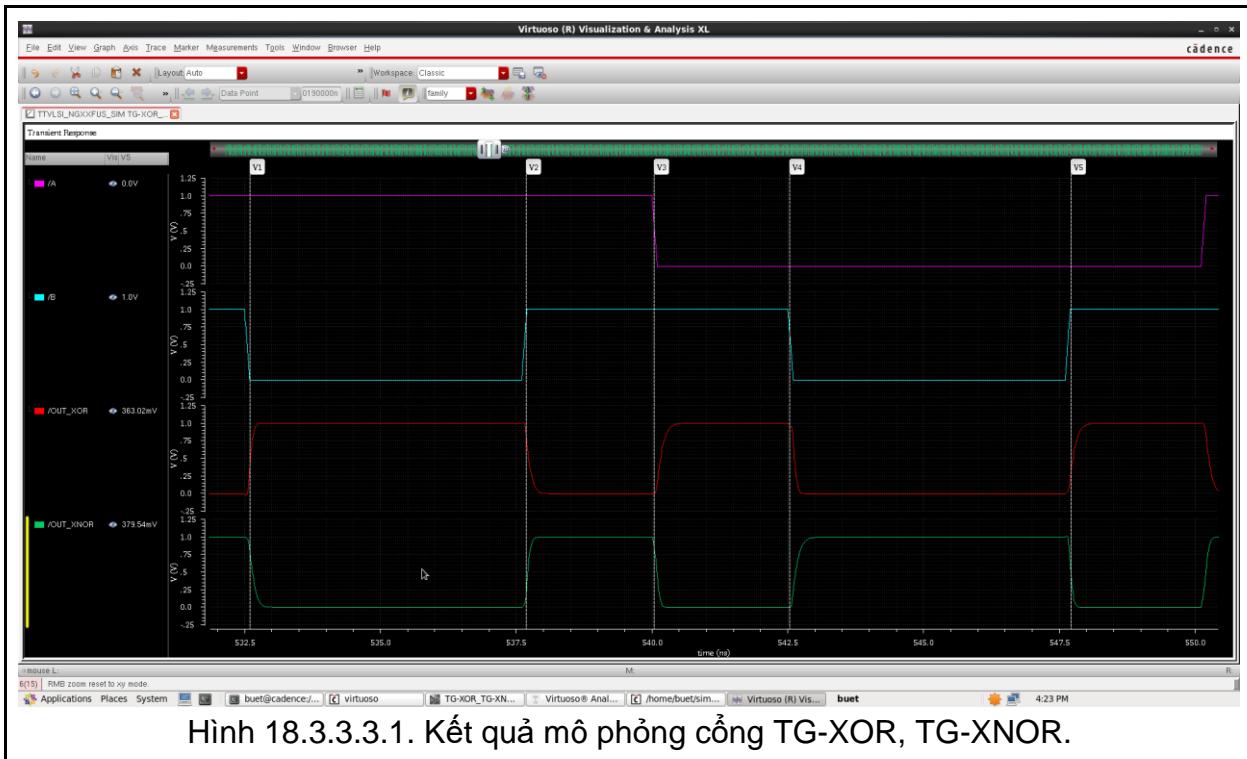
Các nguồn xung vuông khác có dùng giá trị thời gian cạnh lên/cạnh xuống nhưng gấp N (nguyên) lần nguồn xung cơ sở.

### 18.3.3.2. Mạch mô phỏng bộ TG-XOR và TG-XNOR

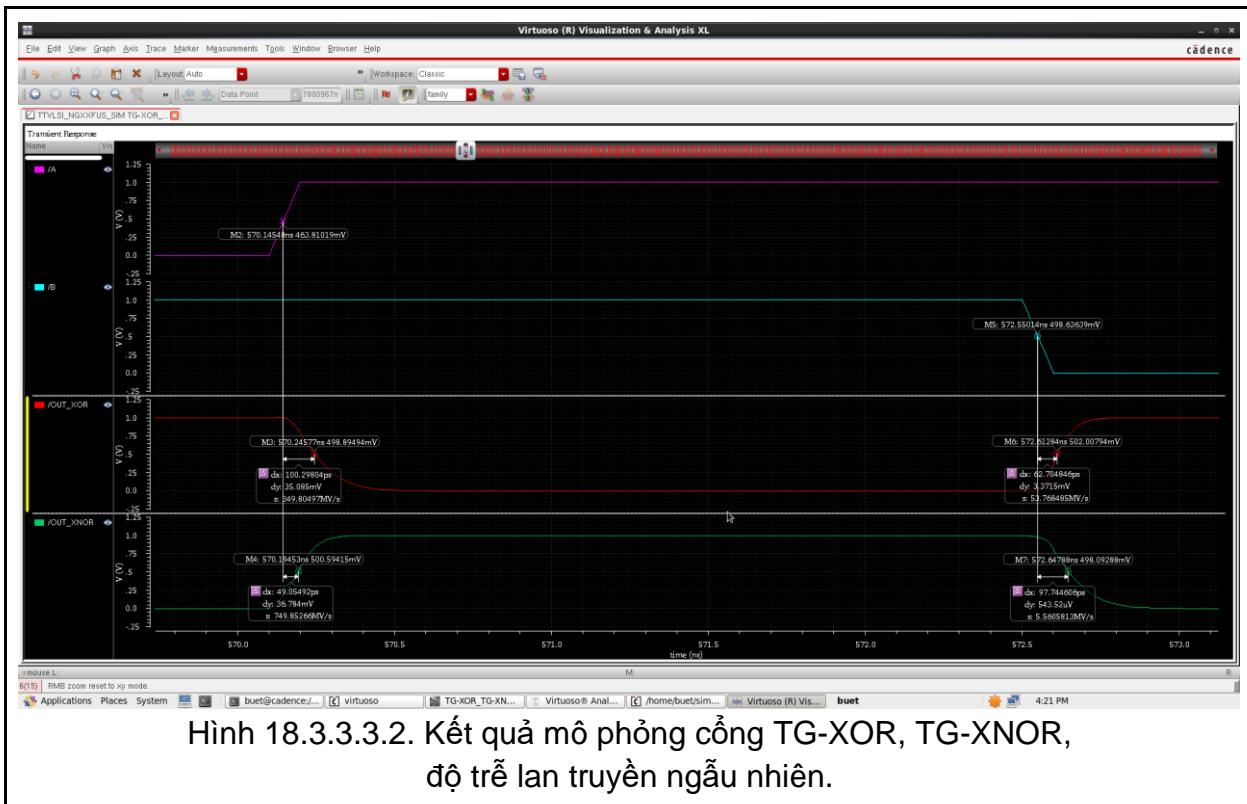
Thực hiện vẽ mạch và chọn nguồn với thông số nguồn ở phần 18.3.3.1. và ngõ ra mắc tải  $C_{Load} = 50f$  (F),  $R_{Load} = 200K$  (ohm). Đồng thời so sánh với bộ MUX dùng cổng NOT, OR.



### 18.3.3.3. Kết quả mô phỏng bộ TG-MUX-4-1



Nhận xét: Cỗng TG-XOR, TG-XNOR hoạt động đúng với lý thuyết.



Nhận xét:

- Đối với cổng TG-XOR,  $t_{pdf} = \sim 62\text{ps}$ ,  $t_{pdr} = \sim 100\text{ps}$
- Đối với cổng TG-XNOR,  $t_{pdf} = \sim 49\text{ps}$ ,  $t_{pdr} = \sim 98\text{ps}$ .

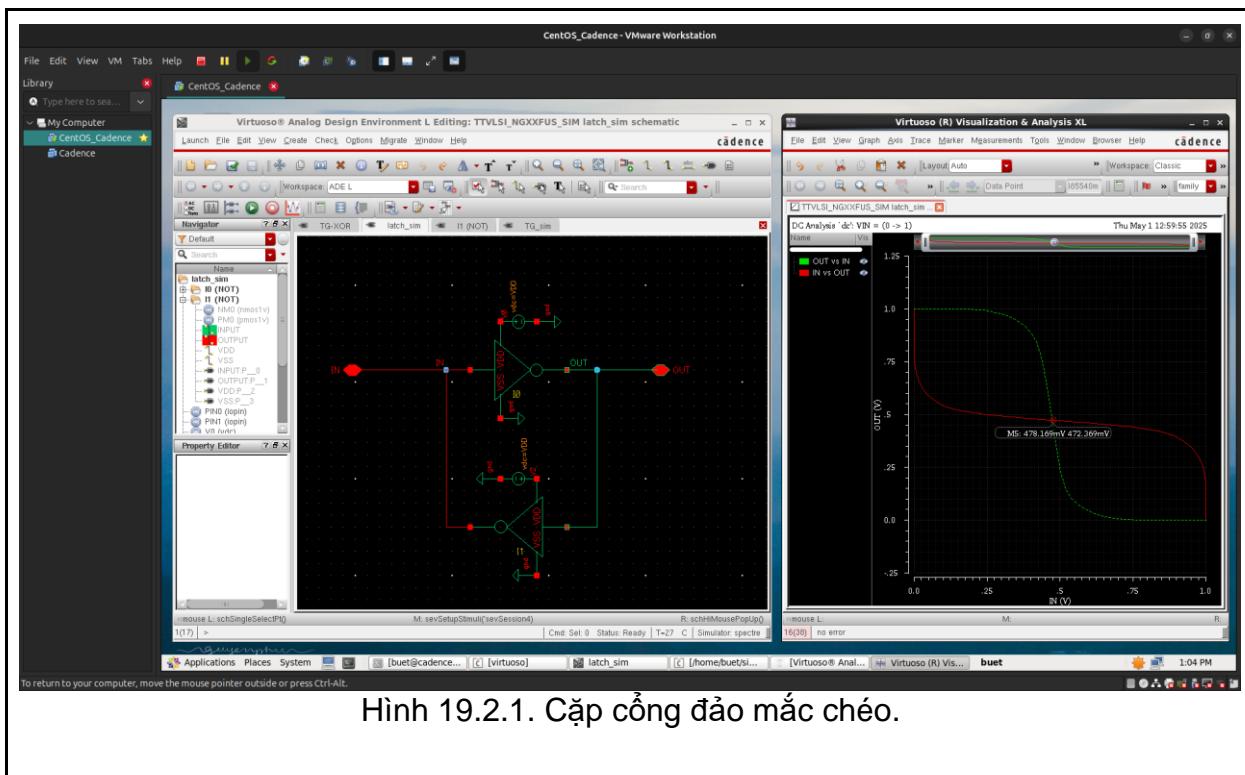
## 19. Flip-Flops và Flow-through Latches

Một chốt truyền tín hiệu (Flow-through Latch) là một loại mạch lưu trữ có đầu ra thay đổi liên tục theo đầu vào miễn là tín hiệu xung clock đang ở mức kích hoạt. Vì đặc điểm này, nó còn được gọi là chốt nhạy mức.

Ngược lại, một flip-flop (FF) là một phần tử lưu trữ chỉ cập nhật đầu ra tại một cạnh xác định (cạnh lên hoặc cạnh xuống) của tín hiệu xung đồng hồ, do đó nó được gọi là nhạy cạnh.

### 19.1. Cặp cổng đảo mắc chéo (Cross-coupled inverter)

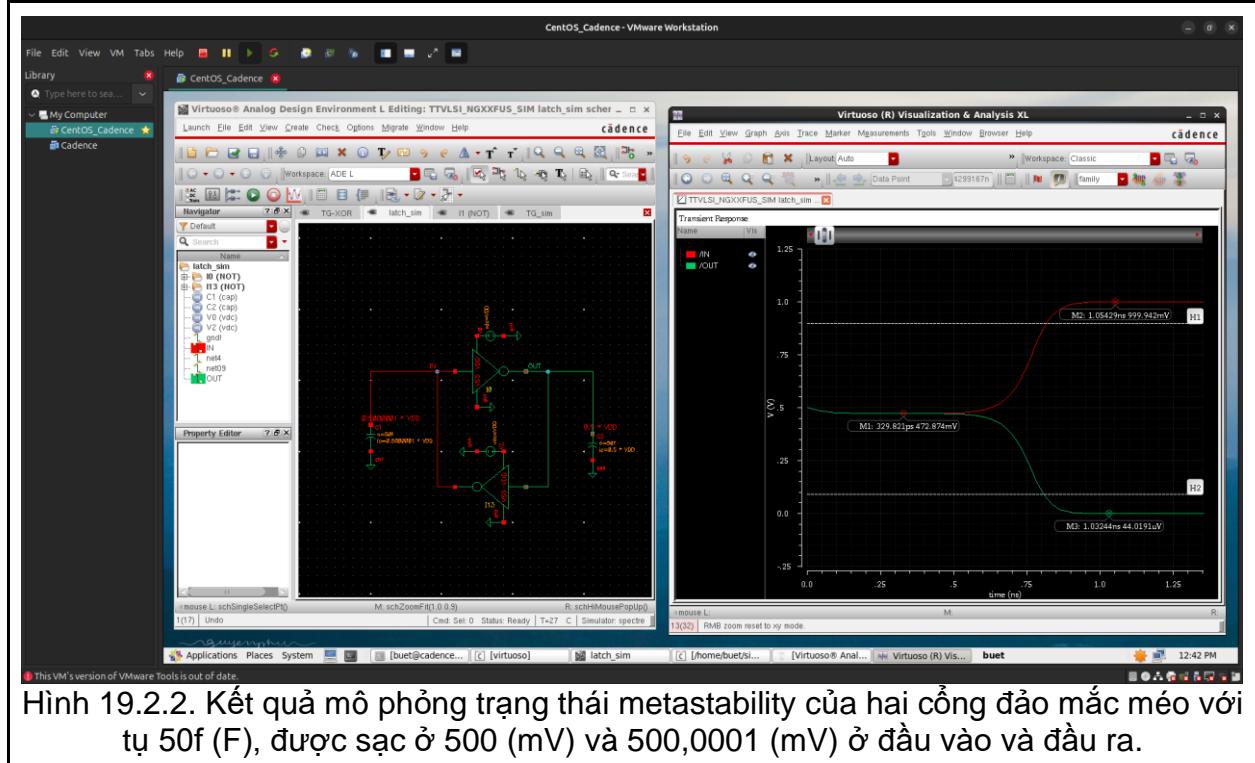
Hầu hết các flip-flop (FF) trong thiết kế mạch tích hợp CMOS đều dựa trên cặp cổng đảo mắc chéo (cross-coupled inverters) như Hình 19.2.1. Trong hình này cũng thể hiện các đặc tính truyền điện áp (VTC – Voltage Transfer Characteristics) của hai cổng đảo. Đặc tính của  $I_0$  được vẽ với đầu vào trên trực hoành (x-axis) và đầu ra trên trực tung (y-axis). Đổi với  $I_1$ , đầu vào được gán nhãn là “OUT” trong hình, còn đầu ra được gán nhãn là “IN” (nên đầu vào được biểu diễn trên trực tung và đầu ra trên trực hoành).



Hình 19.2.1. Cặp cổng đảo mắc chéo.

Khi tín hiệu đầu vào đạt đến điểm chuyển mạch của các biến áp, cả hai nút “IN” và “OUT” sẽ ở mức điện áp  $V_{sp}$  (trong hình 19.2.1,  $V_{sp} = 473mV$ ) – một trạng thái ổn định nhưng không phải là mức logic hợp lệ. Nếu tín hiệu đầu vào cao hơn hoặc thấp hơn điểm này, phản hồi dương vốn có trong cặp cổng đảo chéo sẽ đẩy hai nút “In/Out” về các mức logic hợp lệ (các trạng thái ổn định còn lại).

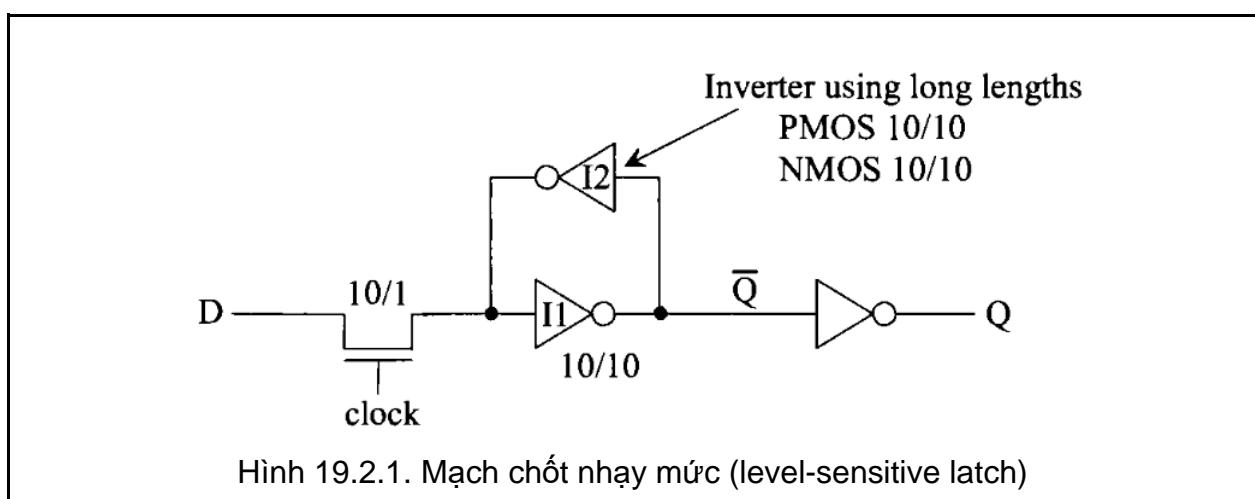
Hình 19.2.2. cho thấy metastability có thể dẫn đến độ trễ dài trước khi đầu ra chuyển sang trạng thái logic hợp lệ. Trong mô phỏng này, hai tụ điện 50f (F) được nạp đến mức 500 mV và 500.0001mV. Phải mất hơn 0.8ns để các tín hiệu In/Out chuyển sang trạng thái ổn định.



Hình 19.2.2. Kết quả mô phỏng trạng thái metastability của hai cổng đảo mắc méo với tụ 50f (F), được sạc ở 500 (mV) và 500,0001 (mV) ở đầu vào và đầu ra.

## 19.2. Mạch chốt nhạy mức (level-sensitive latch)

Hình 19.2.1. thể hiện một latch nhạy mức (level-sensitive latch). Khi tín hiệu xung clock ở mức cao, dữ liệu tại ngõ vào D sẽ đi qua transistor NMOS (pass gate - cổng truyền) và điều khiển các inverter mắc phản hồi chéo. Các transistor trong inverter phản hồi được thiết kế với kênh dài để đảm bảo rằng nguồn dữ liệu từ ngõ vào D có thể 'áp đảo' inverter phản hồi và cho phép đầu ra chuyển trạng thái.



Hình 19.2.1. Mạch chốt nhạy mức (level-sensitive latch)

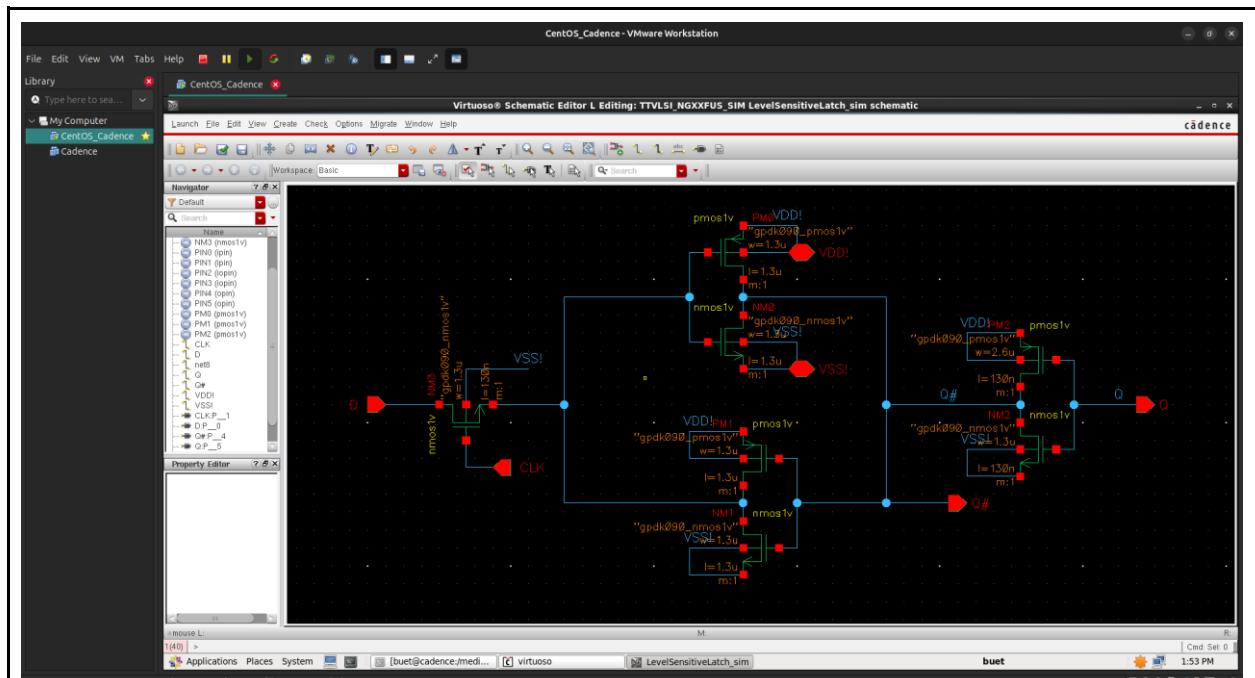
Việc chọn tỉ lệ W/L của các cổng đảo lên đến 10/10 trong cặp cổng đạp mắc chéo giúp tăng hệ số khêhc đại vòng kín (gain) từ đó giảm meta metastability.

Chọn thông số W\_base=0.13um, L\_base =0.13um, bảng 19.2.1 được suy ra từ tỉ lệ W/L trên hình 19.2.1.

Bảng 19.2.1. Thông số CMOS dựa trên tỉ lệ W/L:

Thông tin	PMOS		NMOS	
	W	L	W	L
pass gate	--	--	1.3u	0.13u
I1	1.3u	1.3u	1.3u	1.3u
I2	1.3u	1.3u	1.3u	1.3u
Q# -> Q	2.6u	0.13u	1.3u	0.13u

Dựa vào bảng thông số CMOS, sơ đồ nguyên lý Hình 19.2.1, thực hiện vẽ lại mạch chốt nhạy mức trên Cadence Virtuoso.



Hình 19.2.2. Mạch nguyên lý Hình 19.2.1 trên Cadence Virtuoso.

Bảng 19.2.2. Thông số nguồn DC, nguồn xung cơ sở khi mô phỏng hình 19.2.1. (Thông qua Stimuli)

VDD	F	t_rasing	t_falling
1	50M	0.0025/F	0.0025/F
V	Hz	s	s

Mô phỏng với xung CLK có chu kỳ  $8/F$  (s) và xung D có chu kỳ  $3/F$  (s).

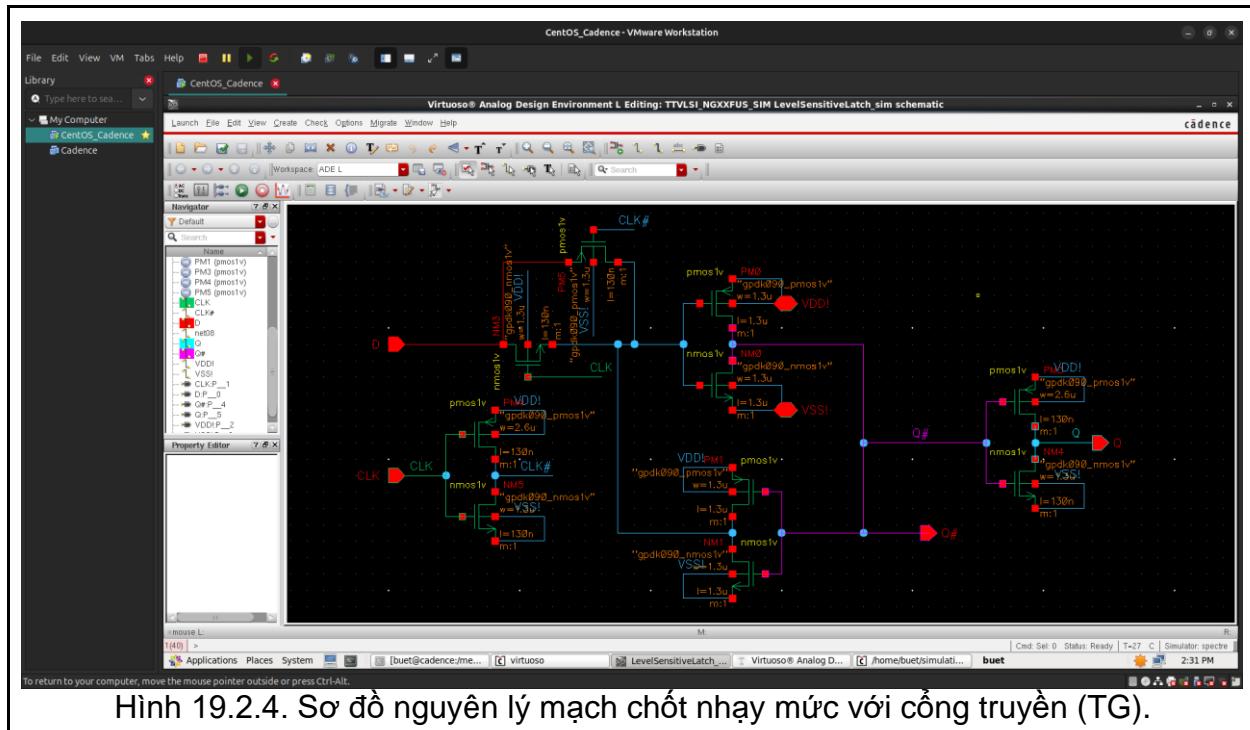
Kết quả mô phỏng:



Hình 19.2.3. Kết quả mô phỏng mạch chốt nhạy mức.

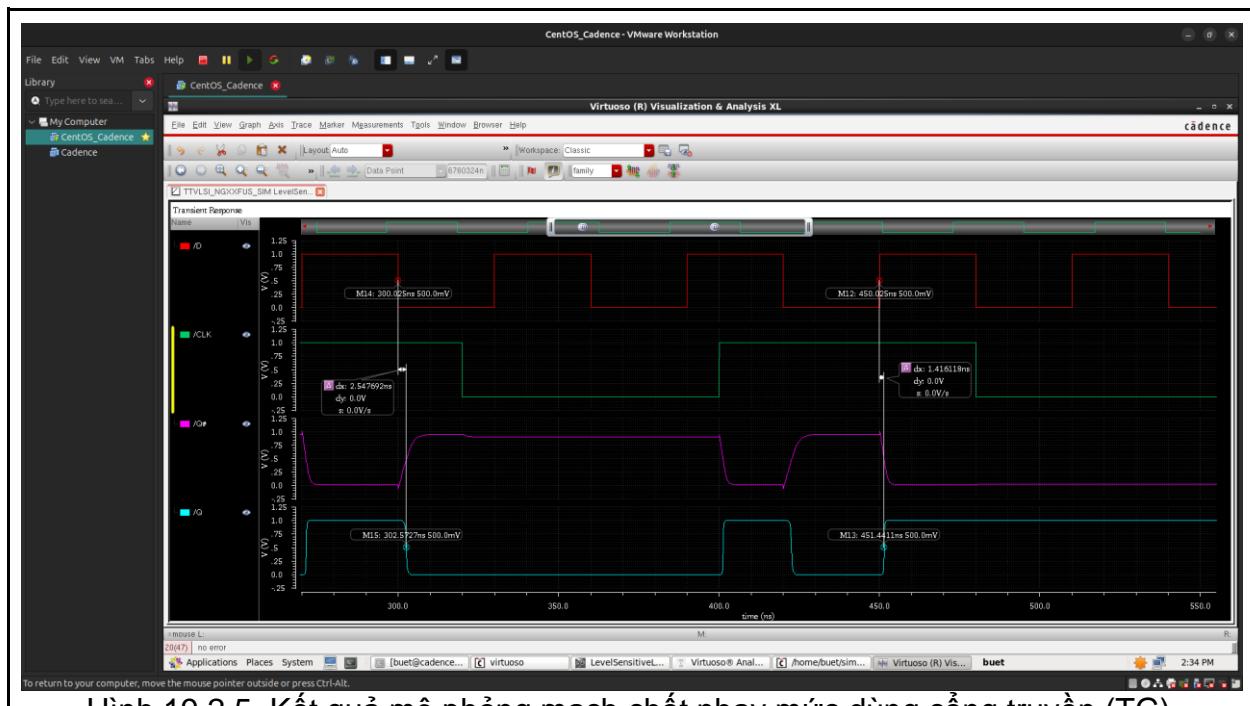
Nhận xét: Khi tín hiệu xung nhịp (clock) ở mức cao, đầu vào được truyền đến đầu ra (có một độ trễ). Khi tín hiệu xung nhịp chuyển về mức thấp, giá trị tại đầu vào D sẽ được giữ lại và duy trì tại đầu ra Q cho đến khi tín hiệu xung nhịp chuyển lại mức cao.

Thay NMOS bằng cổng truyền (TG), thực hiện vẽ mạch và mô phỏng:



Hình 19.2.4. Sơ đồ nguyên lý mạch chốt nhạy mức với cổng truyền (TG).

Kết quả:

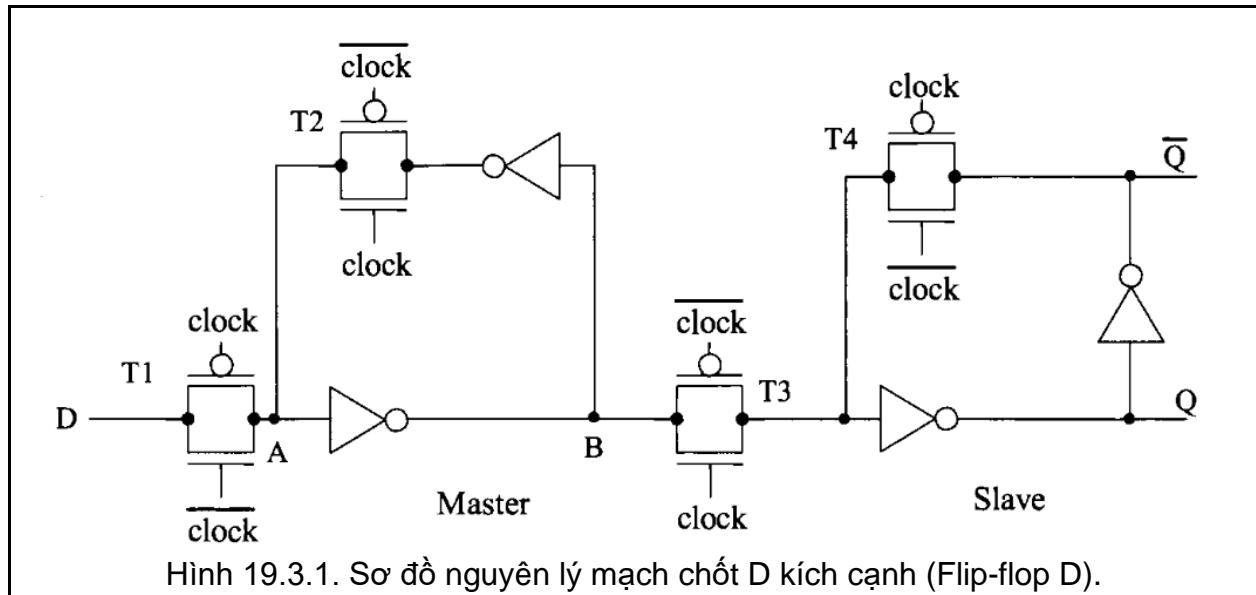


Hình 19.2.5. Kết quả mô phỏng mạch chốt nhạy mức dùng cổng truyền (TG).

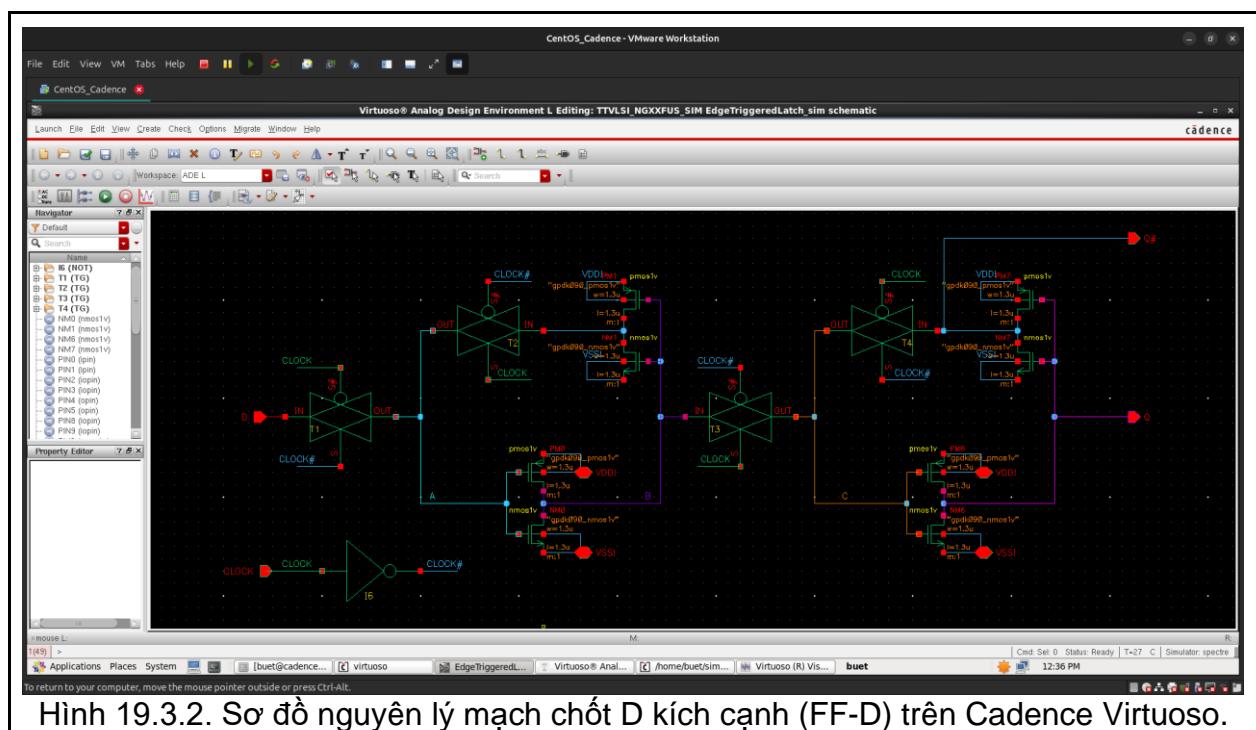
Nhận xét: Độ trễ lan truyền giảm đến ~40%; Tín hiệu ổn định, các khoảng vượt/dưới ngưỡng giảm.

### 19.3. Mạch chốt D Kích cạnh (Flip-flop D)

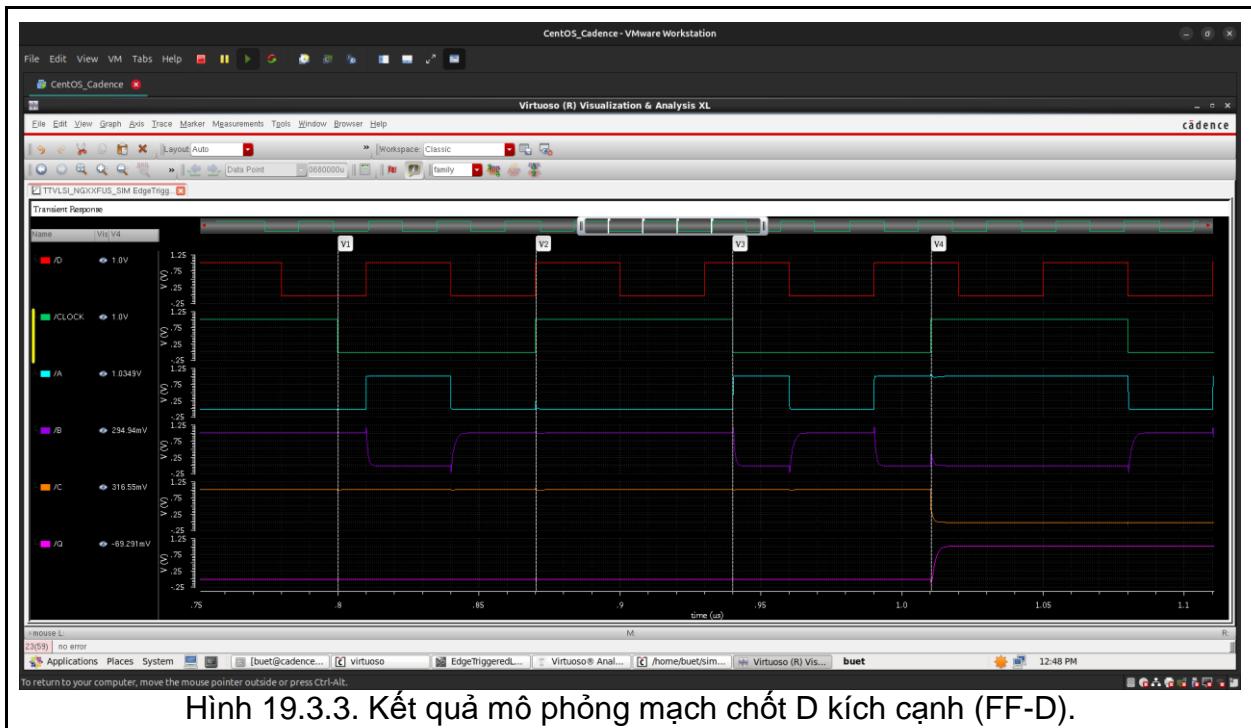
Giá trị của đầu vào D trong mạch ở Hình 19.2.5. sẽ được giữ lại khi xung nhịp (clock) ở mức thấp (low). Hình 19.3.1. triển khai một chốt kích hoạt theo cạnh (edge-triggered flip-flop), sử dụng hai chốt nhạy mức (level-sensitive latches) nối tiếp nhau.



Dựa trên Bảng 19.2.1, thực hiện vẽ mạch chốt D kích cạnh trên Cadence Virtuoso.



Kết quả mô phỏng:



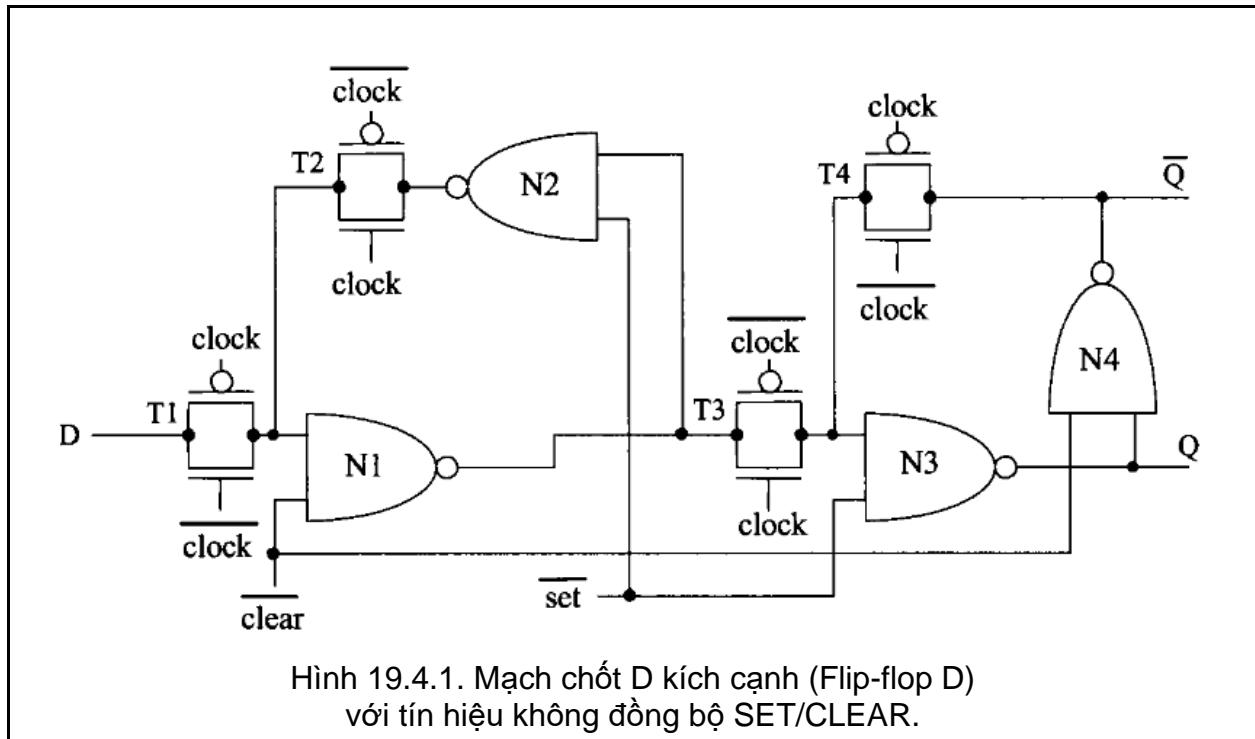
Hình 19.3.3. Kết quả mô phỏng mạch chốt D kích cạnh (FF-D).

Nhận xét:

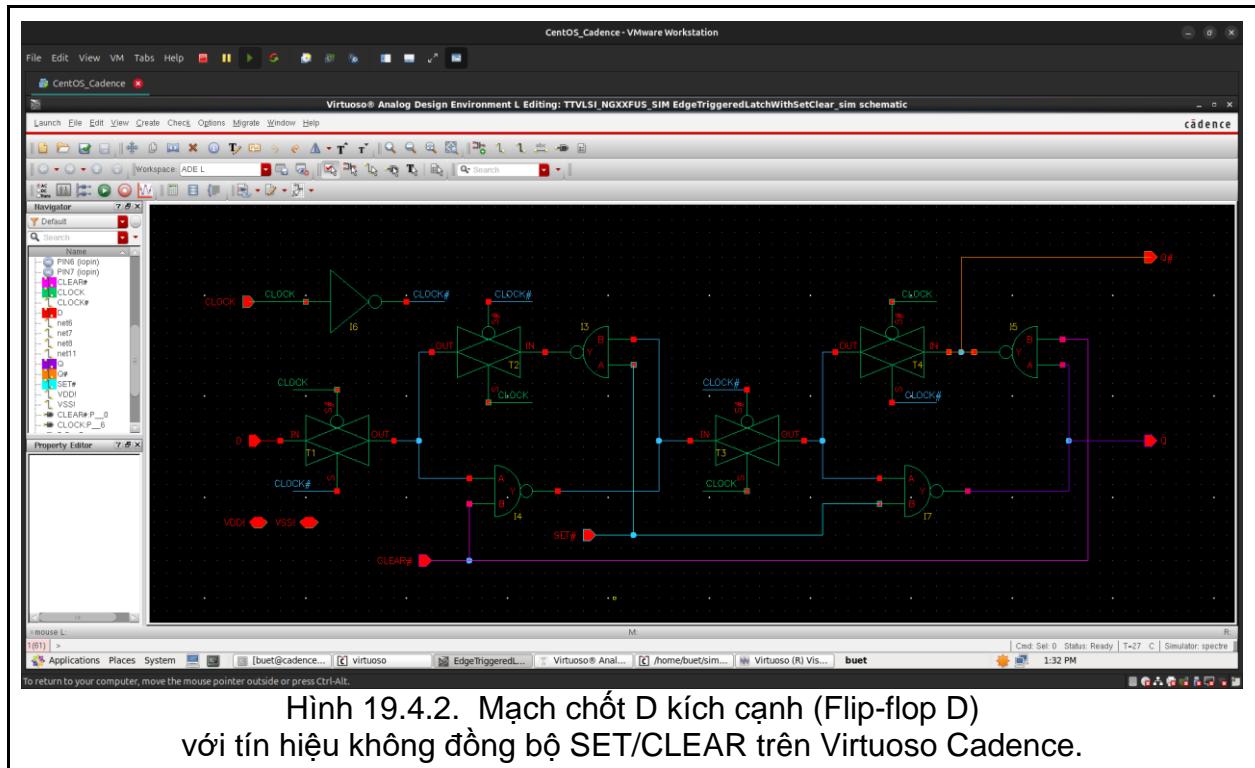
- + Tại cạnh xuống (neg-edge) của CLOCK, tầng thứ nhất dẫn tín hiệu D, tầng thứ hai chốt lại trạng thái ngõ ra trước đó.
- + Tại cạnh lên (pos-edge) của CLOCK, tầng thứ nhất chốt tín hiệu D, tầng thứ hai dẫn tín hiệu được chốt ở tầng một và truyền đến ngõ ra.
- + Tầng đầu tiên thường được gọi là chốt “master”, trong khi tầng thứ hai được gọi là chốt “slave”.
- + Ngõ ra chỉ thay đổi ở cạnh lên của CLOCK.

#### 19.4. Mạch chốt D kích cạnh (Flip-flop D) với tín hiệu không đồng bộ SET/CLEAR

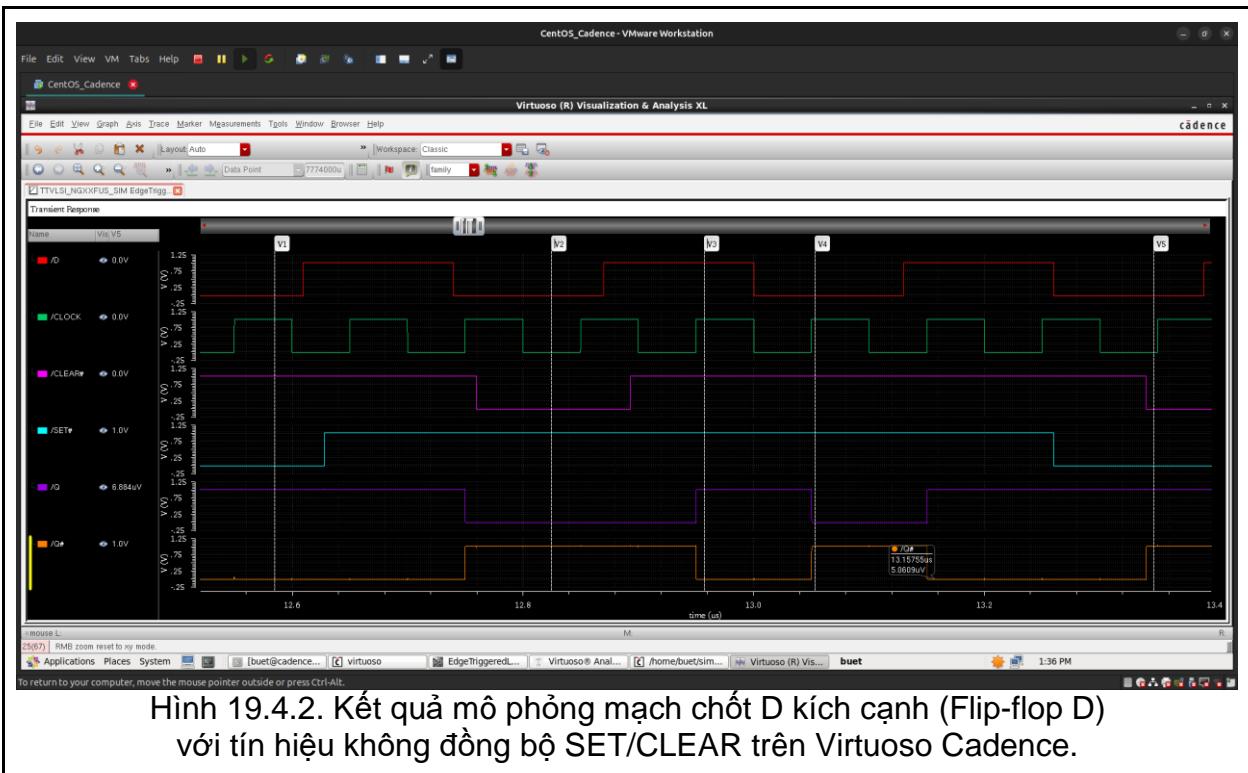
Hình 19.4.1. bên dưới được tạo thành từ Hình 19.3.1. bằng cách thay thế 04 not bằng cổng NAND để tạo tín hiệu hai tín hiệu bắt đồng bộ SET và CLEAR.



Vẽ lại hình 19.4.1. trên Cadence Virtouso và mô phỏng:



Kết quả:



Hình 19.4.2. Kết quả mô phỏng mạch chốt D kích cạnh (Flip-flop D) với tín hiệu không đồng bộ SET/CLEAR trên Virtuoso Cadence.

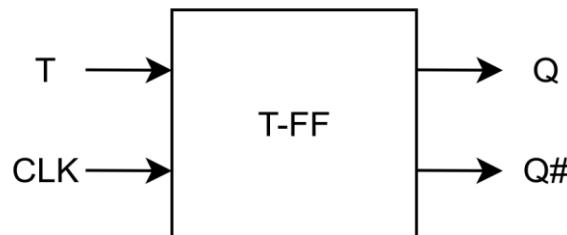
Nhận xét:

- + Tại thời điểm V1, SET# tác động làm ngõ ra  $Q = '1'$ ,  $Q\# = '0'$ .
- + Tại thời điểm V2, CLEAR# tác động làm ngõ ra  $Q = '0'$ ,  $Q\# = '1'$ .
- + Tại thời điểm V3, ngõ ra  $Q = '1'$ ,  $Q\# = '0'$  do  $D = '1'$  tại thời điểm cạnh xuống của CLOCK liền trước.
- + Tại thời điểm V4, ngõ ra  $Q = '0'$ ,  $Q\# = '1'$  do  $D = '0'$  tại thời điểm cạnh xuống của CLOCK liền trước.
- + Tại thời điểm V5, SET# và CLEAR# cùng tác động làm  $Q = '1'$  và  $Q\# = '1'$ .

Kết luận: FF-D hoạt động đúng với lý thuyết.

## 20. T Flip-flop

### 20.1. T Flip-flop, sơ đồ chân - ký hiệu, bảng trạng thái



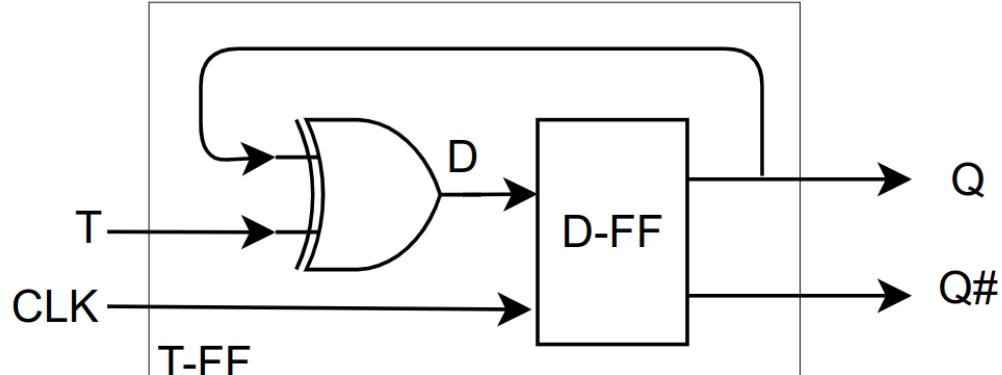
Hình 20.1.1. Sơ đồ chân - ký hiệu T flip-flop.

Bảng 20.1.1. Bảng trạng thái T-FF:

CLK	T	$Q_{N-1}$	$Q_N$
$\uparrow$	0	0	0
$\uparrow$	0	1	1
$\uparrow$	1	0	1
$\uparrow$	1	1	0

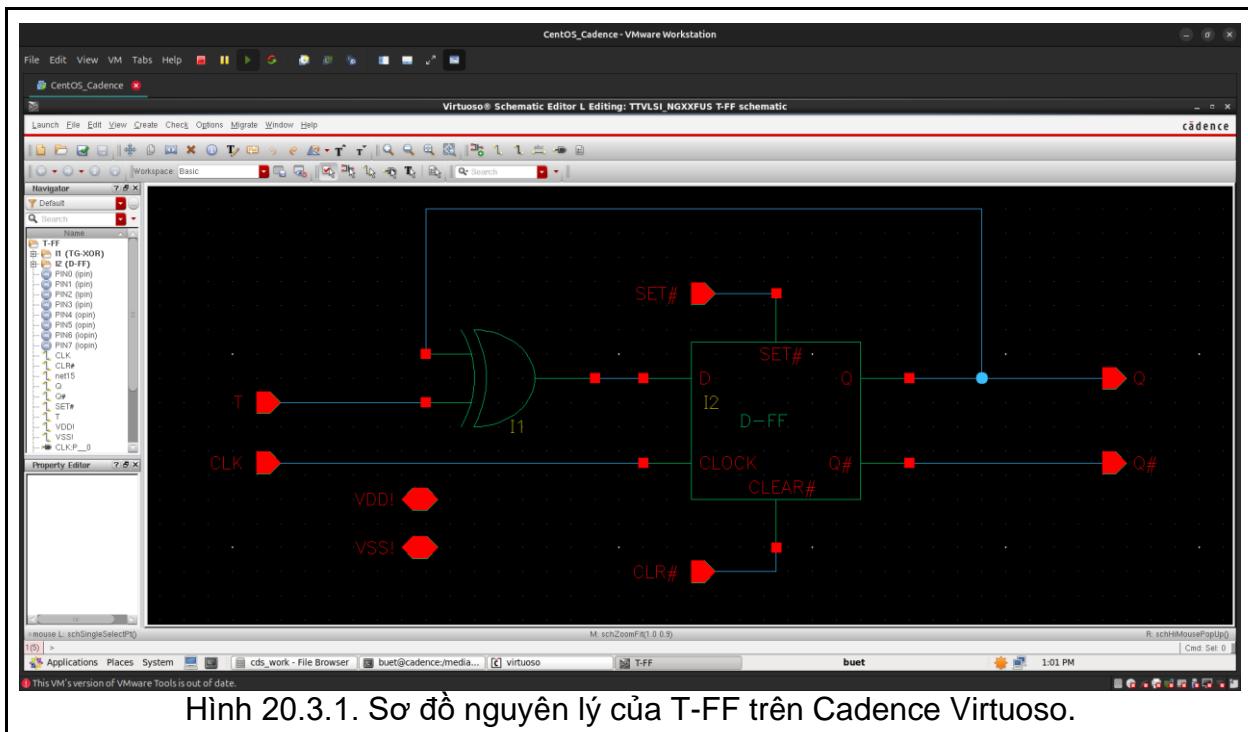
### 20.2. Chuyển đổi D-FF thành T-FF

Có thể tạo T-FF (T viết tắt cho toggle - lật) từ D-FF bằng cách thực hiện phép XNOR giữa ngõ ra trước đó với đầu vào T hiện tại thành ngõ vào D như hình 20.2.1. bên dưới.

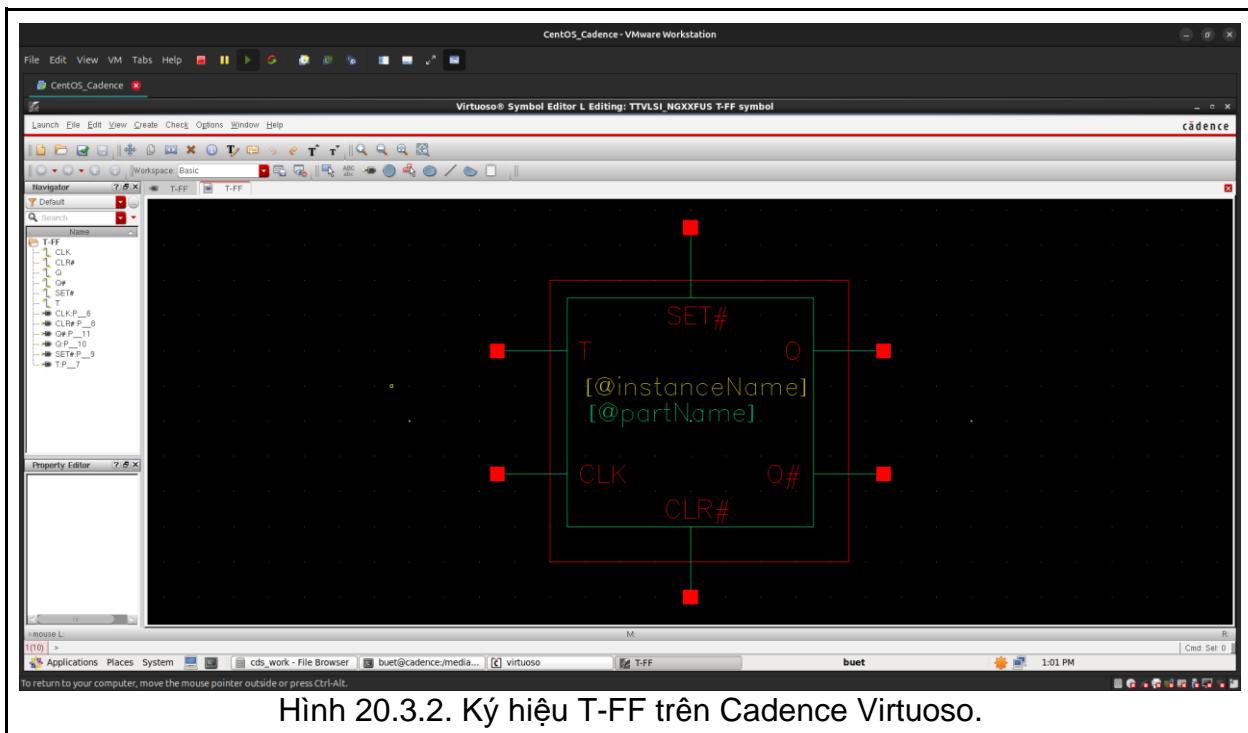


Hình 20.2.1. Sơ đồ T-FF tạo từ D-FF.

### 20.3. Vẽ sơ đồ nguyên lý T-FF trên Cadence Virtuoso



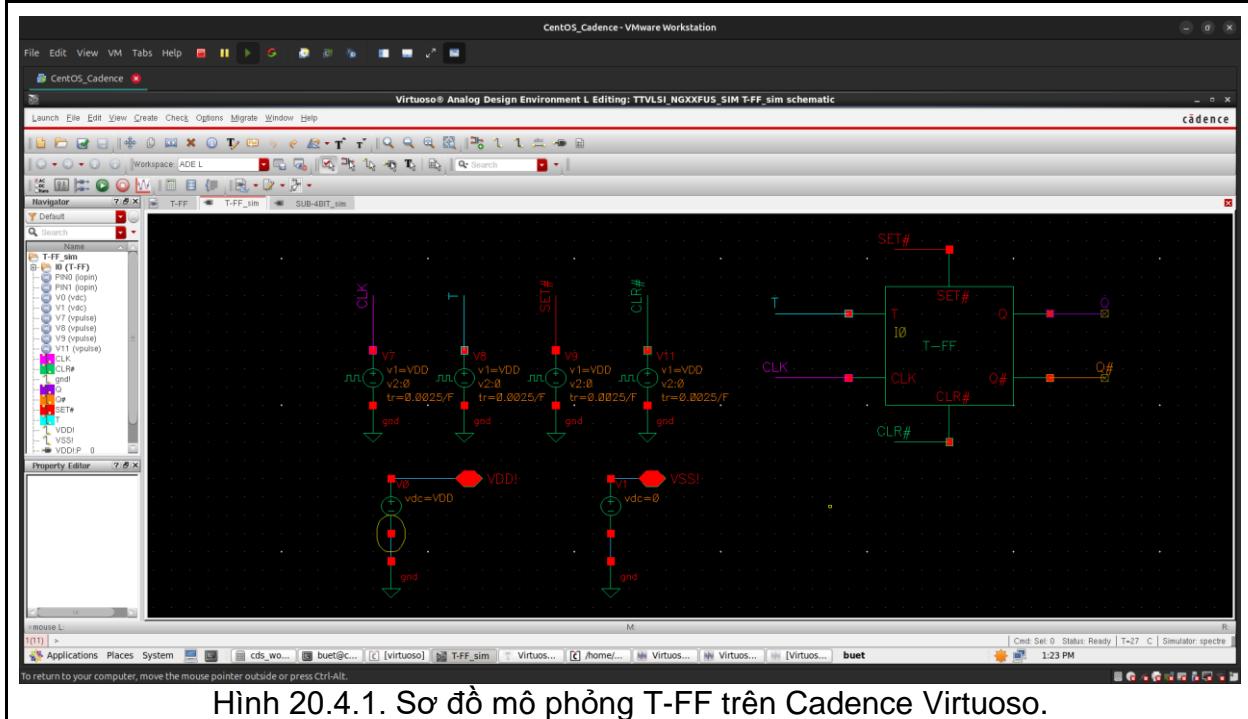
Hình 20.3.1. Sơ đồ nguyên lý của T-FF trên Cadence Virtuoso.



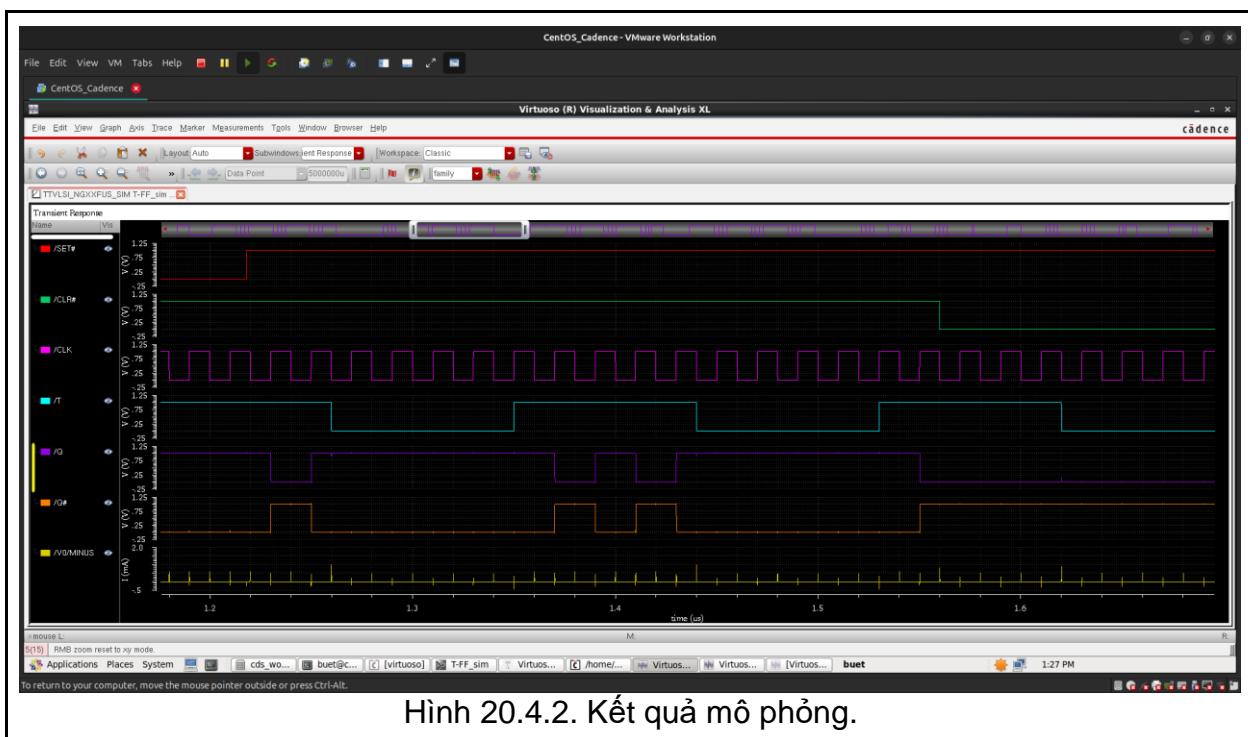
Hình 20.3.2. Ký hiệu T-FF trên Cadence Virtuoso.

## 20.4. Mô phỏng T-FF trên Cadence Virtuoso

Vẽ mạch mô phỏng T-FF trên Cadence Virtuoso với  $V_{DD} = 1V$ ;  $F_{CLK} = 50MHz$ ;  $F_T = F_{CLK}/9$ ;  $F_{SET\#} = F_{CLK}/29$ ;  $F_{CLR\#} = F_{CLK}/39$ ;  $t_{raising} = t_{falling} = 0.0025/F$ .

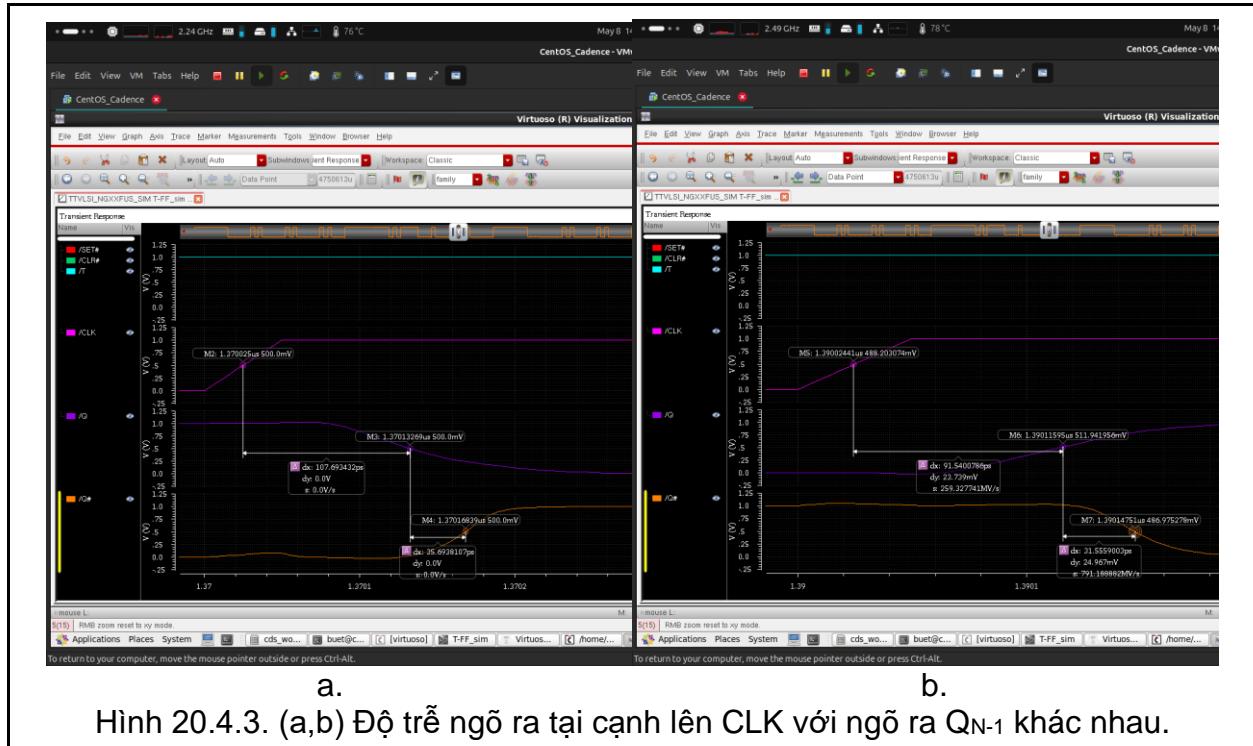


Kết quả:

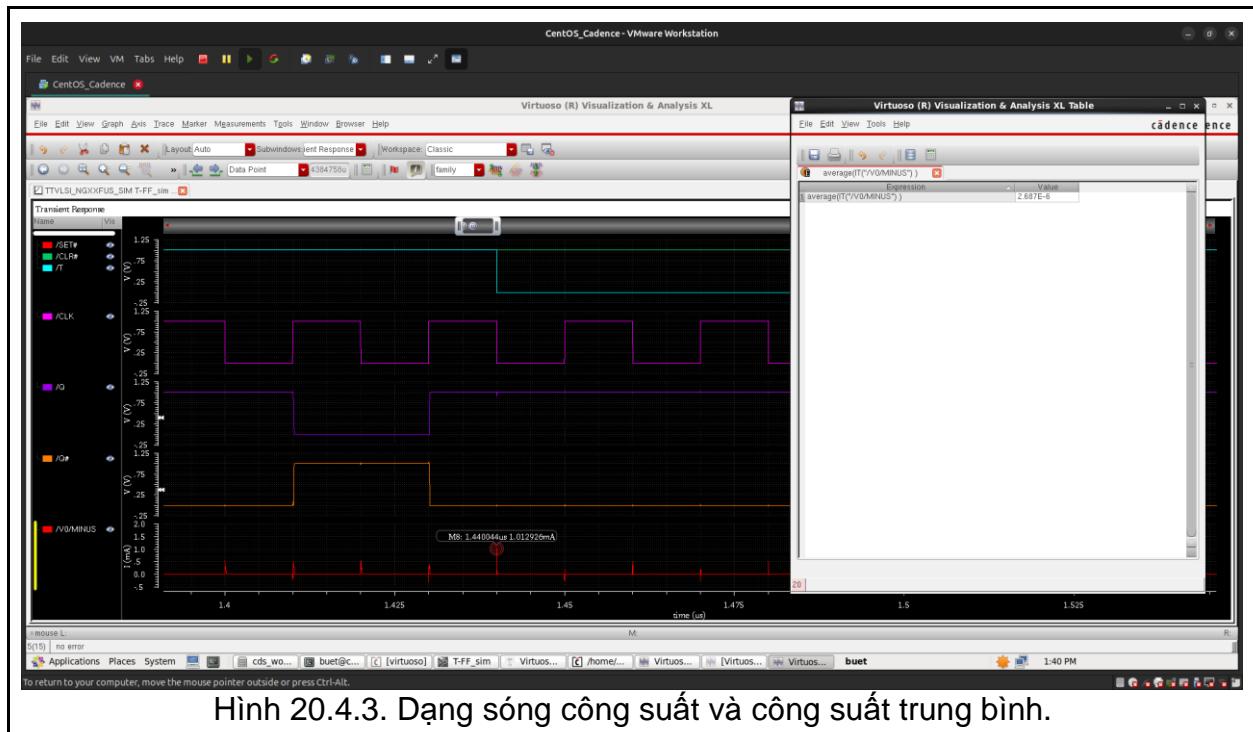


Nhận xét: T-FF hoạt động đúng với lý thuyết.

Thực hiện chọn ngẫu nhiên một vài vị trí cạnh lên / cạnh xuống trên đồ thị và ghi nhận thời gian trễ:



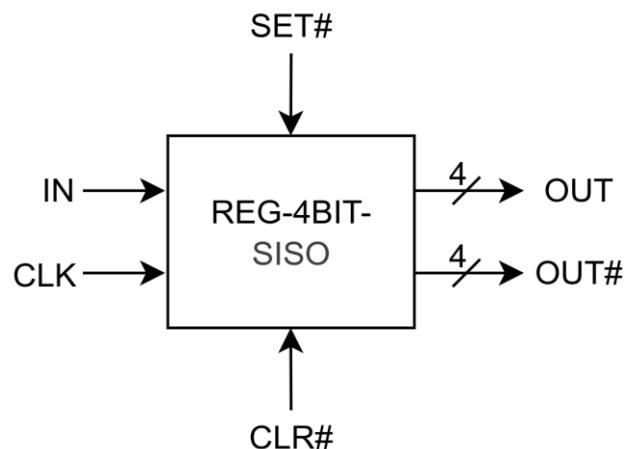
Nhận xét:  $t_{pdr} = \sim 108\text{ps}$  cho Q và  $140\text{ps}$  cho Q#.



Nhận xét: Công suất cực đại lên đến  $1\text{mW}$ , công suất trung bình:  $2,68\mu\text{W}$ .

## 21. Thanh ghi dịch 4 bit SISO (REG-4BIT-SISO)

### 21.1. REG-4BIT-SISO, sơ đồ chân - ký hiệu, bảng trạng thái



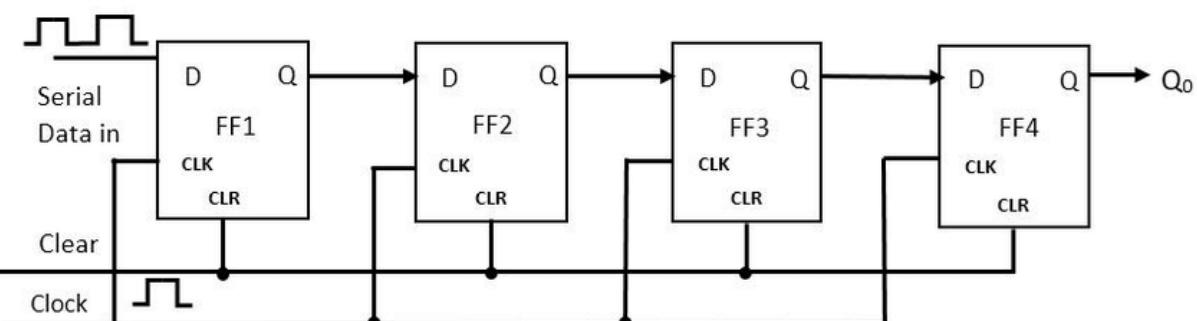
Hình 21.1.1. Sơ đồ chân - ký hiệu REG-4BIT-SISO.

Bảng 21.1.1. Bảng trạng thái REG-4BIT-SISO:

CLK	$IN_N$	SET#	CLR#	$OUT<0>_N$	$OUT<1>_N$	$OUT<2>_N$	$OUT<3>_N$
X	X	0	0	Cấm! Tất cả ngõ ra OUT và OUT# đều ở mức '1'.			
X	X	0	1	1	1	1	1
X	X	1	0	0	0	0	0
↑	X	1	1	$IN_N$	$OUT<0>_{N-1}$	$OUT<1>_{N-1}$	$OUT<2>_{N-1}$

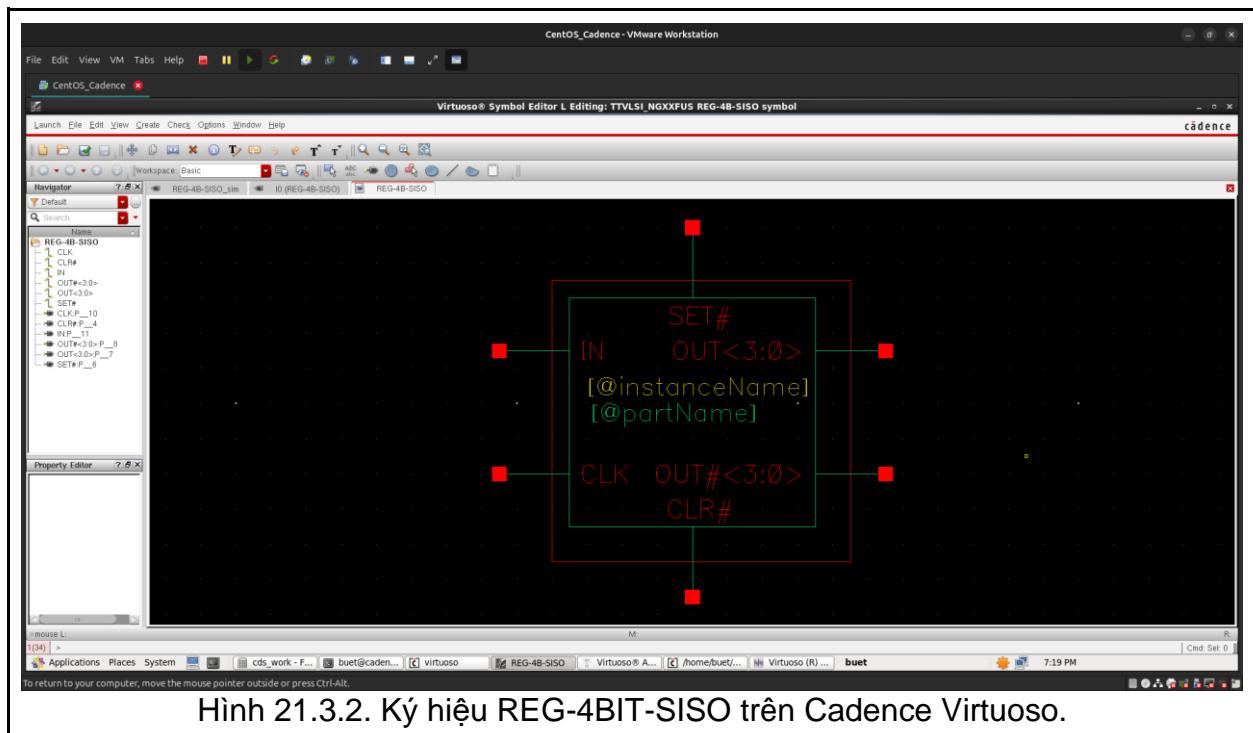
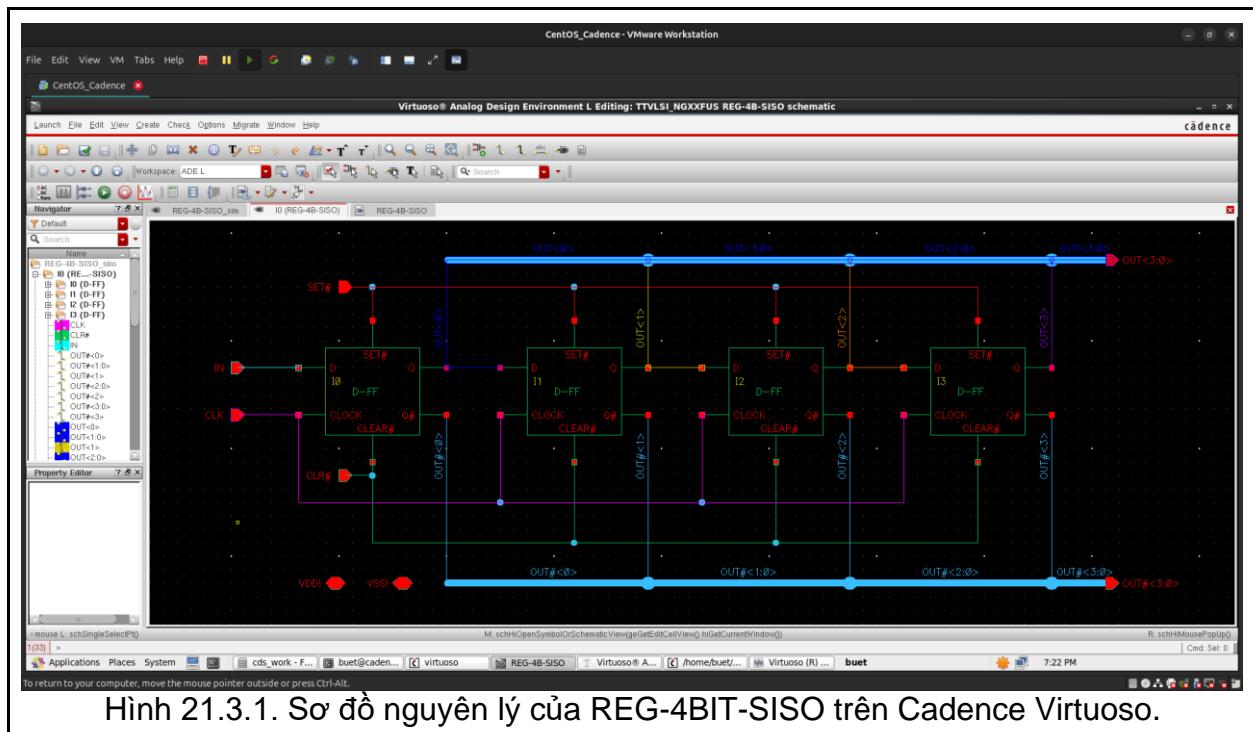
### 21.2. Sơ đồ nguyên lý REG-4BIT-SISO

Có thể tạo REG-4BIT-SISO từ D-FF bằng cách thực hiện ghép cascade các D-FF như hình 21.2.1. bên dưới.



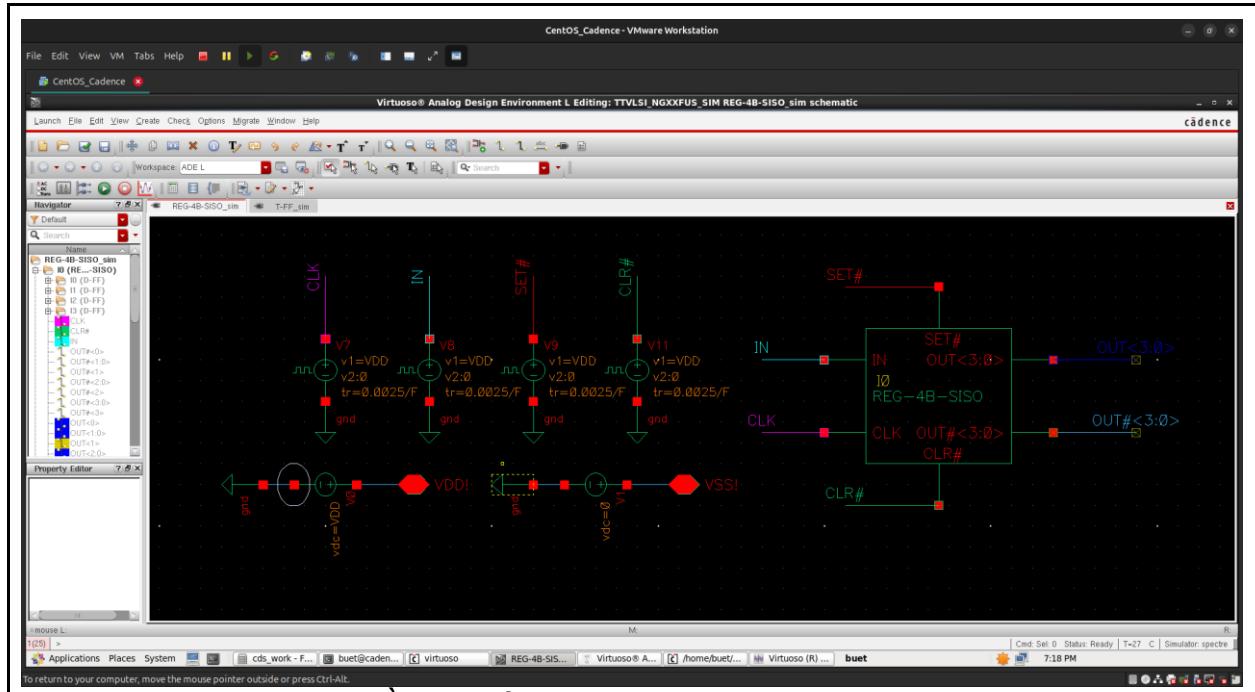
Hình 21.2.1. Sơ đồ REG-4BIT-SISO tạo từ D-FF.

### 21.3. Vẽ sơ đồ nguyên lý REG-4BIT-SISO trên Cadence Virtuoso



## 21.4. Mô phỏng REG-4BIT-SISO trên Cadence Virtuoso

Vẽ mạch mô phỏng REG-4BIT-SISO trên Cadence Virtuoso với  $V_{DD} = 1V$ ;  $F_{CLK} = 50MHz$ ;  $F_{IN}=F_{CLK}/9$ ;  $F_{SET\#}=F_{CLK}/29$ ;  $F_{CLR\#}=F_{CLK}/39$ ;  $t_{raising} = t_{falling} = 0.0025/F_{CLK}$ .



Hình 21.4.1. Sơ đồ mô phỏng REG-4BIT-SISO trên Cadence Virtuoso.

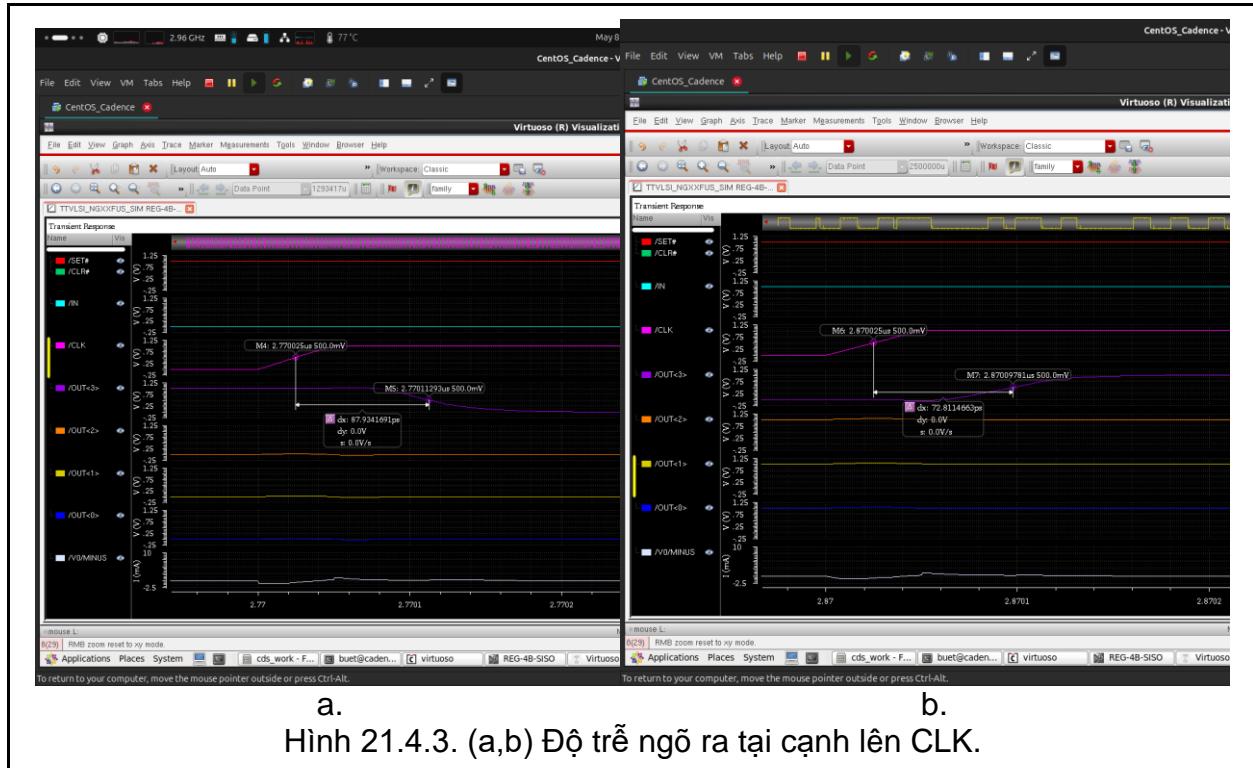
Kết quả:



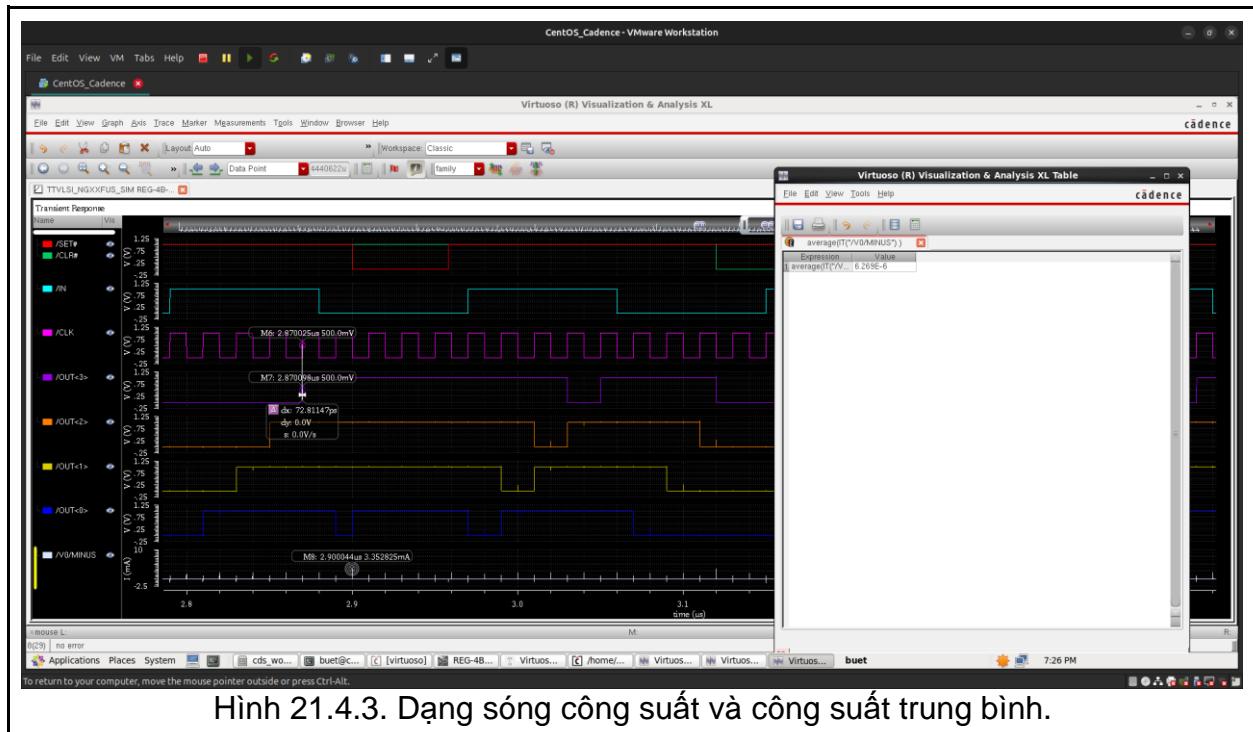
Hình 21.4.2. Kết quả mô phỏng.

Nhận xét: REG-4BIT-SISO hoạt động đúng với lý thuyết.

Thực hiện chọn ngẫu nhiên một vài vị trí cạnh lên / cạnh xuống trên đồ thị và ghi nhận thời gian trễ:



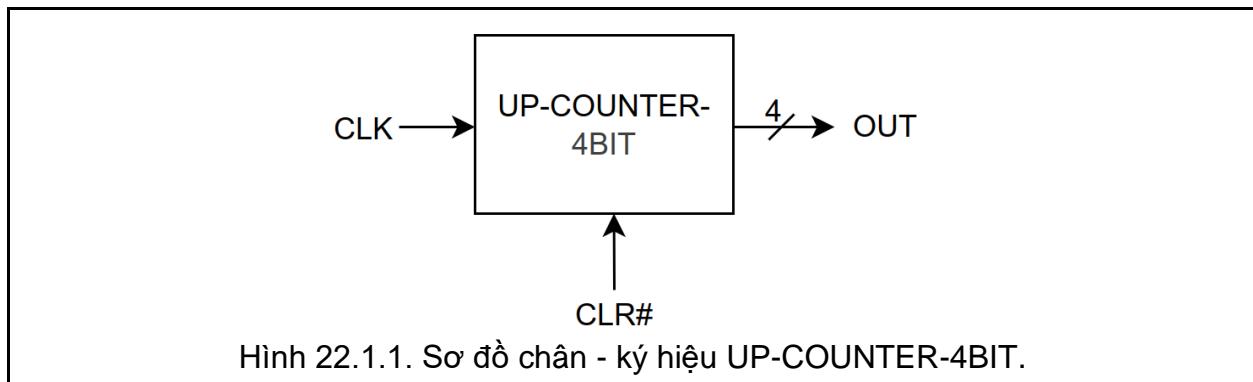
Nhận xét:  $t_{pdR} = \sim 88\text{ps}$  cho Q.



Nhận xét: Công suất cực đại lên đến  $3.5\text{mW}$ , công suất trung bình:  $6.3\mu\text{W}$ .

## 22. Mạch đếm lên 4bit (UP-COUNTER-4BIT)

### 22.1. UP-COUNTER-4BIT, sơ đồ chân - ký hiệu, bảng trạng thái

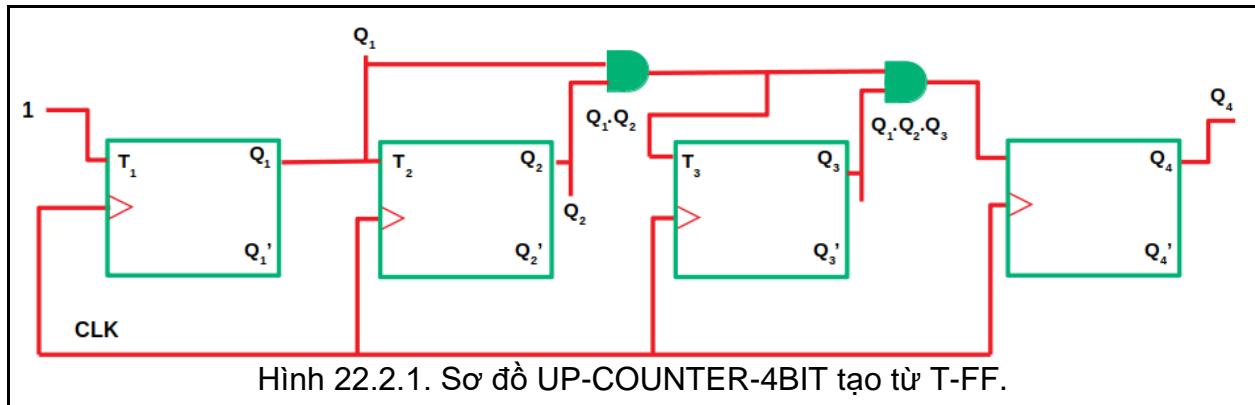


Bảng 22.1.1. Bảng trạng thái UP-COUNTER-4BIT:

CLK	CLR#	OUT<0> <sub>N</sub>	OUT<1> <sub>N</sub>	OUT<2> <sub>N</sub>	OUT<3> <sub>N</sub>
X	0	0	0	0	0
↑	1	0	0	0	1
↑	1	0	0	1	0
↑	1	0	0	1	1
↑	1	0	1	0	0
↑	1	0	1	0	1
↑	1	0	1	1	0
↑	1	0	1	1	1
↑	1	1	0	0	0
↑	1	1	0	0	1
↑	1	1	0	1	0
↑	1	1	0	1	1
↑	1	1	1	0	0
↑	1	1	1	0	1
↑	1	1	1	1	0
↑	1	1	1	1	1
↑	1	0	0	0	0

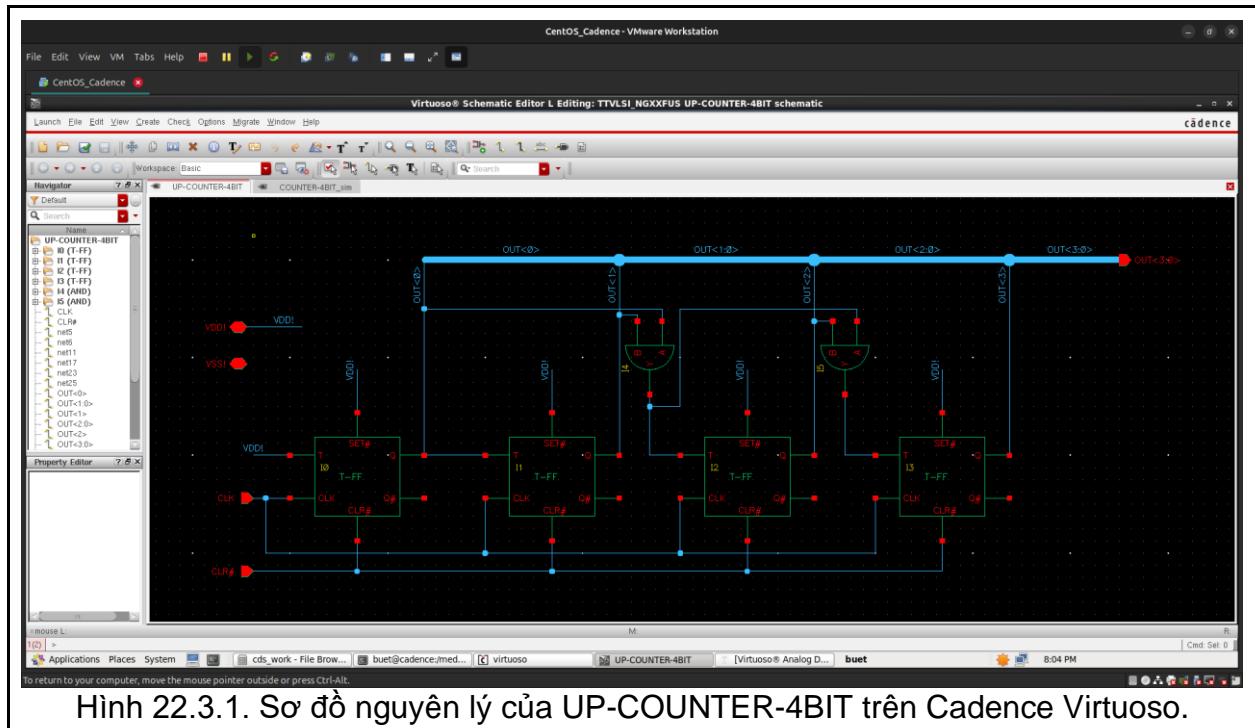
## 22.2. Sơ đồ nguyên lý UP-COUNTER-4BIT

Có thể tạo UP-COUNTER-4BIT từ T-FF bằng cách thực hiện ghép cascade các T-FF như hình 22.2.1. bên dưới.

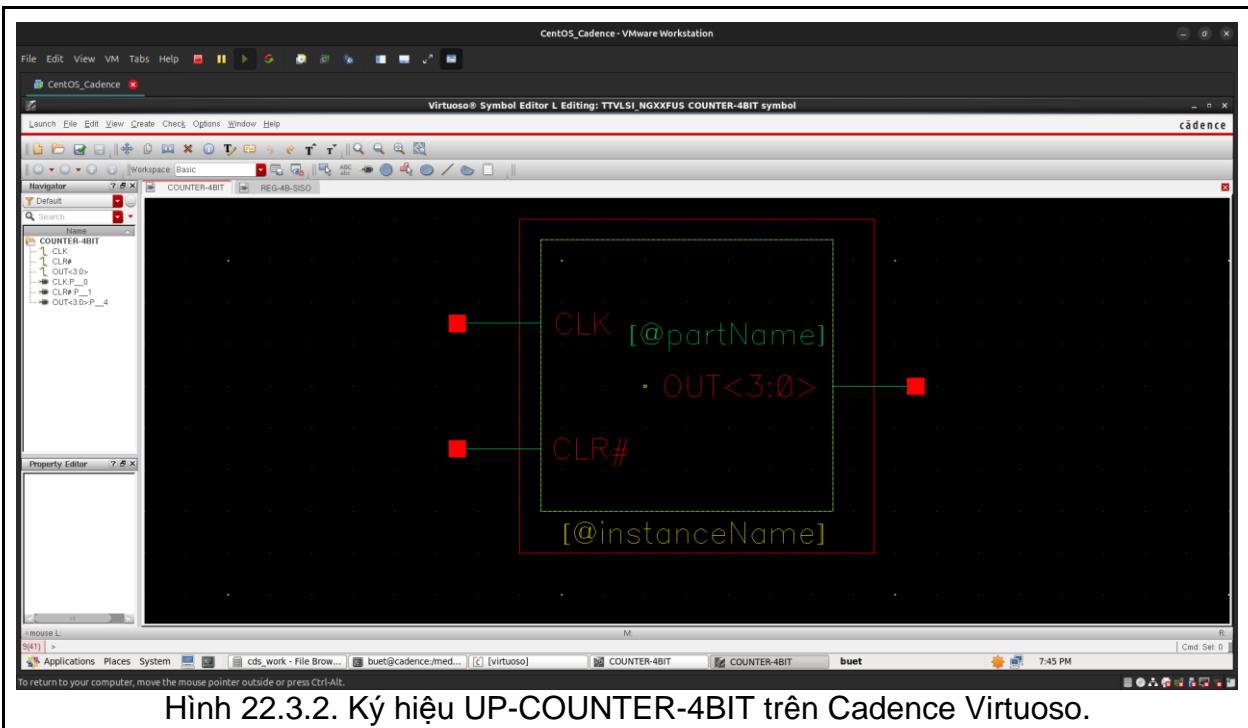


Hình 22.2.1. Sơ đồ UP-COUNTER-4BIT tạo từ T-FF.

## 22.3. Vẽ sơ đồ nguyên lý UP-COUNTER-4BIT trên Cadence Virtuoso



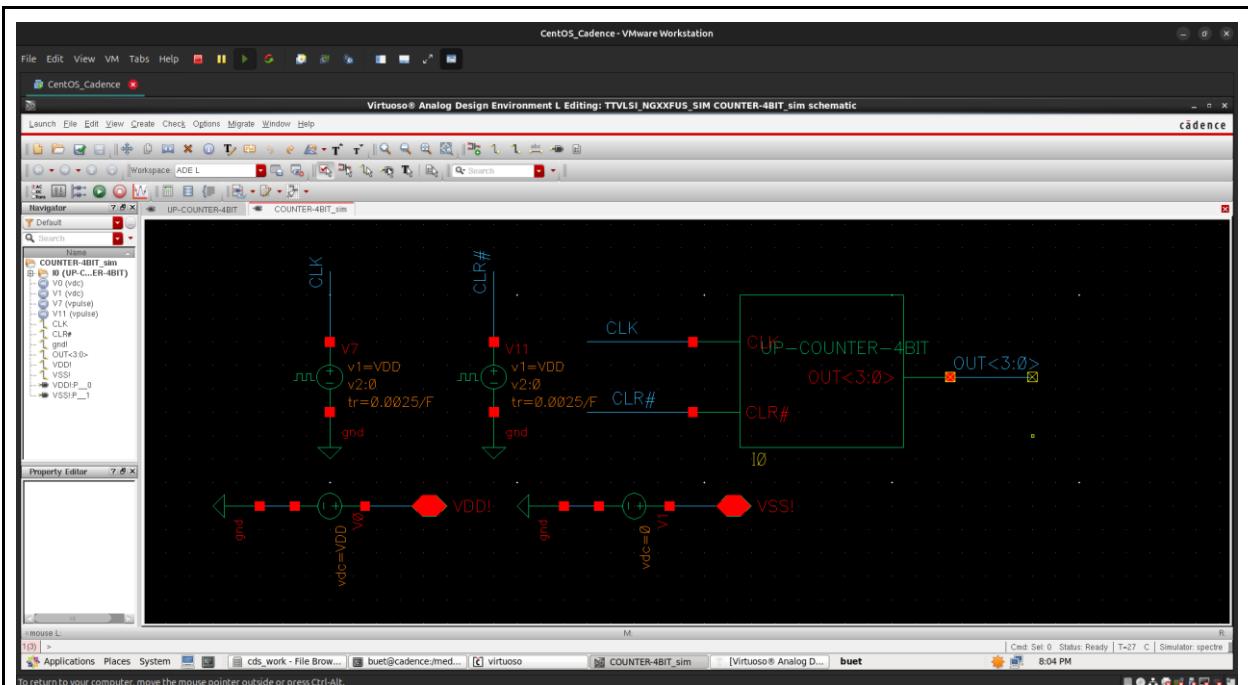
Hình 22.3.1. Sơ đồ nguyên lý của UP-COUNTER-4BIT trên Cadence Virtuoso.



Hình 22.3.2. Ký hiệu UP-COUNTER-4BIT trên Cadence Virtuoso.

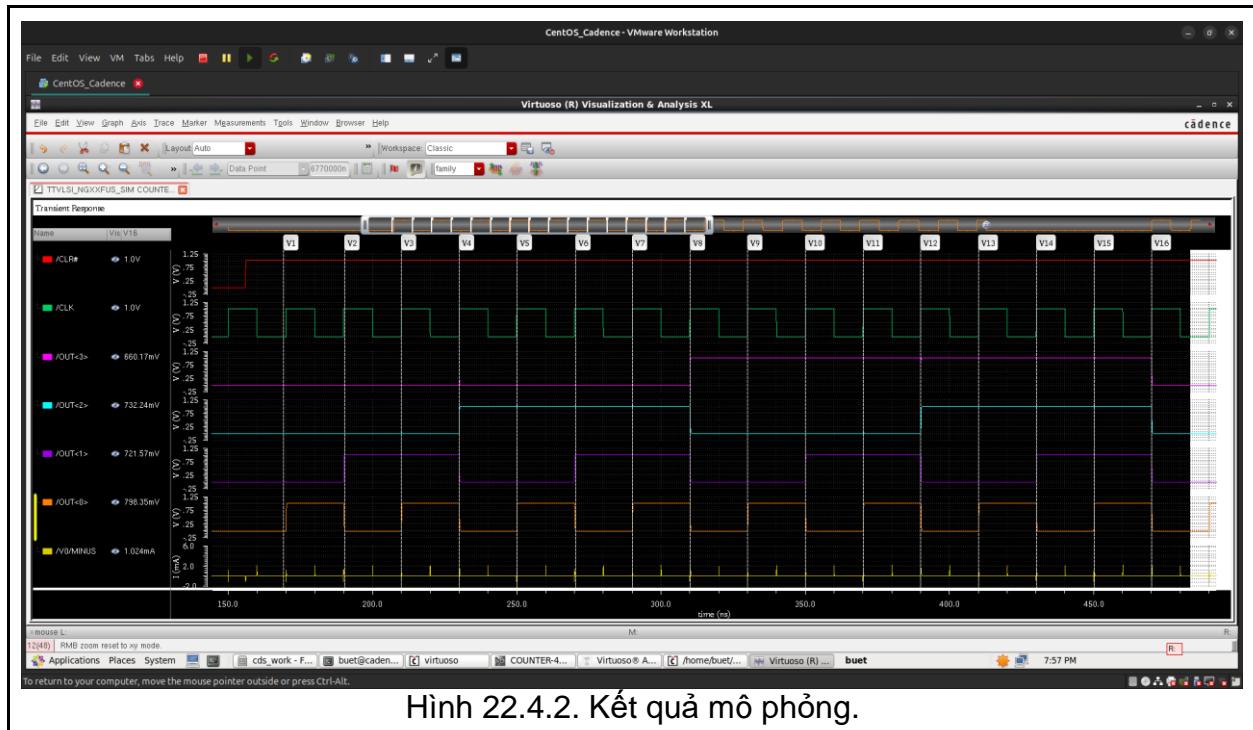
## 22.4. Mô phỏng UP-COUNTER-4BIT trên Cadence Virtuoso

Vẽ mạch mô phỏng UP-COUNTER-4BIT trên Cadence Virtuoso với  $V_{DD} = 1V$ ;  $F_{CLK} = 50MHz$ ;  $F_{CLR\#} = F_{CLK} / 39$ ;  $t_{raising} = t_{falling} = 0.0025/F_{CLK}$ .



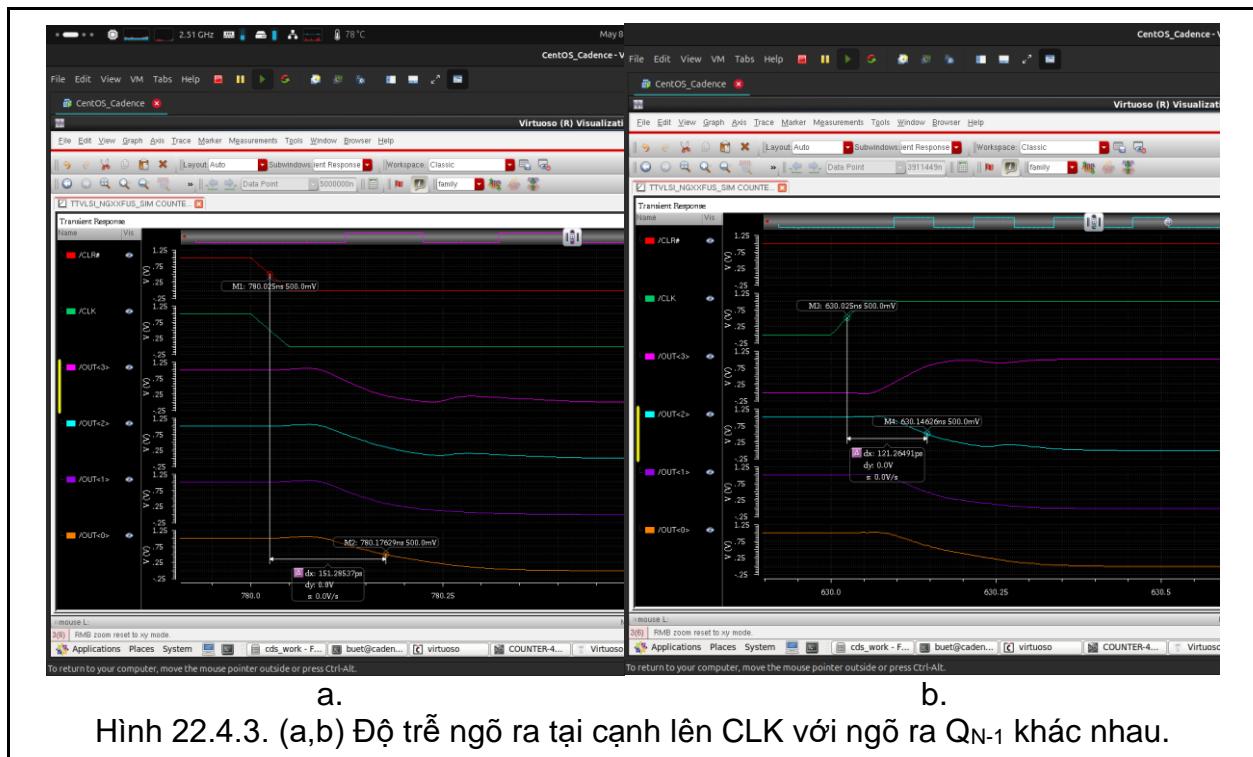
Hình 22.4.1. Sơ đồ mô phỏng UP-COUNTER-4BIT trên Cadence Virtuoso.

## Kết quả:

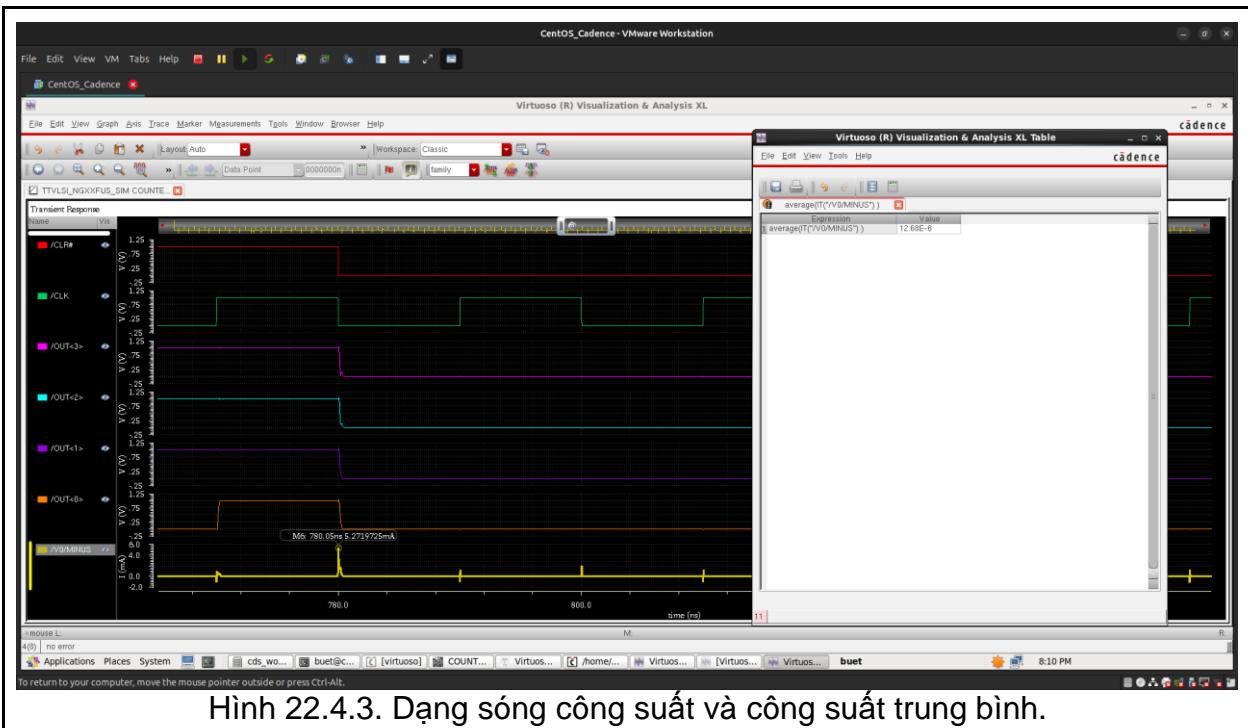


Nhận xét: UP-COUNTER-4BIT hoạt động đúng với lý thuyết.

Thực hiện chọn ngẫu nhiên một vài vị trí cạnh lên / cạnh xuống trên đồ thị và ghi nhận thời gian trễ:



Nhận xét:  $t_{pd} = \sim 150\text{ps}$ .

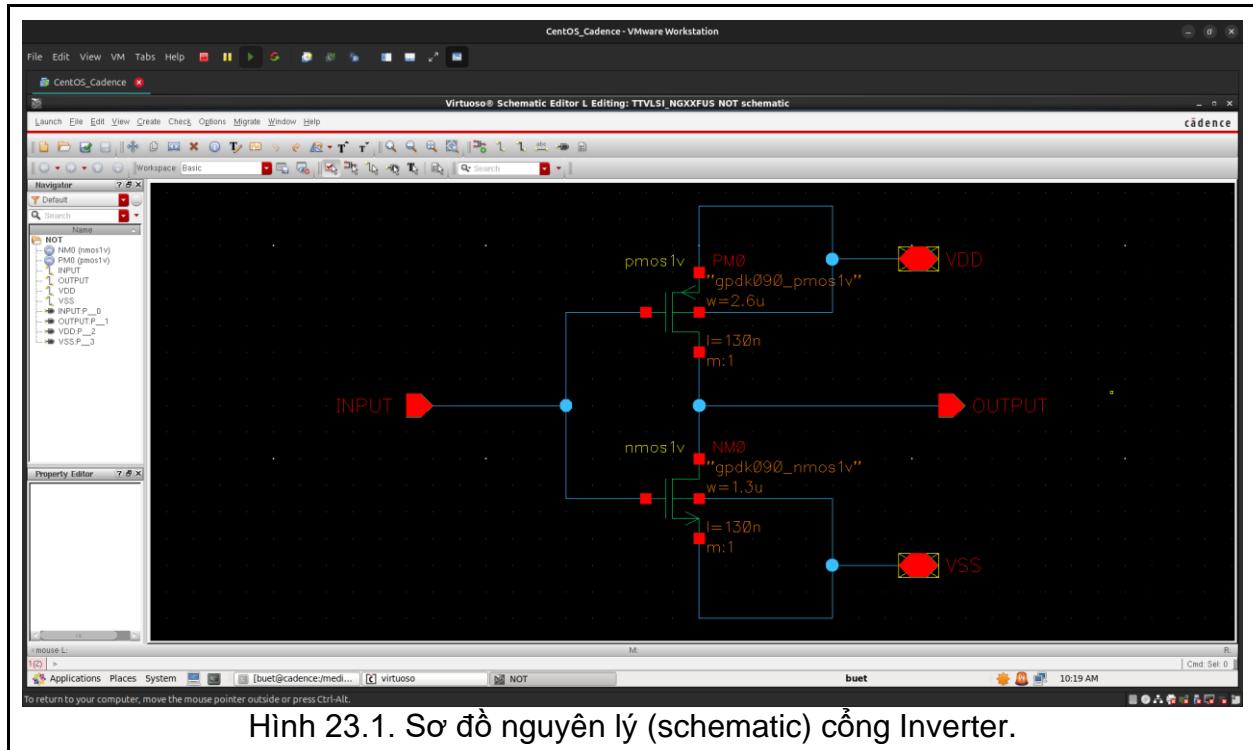


Hình 22.4.3. Dạng sóng công suất và công suất trung bình.

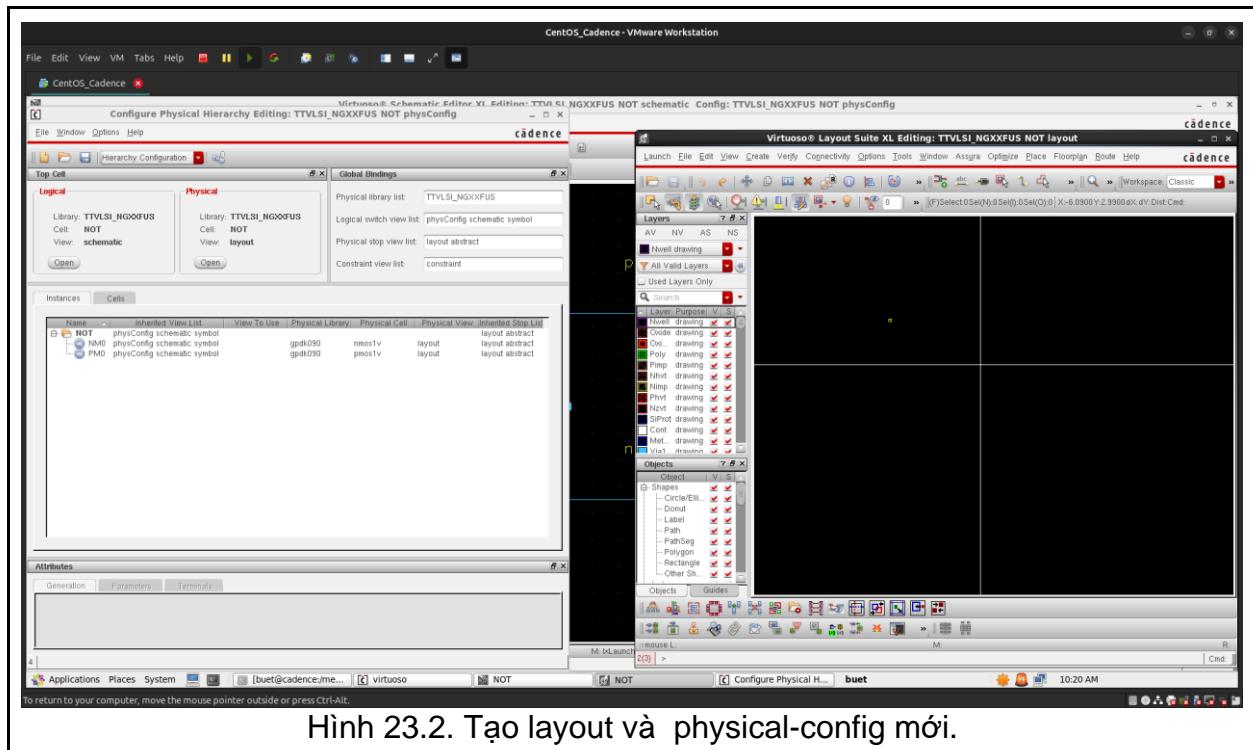
Nhận xét: Công suất cực đại lên đến 5.3mW khi CLR# tác động, và công suất trung bình: 12,68uW.

## 23. Layout cỗng Inverter (not)

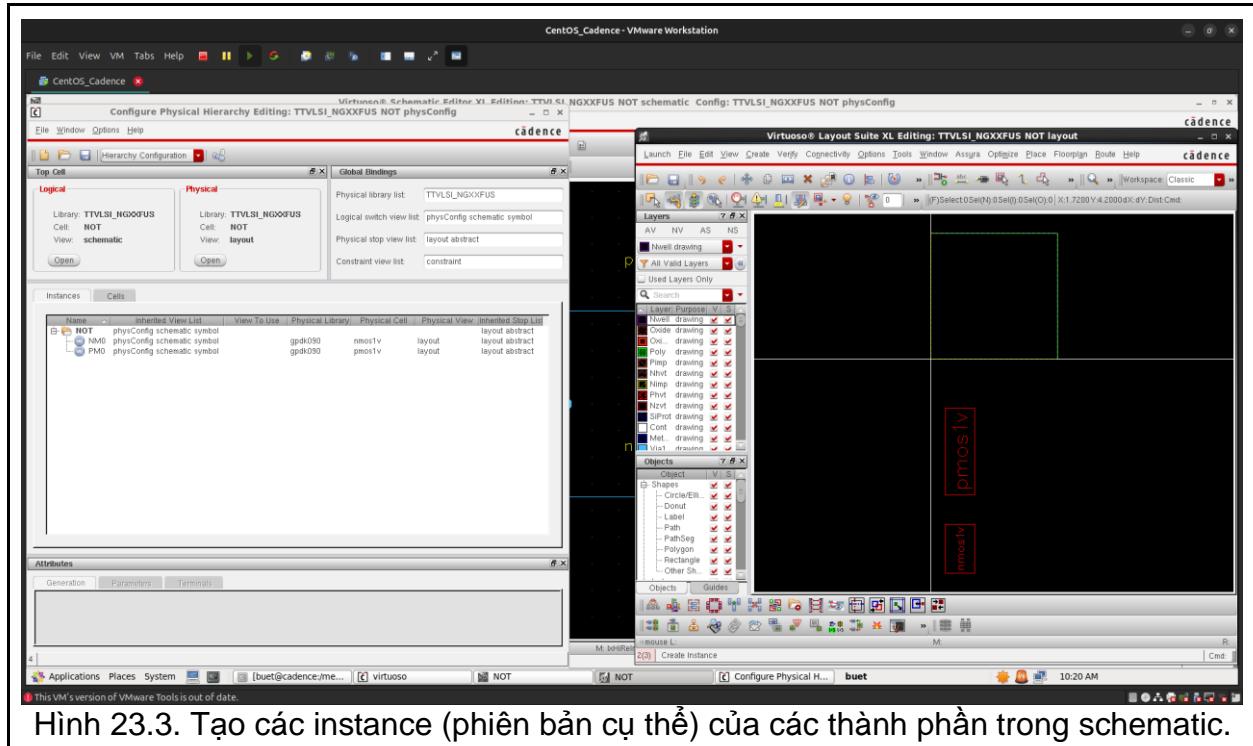
Các hình bên dưới là ảnh chụp màn hình quá trình thực hiện layout cỗng not.



Vào chế độ Layout L và tạo layout và physical-config mới

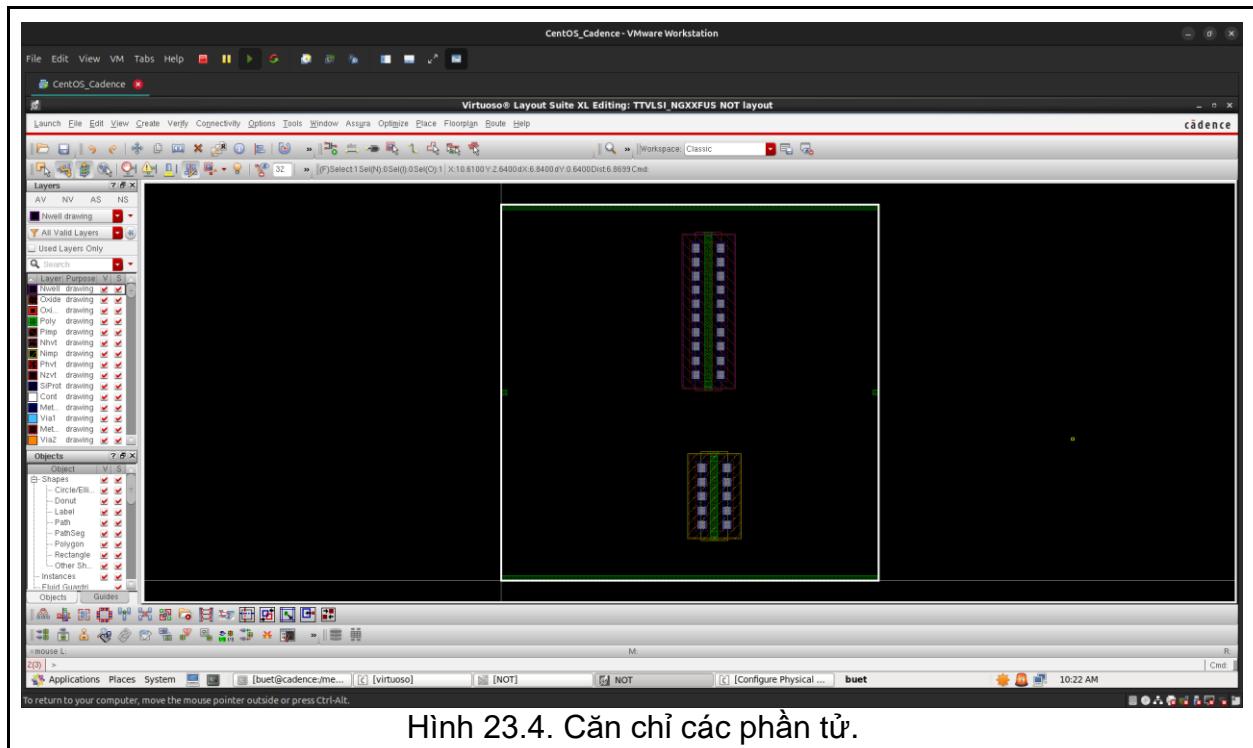


Vào Conectivity chọn Generate > All From Source ... để tạo chân và các instance theo sơ đồ nguyên lý đã vẽ.



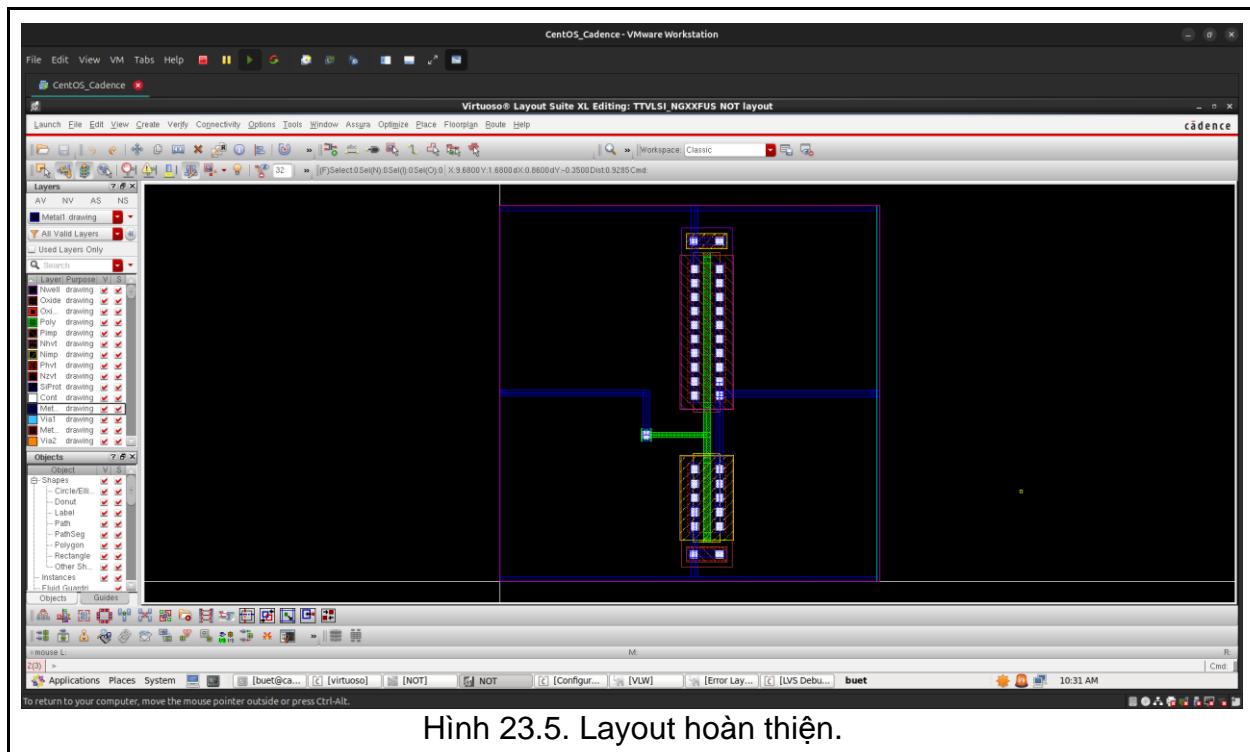
Hình 23.3. Tạo các instance (phiên bản cũ thẻ) của các thành phần trong schematic.

Nhấn Shift+F để hiển thị các lớp và căn chỉ lại các thành phần bên trong.



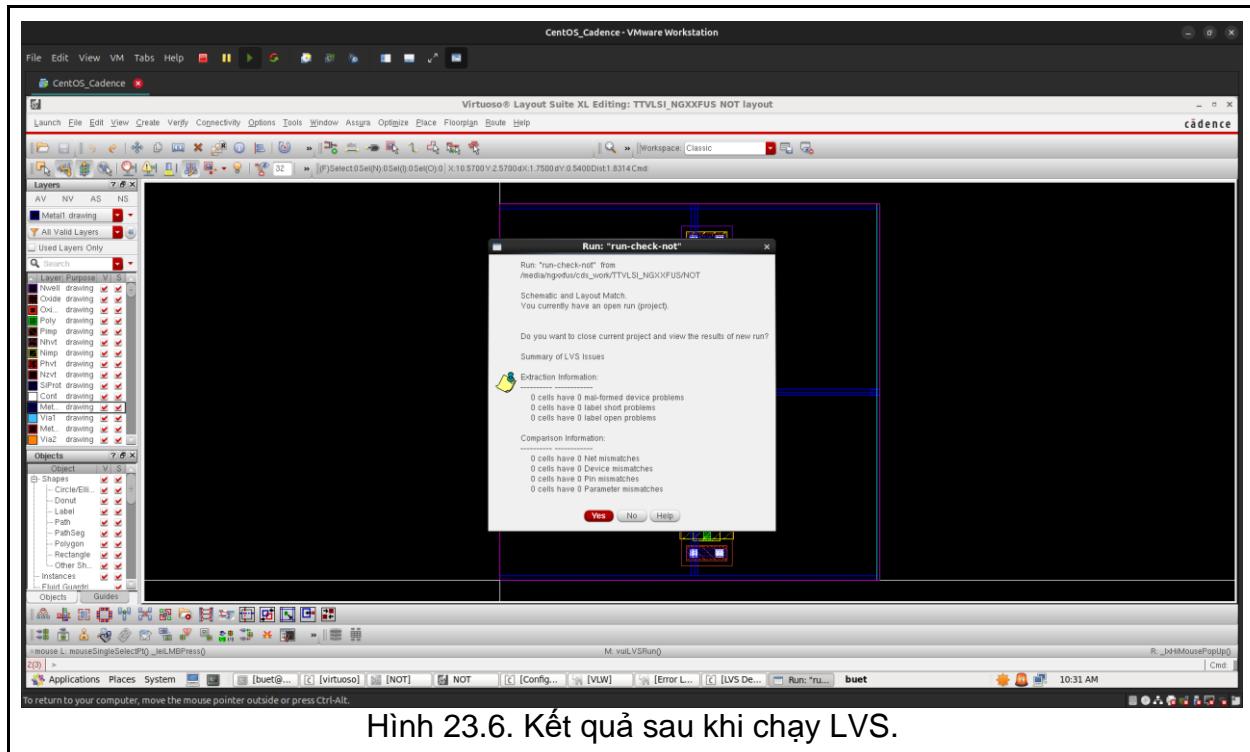
Hình 23.4. Căn chỉ các phần tử.

## Thiết lập Bodytie Type và đi dây phù hợp.



Hình 23.5. Layout hoàn thiện.

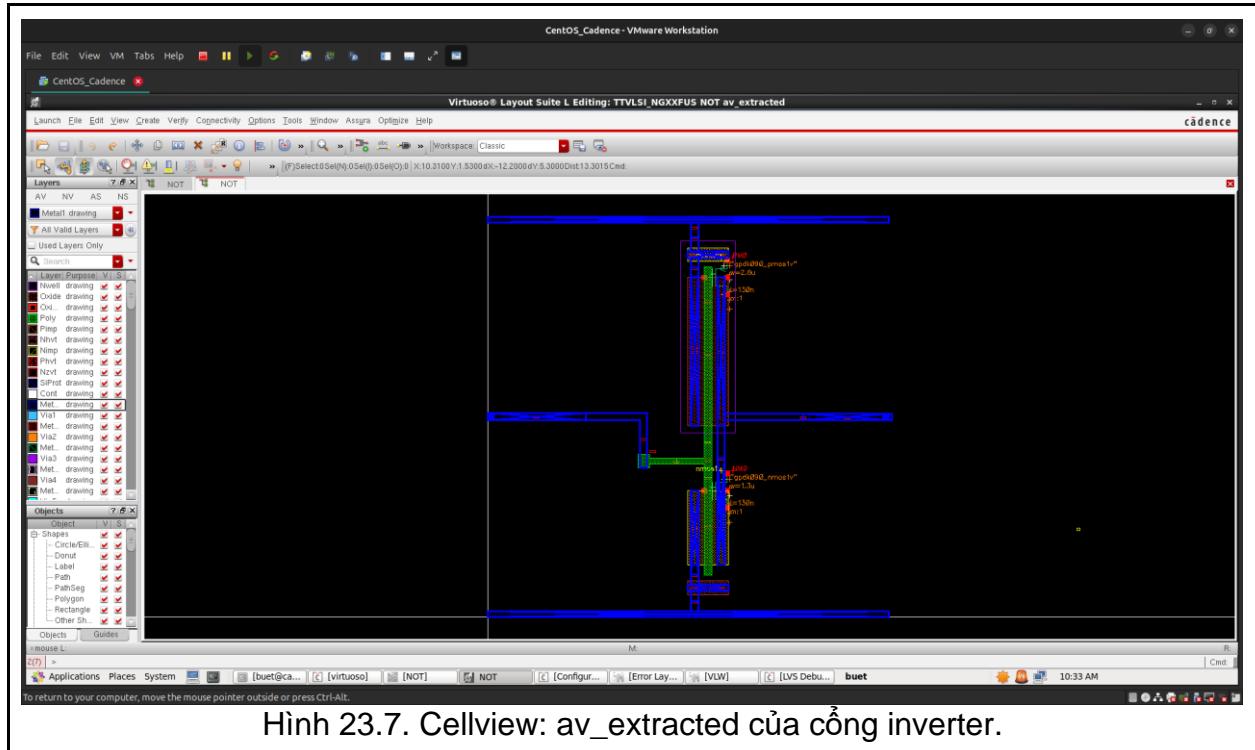
Vào Assura chọn Run LVS (layout versus schematic) để kiểm tra lỗi.



Hình 23.6. Kết quả sau khi chạy LVS.

Nhận xét: Không có lỗi.

Vào Assura chọn Run RCX để kiểm tính toán R-C. Sau khi chạy xong, mở cellview av\_extracted để xem kết quả.



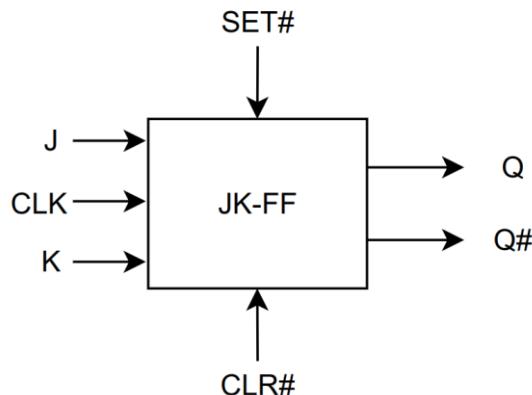
Hình 23.7. Cellview: av\_extracted của cổng inverter.

Nhận xét:

- + Điện dung ngõ vào: 138a
- + Điện dung ngõ ra: 126.6a

## 24. JK Flip-flop

### 24.1. JK Flip-flop, sơ đồ chân - ký hiệu, bảng trạng thái



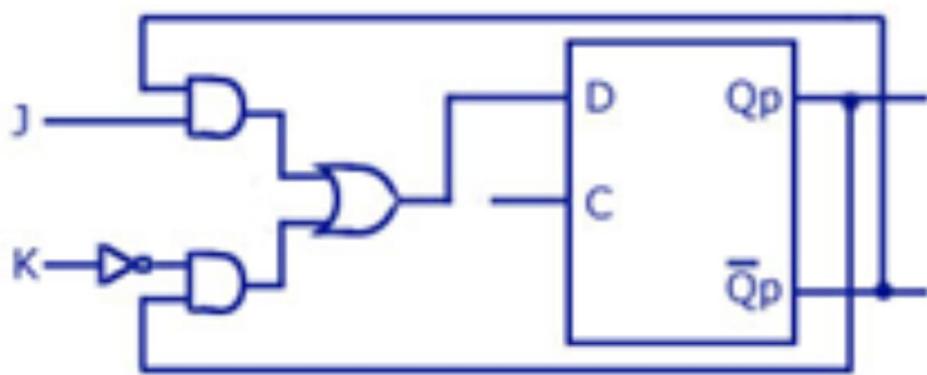
Hình 24.1.1. Sơ đồ chân - ký hiệu JK flip-flop.

Bảng 24.1.1. Bảng trạng thái JK-FF:

J-K Input		Outputs		D Input
J	K	Q <sub>p</sub>	Q <sub>p+1</sub>	
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

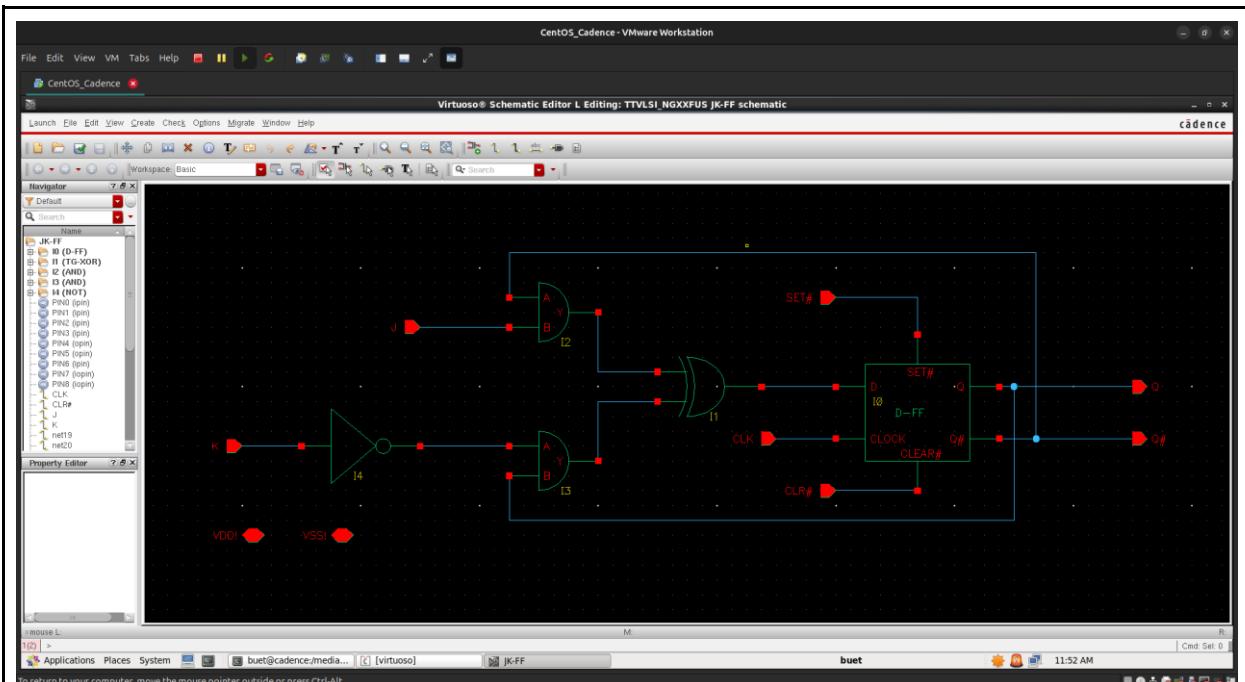
### 24.2. Chuyển đổi D-FF thành JK-FF

Có thể tạo JK-FF (T viết tắt cho toggle - lật) từ D-FF bằng cách thực hiện phép XNOR giữa ngõ ra trước đó với đầu vào T hiện tại thành ngõ vào D như hình 24.2.1. bên dưới.

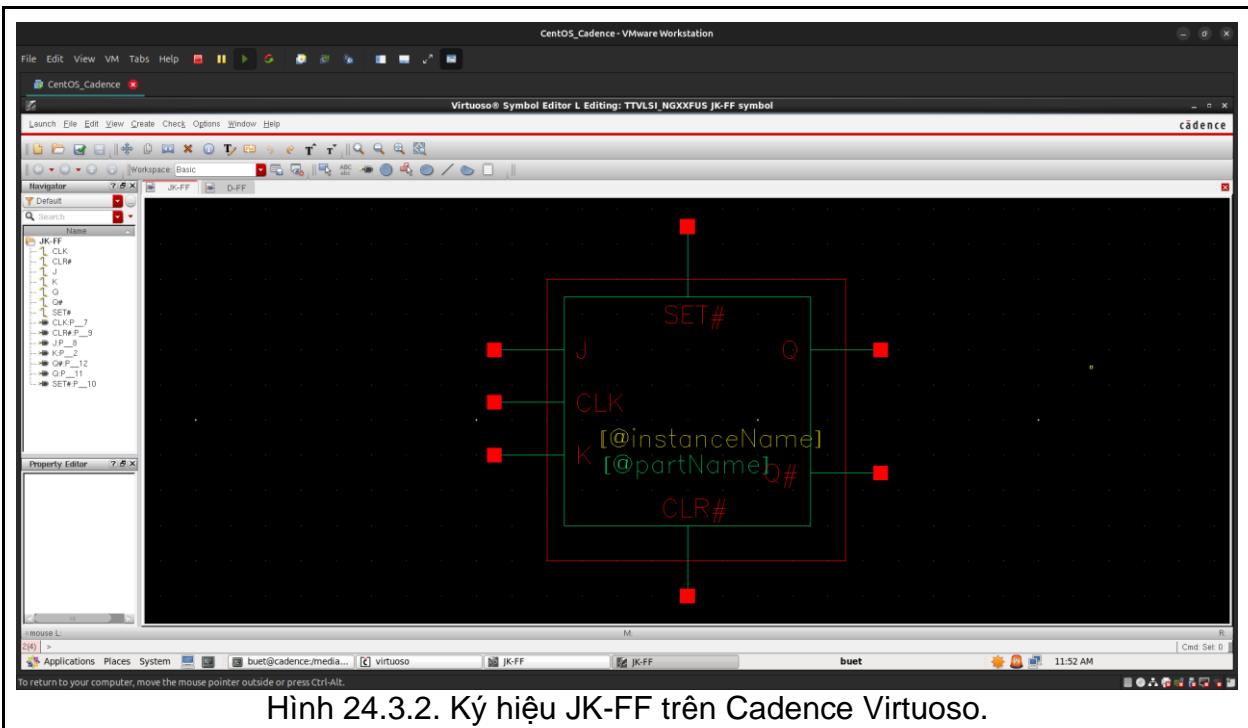


Hình 24.2.1. Sơ đồ JK-FF tạo từ D-FF.

### 24.3. Vẽ sơ đồ nguyên lý JK-FF trên Cadence Virtuoso

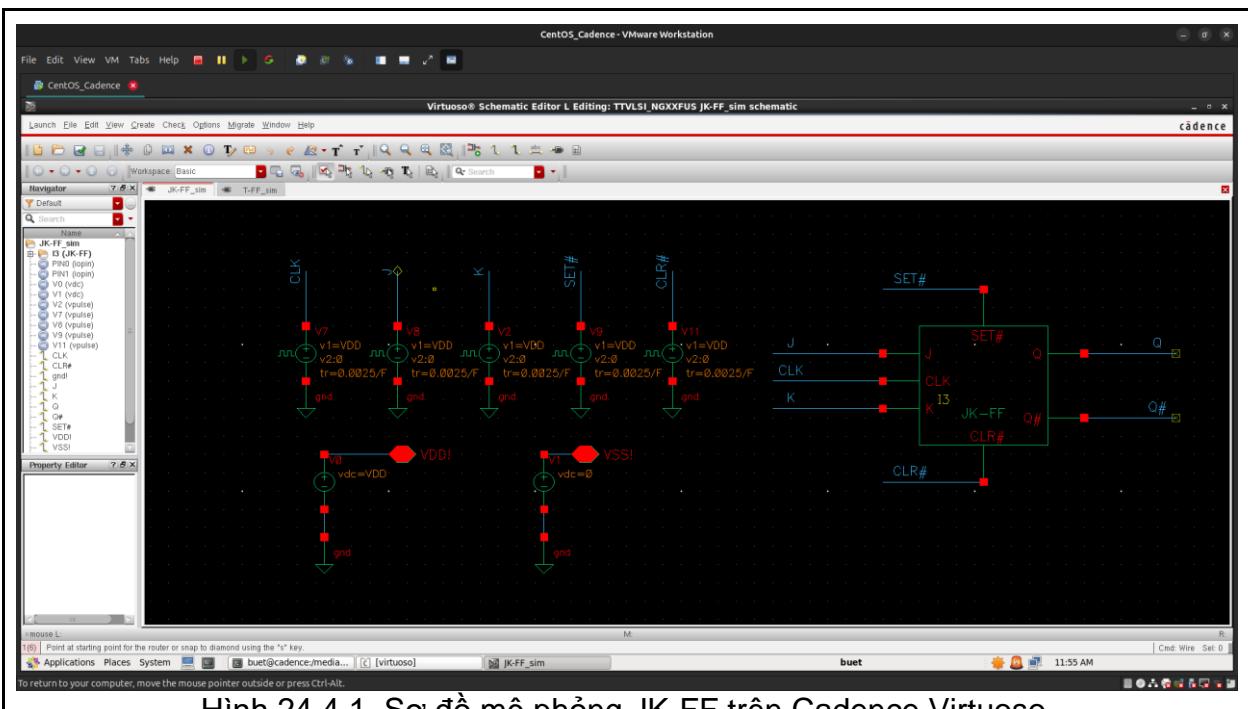


Hình 24.3.1. Sơ đồ nguyên lý của JK-FF trên Cadence Virtuoso.

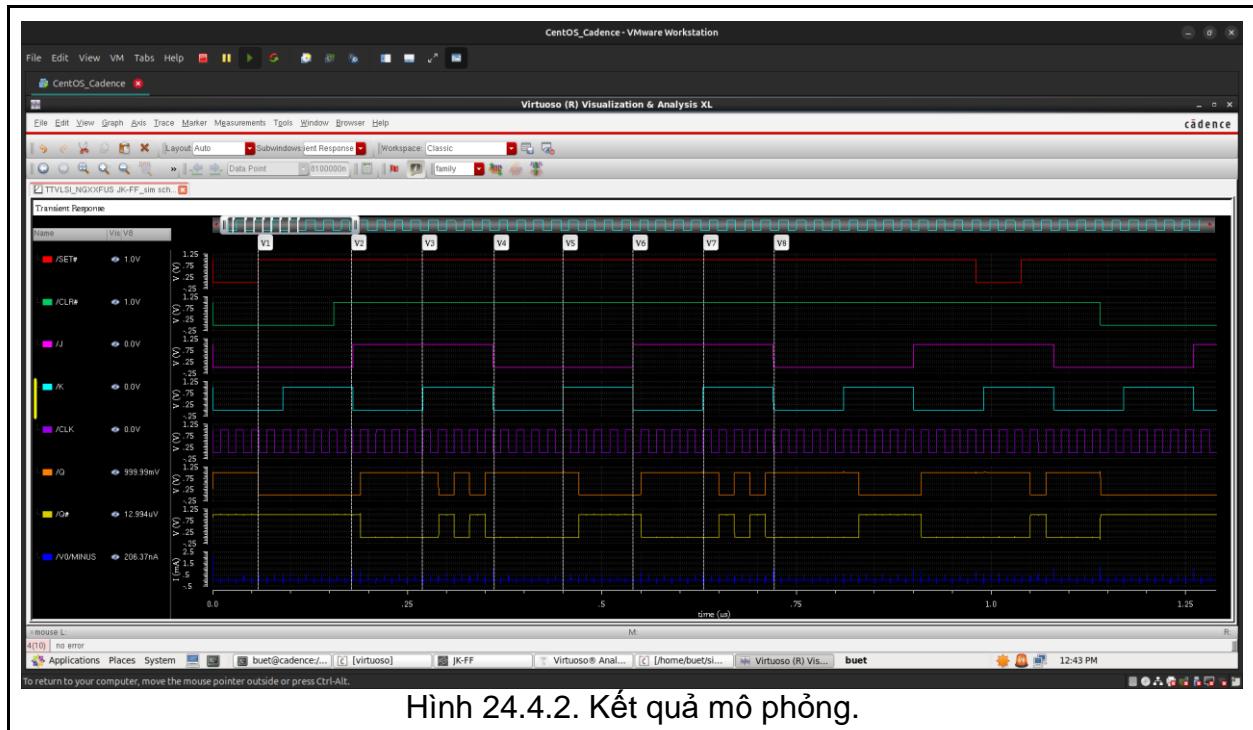


#### 24.4. Mô phỏng JK-FF trên Cadence Virtuoso

Vẽ mạch mô phỏng JK-FF trên Cadence Virtuoso với  $V_{DD} = 1V$ ;  $F_{CLK} = 50MHz$ ;  $F_T = F_{CLK} / 9$ ;  $F_{SET\#} = F_{CLK} / 29$ ;  $F_{CLR\#} = F_{CLK} / 39$ ;  $t_{raising} = t_{falling} = 0.0025/F$ .



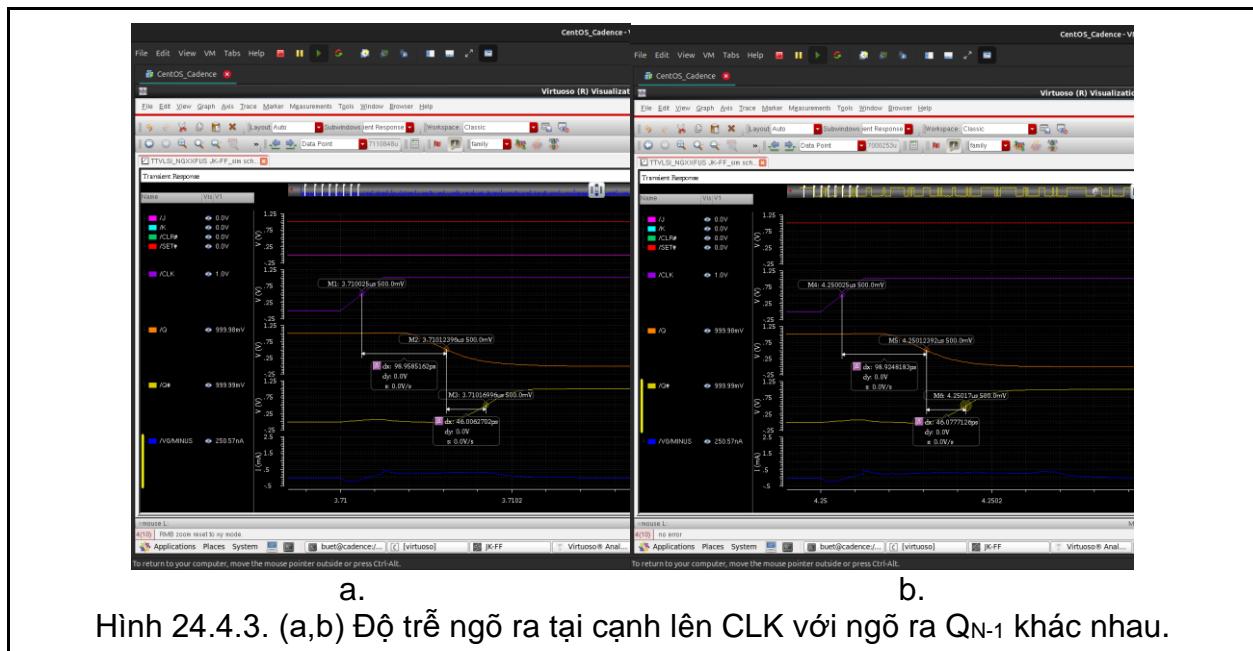
## Kết quả:



Hình 24.4.2. Kết quả mô phỏng.

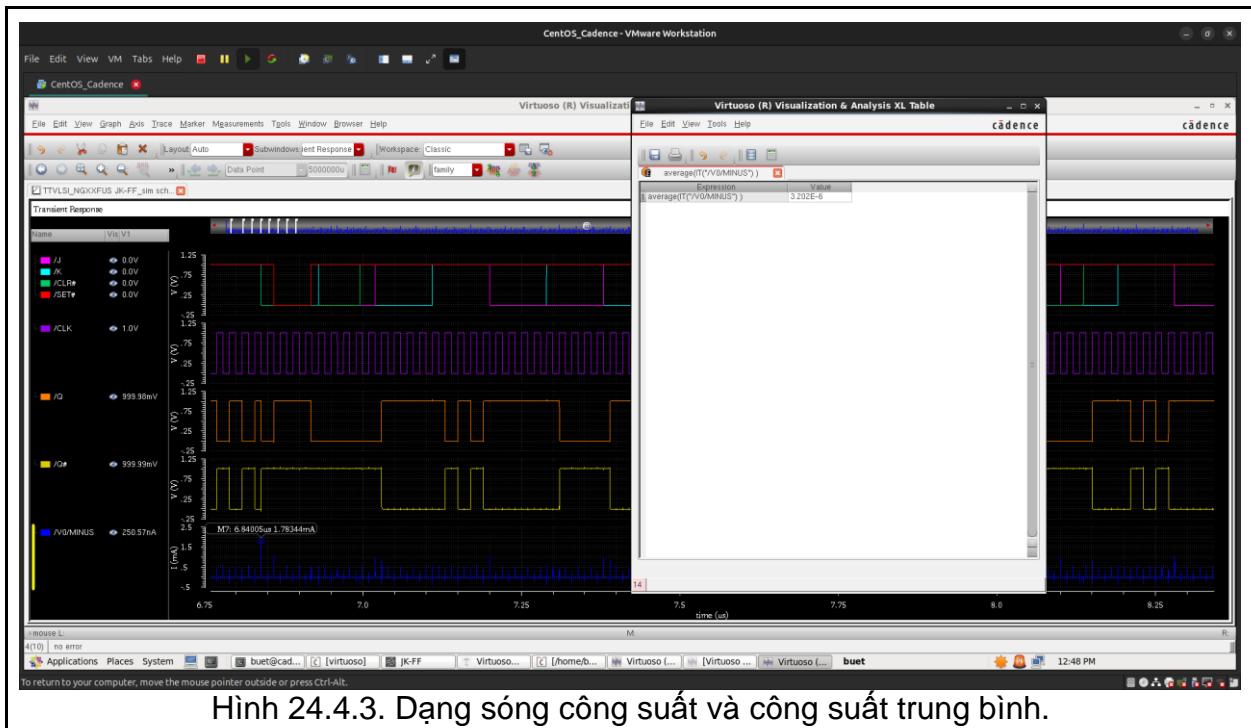
Nhận xét: JK-FF hoạt động đúng với lý thuyết.

Thực hiện chọn ngẫu nhiên một vài vị trí cạnh lên / cạnh xuống trên đồ thị và ghi nhận thời gian trễ:



Hình 24.4.3. (a,b) Độ trễ ngõ ra tại cạnh lên CLK với ngõ ra Q<sub>N-1</sub> khác nhau.

Nhận xét:  $t_{pd} = \sim 100\text{ps}$  cho Q và  $140\text{ps}$  cho Q#.



Hình 24.4.3. Dạng sóng công suất và công suất trung bình.

Nhận xét: Công suất cực đại lên đến 1,78mW, công suất trung bình: 3.2uW.